



등록특허 10-2718206



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월18일
(11) 등록번호 10-2718206
(24) 등록일자 2024년10월11일

- (51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)
- (52) CPC특허분류
H01L 27/14636 (2013.01)
H01L 27/14609 (2023.08)
- (21) 출원번호 10-2019-0117504
- (22) 출원일자 2019년09월24일
심사청구일자 2022년09월16일
- (65) 공개번호 10-2021-0035950
- (43) 공개일자 2021년04월02일
- (56) 선행기술조사문현
KR1020080019652 A*
KR1020170031645 A
JP2016129327 A
KR1020190105575 A
- *는 심사관에 의하여 인용된 문현
- (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
김석산
경기도 수원시
서민옹
경기도 화성시 동탄반석로 277
(뒷면에 계속)
- (74) 대리인
특허법인 고려

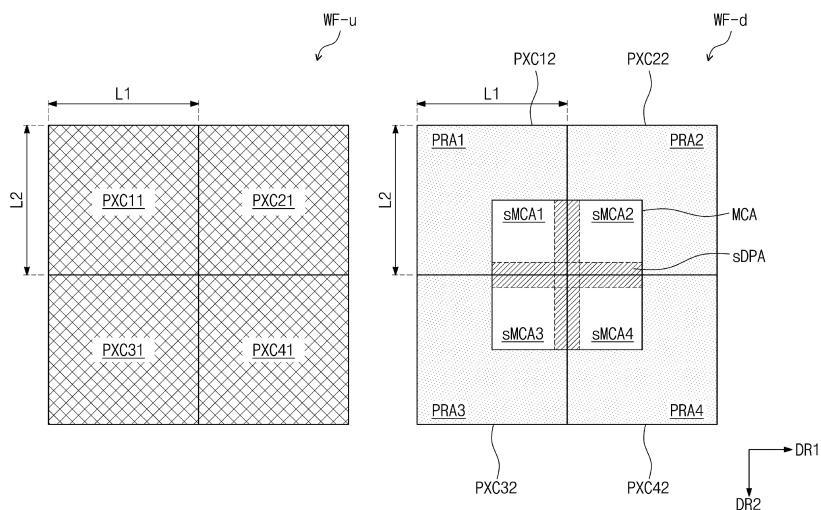
전체 청구항 수 : 총 20 항

심사관 : 심병로

(54) 발명의 명칭 이미지 센서 장치

(57) 요 약

본 발명의 실시 예에 따른 이미지 센서 장치는 제1 광 검출기 및 제1 광 검출기로부터의 제1 출력에 대응하는 제1 디지털 신호를 저장하도록 구성된 제1 메모리 셀들을 포함하는 제1 디지털 픽셀, 및 제2 광 검출기 및 제2 광 검출기로부터의 제2 출력에 대응하는 제2 디지털 신호를 저장하도록 구성된 제2 메모리 셀들을 포함하고, 제1 디지털 픽셀로부터 제1 방향 측에 인접하게 위치한 제2 디지털 픽셀을 포함한다. 제1 메모리 셀들 및 제2 메모리 셀들은 복수의 비트라인들과 연결되고, 제1 메모리 셀들은 제1 및 제3 워드라인들과 각각 연결되고, 제2 메모리 셀들은 제2 및 제4 워드라인들과 각각 연결되고, 제2 워드라인은 제1 및 제3 워드라인들 사이에 위치하고, 제3 워드라인은 제2 및 제4 워드라인들 사이에 위치한다.

대 표 도

(52) CPC특허분류

H01L 27/14641 (2013.01)

(72) 발명자

최민준

경기도 화성시 동탄문화센터로 38

이종연

서울특별시 관악구 국회단지19길 6

최민준

경기도 화성시 동탄반석로 277, 112동 1101호 (석
우동, 동탄 예당마을우미린제일풀경채)

명세서

청구범위

청구항 1

제1 광 검출기 및 상기 제1 광 검출기로부터의 제1 출력에 대응하는 제1 디지털 신호를 저장하도록 구성된 제1 메모리 셀들을 포함하는 제1 디지털 픽셀; 및

제2 광 검출기 및 상기 제2 광 검출기로부터의 제2 출력에 대응하는 제2 디지털 신호를 저장하도록 구성된 제2 메모리 셀들을 포함하고, 상기 제1 디지털 픽셀로부터 제1 방향 측에 인접하게 위치한 제2 디지털 픽셀을 포함하고,

상기 제1 메모리 셀들 및 상기 제2 메모리 셀들은 복수의 비트라인들과 연결되고,

상기 제1 메모리 셀들은 제1 및 제3 워드라인들과 각각 연결되고, 상기 제2 메모리 셀들은 제2 및 제4 워드라인들과 각각 연결되고,

상기 제2 워드라인은 상기 제1 및 제3 워드라인들 사이에 위치하고, 상기 제3 워드라인은 상기 제2 및 제4 워드라인들 사이에 위치하는 이미지 센서 장치.

청구항 2

제 1 항에 있어서,

상기 제1 및 제3 워드라인들은 상기 제1 메모리 셀들로부터 상기 제1 방향의 반대 방향 측에 위치한 제1 및 제3 워드라인 콘택들과 전기적으로 연결되고,

상기 제2 및 제4 워드라인들은 상기 제2 메모리 셀들로부터 상기 제1 방향 측에 위치한 제2 및 제4 워드라인 콘택들과 전기적으로 연결되는 이미지 센서 장치.

청구항 3

제 2 항에 있어서,

상기 제1 및 제3 워드라인 콘택들 사이의 제1 간격 및 상기 제2 및 제4 워드라인 콘택들 사이의 제2 간격은 상기 제1 및 제2 워드라인들 사이의 간격, 상기 제2 및 제3 워드라인들 사이의 간격, 및 상기 제3 및 제4 워드라인들 사이의 간격보다 넓은 이미지 센서 장치.

청구항 4

제 1 항에 있어서,

제3 광 검출기 및 상기 제3 광 검출기로부터의 제3 출력에 대응하는 제3 디지털 신호를 저장하도록 구성된 제3 메모리 셀들을 포함하고, 상기 제1 디지털 픽셀로부터 제2 방향 측에 인접하게 위치한 제3 디지털 픽셀; 및

제4 광 검출기 및 상기 제4 광 검출기로부터의 제4 출력에 대응하는 제4 디지털 신호를 저장하도록 구성된 제4 메모리 셀들을 포함하고, 상기 제2 디지털 픽셀로부터 상기 제2 방향 측에 인접하게 위치한 제4 디지털 픽셀을 포함하고,

상기 제3 메모리 셀들 및 상기 제4 메모리 셀들은 상기 복수의 비트라인들과 연결되고,

상기 제3 메모리 셀들은 제5 및 제7 워드라인들과 각각 연결되고, 상기 제4 메모리 셀들은 제6 및 제8 워드라인들과 각각 연결되고,

상기 제5 워드라인은 상기 제4 및 제6 워드라인들 사이에 위치하고, 상기 제7 워드라인은 상기 제6 및 제8 워드라인들 사이에 위치하고, 상기 제6 워드라인은 상기 제5 및 제7 워드라인들 사이에 위치하는 이미지 센서 장치.

청구항 5

제 4 항에 있어서,

상기 제5 및 제7 워드라인들은 상기 제3 메모리 셀들로부터 상기 제1 방향의 반대 방향 측에 위치한 제5 및 제7 워드라인 콘택들과 전기적으로 연결되고,

상기 제6 및 제8 워드라인들은 상기 제4 메모리 셀들로부터 상기 제1 방향 측에 위치한 제6 및 제8 워드라인 콘택들과 전기적으로 연결되는 이미지 센서 장치.

청구항 6

제 4 항에 있어서,

상기 제1 메모리 셀들, 상기 제2 메모리 셀들, 상기 제3 메모리 셀들, 및 상기 제4 메모리 셀들은 단일 메모리 셀 어레이에 포함되고,

상기 단일 메모리 셀 어레이는:

상기 제1 워드라인으로부터 상기 제2 방향의 반대 방향 측에 위치한 제1 더미 패턴 영역;

상기 제8 워드라인으로부터 상기 제2 방향 측에 위치한 제2 더미 패턴 영역;

상기 제1 내지 제4 메모리 셀들로부터 상기 제1 방향의 반대 방향 측에 위치한 제3 더미 패턴 영역; 및

상기 제1 내지 제4 메모리 셀들로부터 상기 제1 방향 측에 위치한 제4 더미 패턴 영역을 더 포함하는 이미지 센서 장치.

청구항 7

제 6 항에 있어서,

상기 단일 메모리 셀 어레이는:

상기 제4 워드라인 및 상기 제5 워드라인 사이에 위치한 공유 더미 패턴 영역을 더 포함하는 이미지 센서 장치.

청구항 8

제 1 항에 있어서,

상기 복수의 비트라인으로 디지털 코드를 제공하도록 구성된 카운터;

상기 제1 광 검출기 및 상기 제2 광 검출기를 제어하는 제1 및 제2 광 검출기 제어 신호들 및 상기 제1 메모리 셀들 및 상기 제2 메모리 셀들을 제어하는 제1 및 제2 메모리 제어 신호들을 출력하도록 구성된 행 드라이버; 및

램프 신호를 생성하도록 구성된 램프 발생기를 더 포함하고,

상기 제1 광 검출기는 상기 제1 광 검출기 제어 신호에 응답하여, 상기 제1 출력을 출력하도록 구성되고,

상기 제2 광 검출기는 상기 제2 광 검출기 제어 신호에 응답하여, 상기 제2 출력을 출력하도록 구성되는 이미지 센서 장치.

청구항 9

제 8 항에 있어서,

상기 제1 디지털 핵셀은 상기 제1 광 검출기로부터의 상기 제1 출력을 상기 램프 신호와 비교하여 제1 비교 신호를 출력하도록 구성된 제1 비교기를 더 포함하고,

상기 제2 디지털 핵셀은 상기 제2 광 검출기로부터의 상기 제2 출력을 상기 램프 신호와 비교하여 제2 비교 신호를 출력하도록 구성된 제2 비교기를 더 포함하는 이미지 센서 장치.

청구항 10

제 9 항에 있어서,

상기 제1 메모리 셀들은, 상기 제1 메모리 제어 신호 및 상기 제1 비교 신호를 기반으로, 상기 복수의 비트라인들을 통해 제공되는 상기 디지털 코드를 상기 제1 디지털 신호로서 저장하도록 구성되고,

상기 제2 메모리 셀들은, 상기 제2 메모리 제어 신호 및 상기 제2 비교 신호를 기반으로, 상기 복수의 비트라인들을 통해 제공되는 상기 디지털 신호를 상기 제2 디지털 신호로서 저장하도록 구성된 이미지 센서 장치.

청구항 11

제 8 항에 있어서,

상기 제1 광 검출기로부터의 상기 제1 출력 및 상기 램프 신호를 비교하여 제1 비교 신호를 출력하고, 상기 제2 광 검출기로부터의 상기 제2 출력 및 상기 램프 신호를 비교하여 제2 비교 신호를 출력하도록 구성된 공유 비교기를 더 포함하는 이미지 센서 장치.

청구항 12

제 1 항에 있어서,

상기 제1 광 검출기는 외부로부터 입사된 제1 컬러의 광을 검출하도록 구성된 복수의 제1 포토 다이오드들을 포함하고,

상기 제2 광 검출기는 상기 외부로부터 입사된 제2 컬러의 광을 검출하도록 구성된 복수의 제2 포토 다이오드들을 포함하는 이미지 센서 장치.

청구항 13

제1 광 검출기 및 상기 제1 광 검출기로부터의 제1 출력에 대응하는 제1 디지털 신호를 저장하도록 구성된 제1 메모리 셀들을 포함하는 제1 디지털 픽셀; 및

제2 광 검출기 및 상기 제2 광 검출기로부터의 제2 출력에 대응하는 제2 디지털 신호를 저장하도록 구성된 제2 메모리 셀들을 포함하고, 상기 제1 디지털 픽셀로부터 제1 방향 측에 인접하게 위치한 제2 디지털 픽셀을 포함하고,

상기 제1 메모리 셀들 및 상기 제2 메모리 셀들은 제1 반도체 웨이퍼 상에 형성되고,

상기 제1 반도체 웨이퍼는:

상기 제1 메모리 셀들을 포함하는 제1 영역;

상기 제1 영역으로부터 상기 제1 방향 측에 위치하고, 상기 제2 메모리 셀들을 포함하는 제2 영역;

상기 제1 영역 및 상기 제2 영역 사이에 위치한 제1 공유 더미 패턴 영역;

상기 제1 영역으로부터 상기 제1 방향의 반대 방향 측에 인접하여 위치한 제1 더미 패턴 영역; 및

상기 제2 영역으로부터 상기 제1 방향 측에 인접하여 위치한 제2 더미 패턴 영역을 포함하고,

상기 제1 공유 더미 패턴 영역의 상기 제1 방향에 따른 제1 너비는 상기 제1 더미 패턴 영역의 상기 제1 방향에 따른 제2 너비의 2배 또는 상기 제2 더미 패턴 영역의 상기 제1 방향에 따른 제3 너비의 2배보다 작은 이미지 센서 장치.

청구항 14

제 13 항에 있어서,

상기 제1 메모리 셀들은 제1 비트라인들 및 제1 워드라인들과 연결되고, 상기 제2 메모리 셀들은 제2 비트라인들 및 제2 워드라인들과 연결되는 이미지 센서 장치.

청구항 15

제 14 항에 있어서,

상기 제1 메모리 셀들 중 적어도 하나 및 상기 제2 메모리 셀들 중 적어도 하나는 동일한 행에 위치하고,

상기 공유 더미 패턴 영역은 상기 제1 메모리 셀들 중 상기 적어도 하나 및 상기 제2 메모리 셀들 중 상기 적어도 하나와 상기 동일한 행에 위치하고, 상기 제1 워드라인들 및 상기 제2 워드라인들과 연결되지 않은 적어도 하나의 격리 더미 셀을 포함하는 이미지 센서 장치.

청구항 16

제 13 항에 있어서,

제3 광 검출기 및 상기 제3 광 검출기로부터의 제3 출력에 대응하는 제3 디지털 신호를 저장하도록 구성된 제3 메모리 셀들을 포함하고, 상기 제1 디지털 픽셀로부터 제2 방향 측에 인접하여 위치한 제3 디지털 픽셀; 및

제4 광 검출기 및 상기 제4 광 검출기로부터의 제4 출력에 대응하는 제4 디지털 신호를 저장하도록 구성된 제4 메모리 셀들을 포함하고, 상기 제2 디지털 픽셀로부터 상기 제2 방향 측에 인접하게 위치한 제2 디지털 픽셀을 포함하고,

상기 제3 메모리 셀들 및 상기 제4 메모리 셀들은 상기 제1 반도체 웨이퍼 상에 형성되고,

상기 제1 반도체 웨이퍼는:

상기 제3 메모리 셀들을 포함하고, 상기 제1 영역으로부터 제2 방향 측에 위치한 제3 영역;

상기 제4 메모리 셀들을 포함하고, 상기 제3 영역으로부터 상기 제1 방향 측에 위치한 제4 영역;

상기 제3 영역 및 상기 제4 영역 사이에 위치한 제2 공유 더미 패턴 영역;

상기 제3 영역으로부터 상기 제1 방향의 반대 방향 측에 인접하여 위치한 제3 더미 패턴 영역; 및

상기 제4 영역으로부터 상기 제1 방향 측에 인접하여 위치한 제4 더미 패턴 영역을 포함하고,

상기 제2 공유 더미 패턴 영역의 상기 제1 방향에 따른 제4 너비는 상기 제3 더미 패턴 영역의 상기 제1 방향에 따른 제5 너비의 2배 또는 상기 제4 더미 패턴 영역의 상기 제1 방향에 따른 제6 너비의 2배보다 작은 이미지 센서 장치.

청구항 17

제 16 항에 있어서,

상기 반도체 웨이퍼는:

상기 제1 및 제2 영역들로부터 상기 제2 방향의 반대 방향 측에 위치한 제5 더미 패턴 영역;

상기 제3 및 제4 영역들로부터 상기 제2 방향 측에 위치한 제6 더미 패턴 영역; 및

상기 제1 및 제2 영역들과 상기 제3 및 제4 영역들 사이에 위치한 제3 공유 더미 패턴 영역을 더 포함하고,

상기 제3 공유 더미 패턴 영역의 상기 제2 방향에 따른 제7 너비는 상기 제5 더미 패턴 영역의 상기 제2 방향에 따른 제8 너비의 2배 또는 상기 제6 더미 패턴 영역의 상기 제2 방향에 따른 제9 너비의 2배보다 작은 이미지 센서 장치.

청구항 18

제 16 항에 있어서,

상기 제1 광 검출기, 상기 제2 광 검출기, 상기 제3 광 검출기, 및 상기 제4 광 검출기는 제2 반도체 웨이퍼에 형성되고,

상기 제1 광 검출기가 형성되는 영역 및 상기 제1 영역이 중첩되고, 상기 제2 광 검출기가 형성되는 영역 및 상기 제2 영역이 중첩되고, 상기 제3 광 검출기가 형성되는 영역 및 상기 제3 영역이 중첩되고, 상기 제4 광 검출기가 형성되는 영역 및 상기 제4 영역이 중첩되도록 상기 제2 반도체 웨이퍼 상에 상기 제1 반도체 웨이퍼가 적층되는 이미지 센서 장치.

청구항 19

제1 광 검출기 및 상기 제1 광 검출기로부터의 제1 검출 신호에 대응하는 제1 디지털 신호를 저장하도록 구성된

제1 메모리 셀들을 포함하는 제1 디지털 픽셀; 및

제2 광 검출기 및 상기 제2 광 검출기로부터의 제2 검출 신호에 대응하는 제2 디지털 신호를 저장하도록 구성된 제2 메모리 셀들을 포함하고, 상기 제1 디지털 픽셀과 제1 방향을 따라 인접하게 위치한 제2 디지털 픽셀을 포함하고,

상기 제1 메모리 셀들 및 상기 제2 메모리 셀들은 단일 메모리 셀 어레이에 포함되는 이미지 센서 장치.

청구항 20

제 19 항에 있어서,

상기 제1 메모리 셀들은 제1 워드라인 및 복수의 비트라인들과 각각 연결되고,

상기 제2 메모리 셀들은 제2 워드라인 및 상기 복수의 비트라인과 각각 연결되는 이미지 센서 장치.

발명의 설명

기술 분야

[0001]

본 발명은 반도체 장치에 관한 것으로, 좀 더 상세하게는 이미지 센서 장치에 관한 것이다.

배경 기술

[0002]

이미지 센서는 광학 신호를 전기 신호로 변환할 수 있다. 최근 컴퓨터 산업과 통신 산업의 발달에 따라 디지털 카메라, 캠코더, 스마트폰, 태블릿 PC, 노트북, 게임기기, 경비용 카메라, 의료용 마이크로 카메라 등 다양한 분야에서 성능이 향상된 이미지 센서의 수요가 증가하고 있다.

[0003]

종래의 이미지 센서는 아날로그 픽셀들을 기반으로 동작하였다. 아날로그 픽셀들 각각은 광 신호에 대응하는 아날로그 신호들을 출력하고, 아날로그 신호들은 디지털 신호들로 변환된다. 그러나, 상술한 아날로그 신호들은 디지털 신호들에 비해 노이즈 또는 커플링에 취약하기 때문에, 고해상도 이미지 신호를 처리하는데 문제점이 있다.

발명의 내용

해결하려는 과제

[0004]

본 발명의 목적은 감소된 비용, 향상된 신뢰성, 및 향상된 성능을 갖는 이미지 센서 장치를 제공하는데 있다.

과제의 해결 수단

[0005]

본 발명의 실시 예에 따른 이미지 센서 장치는 제1 광 검출기 및 상기 제1 광 검출기로부터의 제1 출력에 대응하는 제1 디지털 신호를 저장하도록 구성된 제1 메모리 셀들을 포함하는 제1 디지털 픽셀, 및 제2 광 검출기 및 상기 제2 광 검출기로부터의 제2 출력에 대응하는 제2 디지털 신호를 저장하도록 구성된 제2 메모리 셀들을 포함하고, 상기 제1 디지털 픽셀로부터 제1 방향 측에 인접하게 위치한 제2 디지털 픽셀을 포함한다. 상기 제1 메모리 셀들 및 상기 제2 메모리 셀들은 복수의 비트라인들과 연결되고, 상기 제1 메모리 셀들은 제1 및 제3 워드라인들과 각각 연결되고, 상기 제2 메모리 셀들은 제2 및 제4 워드라인들과 각각 연결되고, 상기 제2 워드라인은 상기 제1 및 제3 워드라인들 사이에 위치하고, 상기 제3 워드라인은 상기 제2 및 제4 워드라인들 사이에 위치한다.

[0006]

본 발명의 실시 예에 따른 이미지 센서 장치는 제1 광 검출기 및 상기 제1 광 검출기로부터의 제1 출력에 대응하는 제1 디지털 신호를 저장하도록 구성된 제1 메모리 셀들을 포함하는 제1 디지털 픽셀, 및 제2 광 검출기 및 상기 제2 광 검출기로부터의 제2 출력에 대응하는 제2 디지털 신호를 저장하도록 구성된 제2 메모리 셀들을 포함하고, 상기 제1 디지털 픽셀로부터 제1 방향 측에 인접하게 위치한 제2 디지털 픽셀을 포함한다. 상기 제1 메모리 셀들 및 상기 제2 메모리 셀들은 제1 반도체 웨이퍼 상에 형성된다. 상기 제1 반도체 웨이퍼는 상기 제1 메모리 셀들을 포함하는 제1 영역, 상기 제1 영역으로부터 상기 제1 방향 측에 위치하고, 상기 제2 메모리 셀들을 포함하는 제2 영역, 상기 제1 영역 및 상기 제2 영역 사이에 위치한 제1 공유 더미 패턴 영역, 상기 제1 영

역으로부터 상기 제1 방향의 반대 방향 측에 인접하여 위치한 제1 더미 패턴 영역, 및 상기 제2 영역으로부터 상기 제1 방향 측에 인접하여 위치한 제2 더미 패턴 영역을 포함하고, 상기 제1 공유 더미 패턴 영역의 상기 제1 방향에 따른 제1 너비는 상기 제1 더미 패턴 영역의 상기 제1 방향에 따른 제2 너비의 2배 또는 상기 제2 더미 패턴 영역의 상기 제2 방향에 따른 제3 너비의 2배보다 작다.

[0007] 본 발명의 실시 예에 따른 이미지 센서 장치는 제1 광 검출기 및 상기 제1 광 검출기로부터의 제1 검출 신호에 대응하는 제1 디지털 신호를 저장하도록 구성된 제1 메모리 셀들을 포함하는 제1 디지털 픽셀, 및 제2 광 검출기 및 상기 제2 광 검출기로부터의 제2 검출 신호에 대응하는 제2 디지털 신호를 저장하도록 구성된 제2 메모리 셀들을 포함하고, 상기 제1 디지털 픽셀과 제1 방향을 따라 인접하게 위치한 제2 디지털 픽셀을 포함하고, 상기 제1 메모리 셀들 및 상기 제2 메모리 셀들은 단일 메모리 셀 어레이에 포함된다.

발명의 효과

[0008] 본 발명의 실시 예들에 따르면, 이미지 센서 장치에 포함된 디지털 픽셀들은 하나의 메모리 셀 영역 또는 하나의 메모리 셀 어레이를 공유한다. 이에 따라, 메모리 셀들의 신뢰성을 유지하는데 필요한 더미 셀들 또는 더미 패턴 영역의 면적이 감소될 수 있고, 감소된 면적은 다른 소자들을 형성하기 위한 주변 영역으로 사용될 수 있다. 주변 영역의 면적이 증가함에 따라, 주변 영역에서 형성되는 소자들의 신뢰성이 향상되거나 또는 디지털 픽셀의 추가 기능을 구현하기 위한 다른 소자들이 더 추가될 수 있다. 따라서, 감소된 비용, 향상된 신뢰성, 및 향상된 성능을 갖는 이미지 센서 장치가 제공된다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시 예에 따른 이미지 센서 장치를 보여주는 블록도이다.

도 2a는 도 1의 픽셀 드라이버를 예시적으로 보여주는 블록도이다.

도 2b는 도 1의 디지털 로직 회로를 예시적으로 보여주는 블록도이다.

도 3a 내지 도 3d는 도 1의 디지털 픽셀을 좀 더 상세하게 설명하기 위한 도면들이다.

도 4a 및 도 4d는 도 1의 픽셀 어레이(110)의 구성을 예시적으로 보여주는 도면들이다.

도 5a 내지 도 5c는 도 4a의 픽셀 어레이에 포함된 상부 웨이퍼 및 하부 웨이퍼의 개략적인 레이아웃들을 보여주는 평면도들이다.

도 6은 도 4a의 픽셀 어레이의 상부 웨이퍼 및 하부 웨이퍼의 레이아웃을 예시적으로 보여주는 평면도들이다.

도 7a는 도 6에 도시된 메모리 셀 영역의 레이아웃을 좀 더 상세하게 보여주는 평면도이다.

도 7b는 도 7a의 메모리 셀 영역이 반영된 하부 웨이퍼를 예시적으로 보여주는 평면도이다.

도 8은 도 6의 메모리 셀 영역의 레이아웃을 예시적으로 보여주는 평면도이다.

도 9는 도 1의 픽셀 어레이에 포함된 디지털 픽셀들이 비교기를 공유하는 구조를 예시적으로 보여주는 도면이다.

도 10a 및 도 10b는 도 4a의 하부 웨이퍼 및 메모리 셀 영역의 레이아웃을 예시적으로 보여주는 평면도들이다.

도 11a 및 도 11b는 도 4a의 하부 웨이퍼 및 메모리 셀 영역의 레이아웃을 예시적으로 보여주는 평면도들이다.

도 12는 본 발명의 실시 예에 따른 메모리 셀 영역을 예시적으로 보여주는 평면도이다.

도 13은 본 발명의 실시 예에 따른 메모리 셀 영역을 예시적으로 보여주는 평면도이다.

도 14a 및 도 14b는 본 발명의 실시 예에 따른 하부 웨이퍼 및 메모리 셀 영역의 레이아웃들을 예시적으로 보여주는 평면도들이다.

도 15a 및 도 15b는 본 발명의 실시 예에 따른 이미지 센서 장치의 상부 웨이퍼 및 하부 웨이퍼의 레이아웃을 예시적으로 보여주는 평면도들이다.

도 16a 및 도 16b는 도 1의 이미지 센서 장치를 예시적으로 보여주는 사시도 및 평면도이다.

도 17은 본 발명에 따른 이미지 센서 장치가 적용된 전자 장치를 예시적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.
- [0011] 도 1은 본 발명의 실시 예에 따른 이미지 센서 장치를 보여주는 블록도이다. 도 1을 참조하면, 이미지 센서 장치(100)는 픽셀 어레이(110), 픽셀 드라이버(120), 및 디지털 로직 회로(130)를 포함할 수 있다. 예시적인 실시 예에서, 이미지 센서 장치(100)는 CCTV, 블랙박스, 디지털 카메라, 스마트폰, 태블릿 PC, 노트북 등과 같은 다양한 전자 장치에 포함된 카메라 모듈일 수 있다.
- [0012] 종래의 일반적인 CIS(CMOS Image Sensor) 기반의 이미지 픽셀들은 광 신호에 기반된 아날로그 신호를 출력한다. CIS 기반의 이미지 픽셀들로부터의 아날로그 신호는 열 단위로 배치된 별도의 아날로그-디지털 변환기에서 디지털 신호로 변환된다. 이 경우, CIS 기반의 이미지 픽셀들로부터 변환된 아날로그 신호들이 아날로그 디지털 변환 회로로 전송되는 도중에 노이즈 또는 커플링이 발생될 수 있으며, 이에 따라 최종 이미지의 품질이 저하되는 문제점이 있다.
- [0013] 본 발명의 실시 예에 따른 픽셀 어레이(110)는 복수의 디지털 픽셀들(DP; digital pixel)을 포함할 수 있다. 복수의 디지털 픽셀들(DP) 각각은 외부로부터 광 신호를 감지하고, 감지된 광 신호에 대응하는 디지털 신호(DOUT)를 출력하도록 구성될 수 있다.
- [0014] 예를 들어, 디지털 픽셀(DP)은 광 검출기(PDT; photo detector), 아날로그 디지털 변환기(ADC; analog to digital converter), 및 메모리 회로(MCT; memory circuit)를 포함할 수 있다. 광 검출기(PDT)는 외부로부터 감지된 광 신호를 전기적 신호, 즉 아날로그 신호로 변환하도록 구성될 수 있다. 아날로그 디지털 변환기(ADC)는 광 검출기(PDT)로부터 출력된 아날로그 신호를 디지털 신호로 변환하도록 구성될 수 있다. 메모리 회로(MCT)는 아날로그 디지털 변환기(ADC)에 의해 변환된 디지털 신호(DOUT)를 저장하고, 저장된 디지털 신호(DOUT)를 출력하도록 구성될 수 있다. 상술된 바와 같이, 본 발명의 실시 예에 따른 디지털 픽셀(DP)은, 종래의 CIS 이미지 픽셀과 달리, 픽셀 레벨에서 디지털 신호(DOUT)를 출력할 수 있다.
- [0015] 픽셀 드라이버(120)는 픽셀 어레이(110)에 포함된 복수의 디지털 픽셀들(DP)을 제어하기 위한 다양한 제어 신호(CTRL)(예를 들어, 광 검출기 제어 신호, 메모리 제어 신호, 램프 신호, 카운트 정보 등)를 출력할 수 있다. 픽셀 드라이버(120)로부터 생성된 제어 신호(CTRL)를 기반으로, 복수의 디지털 픽셀들(DP) 각각은 광 신호를 검출하여 아날로그 신호를 생성하는 동작; 아날로그 신호를 디지털 신호로 변환하는 동작; 디지털 신호를 저장하는 동작; 및 저장된 디지털 신호를 출력하는 동작과 같은 일련의 픽셀 동작 또는 이미지 검출 동작을 수행할 수 있다.
- [0016] 디지털 로직 회로(130)는 픽셀 어레이(130)로부터 수신된 디지털 신호(DOUT)에 대한 디지털 신호 처리를 수행하여, 최종 이미지를 외부 장치(예를 들어, 이미지 신호 처리기 ISP; Image Signal Processor), 애플리케이션 프로세서(AP; Application Processor) 등)로 제공할 수 있다. 예시적인 실시 예에서, 디지털 로직 회로(130)는 외부 장치의 제어에 따라 픽셀 드라이버(120)로 구동 신호를 제공할 수 있다. 픽셀 드라이버(120)는 구동 신호에 응답하여 동작할 수 있다.
- [0017] 상술된 바와 같이, 종래의 CIS 장치와 달리, 본 발명의 실시 예에 따른 복수의 디지털 픽셀들(DP) 각각은 픽셀 레벨에서 디지털 신호(DOUT)를 생성하고, 출력할 수 있다. 따라서, 복수의 디지털 픽셀들(110)로부터 출력된 디지털 신호(DOUT)에 대한 변형이 감소되고, 고속으로 이미지 신호를 처리할 수 있다.
- [0018] 도 2a는 도 1의 픽셀 드라이버를 예시적으로 보여주는 블록도이다. 도 1 및 도 2a를 참조하면, 픽셀 드라이버(120)는 카운터(121), 행 드라이버(122), 램프 생성기(123), 및 전압 생성기(124)를 포함할 수 있다.
- [0019] 카운터(121)는 미리 정해진 시간 동안 미리 정해진 클럭(예를 들어, 동작 클럭, 또는 시스템 클럭 등)에 응답하여, 코드(CODE)의 값을 순차적으로 증가시키거나 또는 순차적으로 감소시킬 수 있다. 즉, 코드(CODE)의 값은 시간이 흐름에 따라 순차적으로 변화할 수 있다.
- [0020] 행 드라이버(122)는 복수의 디지털 픽셀들(DP) 각각을 제어하기 위한 제어 신호를 생성할 수 있다. 예를 들어, 행 드라이버(122)는 복수의 디지털 픽셀들(DP) 각각의 광 검출기(PDT)를 제어하기 위한 광 검출기 제어 신호(CS-PD)를 생성할 수 있다. 행 드라이버(122)는 복수의 디지털 픽셀들(DP) 각각의 메모리 회로(MCT)를 제어하기 위한 메모리 제어 신호(CD-MC)를 생성할 수 있다.

- [0021] 램프 생성기(123)는 램프 신호(VRAMP)를 생성할 수 있다. 램프 신호(VRMAP)는 디지털 핵셀(DP)에서, 아날로그 신호와의 비교 대상이 되는 기준 신호로서 사용될 수 있다. 예시적인 실시 예에서, 램프 신호(VRMAP)는 일정하게 감소 또는 증가하는 신호(즉, 단일 기울기를 갖는 증가/감소 신호)일 수 있다.
- [0022] 전압 발생기(124)는 이미지 센서 장치(100)가 동작하는데 필요한 다양한 전압들(예를 들어, 전원 전압(VDDA), 바이어스 전압(VB) 등)을 생성하도록 구성될 수 있다.
- [0023] 광 검출기 제어 신호(CS-PD), 메모리 회로(CS-MC), 코드(CODE), 및 램프 신호(VRAMP)는 도 1을 참조하여 설명된 제어 신호(CTRL)에 포함될 수 있다. 예시적인 실시 예에서, 핵셀 어레이(110)에 포함된 복수의 디지털 핵셀들(DP) 각각은 도 2a를 참조하여 설명된 핵셀 드라이버(120)로부터 생성된 다양한 신호들(CODE, CS-PD, CS-MC, VRAMP, VDDA, VB 등)을 기반으로 동작할 수 있다.
- [0024] 도 2b는 도 1의 디지털 로직 회로를 예시적으로 보여주는 블록도이다. 도 1 및 도 2b를 참조하면, 디지털 로직 회로(130)는 센서 제어기(131), 디지털 신호 처리부(132), 및 입출력 인터페이스(133)를 포함할 수 있다.
- [0025] 센서 제어기(131)는 이미지 센서 장치(100)의 제반 동작을 제어하도록 구성될 수 있다. 예를 들어, 센서 제어기(131)는 입출력 인터페이스(133)를 통해 외부 장치(예를 들어, ISP, AP 등)로부터 제공되는 제어 정보(CI)를 기반으로 이미지 센서 장치(100)의 제반 동작을 제어할 수 있다. 센서 제어기(131)는 핵셀 드라이버(120)의 동작 타이밍을 제어하기 위한 타이밍 컨트롤러일 수 있다. 예시적인 실시 예에서, 핵셀 드라이버(120)는 센서 제어기(131)로부터의 타이밍 신호들을 기반으로 앞서 설명된 다양한 신호들을 생성할 수 있다.
- [0026] 디지털 신호 처리부(132)는 핵셀 어레이(110)로부터 디지털 신호들(DOUT)를 수신하고, 수신된 디지털 신호들(DOUT)에 대한 디지털 신호 처리를 수행할 수 있다.
- [0027] 예시적인 실시 예에서, 하나의 디지털 핵셀로(110)로부터 출력되는 디지털 신호(DOUT)는 리셋 샘플링 값 및 신호 샘플링 값을 포함할 수 있다. 디지털 신호 처리부(132)는 리셋 샘플링 값 및 신호 샘플링 값에 대한 연산 동작을 수행함으로써, 하나의 디지털 핵셀(DP)에서 감지된 광 신호에 대응하는 최종 디지털 값을 결정할 수 있다.
- [0028] 복수의 디지털 핵셀들 각각에서 결정된 최종 디지털 값들이 조합됨으로써, 최종 이미지 데이터(IMG)가 생성될 수 있다. 즉, 디지털 핵셀(DP)에 포함된 아날로그 디지털 변환기(ADC) 또는 비교기의 동작에 의해 생성된 디지털 신호(DOUT) 및 디지털 로직 회로(130)에 포함된 디지털 신호 처리부(132)의 디지털 신호 처리 동작을 통해 상관 이중 샘플링(CDS; correlated double sampling) 동작이 구현될 수 있다.
- [0029] 입출력 인터페이스(133)는 외부 장치(예를 들어, ISP, AP 등)로부터 제어 정보(CI)를 제공받거나 또는 최종 이미지 데이터(IMG)를 출력하도록 구성될 수 있다. 예시적인 실시 예에서, 입출력 인터페이스(133)는 외부 장치와 미리 정해진 프로토콜을 기반으로 상술된 정보들을 주고 받을 수 있다. 예시적인 실시 예에서, 입출력 인터페이스(133)는 상술된 미리 정해진 프로토콜을 지원하기 위한 물리 계층을 포함할 수 있다.
- [0030] 도 3a 내지 도 3d는 도 1의 디지털 핵셀을 좀 더 상세하게 설명하기 위한 도면들이다. 도면의 간결성 및 설명의 편의를 위하여, 하나의 디지털 핵셀(DP)이 설명되나, 본 발명의 범위가 이에 한정되는 것은 아니다. 또한 본 발명의 기술적 사상을 용이하게 설명하기 위하여, 예시적인 회로도 또는 블록도를 기준으로 디지털 핵셀(DP)의 구조 또는 동작이 설명되나, 본 발명의 범위가 이에 한정되는 것은 아니며, 디지털 핵셀(DP)은 다양한 형태로 변형될 수 있다.
- [0031] 도 1, 도 2, 및 도 3a 내지 도 3d를 참조하면, 디지털 핵셀(DP)은 광 검출기(PDT), 비교기(COMP), 및 메모리 회로(MCT)를 포함할 수 있다.
- [0032] 광 검출기(PDT)는 핵셀 드라이버(120)로부터의 핵셀 제어 신호(CS-PD)에 응답하여, 검출 신호(DET)를 출력하도록 구성될 수 있다. 예를 들어, 도 3b에 도시된 바와 같이, 광 검출기(PDT)는 포토 다이오드(PD), 전송 트랜지스터(TX), 및 리셋 트랜지스터(RX)를 포함할 수 있다. 포토 다이오드(PD)는 접지 노드 및 전송 트랜지스터(TX) 사이에 연결되고, 외부로부터 입사된 광의 크기에 응답하여, 광 전하를 축적하도록 구성될 수 있다. 전송 트랜지스터(TX)는 부유 확산 노드(FD) 및 포토 다이오드(PD) 사이에 연결되고, 전송 신호(TG)에 응답하여 동작할 수 있다. 예를 들어, 전송 트랜지스터(TX)는 전송 신호(TG)에 응답하여, 포토 다이오드(PD)에 축적된 전하를 부유 확산 노드(FD)로 전달하도록 구성될 수 있다. 리셋 트랜지스터(RX)는 전원 전압(VDDA) 및 부유 확산 노드(FD) 사이에 연결되고, 리셋 신호(RG)에 응답하여 동작할 수 있다. 예를 들어, 리셋 트랜지스터(RX)는 리셋 신호(RG)에 응답하여 부유 확산 노드(FD)의 전압 레벨을 리셋시킬 수 있다. 예시적인 실시 예에서, 핵셀 제어 신호(CS-PD)는 앞서 설명된 전송 신호(TG) 및 리셋 신호(RG)를 포함할 수 있다. 예시적인 실시 예에서, 광 검출기

(PDT)의 동작에 따라, 부유 확산 노드(FD)의 전압(즉, VFD)가 변화할 수 있고, 이는 검출 신호(DEF)로서 출력될 수 있다.

[0033] 비교기(COMP)는 광 검출기(PDT)로부터의 검출 신호(DET)(또는 부유 확산 노드(FD)의 전압(VFD))을 램프 신호(VRAMP)와 비교하고, 비교 결과에 따른 비교 신호(COMP-OUT)를 출력할 수 있다.

[0034] 예시적인 실시 예에서, 비교기(COMP)는 저전력 비교기로 구현될 수 있다. 예를 들어, 도 3b에 도시된 바와 같이, 비교기(112)는 제1 내지 제3 NMOS 트랜지스터들(MN1~MN3) 및 제1 내지 제4 NMOS 트랜지스터들(MN1~MN4)을 포함할 수 있다. 제1 PMOS 트랜지스터(MP1), 제1 NMOS 트랜지스터(MN1), 및 제3 NMOS 트랜지스터(MN3)는 전원 전압(VDDA) 및 접지 전압(GND) 사이에 직렬 연결될 수 있다. 제1 PMOS 트랜지스터(MP1)의 게이트는 제1 PMOS 트랜지스터(MP1) 및 제1 NMOS 트랜지스터(MN1) 사이에 연결될 수 있다. 제1 NMOS 트랜지스터(MN1)의 게이트(MN1)는 부유 확산 노드(FD)와 연결되어 검출 신호(DEF)를 수신하도록 구성될 수 있다. 제3 NMOS 트랜지스터(NM3)의 게이트는 바이어스 전압(VB)을 수신하도록 구성될 수 있다. 제2 PMOS 트랜지스터(MP2), 제2 NMOS 트랜지스터(MN2)는 전원 전압(VDDA) 및 제3 NMOS 트랜지스터(MN3)의 일단 사이에 직렬 연결될 수 있다. 제2 PMOS 트랜지스터(MP2)의 게이트는 제1 PMOS 트랜지스터(MP1)의 게이트와 연결될 수 있다. 제2 NMOS 트랜지스터(MN2)의 게이트는 램프 신호(VRAMP)를 수신하도록 구성될 수 있다. 제3 PMOS 트랜지스터(MP3) 및 제4 NMOS 트랜지스터(MN4)는 전원 전압 및 접지 전압 사이에 직렬 연결될 수 있다. 제3 PMOS 트랜지스터(MP3)의 게이트는 제2 PMOS 트랜지스터(MP2) 및 제2 NMOS 트랜지스터(MN2) 사이에 연결될 수 있다. 제4 NMOS 트랜지스터(MN4)의 게이트는 바이어스 전압(VB)을 수신하도록 구성될 수 있다.

[0035] 도 3b에 도시된 바와 같은 비교기(COMP)에서, 검출 신호(DET)가 램프 신호(VRAMP)보다 낮은 경우, 비교 신호(COMP-OUT)는 로직 하이의 레벨을 가질 수 있고, 검출 신호(DET)가 램프 신호(VRAMP)보다 높은 경우, 비교 신호(COMP-OUT)는 로직 로우의 레벨을 가질 수 있다.

[0036] 예시적인 실시 예에서, 도 3b에 도시된 비교기(112)의 구조는 예시적인 것이며, 본 발명의 범위가 이에 한정되는 것은 아니다. 비교기(112)는 검출 신호(DEF) 및 램프 신호(VRAMP)를 비교하고, 비교 결과에 따라 비교 신호(COMP-OUT)를 출력하도록 구성된 다양한 형태의 비교기 또는 차동 증폭기의 구조를 가질 수 있다.

[0037] 메모리 회로(MCT)는 비교 신호(COMP-OUT) 및 메모리 제어 신호(CS-MC)에 응답하여 코드(CODE)를 저장하거나 또는 저장된 코드를 디지털 신호(DOUT)로서 출력하도록 구성될 수 있다. 예를 들어, 도 3b에 도시된 바와 같이, 메모리 회로(MCT)는 제1 및 제2 선택 회로들(SEL1, SEL2) 및 복수의 메모리 셀들(MC1, MC2)을 포함할 수 있다.

[0038] 복수의 메모리 셀들(MC1, MC2) 각각은 특정 타이밍에서의 코드(CODE)를 저장하도록 구성된 DRAM, SRAM, 래치, 또는 다른 다양한 형태의 데이터 저장 소자일 수 있다. 복수의 메모리 셀들(MC1, MC2) 각각은 제1 및 제2 워드라인들(WL1, WL2), 및 비트라인들(BL)과 연결될 수 있다. 복수의 메모리 셀들(MC1, MC2) 각각은 제1 및 제2 워드라인들(WL1, WL2)의 레벨에 따라 비트라인들(BL)을 통해 제공되는 코드(CODE)를 저장하거나 또는 저장된 코드(CODE)를 비트라인들(BL)을 통해 디지털 신호(DOUT)로서 출력할 수 있다.

[0039] 예시적인 실시 예에서, 복수의 메모리 셀들(MC1, MC2) 중 제1 메모리 셀들(MC1)의 개수는 N(단, N은 2보다 큰 자연수)개일 수 있고, 수의 메모리 셀들(MC1, MC2) 중 제2 메모리 셀들(MC2)의 개수는 M(단, M은 자연수)일 수 있다. 예시적인 실시 예에서, 제1 메모리 셀들(MC1)의 개수(N)와 제2 메모리 셀들(MC2)의 개수(M)는 동일하거나 또는 다를 수 있다.

[0040] 예시적인 실시 예에서, 제1 메모리 셀들(MC1)은 리셋 샘플링 값(R)을 저장하도록 구성될 수 있고, 제2 메모리 셀들(MC2)은 신호 샘플링 값(S)을 저장하도록 구성될 수 있다. 제1 메모리 셀들(MC1)은 제1 워드라인(WL1) 및 비트라인들(BL)과 연결될 수 있고, 제2 메모리 셀들(MC2)은 제2 워드라인(WL2) 및 비트라인들(BL)과 연결될 수 있다.

[0041] 제1 선택 회로(SEL1)는 비교 신호(COMP-OUT) 및 메모리 제어 신호(CS-MC)에 응답하여, 제1 및 제2 워드라인들(WL1, WL2)을 제어하도록 구성될 수 있다. 예를 들어, 도 3c에 도시된 바와 같이, 제1 선택 회로(SEL1)는 제1 스위치들(SW1)을 포함할 수 있다. 제1 스위치들(SW1) 각각은 비교 신호(COMP-OUT) 및 메모리 제어 신호(CS-MC)에 응답하여, 제1 워드 라인들(WL1) 및 제2 워드 라인들(WL2) 중 어느 하나로 제1 전압(V1)을 제공하도록 구성될 수 있다. 예시적인 실시 예에서, 제1 전압(V1)은 복수의 메모리 셀들(MC1, MC2) 각각을 활성화시키는 고전압일 수 있다. (예를 들어, 메모리 셀들이 DRAM인 경우, 선택 트랜지스터를 활성화시키는 고전압)

[0042] 예를 들어, 메모리 제어 신호(CS-MC)는 제1 및 제2 샘플링 신호들(SMP1, SMP2) 및 제1 및 제2 읽기 신호들(RD1, RD2)을 포함할 수 있다. 제1 샘플링 신호(SMP1)는 리셋 샘플링 값(R)을 제1 메모리 셀들(MC1)에 저장하기 위한

신호일 수 있고, 제2 샘플링 신호(SMP2)는 신호 샘플링 값(S)을 제2 메모리 셀들(MC2)에 저장하기 위한 신호일 수 있다. 제1 읽기 신호(RD1)는 제1 메모리 셀들(MC1)에 저장된 리셋 샘플링 신호(R)를 디지털 신호(DOUT)로서 출력하기 위한 신호일 수 있고, 제2 읽기 신호(RD2)는 제2 메모리 셀들(MC2)에 저장된 신호 샘플링 신호를 디지털 신호(DOUT)로서 출력하기 위한 신호일 수 있다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니며, 메모리 회로(113)를 제어하기 위한 메모리 제어 신호(CS-MC)는 다양하게 변형될 수 있다.

[0043] 제1 샘플링 신호(SMP1) 또는 제1 읽기 신호(RD1)가 활성화된 경우, 제1 스위치들(SW1)은 비교 신호(COMP-OUT)의 하강 에지(또는 상승 에지)에 응답하여, 제1 워드라인(WL1)으로 제1 전압(V1)을 제공할 수 있다. 이에 따라, 제1 워드라인(WL1)과 연결된 제1 메모리 셀들(MC1)이 활성화되고, 활성화된 제1 메모리 셀들(MC1)에 코드(CODE)의 값이 저장되거나 또는 활성화된 제1 메모리 셀들(MC1)에 저장된 값(예를 들어, 리셋 샘플링 값(R))이 출력될 수 있다.

[0044] 제2 샘플링 신호(SMP2) 또는 제1 읽기 신호(RD2)가 활성화된 경우, 제1 스위치들(SW1)은 비교 신호(COMP-OUT)의 하강 에지(또는 상승 에지)에 응답하여, 제2 워드라인(WL2)으로 제2 전압(V2)을 제공할 수 있다. 이에 따라, 제2 워드라인(WL2)과 연결된 제1 메모리 셀들(MC2)이 활성화되고, 활성화된 제2 메모리 셀들(MC2)에 코드(CODE)의 값이 저장되거나 또는 활성화된 제2 메모리 셀들(MC2)에 저장된 값(예를 들어, 신호 샘플링 값(S))이 출력될 수 있다.

[0045] 상술된 바와 같이 제1 선택 회로(SEL1)는 비교 신호(COMP-OUT) 및 메모리 제어 신호(CS-MC)에 따라 제1 메모리 셀들(MC1) 및 제2 메모리 셀들(MC2) 중 적어도 하나의 그룹을 선택할 수 있다.

[0046] 제2 선택 회로(SEL2)는 메모리 제어 신호(CS-MC)에 응답하여, 비트라인들(BL)로 코드(CODE)를 제공하거나 또는 비트라인들(BL)로부터 디지털 신호(DOUT)를 출력하도록 구성될 수 있다. 예를 들어, 도 3c에 도시된 바와 같이, 제2 선택 회로(SEL2)는 제2 스위치들(SW2)를 포함할 수 있다. 제2 스위치들(SW2)은 메모리 제어 신호(CS-MC)에 응답하여, 비트라인들(BL)을 코드(CODE)를 수신하는 라인들 및 디지털 신호(DOUT)를 출력하는 라인들 중 어느 하나의 그룹과 연결시키도록 구성될 수 있다.

[0047] 예를 들어, 제1 샘플링 신호(SMP1) 또는 제2 샘플링 신호(SMP2)가 활성화된 경우, 제2 스위치들(SW2)은 비트라인들(BL)을 코드(CODE)를 수신하는 라인들을 연결시킬 수 있다. 이 경우, 카운터(121)로부터 제공되는 코드(CODE)가 비트라인들(BL)을 통해 제1 메모리 셀들(MC1) 또는 제2 메모리 셀들(MC2)로 제공될 수 있다. 제1 읽기 신호(RD1) 또는 제2 읽기 신호(RD2)가 활성화된 경우, 제2 스위치들(SW2)은 비트라인들(BL)을 디지털 신호(DOUT)를 출력하는 라인들과 연결시킬 수 있다. 이 경우, 제1 메모리 셀들(MC1) 또는 제2 메모리 셀들(MC2)에 저장된 값(예를 들어, 리셋 샘플링 값(R) 또는 신호 샘플링 값(S))이 디지털 신호(DOUT)로서 출력될 수 있다.

[0048] 예시적인 실시 예에서, 도 3c에 도시된 제1 선택 회로(SEL1) 및 제2 선택 회로(SEL2)는 예시적인 것이며, 본 발명의 범위가 이에 한정되는 것은 아니다. 예를 들어, 제1 및 제2 선택 회로들(SEL1, SEL2) 각각은 디지털 픽셀(DP)과 대응하는 메모리 셀들에 대응하는 정보(예를 들어, 리셋 샘플링 값(R) 또는 신호 샘플링 값(S))를 저장하거나 또는 독출할 수 있도록 다양한 방식으로 변형될 수 있다. 예시적인 실시 예에서, 제1 및 제2 선택 회로들(SEL1, SEL2) 각각은 워드라인들의 개수, 비트라인들의 개수, 워드라인의 라우팅 방식, 비트라인들의 라우팅 방식에 따라 다양하게 변형될 수 있다. 예시적인 실시 예에서, 제1 및 제2 선택 회로들(SEL1, SEL2)이 하나의 픽셀(DP)에 포함되는 것으로 도시되었으나, 본 발명의 범위가 이에 한정되는 것은 아니다. 예를 들어, 제1 및 제2 선택 회로들(SEL1, SEL2)은 복수의 디지털 픽셀들을 포함하는 픽셀 그룹 단위로 배치되도록 구성될 수 있다.

[0049] 상술된 바와 같이, 본 발명의 실시 예에 따른 디지털 픽셀(DP)은 외부로부터 수신된 광에 대응하는 아날로그 신호를 생성하고, 생성된 아날로그 신호를 디지털 신호로 변환하여 출력하도록 구성될 수 있다. 이하에서, 도 3d를 참조하여, 디지털 픽셀(DP)의 개략적인 동작이 설명된다.

[0050] 도 3d에 도시된 바와 같이, 제1 시점(T1)으로부터 제3 시점(T3)까지, 제1 샘플링 신호(SMP1)가 활성화될 수 있다. 즉, 제1 시점(T1)으로부터 제3 시점(T3)까지의 시간 동안 광 검출기(111)의 리셋 레벨에 대한 샘플링 동작이 수행될 수 있다.

[0051] 예를 들어, 제1 샘플링 신호(SMP1)의 활성화 동안, 램프 신호 생성기(123)는 일정하게 감소(즉, 단일 기울기로 감소)하는 램프 신호(VRAMP)를 출력할 수 있고, 카운터(121)는 소정의 간격으로 증가 또는 감소하는 코드(CODE)를 순차적으로 출력할 수 있다. 이 때, 제2 시점(T2)에서, 램프 신호(VRAMP)의 레벨이 광 검출기(PDT)의 부유 확산 노드(FD)의 레벨(즉, VFD)보다 작아질 수 있다. 이 경우, 비교기(COMP)의 비교 동작에 의해, 출력 신호

(COMP-OUT)가 하이 레벨에서 로우 레벨로 천이될 수 있다.

[0052] 비교기(COMP)의 출력 신호(COMP-OUT)의 하강 에지(즉, 제2 시점(T2))에서, 제1 샘플링 신호(SMP1)가 활성화 상태이므로, 제2 선택 회로(SEL2)에 의해 비트라인들(BL)로 코드(CODE)가 제공되고, 제1 선택 회로(SEL1)에 의해 제1 메모리 셀들(MC1)이 활성화될 수 있다. 즉, 제2 시점(T2)에서 코드(CODE)의 값이 제1 메모리 셀들(MC1)에 리셋 샘플링 값(R)으로서 저장될 수 있다.

[0053] 이후에, 제4 시점(T4)에서 활성화된 전송 신호(TG)에 응답하여, 광 검출기(PDT)의 전송 트랜지스터(TX)가 터-온 되고, 포토 다이오드(PD)에 의해 측정된 전하가 부유 확산 노드(FD)로 전달될 수 있다. 이에 따라, 제4 시점(T4)에서 부유 확산 노드(FD)의 레벨(즉, VFD)(또는 검출 신호(DET))이 전달된 전하에 대응되는 레벨만큼 감소 할 수 있다.

[0054] 이후에, 제5 시점(T5)으로부터 제7 시점(T7)까지 제2 샘플링 신호(SMP2)가 활성화될 수 있다. 즉, 제5 시점(T5)으로부터 제7 시점(T7)까지의 시간 동안, 광 검출기(PDT)로부터의 검출 신호(DEF)에 대한 신호 샘플링 동작이 수행될 수 있다.

[0055] 예를 들어, 앞서 설명된 바와 유사하게, 제2 샘플링 신호(SMP2)의 활성화 동안, 램프 신호 발생기(123)는 램프 신호(VRAMP)를 출력할 수 있고, 카운터(121)는 코드(CODE)를 출력할 수 있다. 이 때, 제5 시점(T5)에서, 검출 신호(DEF)가 램프 신호(VRAMP)보다 낮아질 수 있다. 이 경우, 비교기(112)의 출력 신호(COMP-OUT)는 하이 레벨에서 로우 레벨로 천이될 수 있다.

[0056] 비교기(COMP)의 출력 신호(COMP-OUT)의 하강 에지(즉, 제6 시점(T6))에서, 제2 샘플링 신호(SMP2)가 활성화 상태이므로, 제2 선택 회로(SEL2)에 의해 비트라인들(BL)로 코드(CODE)가 제공되고, 제2 선택 회로(SEL2)에 의해 제2 메모리 셀들(MC2)이 활성화될 수 있다. 즉, 제6 시점(T6)에서 코드(CODE)의 값(S)이 제2 메모리 셀들(MC2)에 저장될 수 있다.

[0057] 이후에, 제1 읽기 신호(RD1)의 활성화 구간 동안, 제1 선택 회로(SEL1)에 의해 제1 메모리 셀들(MC1)이 활성화되고, 제2 선택 회로(SEL2)에 의해 비트라인들(BL)이 출력 신호 라인들(즉, 디지털 신호(DOUT)를 출력하는 라인)과 연결될 수 있다. 이 경우, 제1 메모리 셀들(MC1)에 저장된 값(즉, 리셋 샘플링 값(R))이 디지털 신호(DOUT)로서 출력될 수 있다.

[0058] 이후에, 제2 읽기 신호(RD2)의 활성화 구간 동안, 제2 선택 회로(SEL2)에 의해 제2 메모리 셀들(MC2)이 활성화되고, 제2 선택 회로(SEL2)에 의해 비트라인들(BL)이 출력 신호 라인들과 연결될 수 있다. 이 경우, 제2 메모리 셀들(MC2)에 저장된 값(즉, 신호 샘플링 값(S))이 디지털 신호(DOUT)로서 출력될 수 있다.

[0059] 이후에, 제8 시점(T8)에서, 리셋 신호(RG)의 활성화에 응답하여, 리셋 트랜지스터(TX)가 터-온될 수 있고, 이에 따라 부유 확산 노드(FD)의 레벨(VFD)이 리셋될 수 있다.

[0060] 예시적인 실시 예에서, 메모리 회로(MCT)로부터 출력된 디지털 신호(DOUT)(또는 리셋 샘플링 값(R) 및 신호 샘플링 값(S))은 감지 증폭기(SA)를 통해 디지털 로직 회로(130)로 제공될 수 있다. 예시적인 실시 예에서, 감지 증폭기(SA)는 픽셀 어레이(110)에 포함된 복수의 픽셀들의 열 단위로 배열될 수 있다.

[0061] 도 3a 내지 도 3d를 참조하여 설명된 디지털 픽셀(DP)의 구조 또는 동작은 예시적인 것이며, 본 발명의 범위가 이에 한정되는 것은 아니다. 디지털 픽셀(DP)의 구조 또는 동작은 디지털 픽셀(DP)의 구현 방식에 따라 다양하게 변형될 수 있다.

[0062] 도 4a 및 도 4d는 도 1의 픽셀 어레이(110)의 구성을 예시적으로 보여주는 도면들이다. 도 1, 도 4a, 및 도 4b를 참조하면, 픽셀 어레이(110)는 상부 웨이퍼(WF-u) 및 하부 웨이퍼(WF-d)를 포함할 수 있다. 상부 웨이퍼(WF-d)는 하부 웨이퍼(WF-d)의 상에(즉, 제3 방향(DR3) 측으로) 적층될 수 있다.

[0063] 상부 웨이퍼(WF-u) 및 하부 웨이퍼(WF-d) 각각은 반도체 기판 상에 형성된 반도체 패턴을 포함할 수 있다. 상부 웨이퍼(WF-u)는 복수의 제1 픽셀 회로들(PXC1)을 포함할 수 있고, 하부 웨이퍼(WF-d)는 복수의 제2 픽셀 회로들(PXC-2)을 포함할 수 있다.

[0064] 예시적인 실시 예에서, 복수의 제1 픽셀 회로들(PXC1) 각각은 상부 웨이퍼(WF-u)의 대응하는 제1 픽셀 회로 영역에 형성될 수 있고, 복수의 제2 픽셀 회로들(PXC2) 각각은 하부 웨이퍼(WF-d)의 대응하는 제2 픽셀 회로 영역에 형성될 수 있다. 이하에서, 설명의 편의를 위하여, 단순히 "픽셀 회로"의 용어가 사용되나, "픽셀 회로"의 용어는 실시 예 또는 기재된 맥락에 따라 대응하는 소자들을 가리키거나 또는 대응하는 소자들이 형성되는 영역

을 가리킬 수 있다.

[0065] 복수의 제1 픽셀 회로들(PXC1) 중 하나 그리고 복수의 제2 픽셀들 회로들(PXC2) 중 하나는 하나의 디지털 픽셀(DP)을 구성할 수 있다. 예를 들어, 상부 웨이퍼(WF-u)에 포함된 하나의 제1 픽셀 회로(PXC1)는 도 3a 내지 도 3d를 참조하여 설명된 하나의 디지털 픽셀(DP)의 구성 요소들 중 일부를 포함할 수 있고, 하부 웨이퍼(WF-d)에 포함된 하나의 제2 픽셀 회로(PXC2)는 하나의 디지털 픽셀(DP)의 구성 요소들 중 나머지 일부를 포함할 수 있다. 예시적인 실시 예에서, 상부 웨이퍼(WF-u)의 제1 픽셀 회로(PXC1) 및 하부 웨이퍼(WF-d)의 제2 픽셀 회로(PXC2)가 서로 전기적으로 연결됨으로써, 하나의 디지털 픽셀(DP)이 구현될 수 있다. 예시적인 실시 예에서, 제1 픽셀 회로(PXC1) 및 제2 픽셀 회로(PXC2)는 상부 웨이퍼(WF-u) 및 하부 웨이퍼(WF-d) 사이의 연결 구조체(예를 들어, TVS, Cu-to-Cu 본딩 등)를 통해 서로 전기적으로 연결될 수 있다.

[0066] 예시적인 실시 예에서, 하나의 디지털 픽셀(DP)을 구성하는 제1 픽셀 회로(PXC1) 및 제2 픽셀 회로(PXC2)는 제1 및 제2 방향들(DR1, DR2)에 의해 정의된 평면 상에서 서로 중첩되도록 또는 서로 정렬되도록 배열될 수 있다. 예를 들어, 도 4b에 도시된 바와 같이, 상부 웨이퍼(WF-u)의 제1 픽셀 회로(PXC1)는 도 3b의 광 검출기(PDT) 및 비교기(COMP)의 일부를 포함할 수 있다. 이 경우, 도 4b에 도시된 바와 같이, 제1 기판(SUB1)에 포토 다이오드(PD)가 형성되고, 포토 다이오드(PD)의 상부에 컬러 필터(CF) 및 렌즈(LS)가 형성될 수 있다.

[0067] 제1 기판(SUB1)의 하부에 제1 픽셀 회로 레이어(PCX-LAY1)가 형성될 수 있다. 광 검출기(PDT)의 전송 트랜지스터(TX) 및 리셋 트랜지스터(RX), 및 비교기(COMP)의 일부가 제1 픽셀 회로 레이어(PCX-LAY1)에 형성될 수 있다. 예시적인 실시 예에서, 비교기(COMP)의 일부는 비교기(COMP)에 포함된 다양한 트랜지스터들 중 적어도 하나를 포함할 수 있다.

[0068] 제1 픽셀 회로 레이어(PCX-LAY1)의 하부에 제1 메탈 레이어(ML-LAY1)가 형성될 수 있다. 상부 웨이퍼(WF-u)에 포함된 다양한 소자들 사이를 연결하기 위한 메탈 배선들이 제1 메탈 레이어(ML-LAY1)에 형성될 수 있다.

[0069] 하부 웨이퍼(WF-d)는 제2 기판(SUB2) 상에 형성될 수 있다. 예를 들어, 하부 웨이퍼(WF-d)에 포함된 제2 픽셀 회로(PXC2)는 비교기(COMP)의 나머지 일부 및 메모리 회로(MCT)를 포함할 수 있다. 비교기(COMP)의 나머지 일부 및 메모리 회로(MCT)는 제2 기판(SUB2) 상의 제2 픽셀 회로 레이어(PCX-LAY2)에 형성될 수 있다.

[0070] 제2 픽셀 회로 레이어(PCX-LAY2)의 상부에 제2 메탈 레이어(ML-LAY2)가 형성될 수 있다. 제2 메탈 레이어(ML-LAY2)는 소자들 각각을 연결하기 위한 메탈 배선들을 포함할 수 있다.

[0071] 예시적인 실시 예에서, 디지털 픽셀(DP)의 메모리 회로(MCT)는 하부 웨이퍼(WF-d)의 제2 픽셀 회로(PXC2)에 포함될 수 있다. 이 경우, 메모리 회로(MCT)에 포함된 메모리 셀들(MC)은 제2 픽셀 회로 레이어(PCX-LAY2)에 위치한 메모리 셀 영역(MCA)에 형성될 수 있고, 제2 픽셀 회로(PXC2)의 나머지 소자들은 주변 영역(PRA)에 형성될 수 있다.

[0072] 상술된 바와 같이, 상부 웨이퍼(WF-u) 및 하부 웨이퍼(WF-d)를 적층하여 전기적으로 서로 연결함으로써, 본 발명에 따른 이미지 센서 장치(100)의 픽셀 어레이(110) 또는 복수의 디지털 픽셀들이 구현될 수 있다.

[0073] 도 5a 내지 도 5c는 픽셀 어레이에 포함된 상부 웨이퍼 및 하부 웨이퍼의 개략적인 레이아웃들을 보여주는 평면도들이다. 도면의 간결성 및 설명의 편의를 위하여, 4개의 디지털 픽셀들에 대한 레이아웃이 이하의 도면들에서 도시되나, 본 발명의 범위가 이에 한정되는 것은 아니며, 다른 디지털 픽셀들 또한 유사한 방식으로 확장될 수 있다.

[0074] 도 5a를 참조하면, 상부 웨이퍼(wf-u)는 4개의 제1 픽셀 회로들(pxc11, pcx21, pcx31, pcx41)을 포함할 수 있고, 4개의 제2 픽셀 회로들(pxc11~pcx41)은 2×2 의 형태로 배열될 수 있다. 하부 웨이퍼(wf-d)는 4개의 제2 픽셀 회로들(pxc21, pcx22, pcx32, pcx42)을 포함할 수 있고, 4개의 제2 픽셀 회로들(pxc21~pcx42)은 2×2 의 형태로 배열될 수 있다. 4개의 제1 픽셀 회로들(pxc11~pcx41) 각각이 4개의 제2 픽셀 회로들(pxc21~pcx42) 각각과 전기적으로 연결됨으로써, 4개의 디지털 픽셀들이 구성될 수 있다.

[0075] 이 때, 하나의 제1 픽셀 회로(예를 들어, pxc11)의 상부 웨이퍼(wf-u) 상에서의 크기 또는 길이 또는 피치는 하나의 제2 픽셀 회로(예를 들어, pxc12)의 하부 웨이퍼(wf-d) 상에서의 크기 또는 길이 또는 피치와 동일할 수 있다. 즉, 제1 픽셀 회로들(pxc11~pcx14)은 제1 및 제2 방향들(DR1, DR2)에 의해 형성된 평면 상에서, 제2 픽셀 회로들(pxc21~pcx24)과 중첩되도록 형성될 수 있다.

[0076] 앞서 설명된 바와 유사하게, 4개의 제1 픽셀 회로들(pxc11~pcx41) 각각은 광 검출기(PDT) 및 비교기(COMP)의 일부를 포함할 수 있고, 4개의 제2 픽셀 회로들(pxc12~pcx42) 각각은 비교기(COMP)의 나머지 일부 및 메모리 회로

(MCT)를 포함할 수 있다. 4개의 제2 핵셀 회로들(pcx12~pcx42) 각각은 하부 웨이퍼(wf-d)의 주변 영역들(pr1~pr4) 및 메모리 셀 영역들(mca1~mca4)에 형성될 수 있다.

[0077] 좀 더 상세한 예로서, pcx11의 핵셀 회로와 대응하는 pcx12의 핵셀 회로는 제1 주변 영역(pr1) 및 제1 메모리 셀 영역(mca1)에 형성될 수 있고, pcx21의 핵셀 회로와 대응하는 pcx22의 핵셀 회로는 제2 주변 영역(pr2) 및 제2 메모리 셀 영역(mca2)에 형성될 수 있고, pcx31의 핵셀 회로와 대응하는 pcx32의 핵셀 회로는 제3 주변 영역(pr3) 및 제3 메모리 셀 영역(mca3)에 형성될 수 있고, pcx41의 핵셀 회로와 대응하는 pcx42의 핵셀 회로는 제4 주변 영역(pr4) 및 제4 메모리 셀 영역(mca4)에 형성될 수 있다.

[0078] 제2 핵셀 회로(예를 들어, pcx12)에 포함된 메모리 회로(MCT)의 메모리 셀들은 제1 메모리 셀 영역(mca1)에 형성될 수 있고, 제2 핵셀 회로(예를 들어, pcx12)의 나머지 구성 요소들은 제1 주변 영역(pr1)에 형성될 수 있다. 이 때, 메모리 회로(MCT)의 메모리 셀들은 제1 메모리 셀 영역(mca1)에서 아래이 형태로 제공될 수 있다.

[0079] 예를 들어, 도 5b에 도시된 바와 같이, 제1 메모리 셀 영역(mca1)에서 복수의 메모리 셀들이 형성될 수 있다. 복수의 메모리 셀들 중 일부 메모리 셀들은 실제 데이터(예를 들어, 리셋 샘플링 값(R) 또는 신호 샘플링 값(S))을 저장하는데 사용되는 실제 메모리 셀(RMC; real memory cell)일 수 있고, 나머지 메모리 셀들은 실제 메모리 셀들(RMC)에 저장된 데이터의 신뢰성을 보장하기 위한 더미 셀들(DC; Dummy cell)일 수 있다. 더미 셀들(DC)은 제1 메모리 셀 영역(mca1)의 더미 패턴 영역(DPA; Dummy Pattern Area) 상에 형성될 수 있다.

[0080] 예를 들어, 실제 메모리 셀들(RMC)은 제1 및 제2 워드라인들(WL1, WL2), 및 비트라인(BL)과 연결될 수 있다. 도 3a 내지 도 3d를 참조하여 설명된 바와 같이, 제1 워드라인(WL1)에 연결된 실제 메모리 셀들(RMC)은 리셋 샘플링 값(R)을 저장하는데 사용될 수 있고, 제2 워드라인(WL2)과 연결된 실제 메모리 셀들(RMC)은 신호 샘플링 값(S)을 저장하는데 사용될 수 있다. 도 5b에 도시된 바와 같이, 제1 메모리 셀 영역(mca1) 중 실제 메모리 셀들(RMC)이 형성된 영역으로부터 제1 방향(DR1), 제1 방향(DR1)과 반대되는 방향, 제2 방향(DR2), 및 제2 방향(DR2)과 반대되는 방향에서, 더미 셀들(DC)이 형성될 수 있다. 다시 말해서, 제1 메모리 셀 영역(mca1)의 예지 영역에 위치한 셀들이 더미 셀들(DC)로서 사용될 수 있다.

[0081] 도면의 간결성을 위하여, 실제 메모리 셀들(RMC) 및 더미 셀들(DC)이 비트라인(BL) 또는 워드라인(WL)과 연결된 것으로 도시되어 있으나, 본 발명의 범위가 이에 한정되는 것은 아니다. 실제 메모리 셀들(RMC)은 제1 및 제2 워드라인들(WL1, WL2) 및 비트라인들(BL)과 전기적으로 연결됨으로써, 디지털 신호(DOUT)를 저장하도록 구성될 수 있다. 반면에, 더미 셀들(DC)은 실제 메모리 셀들(RMC)과 유사한 구조를 가질 수 있으나, 외부 배선(예를 들어, 메탈 라인)과 전기적으로 연결되지 않을 수 있다.

[0082] 도 5b에 도시된 메모리 셀들의 구성은 예시적인 것이며, 본 발명의 범위가 이에 한정되는 것은 아니다. 예를 들어, 제1 메모리 셀 영역(mca1)에서 형성되는 메모리 셀들의 전체 개수, 또는 실제 메모리 셀들의 개수, 또는 더미 셀들의 개수, 또는 워드라인들의 개수, 또는 비트라인들의 개수 등은 다양하게 변형될 수 있다.

[0083] 예시적인 실시 예에서, 다른 메모리 셀 영역들(예를 들어, mca2, mca3, mca4)은 제1 메모리 셀 영역(mca1)과 유사한 형태를 가질 수 있다. 이 경우, 4개의 제2 핵셀 회로들(pcx12~pcx42)에서의 메모리 셀 영역들의 패턴은 도 5c에 도시된 바와 같을 수 있다.

[0084] 이 때, 하나의 제2 핵셀 회로(예를 들어, pcx12)의 면적은 "L1×L2"일 수 있고, 하나의 메모리 영역(예를 들어, mca1)의 면적은 "L3×L4"일 수 있다. 이 경우, 하나의 제2 핵셀 회로(예를 들어, pcx12)에서의 주변 영역(예를 들어, pr1)의 면적은 "L1×L2- L3×L4"일 것이다.

[0085] 예시적인 실시 예에서, 도 5b에 도시된 제1 메모리 셀 영역(mca1)은 제1 방향(DR1)으로 제3 길이(L3)를 갖고, 제2 방향(DR2)으로 제4 길이(L4)를 가질 수 있다. 제1 메모리 셀 영역(mca1)에서, 실제 메모리 셀들(RMC)이 위치하는 영역은 제1 방향(DR1)으로 제6 길이(L6)를 갖고, 제2 방향(DR2)으로 제8 길이(L8)를 가질 수 있다. 실제 메모리 셀들(RMC)이 위치하는 영역으로부터, 제1 방향(DR1) 및 제1 방향(DR1)과 반대되는 방향 각각을 따라 제5 길이(L5)만큼, 그리고, 제2 방향(DR2) 및 제2 방향(DR2)과 반대되는 방향 각각을 따라 제7 길이(L7)만큼이 더미 패턴 영역(DPA)일 수 있다.

[0086] 즉, 제1 메모리 셀 영역(mca1)의 전체 면적은 "L3×L4"이고, 이 중 실제 메모리 셀들(RMC)이 위치하는 영역의 면적은 "L6×L8"이고, 더미 패턴 영역(DPA)의 면적은 " L3×L4- L6×L8"일 것이다.

[0087] 상술된 바와 같이, 단위 핵셀마다 형성되는 메모리 셀 영역의 더미 패턴 영역(DPA)이 차지하는 면적으로 인하여, 전체적인 주변 영역들(pr1, pr2, pr3, pr4)의 면적이 제한될 수 있다. 이 경우, 주변 영역들(pr1, pr2,

pr3, pr4)의 제한된 면적으로 인하여, 주변 영역들에 형성된 소자들의 신뢰성이 저하될 수 있다. 이에 따라, 본 발명에서는, 디지털 픽셀 단위마다 형성되는 메모리 셀 영역에서, 인접한 주변 메모리 셀 영역과 더미 영역을 공유함으로써, 더미 영역을 감소시킬 수 있다. 본 발명의 실시 예에 따른 메모리 레이아웃은 이하의 도면들을 참조하여 더욱 상세하게 설명된다.

[0088] 도 6은 도 4a의 픽셀 어레이의 상부 웨이퍼 및 하부 웨이퍼의 레이아웃을 예시적으로 보여주는 평면도들이다. 도 4a 및 도 6을 참조하면, 상부 웨이퍼(WF-u)는 4개의 제1 픽셀 회로들(PXC11, PXC21, PXC31, PXC41)을 포함할 수 있고, 4개의 제1 픽셀 회로들(PXC11~PXC41)은 2×2 의 형태로 배열될 수 있다. 4개의 제1 픽셀 회로들(PXC11~PXC41)은 앞서 설명된 바와 유사하므로, 이에 대한 상세한 설명은 생략된다.

[0089] 하부 웨이퍼(WF-d)는 4개의 제2 픽셀 회로들(PXC12, PXC22, PXC32, PXC42)을 포함할 수 있고, 4개의 제2 픽셀 회로들(PXC12~PXC42)은 2×2 의 형태로 배열될 수 있다. 앞서 설명된 바와 같이, 4개의 제1 픽셀 회로들(PXC11~PXC41) 및 4개의 제2 픽셀 회로들(PXC12~PXC42) 각각은 "L1×L2"의 면적을 가질 수 있으며, 4개의 제1 픽셀 회로들(PXC11~PXC41) 및 4개의 제2 픽셀 회로들(PXC12~PXC42) 각각은 서로 전기적으로 연결됨으로써, 4개의 디지털 픽셀(DP)을 구성할 수 있다.

[0090] 도 6의 하부 웨이퍼(WF-d)의 4개의 제2 픽셀 회로들(PXC12~PXC42)은 도 5a의 하부 웨이퍼(wf-d)의 제2 픽셀 회로들(pxc12~pxc42)와 달리, 하나의 메모리 셀 영역(MCA)을 공유할 수 있다. 예를 들어, 도 5a의 제2 픽셀 회로들(pxc12~pxc42) 각각은 서로 다른 메모리 셀 영역들(mca1~mca4)을 포함한다. 반면에, 도 6의 하부 웨이퍼(WF-d)에는 하나의 메모리 셀 영역(MCA)에 메모리 셀들이 형성되고, 4개의 제2 픽셀 회로들(PXC12~PXC42)은 하나의 메모리 셀 영역(MCA)을 공유할 수 있다.

[0091] 좀 더 상세한 예로서, 하나의 메모리 셀 영역(MCA)은 제1 내지 제4 서브 메모리 셀 영역들(sMCA1~sMCA4)(이하에 서, 설명의 편의를 위하여, "서브 영역"이라 칭함.)로 구분될 수 있다. 제1 내지 제4 서브 영역들(sMCA1~sMCA4) 각각은 실제 메모리 셀들(RMC)을 포함할 수 있다. 제1 서브 메모리 영역(sMCA1)에 포함된 실제 메모리 셀들(RMC)은 "PXC11" 및 "PXC12"에 의해 형성된 디지털 픽셀(DP)의 디지털 신호를 저장하는데 사용될 수 있다. 제2 서브 메모리 영역(sMCA2)에 포함된 실제 메모리 셀들(RMC)은 "PXC21" 및 "PXC22"에 의해 형성된 디지털 픽셀(DP)의 디지털 신호를 저장하는데 사용될 수 있다. 제3 서브 메모리 영역(sMCA3)에 포함된 실제 메모리 셀들(RMC)은 "PXC31" 및 "PXC32"에 의해 형성된 디지털 픽셀(DP)의 디지털 신호를 저장하는데 사용될 수 있다. 제1 서브 메모리 영역(sMCA4)에 포함된 실제 메모리 셀들(RMC)은 "PXC41" 및 "PXC42"에 의해 형성된 디지털 픽셀(DP)의 디지털 신호를 저장하는데 사용될 수 있다.

[0092] 예시적인 실시 예에서, 제1 내지 제4 서브 영역들(sMCA1~sMCA4) 각각의 사이에 공유 더미 패턴 영역(sDPA)이 존재할 수 있다. 공유 더미 패턴 영역(sDPA)은 제1 내지 제4 서브 영역들(sMCA1~sMCA4) 각각에 의해 공유되는 더미 패턴 영역을 가리킬 수 있다. 예를 들어, 도 5b의 제1 메모리 셀 영역(mca1)의 실제 메모리 셀들(RMC)의 신뢰성을 보장하기 위하여, 제1 메모리 셀 영역(mca1)의 예지 영역에 더미 패턴 영역(DPA)이 존재한다. 반면에, 도 6의 메모리 셀 영역(MCA)은 제1 내지 제4 서브 영역들(sMCA1~sMCA4) 각각의 실제 메모리 셀들(RMC)의 신뢰성을 보장하기 위하여, 제1 내지 제4 서브 영역들(sMCA1~sMCA4) 각각의 실제 메모리 셀들(RMC) 사이에 위치한 공유 더미 패턴 영역(sDPA)을 포함할 수 있다. 다시 말해서, 제1 내지 제4 서브 영역들(sMCA1~sMCA4) 각각이 특정 영역에 위치한 더미 패턴 영역(즉, 공유 더미 패턴 영역(sDPA))을 서로 공유할 수 있다. 이 경우, 도 5a 내지 도 5c의 실시 예와 비교 하여, 4개의 디지털 픽셀들을 형성하는데 요구되는 더미 패턴 영역(DPA)(좀 더 상세하게는 실제 메모리 셀들(RMC)을 위한 더미 패턴 영역)이 감소되기 때문에, 주변 영역들(PR1~PR4)의 면적이 상대적으로 넓어질 수 있다. 주변 영역들(PR1~PR4)의 면적이 넓어짐에 따라, 주변 영역(PR1~PR4)에 형성되는 소자들의 신뢰성이 향상되거나 또는 다른 기능을 위한 소자들이 추가 구현될 수 있다.

[0093] 도 7a는 도 6에 도시된 메모리 셀 영역의 레이아웃을 좀 더 상세하게 보여주는 평면도이다. 도 7b는 도 7a의 메모리 셀 영역이 반영된 하부 웨이퍼를 예시적으로 보여주는 평면도이다. 예시적으로, 도 7a 및 도 7b에 도시된 메모리 셀 영역(MCA)의 레이아웃은 예시적인 것이며, 본 발명의 범위가 이에 한정되는 것은 아니다. 예를 들어, 메모리 셀 영역(MCA)에 포함된 메모리 셀들의 전체 개수, 실제 메모리 셀들(RMC)의 개수, 더미 셀들(DC)의 개수, 또는 공유 더미 셀들(sDC)의 개수는 다양하게 변형될 수 있다.

[0094] 도 6 및 도 7a를 참조하면, 메모리 셀 영역(MCA)은 복수의 메모리 셀들을 포함할 수 있다. 복수의 메모리 셀들은 메모리 셀 영역(MCA) 상에서, 행 방향(즉, 제1 방향(DR1)) 및 열 방향(즉, 제2 방향(DR2))을 따라 배열될 수 있다. 복수의 메모리 셀들 각각은 비트라인 또는 워드라인과 연결될 수 있다. 이하에서, 설명의 편의를 위하여, 실제 메모리 셀들(RMC)을 제외한 나머지 셀들(예를 들어, 더미 셀들(DC), 공유 더미 셀들(sDC) 등)에 대한 워드

라인 또는 비트라인에 대한 설명은 생략된다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니다. 예를 들어, 메모리 셀 영역(MCA) 상에서, 나머지 셀들(예를 들어, 더미 셀들(DC), 공유 더미 셀들(sDC) 등)에 대응하는 워드라인 또는 비트라인이 생성될 수 있으나, 나머지 셀들(예를 들어, 더미 셀들(DC), 공유 더미 셀들(sDC) 등)에 대응하는 워드라인 또는 비트라인은 다른 회로(예를 들어, 주변 영역의 소자들)과 전기적으로 연결되지 않을 수 있다.

[0095] 복수의 메모리 셀들은 실제 메모리 셀들(RMC), 더미 셀들(DC), 및 공유 더미 셀들(sDC)을 포함할 수 있다. 실제 메모리 셀들(RMC)은 대응하는 디지털 신호(예를 들어, 리셋 샘플링 값(R) 또는 신호 샘플링 값(S))을 저장하는데 사용될 수 있다. 더미 셀들(DC) 및 공유 더미 셀들(sDC)은 실제 메모리 셀들(RMC)의 신뢰성을 보장하기 위한 셀들 또는 패턴일 수 있다.

[0096] 예시적인 실시 예에서, 하나의 메모리 셀 영역(MCA)은 하나의 메모리 셀 어레이 또는 단일 메모리 셀 어레이를 구성할 수 있다. 하나의 메모리 셀 어레이를 특정 영역 내에서 서로 인접한 메모리 셀들 또는 메모리 셀들에 대한 패턴이 반복적으로 형성된 구조체를 가리킬 수 있다. 좀 더 상세한 예로서, 도 5c의 실시 예에서는, 하나의 디지털 픽셀 단위로, 메모리 셀 어레이가 구현되는 실시 예이며, 도 6의 실시 예에서는, 서로 인접한 복수의 디지털 픽셀 단위로 메모리 셀 어레이가 구현되는 실시 예일 수 있다. 예시적인 실시 예에서, 단일 메모리 셀 어레이는 더미 패턴 영역으로 둘러싸인 하나의 메모리 셀들의 집합 또는 구조체를 가리킬 수 있다. 예시적인 실시 예에서, 단일 메모리 셀 어레이 내에서는 메모리 셀 또는 더미 셀과 같은 반복 패턴만 포함될 수 있으며, 다른 추가적인 소자들은 단일 메모리 셀 외부의 주변 영역에 형성될 수 있다.

[0097] 메모리 셀 영역(MCA)은 제1 내지 제4 서브 메모리 영역들(sMCA1~sMCA4)로 구분될 수 있다. 제1 내지 제4 서브 메모리 영역들(sMCA1~sMCA4) 각각은 실제 메모리 셀들(RMC), 더미 셀들(DC), 및 공유 더미 셀들(sDC)을 포함할 수 있다.

[0098] 예를 들어, 제1 서브 메모리 영역(sMCA1)은 제1 영역(RA1)에 위치한 실제 메모리 셀들(RMC), 더미 패턴 영역(DPA)에 위치한 더미 셀들(DC) 중 제1 일부, 공유 더미 패턴 영역(sDPA)에 위치한 공유 더미 셀들(sDC) 중 제1 일부를 포함할 수 있다. 제1 영역(RA1)에 위치한 실제 메모리 셀들(RMC)은 각각 워드라인들(WL11, WL12) 및 비트라인들(BL11, BL12)과 연결될 수 있고, 앞서 설명된 바와 같이, 대응하는 디지털 신호(DOUT)를 저장하도록 구성될 수 있다. 제1 서브 메모리 영역(sMCA1)의 더미 패턴 영역(DPA)에 위치한 더미 셀들(DC) 중 제1 일부는 복수의 더미 셀들(DC) 중 워드라인(WL12)으로부터 제2 방향(DR2)의 반대 방향 측에 위치하고, 비트라인(BL12)으로부터 제1 방향(DR1)의 반대 방향 측에 위치한 더미 셀들을 포함할 수 있다. 제1 서브 메모리 영역(sMCA1)의 공유 더미 패턴 영역(sDPA)에 위치한 공유 더미 셀들(sDC) 중 제1 일부는 공유 더미 셀들(sDC) 중 워드라인(WL31)으로부터 제2 방향(DR2)의 반대 방향 측에 위치하고, 비트라인(BL21)으로부터 제1 방향(DR1)의 반대 방향 측에 위치한 공유 더미 셀들(sDC)을 포함할 수 있다.

[0099] 제2 서브 메모리 영역(sMCA2)은 제2 영역(RA2)에 위치한 실제 메모리 셀들(RMC), 더미 패턴 영역(DPA)에 위치한 더미 셀들(DC) 중 제2 일부, 공유 더미 패턴 영역(sDPA)에 위치한 공유 더미 셀들(sDC) 중 제2 일부를 포함할 수 있다. 제2 영역(RA2)에 위치한 실제 메모리 셀들(RMC)은 각각 워드라인들(WL21, WL22) 및 비트라인들(BL21, BL22)과 연결될 수 있고, 앞서 설명된 바와 같이, 대응하는 디지털 신호(DOUT)를 저장하도록 구성될 수 있다. 제2 서브 메모리 영역(sMCA2)의 더미 패턴 영역(DPA)에 위치한 더미 셀들(DC) 중 제2 일부는 복수의 더미 셀들(DC) 중 워드라인(WL22)으로부터 제2 방향(DR2)의 반대 방향 측에 위치하고, 비트라인(BL12)으로부터 제1 방향(DR1)의 반대 방향 측에 위치한 더미 셀들을 포함할 수 있다. 제2 서브 메모리 영역(sMCA2)의 공유 더미 패턴 영역(sDPA)에 위치한 공유 더미 셀들(sDC) 중 제2 일부는 공유 더미 셀들(sDC) 중 워드라인(WL41)으로부터 제2 방향(DR2)의 반대 방향 측에 위치하고, 비트라인(BL12)으로부터 제1 방향(DR1) 측에 위치한 공유 더미 셀들(sDC)을 포함할 수 있다.

[0100] 제3 서브 메모리 영역(sMCA3)은 제3 영역(RA3)에 위치한 실제 메모리 셀들(RMC), 더미 패턴 영역(DPA)에 위치한 더미 셀들(DC) 중 제3 일부, 공유 더미 패턴 영역(sDPA)에 위치한 공유 더미 셀들(sDC) 중 제3 일부를 포함할 수 있다. 제3 영역(RA3)에 위치한 실제 메모리 셀들(RMC)은 각각 워드라인들(WL31, WL32) 및 비트라인들(BL11, BL12)과 연결될 수 있고, 앞서 설명된 바와 같이, 대응하는 디지털 신호(DOUT)를 저장하도록 구성될 수 있다. 제3 서브 메모리 영역(sMCA3)의 더미 패턴 영역(DPA)에 위치한 더미 셀들(DC) 중 제3 일부는 복수의 더미 셀들(DC) 중 워드라인(WL31)으로부터 제2 방향(DR2) 측에 위치하고, 비트라인(BL12)으로부터 제1 방향(DR1)의 반대 방향 측에 위치한 더미 셀들을 포함할 수 있다. 제3 서브 메모리 영역(sMCA3)의 공유 더미 패턴 영역(sDPA)에 위치한 공유 더미 셀들(sDC) 중 제3 일부는 공유 더미 셀들(sDC) 중 워드라인(WL12)으로부터 제2 방향(DR2) 측에 위치하고, 비트라인(BL21)으로부터 제1 방향(DR1) 측에 위치한 공유 더미 셀들(sDC)을 포함할 수 있다.

에 위치하고, 비트라인(BL21)으로부터 제1 방향(DR1)의 반대 방향 측에 위치한 공유 더미 셀들(sDC)을 포함할 수 있다.

[0101] 제4 서브 메모리 영역(sMCA4)은 제4 영역(RA4)에 위치한 실제 메모리 셀들(RMC), 더미 패턴 영역(DPA)에 위치한 더미 셀들(DC) 중 제4 일부, 공유 더미 패턴 영역(sDPA)에 위치한 공유 더미 셀들(sDC) 중 제4 일부를 포함할 수 있다. 제4 영역(RA4)에 위치한 실제 메모리 셀들(RMC)은 각각 워드라인들(WL41, WL42) 및 비트라인들(BL21, BL22)과 연결될 수 있고, 앞서 설명된 바와 같이, 대응하는 디지털 신호(DOUT)를 저장하도록 구성될 수 있다. 제4 서브 메모리 영역(sMCA4)의 더미 패턴 영역(DPA)에 위치한 더미 셀들(DC) 중 제4 일부는 복수의 더미 셀들(DC) 중 워드라인(WL41)으로부터 제2 방향(DR2) 측에 위치하고, 비트라인(BL21)으로부터 제1 방향(DR1) 측에 위치한 더미 셀들을 포함할 수 있다. 제4 서브 메모리 영역(sMCA4)의 공유 더미 패턴 영역(sDPA)에 위치한 공유 더미 셀들(sDC) 중 제4 일부는 공유 더미 셀들(sDC) 중 워드라인(WL22)으로부터 제2 방향(DR2) 측에 위치하고, 비트라인(BL12)으로부터 제1 방향(DR1) 측에 위치한 공유 더미 셀들(sDC)을 포함할 수 있다.

[0102] 상술된 바와 같이, 제1 내지 제4 서브 영역들(sMCA1~sMCA4) 각각은 공유 더미 패턴 영역(sDPA)에 위치한 공유 더미 셀들(sDC)을 서로 공유할 수 있다. 예를 들어, 도 5b 및 도 5c의 실시 예에서, 제1 및 제2 메모리 셀 영역들(mca1, mca2) 각각의 실제 메모리 셀들 사이에는 2개의 더미 패턴 영역(DPA)이 존재할 것이다. 다시 말해서, 1개의 더미 패턴 영역(DPA)의 길이(제1 방향(DR1)의 길이)가 "L5"인 경우, 제1 및 제2 메모리 셀 영역들(mca1, mca2) 각각의 실제 메모리 셀들은 적어도 "L5"의 2배 이상만큼 서로 이격될 것이며, 제1 및 제2 메모리 셀 영역들(mca1, mca2) 각각의 실제 메모리 셀들 사이에는 "2×L5"의 길이만큼의 더미 패턴 영역(DPA)이 존재할 것이다.

[0103] 반면에, 도 7a의 메모리 셀 영역(MCA)에서, 실제 메모리 셀들(RMC)이 위치하는 제1 내지 제4 영역들(RA1~RA4) 사이에는 공유 더미 패턴 영역(sDPA)만 존재할 것이다. 예를 들어, 제1 영역(RA1) 및 제2 영역(RA2)은 공유 더미 패턴 영역(sDPA)만큼 서로 이격될 것이다. 이 때, 공유 더미 패턴 영역(sDPA)은 제1 방향(DR1)으로 "L9"의 길이를 가질 수 있다. 예시적인 실시 예에서, "L9"의 길이는 하나의 더미 패턴 영역(DPA)의 제1 방향(DR1)의 길이인 "L5"와 같거나 또는 "L5"의 2배보다 작을 수 있다. 즉, 도 5b 및 도 5c의 실시 예와 비교하여, 도 7a의 실시 예에서, 인접한 실제 메모리 셀들(RMC) 사이의 더미 패턴 영역이 감소될 수 있다.

[0104] 예시적인 실시 예에서, 감소된 더미 패턴 영역의 면적은 주변 영역으로 사용될 수 있다. 예를 들어, 도 7b를 참조하면, 하부 웨이퍼(WF-d)는 4개의 제2 픽셀 회로들(PCX12~PCX42)을 포함할 수 있다. 앞서 설명된 바와 같이, 4개의 제2 픽셀 회로들(PCX12~PCX42)은 하나의 메모리 셀 영역(MCA)을 공유함으로써, 메모리 셀 영역(MCA)에서 사용되는 더미 패턴 영역(DPA)의 크기가 감소될 수 있다. 좀 더 상세한 예를 위하여, 4개의 제2 픽셀 회로들(PCX12~PCX42) 각각에서 요구되는 실제 메모리 셀들(RMC)을 위한 영역의 면적이 "L6×L6"(도 5b 참조)이고, 실제 메모리 셀들을 위한 영역(RMC)로부터의 더미 패턴 영역(DPA)의 길이는 제1 및 제2 방향들(DR1, DR2) 각각에서, "L5"인 것으로 가정한다.

[0105] 도 5b 및 도 5c의 실시 예에 따르면, 4개의 디지털 픽셀들을 기준으로, 실제 메모리 셀들(RMC)을 위한 전체 면적은 "4×L6×L6"이고, 더미 패턴 영역을 위한 전체 면적은 " $4 \times \{(L5+L6+L5) \times (L5+L6+L5) - (L6 \times L6)\}$ "일 것이다. 즉, 4개의 디지털 픽셀들을 기준으로, 메모리 셀 영역을 위한 전체 면적은 " $4 \times L6 \times L6 + 4 \times \{(L5+L6+L5) \times (L5+L6+L5) - (L6 \times L6)\} = 4 \times L3 \times L3$ "일 것이다.

[0106] 반면에, 도 7a 및 도 7b의 실시 예에 따르면, 4개의 디지털 픽셀들을 기준으로 실제 메모리 셀들(RMC)을 위한 영역의 전체 면적은 "4×L6×L6"이고, 더미 패턴 영역을 위한 전체 면적은 " $4 \times \{(L5+L6+L9+L6+L9)^2 - 4 \times L6 \times L6\}$ "일 것이다. 즉, 4개의 디지털 픽셀들을 기준으로, 메모리 셀 영역을 위한 전체 면적은 " $4 \times L6 \times L6 + 4 \times \{(L5+L6+L9+L6+L9)^2 - 4 \times L6 \times L6\} = L10 \times L10$ "일 것이다. 이 때, "L10"은 "L3"의 2배보다 작을 수 있다.

[0107] 결과적으로, 본 발명의 실시 예와 같이, 복수의 디지털 픽셀들이 하나의 메모리 셀 영역을 공유하거나 또는 복수의 디지털 픽셀들 각각의 메모리 셀 영역들이 서로 더미 패턴 영역을 공유함으로써, 메모리 셀 영역의 전체 면적이 감소될 수 있다. 메모리 셀 영역의 감소된 면적은 주변 영역으로 활용될 수 있으며, 이에 따라, 주변 영역에서 형성되는 소자들의 신뢰성이 증가하거나 또는 추가 기능을 위한 다른 소자들이 추가될 수 있다.

[0108] 예시적인 실시 예에서, 도 7a 및 도 7b에 도시된 바와 같이, 실제 메모리 셀들(RMC)과 연결된 워드라인들은 대응하는 주변 영역의 워드라인 콘택을 통해 메탈 라인(도 4b 참조)과 연결될 수 있다.

[0109] 예를 들어, 제1 영역(RA1)의 실제 메모리 셀들(RMC)과 연결된 워드라인들(WL11, WL12)은 제1 주변 영역(PRA1)에

형성된 워드라인 콘택을 통해 메탈 라인과 연결될 수 있다. 제2 영역(RA2)의 실제 메모리 셀들(RMC)과 연결된 워드라인들(WL21, WL22)은 제2 주변 영역(PRA2)에 형성된 워드라인 콘택을 통해 메탈 라인과 연결될 수 있다. 제3 영역(RA3)의 실제 메모리 셀들(RMC)과 연결된 워드라인들(WL31, WL32)은 제3 주변 영역(PRA3)에 형성된 워드라인 콘택을 통해 메탈 라인과 연결될 수 있다. 제4 영역(RA4)의 실제 메모리 셀들(RMC)과 연결된 워드라인들(WL41, WL42)은 제4 주변 영역(PRA4)에 형성된 워드라인 콘택을 통해 메탈 라인과 연결될 수 있다. 예시적인 실시 예에서, 복수의 워드라인들(WL11~WL42)과 연결된 메탈 라인은 대응하는 주변 영역들(PRA1~PRA4)에 형성된 다른 소자들(예를 들어, 비교기(COMP) 또는 제1 선택 회로(SEL1))과 연결될 수 있고, 앞서 설명된 동작 방법에 따라 동작할 수 있다.

[0110] 예시적인 실시 예에서, 비트라인들(BL11, BL12, BL21, BL22)은 주변 영역들(PRA1~PRA4) 중 적어도 하나에서 형성된 콘택을 통해 메탈 라인과 연결될 수 있다. 비트라인들(BL11, BL12, BL21, BL22)과 연결된 메탈 라인은 주변 영역들(PRA1~PRA4) 중 적어도 하나에서 형성된 다른 소자들(예를 들어, 카운터, 감지 증폭기, 제2 선택 회로 등)과 연결될 수 있다.

[0111] 상술된 바와 같이, 본 발명의 실시 예에 따르면, 서로 인접한 복수의 디지털 픽셀들은 하나의 메모리 셀 영역(또는 메모리 셀 어레이)를 공유하거나 또는 더미 패턴 영역을 서로 공유할 수 있다. 이에 따라, 복수의 디지털 픽셀들 각각에서 사용되는 실제 메모리 셀들의 신뢰성을 보장하기 위한 더미 패턴 영역의 면적이 감소될 수 있다. 더미 패턴 영역의 감소된 면적은 다른 소자들을 형성하기 위한 주변 영역으로 사용될 수 있기 때문에, 주변 영역에 형성된 소자들의 신뢰성이 향상되거나 또는 디지털 픽셀의 다른 기능을 추가하기 위한 소자들을 더 형성할 수 있다. 따라서, 감소된 비용, 향상된 신뢰성, 및 향상된 성능을 갖는 디지털 픽셀들을 포함하는 이미지 센서 장치가 제공된다.

[0112] 도 8은 도 6의 메모리 셀 영역의 레이아웃을 예시적으로 보여주는 평면도이다. 설명의 편의를 위하여, 앞서 설명된 구성 요소들에 대한 상세한 설명은 생략된다. 또한, 도면의 간결성을 위하여, 앞서 설명된 구성 요소들이 일부 생략되거나 또는 앞서 설명된 구성 요소들을 설명하기 위한 일부 참조 기호들이 생략된다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니며, 본 발명의 기술적 사상은 도 8의 실시 예뿐만 아니라, 앞선 실시 예들 전체를 고려하여 이해될 것이다.

[0113] 도 6 및 도 8을 참조하면, 앞서 설명된 바와 유사하게, 메모리 셀 어레이(MCA-a)는 제1 내지 제4 서브 영역들(sMCA1~sMCA4)로 구분될 수 있다. 제1 서브 영역(sMCA1)에 포함된 실제 메모리 셀(RMC)은 워드라인들(WL11, WL12) 및 비트 라인들(BL11, BL12)과 연결될 수 있다. 제2 서브 영역(sMCA2)에 포함된 실제 메모리 셀(RMC)은 워드라인들(WL21, WL22) 및 비트 라인들(BL21, BL22)과 연결될 수 있다. 제3 서브 영역(sMCA3)에 포함된 실제 메모리 셀(RMC)은 워드라인들(WL31, WL32) 및 비트 라인들(BL31, BL32)과 연결될 수 있다. 제4 서브 영역(sMCA4)에 포함된 실제 메모리 셀(RMC)은 워드라인들(WL41, WL42) 및 비트 라인들(BL41, BL42)과 연결될 수 있다.

[0114] 메모리 셀 영역(MCA-a)은 복수의 메모리 셀들을 포함할 수 있다. 복수의 메모리 셀들은 실제 메모리 셀들(RMC), 더미 셀들(DC), 공유 더미 셀들(sDC)을 포함할 수 있다. 도 8의 메모리 셀 어레이(MCA-a)는 격리용 공유 더미 셀(sDC-iso)(이하에서, 설명의 편의를 위하여 "격리 셀"이라 칭함.)을 더 포함할 수 있다.

[0115] 격리 셀(sDC-iso)은 동일한 행에 위치한 실제 메모리 셀들(RMC)의 워드라인을 구분하기 위한 더미 셀일 수 있다. 예를 들어, 서로 동일한 행에 위치하고 인접한 제1 및 제2 디지털 픽셀들은 서로 독립적으로 동작할 수 있다. 즉, 제1 및 제2 디지털 픽셀들 각각은 각각으로 입사되는 광에 따라 서로 다른 타이밍에 데이터를 저장할 수 있다. 이를 위하여, 제1 및 제2 디지털 픽셀들에 대응하는 메모리 셀들은 서로 구분된 신호 라인(예를 들어, 워드라인)을 통해 제어될 것이다.

[0116] 도 8의 실시 예에서, 제1 서브 영역(sMCA1)에 포함된 실제 메모리 셀들(RMC)이 제1 디지털 픽셀과 대응되고, 제2 서브 영역(sMCA2)에 포함된 실제 메모리 셀들(RMC)이 제2 디지털 픽셀과 동일한 행에서 인접한 제2 디지털 픽셀과 대응되는 것으로 가정한다. 이 때, 제1 및 제2 디지털 픽셀들의 독립적인 동작을 구현하기 위하여, 제1 서브 영역(sMCA1)에 포함된 실제 메모리 셀들(RMC)은 워드라인들(WL11, WL12)과 연결되고, 제2 서브 영역(sMCA2)에 포함된 메모리 셀들은 다른 워드라인들(WL21, WL22)과 연결될 것이다.

[0117] 이 때, 제1 서브 영역(sMCA1)에 포함된 실제 메모리 셀들(RMC) 및 제2 서브 영역(sMCA2)에 포함된 실제 메모리 셀들(RMC)이 메모리 셀 어레이의 레벨에서, 서로 동일한 행에 위치할 수 있으며, 반복적인 패턴으로 메모리 셀들이 형성되기 때문에, 제1 서브 영역(sMCA1)에 포함된 실제 메모리 셀들(RMC) 및 제2 서브 영역(sMCA2)에 포함

된 실제 메모리 셀들(RMC)이 서로 동일한 워드라인에 연결될 수 있다. 이를 방지하기 위하여, 제1 서브 영역(sMCA1)에 포함된 실제 메모리 셀들(RMC) 및 제2 서브 영역(sMCA2)에 포함된 실제 메모리 셀들(RMC) 사이에 격리 셀들(sDC-iso)이 추가될 수 있다. 격리 셀들(sDC-iso)은 제1 서브 영역(sMCA1)에 포함된 실제 메모리 셀들(RMC) 및 제2 서브 영역(sMCA2)의 사이에 위치한 공유 더미 셀들(sDC) 중 일부일 수 있다. 격리 셀들(sDC-iso)은 동일한 행에 위치한 다른 셀들(예를 들어, 공유 더미 셀들(sDC))과 전기적으로 연결되지 않을 수 있다. 예를 들어, 격리 셀들(sDC-iso)에 대한 워드라인 패턴이 형성되지 않을 수 있다. 이 경우, 격리 셀들(sDC-iso)에 의해 제1 서브 영역(sMCA1)에 포함된 실제 메모리 셀들(RMC) 및 제2 서브 영역(sMCA2)에 포함된 실제 메모리 셀들(RMC)이 서로 다른 워드라인들과 연결될 수 있고, 이에 따라 제1 및 제2 디지털 픽셀들의 독립적인 동작이 보장될 수 있다.

[0118] 비록 도면에 도시되지는 않았으나, 메모리 셀 영역(MCA-a)은 추가적인 격리 셀들을 더 포함할 수 있다. 추가적인 격리 셀들은 제1 서브 영역(sMCA1)의 실제 메모리 셀들(RMC) 및 제3 서브 영역(sMCA3)의 실제 메모리 셀들(RMC) 사이에 위치하거나 또는 제2 서브 영역(sMCA2)의 실제 메모리 셀들(RMC) 및 제4 서브 영역(sMCA4)의 실제 메모리 셀들(RMC) 사이에 위치함으로써, 각 영역들에 대한 비트라인들을 서로 구분시킬 수 있다.

[0119] 도 9는 도 1의 픽셀 어레이에 포함된 디지털 픽셀들이 비교기를 공유하는 구조를 예시적으로 보여주는 도면이다. 도 1 및 도 9를 참조하면, 4개의 디지털 픽셀들(DP1~DP4)은 하나의 비교기(sCOMP)(이하에서, '공유 비교기'라 칭함.)를 공유할 수 있다.

[0120] 예를 들어, 제1 내지 제4 디지털 픽셀들(DP1~DP4)은 제1 내지 제4 광 검출기들(PDT1~PDT4), 하나의 공유 비교기(sCOMP), 및 메모리 회로(MCT)를 포함할 수 있다. 제1 내지 제4 광 검출기들(PDT1~PDT4) 각각은 도 3a 내지 도 3d를 참조하여 설명된 광 검출기(PDT)와 유사하므로, 이에 대한 상세한 설명은 생략된다. 제1 내지 제4 광 검출기들(PDT1~PDT4) 각각의 출력(즉, 검출 신호(DET))는 공유 비교기(sCOMP)로 제공될 수 있다.

[0121] 공유 비교기(sCOMP)는 제1 내지 제4 광 검출기들(PDT1~PDT4) 각각의 출력을 램프 신호(VRAMP)와 비교하여 비교 신호를 출력할 수 있다. 예시적인 실시 예에서, 제1 내지 제4 광 검출기들(PDT1~PDT4) 각각의 출력은 서로 다른 타이밍에 출력될 수 있으며, 이에 따라, 공유 비교기(sCOMP)는 서로 다른 타이밍에 제1 내지 제4 광 검출기들(PDT1~PDT4) 각각에 대응하는 비교 신호를 출력할 수 있다.

[0122] 메모리 회로(MCT)는 공유 비교기(sCOMP)로부터의 비교 신호를 기반으로 제1 내지 제4 광 검출기들(PDT1~PDT4) 각각에 대응하는 코드(CODE)를 저장할 수 있다. 예를 들어, 메모리 회로(MCT)는 제1 선택 회로(SEL1), 제2 선택 회로(SEL2), 제1 메모리 셀들(MC1), 제2 메모리 셀들(MC2), 제3 메모리 셀들(MC3), 및 제4 메모리 셀들(MC4)을 포함할 수 있다.

[0123] 공유 비교기(sCOMP)로부터 제1 광 검출기(PDT1)에 대응하는 비교 신호가 출력된 경우, 메모리 회로(MCT)의 제1 선택 회로(SEL1)는 제1 메모리 셀(MC1)에 대응하는 워드라인을 선택할 수 있다. 공유 비교기(sCOMP)로부터 제2 광 검출기(PDT2)에 대응하는 비교 신호가 출력된 경우, 메모리 회로(MCT)의 제1 선택 회로(SEL1)는 제2 메모리 셀(MC2)에 대응하는 워드라인을 선택할 수 있다. 공유 비교기(sCOMP)로부터 제3 광 검출기(PDT2)에 대응하는 비교 신호가 출력된 경우, 메모리 회로(MCT)의 제1 선택 회로(SEL1)는 제3 메모리 셀(MC3)에 대응하는 워드라인을 선택할 수 있다. 공유 비교기(sCOMP)로부터 제4 광 검출기(PDT4)에 대응하는 비교 신호가 출력된 경우, 메모리 회로(MCT)의 제1 선택 회로(SEL1)는 제4 메모리 셀(MC4)에 대응하는 워드라인을 선택할 수 있다.

[0124] 즉, 제1 메모리 셀들(MC1)은 제1 광 검출기(PDT1)에 의해 검출된 광 신호에 대응하는 디지털 신호를 저장하도록 구성되고, 제2 메모리 셀들(MC2)은 제2 광 검출기(PDT2)에 의해 검출된 광 신호에 대응하는 디지털 신호를 저장하도록 구성되고, 제3 메모리 셀들(MC3)은 제3 광 검출기(PDT3)에 의해 검출된 광 신호에 대응하는 디지털 신호를 저장하도록 구성되고, 제4 메모리 셀들(MC4)은 제4 광 검출기(PDT4)에 의해 검출된 광 신호에 대응하는 디지털 신호를 저장하도록 구성될 수 있다. 결과적으로, 제1 광 검출기(PDT1), 공유 비교기(sCOMP), 및 제1 메모리 셀들(MC1)은 제1 디지털 픽셀(DP1)로서 동작할 수 있고, 제2 광 검출기(PDT2), 공유 비교기(sCOMP), 및 제2 메모리 셀들(MC2)은 제2 디지털 픽셀(DP2)로서 동작할 수 있고, 제3 광 검출기(PDT3), 공유 비교기(sCOMP), 및 제3 메모리 셀들(MC3)은 제3 디지털 픽셀(DP3)로서 동작할 수 있고, 제4 광 검출기(PDT4), 공유 비교기(sCOMP), 및 제4 메모리 셀들(MC4)은 제4 디지털 픽셀(DP4)로서 동작할 수 있다. 비교기가 공유된다는 점을 제외하면, 각 디지털 픽셀은 도 3a 내지 도 3d를 참조하여 설명된 바와 유사하므로, 이에 대한 상세한 설명은 생략된다.

[0125] 예시적인 실시 예에서, 제1 내지 제4 광 검출기들(PDT1~PDT4) 및 메모리 회로(MCT)의 동작 타이밍은 픽셀 드래이버(120)로부터의 제어 신호(CTRL)(예를 들어, CS-PD, CS-MC 등)에 의해 제어될 수 있다.

- [0126] 예시적인 실시 예에서, 제1 내지 제4 광 검출기들(PDT1~PDT4)은 도 6을 참조하여 설명된 상부 웨이퍼(WF-u)의 4개의 제1 픽셀 회로들(PXC11~PXC41)에 각각 포함될 수 있다. 제1 내지 제4 메모리 셀들(MC1~MC4)은 도 6 내지 도 8을 참조하여 설명된 하부 웨이퍼(WF-d)의 메모리 셀 영역(MCA 또는 MCA-a)의 제1 내지 제4 서브 영역들(sMCA1~sMCA4)에 각각 형성될 수 있다.
- [0127] 예시적인 실시 예에서, 공유 비교기(sCOMP), 제1 선택 회로(SEL1), 및 제2 선택 회로(SEL2)는 도 6 내지 도 8을 참조하여 설명된 상부 웨이퍼(WF-u)의 제1 픽셀 회로들(PXC11~PXC41) 또는 하부 웨이퍼(WF-d)의 주변 영역들(PRA1~PRA4)에 포함될 수 있다. 즉, 4개의 디지털 픽셀들의 단위로 하나의 비교기가 상부 웨이퍼(WF-u) 또는 하부 웨이퍼(WF-d)에서 형성될 수 있다.
- [0128] 예시적인 실시 예에서, 본 발명의 실시 예에 따른 하나의 메모리 셀 영역(MCA)(또는 메모리 셀 어레이)는 복수의 디지털 픽셀들 포함하는 픽셀 그룹 단위로 배치되거나 또는 단일 비교기의 단위로 배치될 수 있다.
- [0129] 도 10a 및 도 10b는 도 4a의 하부 웨이퍼 및 메모리 셀 영역의 레이아웃을 예시적으로 보여주는 평면도들이다. 도면의 간결성 및 설명의 편의를 위하여, 앞서 설명된 구성 요소들에 대한 설명 또는 참조 기호들이 생략될 수 있다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니며, 도 10a 및 도 10b의 실시 예는 앞선 실시 예들 또는 후술하는 실시 예들을 전체적으로 고려하여 이해될 것이다.
- [0130] 도 10a 및 도 10b를 참조하면, 하부 웨이퍼(WF-db)는 복수의 제2 픽셀 회로들(PCX12~PCXn2)을 포함할 수 있다. 복수의 제2 픽셀 회로들(PCX12~PCXn2)은 2개의 단위로, 제2 방향(DR2)을 따라 배치될 수 있다. 예를 들어, PXC12/PXC22, PXC31/PXC42, PXC51/PXC62, PXC71/PXC82, …, PXCr-12/PXCrn2 각각은 서로 동일한 행에 위치하고, PXC12/PXC32/PXC52/PXC62, …, PXCr-12는 동일한 열에 위치하고, PXC22/PXC42/PXC62/ PXC82…PXCrn2는 동일한 열에 위치할 수 있다.
- [0131] 동일한 열에 위치한 제2 픽셀 회로들(PXC12/PXC32/PXC52/PXC62, …, PXCr-12) 및 인접한 다른 동일한 열에 위치한 제2 픽셀 회로들(PXC22/PXC42/PXC62/ PXC82, …, PXCrn2)은 하나의 메모리 셀 영역(MCA-b)을 공유할 수 있다.
- [0132] 예를 들어, 도 10b에 도시된 바와 같이, 메모리 셀 영역(MCA-b)은 복수의 메모리 셀들을 포함할 수 있고, 복수의 메모리 셀들은 실제 메모리 셀들(RMC), 더미 셀들(DC), 및 공유 더미 셀들(sDC)을 포함할 수 있다.
- [0133] 이 때, 동일한 열에 위치한 제2 픽셀 회로들(PXC12/PXC32/PXC52/ PXC62…PXCr-12)에 대응하는 실제 메모리 셀들(RMC)은 대응하는 워드라인들(WL11/WL12, WL31/WL32, WL51/WL52, WL71/WL72, … WLn-11/WLn-12)과 각각 연결될 수 있다. 대응하는 워드라인은 대응하는 워드라인 콘택트를 통해 메탈 라인과 연결될 수 있다. 인접한 다른 동일한 열에 위치한 제2 픽셀 회로들(PXC22/PXC42/PXC62/ PXC82…PXCrn2)에 대응하는 실제 메모리 셀들(RMC)은 대응하는 워드라인들(WL21/WL22, WL41/WL42, WL61/WL62, WL81/WL82, … WLn1/WLn2)과 각각 연결될 수 있다. 대응하는 워드라인은 대응하는 워드라인 콘택트를 통해 메탈 라인과 연결될 수 있다.
- [0134] 동일한 열에 위치한 제2 픽셀 회로들(PXC12/PXC32/PXC52/ PXC62…PXCr-12)에 대응하는 실제 메모리 셀들(RMC) 및 다른 동일한 열에 위치한 제2 픽셀 회로들(PXC22/PXC42/PXC62/ PXC82…PXCrn2)에 대응하는 실제 메모리 셀들(RMC) 사이에 공유 더미 메모리 셀(sDC)가 배치될 수 있다. 이는 앞서 설명된 공유 더미 셀들(sDC)의 구성과 유사하므로 이에 대한 상세한 설명은 생략된다.
- [0135] 도 6a 내지 도 8을 참조하여 설명된 바와 달리, 도 10b의 메모리 셀 영역(MCA-b)에서는, 제2 방향(DR2)을 따라 인접한 실제 메모리 셀들(RMC) 사이의 더미 셀들(DC) 또는 더미 패턴 영역(DPA)이 생략될 수 있다. 일 예로서, PCX32에 대응하는 실제 메모리 셀들(RMC)(즉, 워드라인(WL31/WL32)와 연결된 실제 메모리 셀들) 및 PCX52에 대응하는 실제 메모리 셀들(RMC) (즉, 워드라인(WL51/WL52)와 연결된 실제 메모리 셀들) 사이에서, 더미 셀들(DC), 더미 패턴 영역(DPA), 공유 더미 셀들(sDC), 및 공유 더미 패턴 영역(sDPA)이 생략될 수 있다. 이 경우, 앞서 설명된 실제 메모리 셀들의 2개의 그룹들은 서로 물리적으로 인접하게 형성될 수 있다. 즉, 제2 방향(DR2)을 따라 인접한 실제 메모리 셀들(RMC) 사이의 더미 패턴 영역(DPA)이 제거됨으로써, 더미 패턴 영역의 전체 면적이 감소될 수 있고, 이에 따라 주변 영역의 면적이 증가될 수 있다.
- [0136] 예시적인 실시 예에서, 픽셀 어레이(110)의 에지 영역에 위치한 제2 픽셀 회로(예를 들어, PCX12, PCX22, PCXn-12, PCXn2 등)에 대응하는 실제 메모리 셀들(RMC)에 대해서는, 제2 방향(DR2)에 따른 더미 셀들(DC) 또는 더미 패턴 영역(DPA)이 존재할 수 있다. 예를 들어, PCX12에 대응하는 실제 메모리 셀들(RMC)(즉, 워드라인(WL11, WL12)와 연결된 실제 메모리 셀들)로부터 제2 방향(DR2)의 반대 방향 측에 더미 셀들(DC)이 형성될 수 있다. 나

머지 예지 영역에 대해서도 더미 셀들이 형성되는 구성이 유사하므로, 이에 대한 상세한 설명은 생략된다.

[0137] 도 11a 및 도 11b는 도 4a의 하부 웨이퍼 및 메모리 셀 영역의 레이아웃을 예시적으로 보여주는 평면도들이다. 도면의 간결성 및 설명의 편의를 위하여, 앞서 설명된 구성 요소들에 대한 설명 또는 참조 기호들이 생략될 수 있다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니다.

[0138] 도 11a 및 도 11b를 참조하면, 하부 웨이퍼(WF-dc)는 4개의 제2 핵셀 회로들(PXC12~PXC42)을 포함할 수 있다. 4개의 제2 핵셀 회로들(PXC12~PXC42)은 메모리 셀 영역(MCA-c)을 공유할 수 있다.

[0139] 메모리 셀 영역(MCA-c)은 복수의 메모리 셀들을 포함할 수 있다. 복수의 메모리 셀들은 실제 메모리 셀들(RMC) 및 더미 셀들(DC)을 포함할 수 있다. 메모리 셀 영역(MCA-c)은 제1 내지 제4 서브 영역들(sMCA1~sMCA4)로 구분될 수 있다.

[0140] 앞서 설명된 실시 예들에서, 제1 내지 제4 서브 영역들(sMCA1~sMCA4) 각각에 포함된 실제 메모리 셀들(RMC)은 대응하는 디지털 핵셀의 디지털 신호를 저장하도록 구성된다. 반면에, 도 11b의 메모리 셀 어레이(MCA)의 제1 내지 제4 서브 영역들(sMCA1~sMCA4)은 디지털 핵셀 단위로 구분된 영역을 가리키며, 제1 내지 제4 서브 영역들(sMCA1~sMCA4) 각각에 포함된 실제 메모리 셀들(RMC)은 대응하는 디지털 핵셀의 디지털 신호를 저장하거나 또는 인접한 디지털 핵셀의 디지털 신호를 저장하도록 구성될 수 있다.

[0141] 예를 들어, 제1 서브 영역(sMCA1)에 포함된 실제 메모리 셀들(RMC)은 제1 내지 제4 워드라인들(WL1~WL4)과 연결되고, 제1 및 제2 비트라인들(BL1, BL2)과 연결될 수 있다. 제2 서브 영역(sMCA2)에 포함된 실제 메모리 셀들(RMC)은 제1 내지 제4 워드라인들(WL1~WL4)과 연결되고, 제3 및 제4 비트라인들(BL3, BL4)과 연결될 수 있다. 제3 서브 영역(sMCA3)에 포함된 실제 메모리 셀들(RMC)은 제5 내지 제8 워드라인들(WL5~WL8)과 연결되고, 제1 및 제2 비트라인들(BL1, BL2)과 연결될 수 있다. 제4 서브 영역(sMCA4)에 포함된 실제 메모리 셀들은 제5 내지 제8 워드라인들(WL5~WL6)과 연결되고, 제3 및 제4 비트라인들(BL3, BL4)과 연결될 수 있다.

[0142] 이 때, 제1 및 제3 워드라인들(WL1, WL3)과 연결된 실제 메모리 셀들(RMC)은 제1 디지털 핵셀에 대응하는 디지털 신호를 저장하도록 구성될 수 있다. 제2 및 제4 워드라인(WL2, WL4)과 연결된 실제 메모리 셀들(RMC)은 제2 디지털 핵셀에 대응하는 디지털 신호를 저장하도록 구성될 수 있다. 이 때, 제1 디지털 핵셀은 제1 서브 영역(sMCA1)이 위치한 제2 핵셀 회로를 포함하는 디지털 핵셀일 수 있고, 제2 디지털 핵셀은 제2 서브 영역(sMCA2)이 위치한 제2 핵셀 회로를 포함하는 디지털 핵셀일 수 있다. 즉, 서로 인접한 디지털 핵셀들에 포함된 메모리 셀들은 서로 동일한 비트라인들을 공유하도록 구성될 수 있다. 즉, 도 11a 및 도 11b의 실시 예에 따른, 디지털 핵셀들의 실제 메모리 셀들은 비트라인들을 공유하는 구조를 가질 수 있다.

[0143] 상술된 실시 예에 따르면, 제1 디지털 핵셀에 대응하는 메모리 셀들은 제1 및 제3 워드라인들(WL1, WL3)과 연결되고, 제2 디지털 핵셀에 대응하는 메모리 셀들은 제2 및 제4 워드라인들(WL2, WL4)과 연결된다. 즉, 제1 방향(DR1)의 반대 방향 측에 위치한 디지털 핵셀들에 대응하는 디지털 신호를 저장하는 실제 메모리 셀들은 홀수번째 워드라인과 연결될 수 있고, 제1 방향(DR1) 측에 위치한 디지털 핵셀들에 대응하는 디지털 신호를 저장하는 실제 메모리 셀들은 짝수번째 워드라인과 연결될 수 있다.

[0144] 상술된 제1 및 제3 워드라인들(WL1, WL3)은 제1 주변 영역(PRA1)에 위치한 워드라인 콘택을 통해 메탈 라인들과 연결되고, 상술된 제2 및 제4 워드라인들(WL2, WL4)은 제2 주변 영역(PRA2)에 위치한 워드라인 콘택을 통해 메탈 라인들과 연결될 것이다. 이 경우, 동일한 주변 영역에서 생성되는 워드라인 콘택 사이의 거리(즉, 워드라인 피치(WLpt))가 앞선 실시 예들과 비교하여 증가할 수 있다. 예를 들어, 도 5a 내지 도 10b를 참조하여 설명된 실시 예들에서는, 서로 인접한 워드라인들과 연결되는 워드라인 콘택들이 동일한 주변 영역에서, 연속하여 형성된다. 반면에, 도 11a의 실시 예에서, 서로 물리적으로 인접하지 않은 워드라인들(예를 들어, WL1, WL3)과 연결된 워드라인 콘택들이 동일한 주변 영역(예를 들어, PRA1)에서 형성된다.

[0145] 다시 말해서, 제2 방향을 따라 즉, 하나의 주변 영역에서 형성된 워드라인 콘택들 사이의 거리(즉, 워드라인 피치)가 증가하기 때문에, 워드라인 콘택들을 형성하기 위한 공정 복잡도 또는 배선에 대한 복잡도가 감소될 수 있다.

[0146] 상술된 실시 예에 따르면, 이미지 센서 장치(100)에 포함된 메모리 셀 영역(MCA-a)은 복수의 메모리 셀들을 포함할 수 있다. 복수의 메모리 셀들은 복수의 비트라인들과 연결된 복수의 실제 메모리 셀들을 포함할 수 있다. 복수의 실제 메모리 셀들 중 제1 디지털 핵셀의 디지털 신호를 저장하는데 사용되는 실제 메모리 셀들(RMC)은 제1 및 제3 워드라인들(WL1, WL3)과 연결될 수 있다. 제1 디지털 핵셀과 물리적으로 인접한 제2 디지털 핵셀의 디지털 신호를 저장하는데 사용되는 실제 메모리 셀들(RMC)은 제2 및 제4 워드라인들(WL2, WL4)과 연결될 수 있

다. 이 때, 제2 워드라인(WL2)은 제1 및 제3 워드라인들(WL1, WL3) 사이에 위치할 수 있고, 제3 워드라인(WL3)은 제2 및 제4 워드라인들(WL2, WL4) 사이에 위치할 수 있다. 이 때, 제1 및 제3 워드라인들(WL1, WL3)에 대한 워드라인 콘택들은 제1 주변 영역(PRA1)에 형성될 수 있고, 제2 및 제4 워드라인들(WL2, WL4)에 대한 워드라인 콘택들은 제2 주변 영역(PRA2)에 형성될 수 있다. 따라서, 워드라인 콘택들 사이의 거리가 증가함에 따라, 워드라인 콘택을 형성하는 공정의 복잡도가 감소될 수 있다.

[0147] 뿐만 아니라, 앞서 설명된 바와 같이, 도 11a 및 도 11b의 실시 예들에 따르면, 실제 메모리 셀들(RMC) 사이의 더미 셀들(DC) 또는 더미 패턴 영역(DPA)이 존재하지 않기 때문에, 메모리 셀 영역(MCA-c)이 차지하는 전체 면적의 감소될 수 있다. 감소된 면적은 주변 영역들(PRA1~PRA4)의 면적으로 사용될 수 있다. 따라서, 감소된 비용, 향상된 신뢰성, 및 향상된 성능을 갖는 이미지 센서 장치가 제공된다.

[0148] 도 12는 본 발명의 실시 예에 따른 메모리 셀 영역을 예시적으로 보여주는 평면도이다. 설명의 편의를 위하여, 앞서 설명된 구성 요소들에 대한 상세한 설명은 생략된다.

[0149] 도 12를 참조하면, 메모리 셀 영역(MCA-d)은 복수의 메모리 셀들을 포함할 수 있고, 복수의 메모리 셀들은 실제 메모리 셀들(RMC), 더미 셀들(DC), 및 공유 더미 셀들(sDC)을 포함할 수 있다. 메모리 셀 영역(MCA-d)은 제1 내지 제4 서브 영역들(sMCA1~sMCA4)로 구분될 수 있다. 앞서 설명된 바와 유사하게, 메모리 셀 영역(MCA-d)은 4개의 디지털 픽셀들에서 공유되는 메모리 셀 영역일 수 있으며, 4개의 디지털 픽셀들 각각에서 사용되는 실제 메모리 셀들(RMC)의 구성은 도 11a 및 도 11b를 참조하여 설명된 바와 유사할 수 있다. 즉, 메모리 셀 영역(MCA-d)의 실제 메모리 셀들(RMC)은 비트라인들(BL1~BL4)을 공유하는 구조를 가질 수 있다. 다시 말해서, 제1 및 제3 워드라인들(WL1, WL3) 및 제1 내지 제4 비트라인들(BL1~BL4)과 연결된 실제 메모리 셀들(RMC)은 제1 디지털 픽셀에 대응하는 디지털 신호를 저장할 수 있고, 제2 및 제4 워드라인들(WL2, WL4) 및 제1 내지 제4 비트라인들(BL1~BL4)과 연결된 실제 메모리 셀들(RMC)은 제2 디지털 픽셀에 대응하는 디지털 신호를 저장할 수 있다. 이 때, 제1 디지털 픽셀 및 제2 디지털 픽셀은 픽셀 어레이의 레벨에서, 동일한 행에 위치하고, 서로 인접한 디지털 픽셀들일 수 있다.

[0150] 도 12의 메모리 셀 영역(MCA-d)은 도 11a 및 도 11b의 메모리 셀 영역(MCA-c)과 달리, 제2 방향(DR2)을 따라 배열된 실제 메모리 셀들(RMC) 사이에 공유 더미 셀들(sDC) 또는 공유 더미 패턴 영역(sDPA)이 존재할 수 있다. 예를 들어, 제1 및 제2 서브 영역들(sMCA1, sMCA2)에 위치한 실제 메모리 셀들(RMC)과 제3 및 제4 서브 영역들(sMCA3, sMCA4)에 위치한 실제 메모리 셀들(RMC) 사이에 공유 더미 셀들(sDC) 또는 공유 더미 패턴 영역(sDPA)이 존재할 수 있다.

[0151] 도 13은 본 발명의 실시 예에 따른 메모리 셀 영역을 예시적으로 보여주는 평면도이다. 설명의 편의를 위하여, 앞서 설명된 구성 요소들에 대한 상세한 설명은 생략된다.

[0152] 도 13을 참조하면, 메모리 셀 영역(MCA-d)은 복수의 메모리 셀들을 포함할 수 있고, 복수의 메모리 셀들은 실제 메모리 셀들(RMC), 더미 셀들(DC), 및 공유 더미 셀들(sDC)을 포함할 수 있다. 메모리 셀 영역(MCA-d)은 제1 내지 제4 서브 영역들(sMCA1~sMCA4)로 구분될 수 있다.

[0153] 이 때, 제1 및 제3 워드라인들(WL1, WL3) 및 제1 및 제2 비트라인들(BL1, BL2)과 연결된 실제 메모리 셀들(RMC)은 제1 디지털 픽셀에서 생성된 디지털 신호를 저장하도록 구성될 수 있고, 제2 및 제4 워드라인들(WL2, WL4) 및 제3 및 제4 비트라인들(BL3, BL4)과 연결된 실제 메모리 셀들(RMC)은 제2 디지털 픽셀에서 생성된 디지털 신호를 저장하도록 구성될 수 있다. 이 때, 제1 디지털 픽셀 및 제2 디지털 픽셀은 픽셀 어레이의 레벨에서, 동일한 행에 위치하고, 서로 인접한 디지털 픽셀들일 수 있다. 즉, 상술된 바와 같이, 하나의 디지털 픽셀에서 사용되는 실제 메모리 셀들은 메모리 셀 영역(MCA-e)(또는 메모리 셀 어레이)의 관점에서, 인접하지 않은 워드라인과 연결될 수 있으며, 하나의 디지털 픽셀에 대응하는 서브 영역에 포함될 수 있다.

[0154] 비록 도면에 도시되지는 않았으나, 도 7a 또는 도 8을 참조하여 설명된 바와 유사하게, 메모리 셀 영역(MCA-e)의 제1 내지 제4 서브 영역들(sMCA1~sMCA4) 각각의 사이에 공유 더미 셀들(sDC) 또는 공유 더미 패턴 영역(sDPA)이 존재할 수 있다.

[0155] 도 14a 및 도 14b는 본 발명의 실시 예에 따른 하부 웨이퍼 및 메모리 셀 영역의 레이아웃들을 예시적으로 보여주는 평면도들이다. 설명의 편의를 위하여, 앞서 설명된 구성 요소들에 대한 상세한 설명은 생략된다.

[0156] 도 14a 및 도 14b를 참조하면, 하부 웨이퍼(WF-df)는 복수의 제2 픽셀 회로들(PCX12, PXC22, PXC32, PXC42, PXC52, PXC62)을 포함할 수 있다. 복수의 제2 픽셀 회로들(PCX12~PXC62)은 하나의 메모리 셀 어레이(MCA-f)를

공유할 수 있다.

[0157] 메모리 셀 어레이(MCA-f)는 복수의 메모리 셀들을 포함할 수 있고, 복수의 메모리 셀들은 실제 메모리 셀들(RMC) 및 더미 셀들(DC)을 포함할 수 있다. 앞서 설명된 바와 유사하게, 메모리 셀 영역(MCA-f)은 복수의 서브 영역들(sMCA1~sMCA6)로 구분될 수 있다. 메모리 셀 영역(MCA-f)의 실제 메모리 셀들(RMC)은 복수의 워드라인들(WL1~WL12) 및 복수의 비트라인들(BL1~BL4)과 연결될 수 있다. 실제 메모리 셀들(RMC)과 디지털 픽셀 또는 제2 픽셀 회로 사이의 대응 관계는 도 11a 및 도 11b를 참조하여 설명된 바와 유사할 수 있다. 즉, 메모리 셀 영역(MCA-f)의 실제 메모리 셀들(RMC)은 비트라인을 공유하는 구조를 가질 수 있다. 이는 앞서 설명되었으므로, 이에 대한 상세한 설명은 생략된다.

[0158] 앞서 설명된 바와 달리, 도 14a 및 도 14b의 메모리 셀 영역(MCA-f)에서는, 제2 방향(DR2)을 따라 배열된 실제 메모리 셀들(RMC) 사이에 더미 셀들(DC) 또는 공유 더미 셀들(sDC)이 존재하지 않을 수 있다. 제2 방향(DR2)을 따라 배열된 실제 메모리 셀들(RMC) 사이에 더미 셀들(DC) 또는 공유 더미 셀들(sDC)이 존재하지 않는 구성은 도 10a 및 도 10b를 참조하여 설명되었으므로, 이에 대한 상세한 설명은 생략된다.

[0159] 비록 도면에 도시되지는 않았으나, 도 10a 및 도 10b를 참조하여 설명된 바와 유사하게, 하부 웨이퍼(WF-df)의 예지 영역에 위치한 제2 픽셀 회로에 대한 서브 영역에서는 제2 방향(DR2) 측 또는 제2 방향(DR2)의 반대 방향 측에 위치한 더미 셀들(DC)을 포함할 수 있다. 이는 도 10a 및 도 10b를 참조하여 설명되었으므로, 이에 대한 상세한 설명은 생략된다.

[0160] 도 15a 및 도 15b는 본 발명의 실시 예에 따른 이미지 센서 장치의 상부 웨이퍼 및 하부 웨이퍼의 레이아웃을 예시적으로 보여주는 평면도들이다. 설명의 편의를 위하여, 앞서 설명된 구성 요소들에 대한 상세한 설명은 생략된다. 도 15a 및 도 15b를 참조하면, 상부 웨이퍼(WF-u1)는 복수의 제1 서브 픽셀 회로들(sPD11~sPD41)을 포함할 수 있다. 복수의 제1 서브 픽셀 회로들(sPD11~sPD41) 각각은 외부로부터 입사된 광을 검출하도록 구성된 광 검출기 또는 포토 다이오드를 포함할 수 있다. 예를 들어, 복수의 서브 픽셀 회로들(sPD11~sPD41) 각각은 도 3a 내지 도 3d를 참조하여 설명된 광 검출기(PDT) 또는 포토 다이오드(PD)를 포함할 수 있다. 복수의 서브 픽셀 회로들(sPD11~sPD41)은 행 방향(즉, 제1 방향(DR1)) 및 열 방향(즉, 제2 방향(DR2))을 따라 배열될 수 있다.

[0161] 예시적인 실시 예에서, 동일한 픽셀 그룹에 포함된 광 검출기들 또는 포토 다이오드들은 동일한 컬러의 광을 검출하도록 구성될 수 있다. 예를 들어, 제1 픽셀 그룹(PXG1)에 포함된 복수의 제1 서브 픽셀 회로들(sPD11)은 제1 컬러(예를 들어, 그린(G; Green))의 광을 검출하도록 구성될 수 있고, 제2 픽셀 그룹(PXG2)에 포함된 복수의 제2 서브 픽셀 회로들(sPD21)은 제2 컬러(예를 들어, 레드(R; Red))의 광을 검출하도록 구성될 수 있고, 제3 픽셀 그룹(PXG3)에 포함된 복수의 제3 서브 픽셀 회로들(sPD31)은 제3 컬러(예를 들어, 블루(B; Blue))의 광을 검출하도록 구성될 수 있고, 제4 픽셀 그룹(PXG4)에 포함된 복수의 제4 서브 픽셀 회로들(sPD41)은 제1 컬러(예를 들어, 그린(G; Green))의 광을 검출하도록 구성될 수 있다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니며, 다양한 검출 패턴을 위하여, 복수의 서브 픽셀 회로들 상부에 다양한 패턴의 컬러 필터 어레이(CFA; color filter array)가 형성될 수 있다.

[0162] 하부 웨이퍼(WF-d1)는 복수의 제2 서브 픽셀 회로들(sPD12, sPD22, sPD32, sPD42)을 포함할 수 있다. 복수의 제2 서브 픽셀 회로들(sPD12~sPD42) 각각은 상부 웨이퍼(WF-u1)의 복수의 제1 서브 픽셀 회로들(sPD11~sPD41)과 중첩되도록 배열될 수 있다. 예를 들어, 제1 서브 픽셀 회로들(예를 들어, sPD11) 각각은 제2 서브 픽셀 회로들(예를 들어, sPD12)과 중첩되도록 배열될 수 있다. 나머지 제2 서브 픽셀들(sPD22~sPD42)은 앞서 설명된 바와 유사하게 배열되므로, 이에 대한 상세한 설명은 생략된다.

[0163] 복수의 제1 서브 픽셀 회로들(sPD11~sPD41) 및 복수의 제2 서브 픽셀 회로들(sPD12~sPD42)은 복수의 픽셀 그룹들(PXG1~PXG4)로 구분될 수 있다. 예를 들어, 4개의 제1 서브 픽셀 회로들(sPD11) 및 제4개의 제2 서브 픽셀 회로들(sPD12)은 하나의 제1 픽셀 그룹(PXG1)을 형성할 수 있다. 하나의 제1 픽셀 그룹(PXG1)은 도 3a 내지 도 3d를 참조하여 설명된 하나의 디지털 픽셀(DP)로서 동작할 수 있다. 즉, 4개의 광 검출기(PDT) 또는 4개의 포토 다이오드(PD)로부터의 검출 신호 또는 광 신호가 하나의 신호로 결합되고, 하나의 비교기(COMP)를 통해 4개의 제1 서브 픽셀 회로들(sPD11)에 대응하는 하나의 비교 신호가 출력될 수 있다. 이 경우, 4개의 제1 서브 픽셀 회로들(sPD11)에 대응하는 한 세트의 디지털 신호가 메모리 회로에 저장될 수 있다. 나머지 서브 픽셀 회로들(sPD21~sPD41) 및 나머지 픽셀 그룹들(PXG2~PXG4) 또한 앞서 설명된 바와 유사하므로, 이에 대한 상세한 설명은 생략된다.

[0164] 이 때, 하나의 서브 제1 픽셀 회로(예를 들어, sPD11) 및 제2 서브 픽셀 회로(예를 들어, sPD12) 각각의 크기

또는 피치는 "L11"일 수 있다. 하나의 픽셀 그룹(예를 들어, PXG1)의 크기 또는 피치는 "L12"일 수 있다. 앞서 설명된 바와 같이, 4개의 서브 픽셀 회로들이 하나의 픽셀 그룹을 구성하고, 하나의 픽셀 그룹에서, 하나의 비교기가 사용되므로, 하나의 비교기의 크기 또는 피치는 하나의 픽셀 그룹의 크기 또는 피치인 "L12"와 동일할 수 있다.

[0165] 즉, 복수의 광 검출기 또는 복수의 포토 다이오드는 하나의 디지털 픽셀로서 동작하는 하나의 픽셀 그룹에 포함될 수 있고, 하나의 픽셀 그룹은 하나의 비교기 및 하나의 메모리 회로를 포함할 수 있다. 하나의 비교기는 하부 웨이퍼(WF-d1)의 대응하는 제2 서브 픽셀 회로들(예를 들어, 4개의 sPD12)에 형성될 수 있다. 또는 하나의 비교기의 일부는 상부 웨이퍼(WF-u1)의 대응하는 제1 서브 픽셀 회로들(예를 들어, 4개의 sPD11)의 영역에 형성될 수 있고, 나머지 일부는 하부 웨이퍼(WF-d1)의 대응하는 제2 서브 픽셀 회로들(예를 들어, 4개의 sPD12)에 형성될 수 있다.

[0166] 예시적인 실시 예에서, 4개의 픽셀 그룹들(PXG1~PXG4)은 하나의 메모리 셀 영역(MCA-1)을 공유할 수 있다. 예를 들어, 4개의 픽셀 그룹들(PXG1~PXG4) 각각이 하나의 디지털 픽셀로서 동작하기 때문에, 4개의 픽셀 그룹들(PXG1~PXG4) 각각은 하나의 세트의 실제 메모리 셀들(RMC)을 필요로 할 것이다. 이 경우, 도 1 내지 도 14b를 참조하여 설명된 바와 같이, 4개의 세트의 실제 메모리 셀들(RMC)이 하나의 메모리 셀 영역(MCA1)에 포함될 수 있고, 4개의 픽셀 그룹들(PXG1~PXG4)은 하나의 메모리 셀 영역(MCA1)을 공유할 수 있다. 도 15b에서, 메모리 셀 영역(MCA-1)의 일부 예시(도 7a의 메모리 셀 영역(MCA)과 유사한 구조)가 도시되어 있으나, 본 발명의 범위가 이에 한정되는 것은 아니며, 메모리 셀 영역(MCA-1)은 앞서 설명된 다양한 구조 또는 레이아웃을 갖는 메모리 셀 영역들 각각 또는 그것들의 조합의 형태를 가질 수 있다.

[0167] 상술된 바와 같이 본 발명의 실시 예에 따르면, 이미지 센서 장치는 복수의 디지털 픽셀들을 포함할 수 있다. 복수의 디지털 픽셀들 각각은 디지털 신호를 저장하기 위한 메모리 셀들을 필요로 할 수 있다. 이 때, 본 발명의 실시 예에 따르면, 인접한 적어도 2개의 디지털 픽셀들은 하나의 메모리 셀 영역을 공유할 수 있다. 이에 따라, 메모리 셀 영역에서 형성되는 더미 패턴 영역의 면적이 감소되며, 감소된 면적이 다른 소자들을 형성하기 위한 주변 영역의 면적으로서 사용될 수 있다. 따라서, 주변 영역에서 형성되는 소자들의 신뢰성이 향상되거나 또는 다른 추가 기능을 위한 소자들이 더 추가될 수 있다 따라서, 감소된 비용, 향상된 신뢰성, 및 향상된 성능을 갖는 이미지 센서 장치가 제공된다.

[0168] 도 16a 및 도 16b는 도 1의 이미지 센서 장치를 예시적으로 보여주는 사시도 및 평면도이다. 예시적인 실시 예에서, 도 16a 및 도 16b를 참조하여, 본 발명의 실시 예에 따른 이미지 센서 장치(10)의 예시적인 실시 예가 물리적 구조의 관점에서 설명된다. 즉, 이하의 도면들을 참조하여, 본 발명의 실시 예에 따른 이미지 장치에 포함된 반도체 웨이퍼들을 기준으로 본 발명의 실시 예들이 설명된다. 본 발명의 기술적 사상을 용이하게 설명하기 위하여, 이하의 도면에 도시된 구성 요소들은 실제 구현된 반도체 웨이퍼, 반도체 칩, 반도체 웨이퍼, 반도체 패키지 등과 달리, 간략화되어 도시된다.

[0169] 도 1, 도 16a, 및 도 16b를 참조하면, 이미지 센서 장치(100)는 제1 내지 제3 반도체 웨이퍼들(WF1~WF3)을 포함할 수 있다. 제1 내지 제3 반도체 웨이퍼들(WF1~WF3) 각각은 서로 다른 반도체 공정 또는 서로 다른 반도체 웨이퍼들로부터 제조될 수 있다.

[0170] 제1 반도체 웨이퍼(WF1)는 제2 반도체 웨이퍼(WF2) 상에서 제2 반도체 웨이퍼(WF2)와 전기적으로 연결될 수 있다. 제2 반도체 웨이퍼(WF2)는 제3 반도체 웨이퍼(WF3) 상에서 제3 반도체 웨이퍼(WF3)와 전기적으로 연결될 수 있다. 다시 말해서, 제2 반도체 웨이퍼(WF2)는 제1 및 제3 반도체 웨이퍼들(WF1, WF3) 사이에 위치할 수 있다.

[0171] 제1 반도체 웨이퍼(WF1)는 제1 픽셀 회로 영역(PXCA1) 및 제1 패드 영역(PA1)을 포함할 수 있다. 제1 픽셀 회로 영역(PXCA1) 및 제1 패드 영역(PA1)은 서로 물리적으로 구분되거나 또는 소정의 거리만큼 이격될 수 있다.

[0172] 제1 픽셀 회로 영역(PXCA1)은 복수의 디지털 픽셀들(110) 각각의 일부를 형성하기 위한 영역일 수 있다. 예를 들어, 앞서 설명된 바와 같이, 제1 픽셀 회로 영역(PXCA1)은 복수의 디지털 픽셀들(DP) 각각의 제1 픽셀 회로(예를 들어, 광 검출기, 또는 비교기의 일부)를 포함할 수 있다.

[0173] 제1 패드 영역(PA1)은 제2 반도체 웨이퍼(WF2)의 제2 패드 영역(PA2)과 연결되도록 구성된 복수의 패드들을 형성하기 위한 영역일 수 있다. 제1 패드 영역(PA1)은 제1 반도체 웨이퍼(WF1)에 형성된 메탈 레이어를 통해 제1 픽셀 회로 영역(PXCA1)의 소자들과 연결될 수 있다.

[0174] 제2 반도체 웨이퍼(WF2)는 제2 픽셀 회로 영역(PXCA2), 제2 패드 영역(PA2), 픽셀 드라이버 영역(PDA), 및 제3 패드 영역(PA3)을 포함할 수 있다. 제2 픽셀 회로 영역(PXCA2)은 복수의 디지털 픽셀들(PD) 각각의 제2 픽셀 회

로(예를 들어, 비교기의 일부 또는 픽셀의 나머지 구성 요소들)을 포함할 수 있다. 예시적인 실시 예에서, 제2 픽셀 회로 영역(PXCA2)은 도 1 내지 도 15를 참조하여 설명된 메모리 셀 영역 및 주변 영역을 포함할 수 있다.

[0175] 예시적인 실시 예에서, 제1 반도체 기판(WF1)의 제1 픽셀 회로 영역(PXCA1)에 형성된 비교기(112)의 일부분과 제2 반도체 기판(DI2)의 제2 픽셀 회로 영역(PXCA2)에 형성된 비교기(112)의 나머지 부분은 제1 픽셀 회로 영역(PXCA1) 또는 제2 픽셀 회로 영역(PXCA2)과 대응하는 평면 상에 형성된 연결 구조체를 통해 각각 접합될 수 있다. 예시적인 실시 예에서, 연결 구조체는 Cu-to-Cu 본딩, TSV, BVS 등과 같이 반도체 웨이퍼들 사이를 접합시키도록 구성된 소자 또는 물질일 수 있다.

[0176] 픽셀 드라이버 영역(PDA)은 앞서 설명된 픽셀 드라이버(120)를 형성하기 위한 영역일 수 있다. 픽셀 드라이버 영역(PDA)에는 앞서 설명된 카운터(121), 행 드라이버(122), 램프 생성기(123), 및 전압 생성기(124) 등과 같은 일부 아날로그 회로들이 형성될 수 있다.

[0177] 제2 패드 영역(PA2)은 제1 패드 영역(PA1)과 연결된 복수의 패드들을 형성하기 위한 영역일 수 있다. 제2 패드 영역(PA2)의 복수의 패드들은 제1 패드 영역(PA1)의 복수의 패드들과 연결 구조체를 통해 각각 연결될 수 있다. 예시적인 실시 예에서, 연결 구조체는 Cu-to-Cu 본딩, TSV, BVS 등과 같이 반도체 웨이퍼들 사이를 접합시키도록 구성된 소자 또는 물질일 수 있다.

[0178] 제3 패드 영역(PA3)은 제3 반도체 웨이퍼(WF3)와 연결된 복수의 패드들을 형성하기 위한 영역일 수 있다.

[0179] 예시적인 실시 예에서, 제2 픽셀 회로 영역(PXCA2), 제2 패드 영역(PA2), 픽셀 드라이버 영역(PDA), 및 제3 패드 영역(PA3) 각각에 포함된 다양한 소자들은 제2 반도체 웨이퍼(WF2)의 메탈 레이어를 통해 서로 각각 연결될 수 있다.

[0180] 제3 반도체 웨이퍼(WF3)는 디지털 로직 회로 영역(DLA) 및 제4 패드 영역(PA4)을 포함할 수 있다. 디지털 로직 회로 영역(DLA)은 앞서 설명된 디지털 로직 회로(130)를 형성하기 위한 영역일 수 있다. 제4 패드 영역(PA4)은 복수의 패드들을 형성하기 위한 영역일 수 있다. 제4 패드 영역(PA4)의 복수의 패드들은 제3 패드 영역(PA3)의 복수의 패드들과 연결 구조체를 통해 서로 연결될 수 있다. 예시적인 실시 예에서, 연결 구조체는 Cu-to-Cu 본딩, TSV, BVS 등과 같이 반도체 웨이퍼들 사이를 접합시키도록 구성된 소자 또는 물질일 수 있다.

[0181] 예시적인 실시 예에서, 제1 반도체 웨이퍼(WF1)의 제1 픽셀 회로 영역(PXCA1) 및 제2 반도체 웨이퍼(WF2)의 제2 픽셀 회로 영역(PXCA2)은 서로 동일한 평면 영역에서 중첩되도록 배치될 수 있으며, 픽셀 코어 영역과 같이 복수의 디지털 픽셀들을 형성하기 위한 영역일 수 있다.

[0182] 제1 및 제2 반도체 웨이퍼들(WF1, WF2)의 제1 및 제2 픽셀 회로 영역들(PXCA1, PXCA2)을 제외한 나머지 영역들은 주변 영역(또는 주변 회로 영역)으로서, 반도체 웨이퍼들 사이의 연결 구조체 또는 구동 회로, 아날로그 회로 등을 형성하기 위한 영역일 수 있다. 예시적인 실시 예에서, 이미지 센서 장치(10)에서 디지털 신호를 기반으로 동작하는 회로 또는 물리 구성들은 제3 반도체 웨이퍼(WF3)에 형성될 수 있다.

[0183] 상술된 바와 같이, 본 발명의 실시 예에 따른 이미지 센서 장치(100)는 복수의 픽셀들이 하나의 메모리 셀 영역을 공유함으로써, 메모리 셀 영역이 차지하는 면적을 감소시킬 수 있다. 메모리 셀 영역의 감소된 면적이 주변 영역으로 사용될 수 있기 때문에, 주변 영역에 포함된 소자들의 신뢰성이 향상될 수 있고, 이미지 센서 장치(100)의 다른 기능을 위한 추가 소자들이 더 추가될 수 있다. 따라서, 감소된 비용, 향상된 신뢰성 및 향상된 성능을 갖는 이미지 센서 장치가 제공된다.

[0184] 도 17은 본 발명에 따른 이미지 센서 장치가 적용된 전자 장치를 예시적으로 보여주는 블록도이다. 도 17을 참조하면, 전자 장치(1000)는 터치 패널(1100), 터치 구동 회로(1102), 디스플레이 패널(1200), 디스플레이 구동 회로(1202), 시스템 메모리(1400), 스토리지 장치(1500), 이미지 처리기(1600), 통신 블록(1700), 오디오 처리기(1800), 및 메인 프로세서(1900)를 포함할 수 있다. 예시적인 실시 예에서, 전자 장치(2000)는 이동식 통신 단말기, PDA(Personal Digital Assistant), PMP(Portable Media Player), 디지털 카메라, 스마트폰, 태블릿 컴퓨터, 랩톱 컴퓨터, 웨어러블(Wearable) 장치 등과 같은 다양한 전자 장치 중 하나일 수 있다.

[0185] 터치 구동 회로(1102)는 터치 패널(1100)을 제어하도록 구성될 수 있다. 터치 패널(1100)은 터치 구동 회로(1102)의 제어에 따라 사용자로부터의 터치 입력을 감지하도록 구성될 수 있다. 디스플레이 구동 회로(1202)는 디스플레이 패널(1200)을 제어하도록 구성될 수 있다. 디스플레이 패널(1200)은 디스플레이 구동 회로(1202)의 제어에 따라 영상 정보를 표시하도록 구성될 수 있다.

[0186] 시스템 메모리(1400)는 전자 장치(1000)의 동작에 이용되는 데이터를 저장할 수 있다. 예로서, 시스템 메모리

(1400)는 메인 프로세서(1900)에 의해 처리된 또는 처리될 데이터를 임시로 저장할 수 있다. 예시적인 실시 예에서, 이미지 신호 처리기(1630)로부터 출력된 출력 데이터는 시스템 메모리(1400)에 저장될 수 있다.

[0187] 스토리지 장치(1500)는 전원 공급에 관계없이 데이터를 저장할 수 있다. 예로서, 스토리지 장치(1500)는 플래시 메모리, PRAM, MRAM, ReRAM, FRAM 등과 같은 다양한 불휘발성 메모리 중 적어도 하나를 포함할 수 있다. 예로서, 스토리지 장치(1500)는 전자 장치(1000)의 내장 메모리 및/또는 착탈식 메모리를 포함할 수 있다.

[0188] 이미지 처리기(1600)는 렌즈(1610)를 통해 광을 수신할 수 있다. 이미지 처리기(1600)에 포함되는 이미지 장치(1620) 및 이미지 신호 처리기(1630)는 수신된 광에 기초하여, 외부 객체에 관한 이미지 정보를 생성할 수 있다. 예시적인 실시 예에서, 이미지 신호 처리기(1630)는 도 1 내지 도 16을 참조하여 설명된 이미지 센서 장치이거나 또는 도 1 내지 도 16을 참조하여 설명된 방법을 기반으로 동작할 수 있다.

[0189] 통신 블록(1700)은 안테나(1710)를 통해 외부 장치/시스템과 신호를 교환할 수 있다. 통신 블록(1700)의 송수신기(1720) 및 MODEM(Modulator/Demodulator, 2730)은 다양한 무선 통신 규약 중 적어도 하나에 따라, 외부 장치/시스템과 교환되는 신호를 처리할 수 있다.

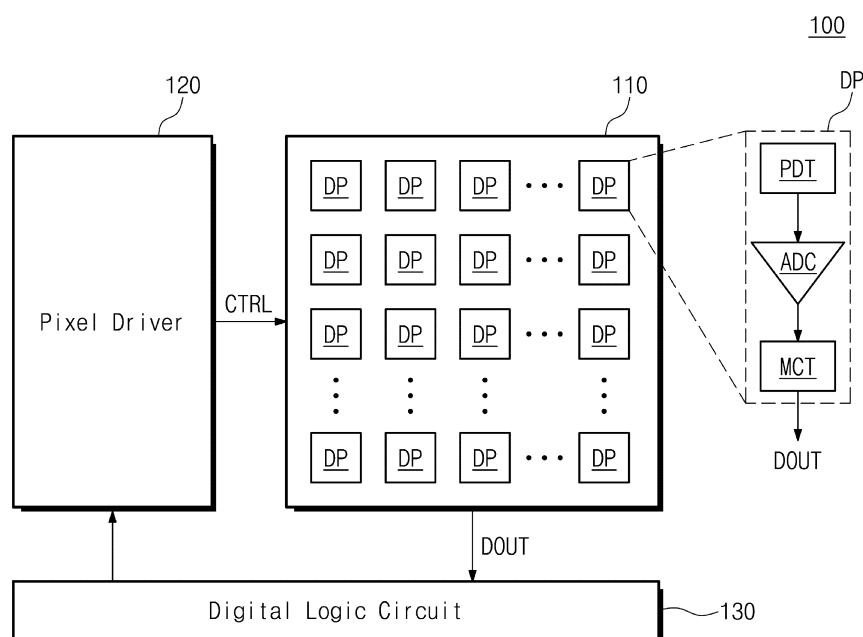
[0190] 오디오 처리기(1800)는 오디오 신호 처리기(1810)를 이용하여 오디오 신호를 처리할 수 있다. 오디오 처리기(1800)는 마이크(1820)를 통해 오디오 입력을 수신하거나, 스피커(1830)를 통해 오디오 출력을 제공할 수 있다.

[0191] 메인 프로세서(1900)는 전자 장치(1000)의 전반적인 동작들을 제어할 수 있다. 메인 프로세서(1900)는 전자 장치(1000)의 구성 요소들의 동작들을 제어/관리할 수 있다. 메인 프로세서(1900)는 전자 장치(1000)를 동작시키기 위해 다양한 연산을 처리할 수 있다. 예시적인 실시 예에서, 도 17의 구성 요소들 중 일부는 시스템-온-칩(System-on-Chip) 형태로 구현되어, 전자 장치(1000)의 애플리케이션 프로세서(AP; application processor)로서 제공될 수 있다.

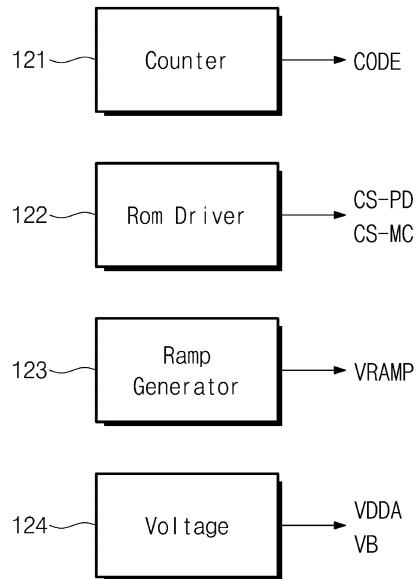
[0192] 상술된 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술된 실시 예들뿐만 아니라, 단순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들 또한 포함할 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술된 실시 예들에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

도면

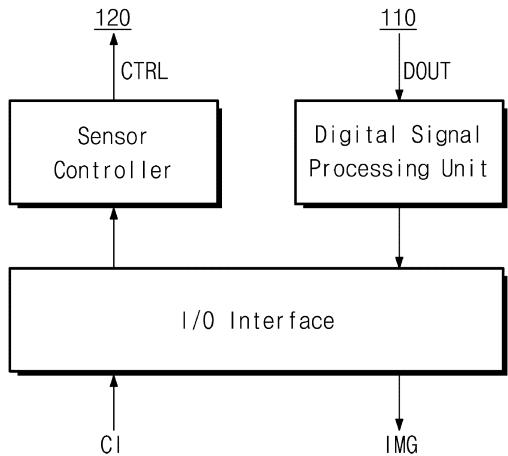
도면1



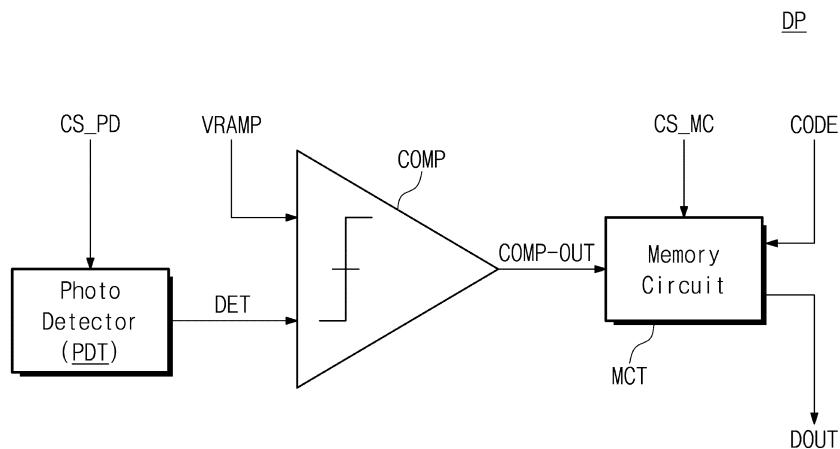
도면2a

120

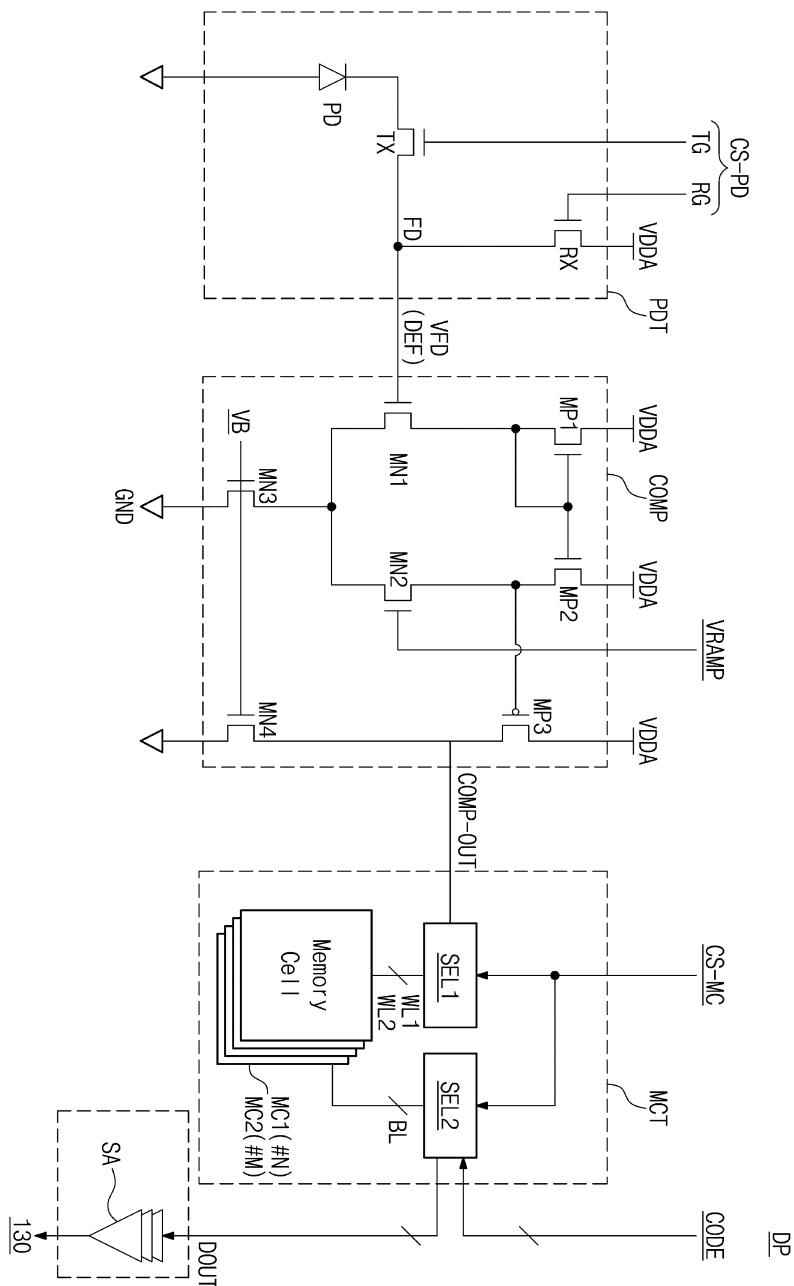
도면2b

130

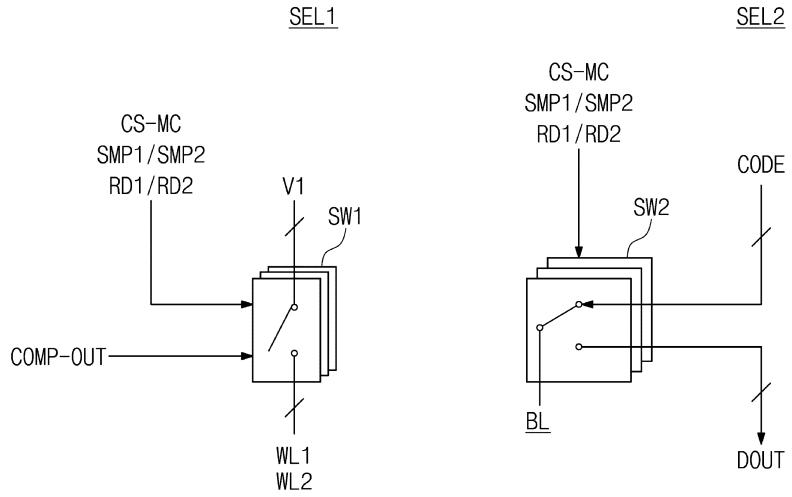
도면3a



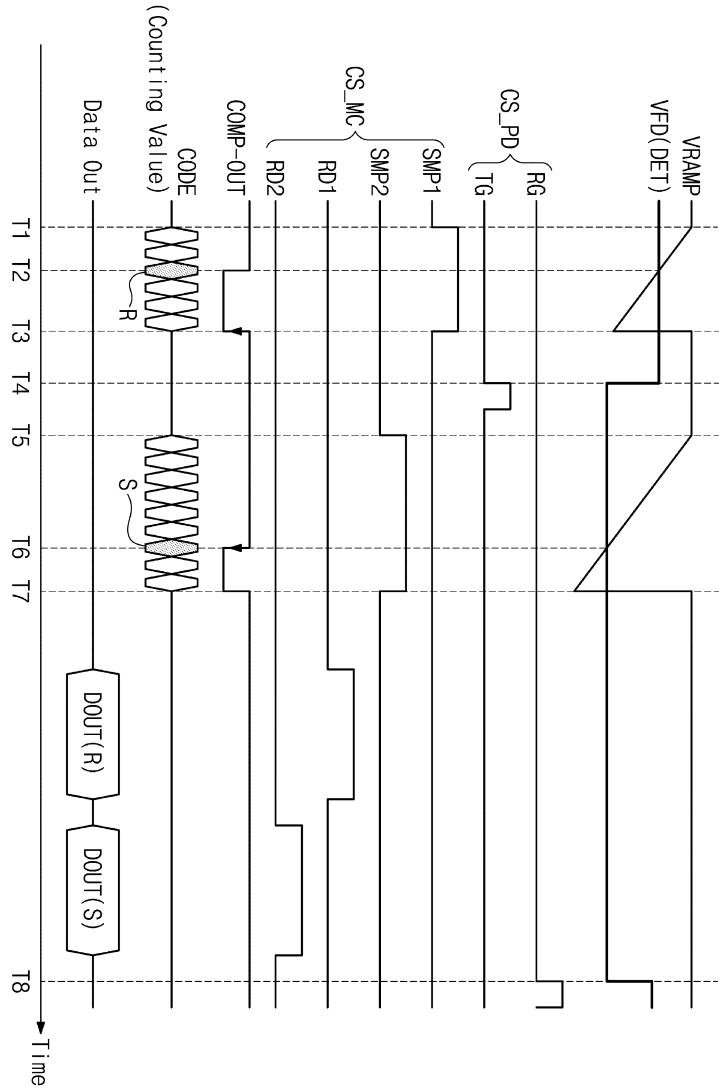
도면 3b



도면3c

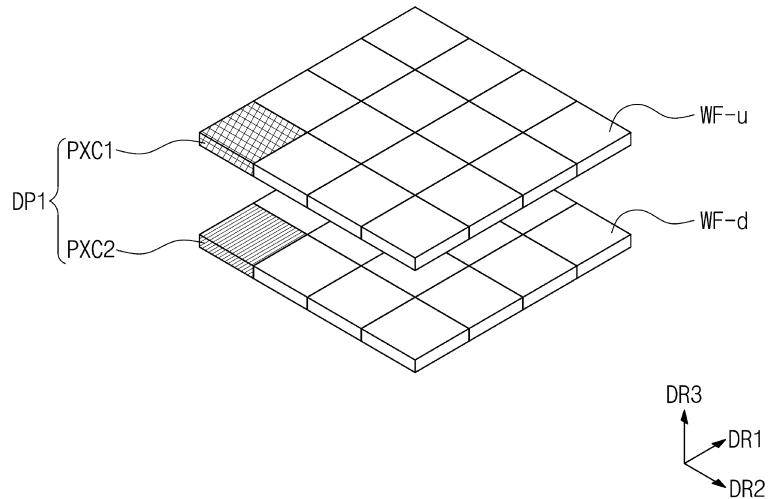


도면3d

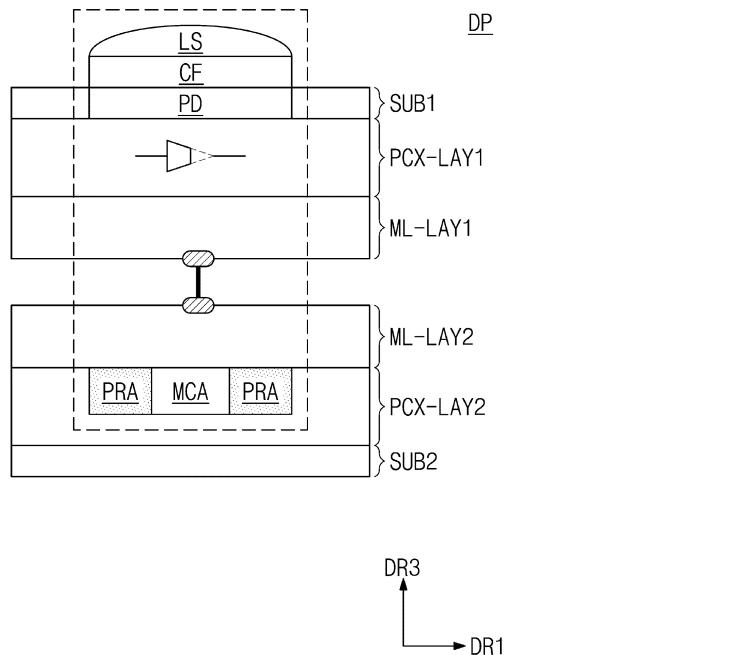


도면4a

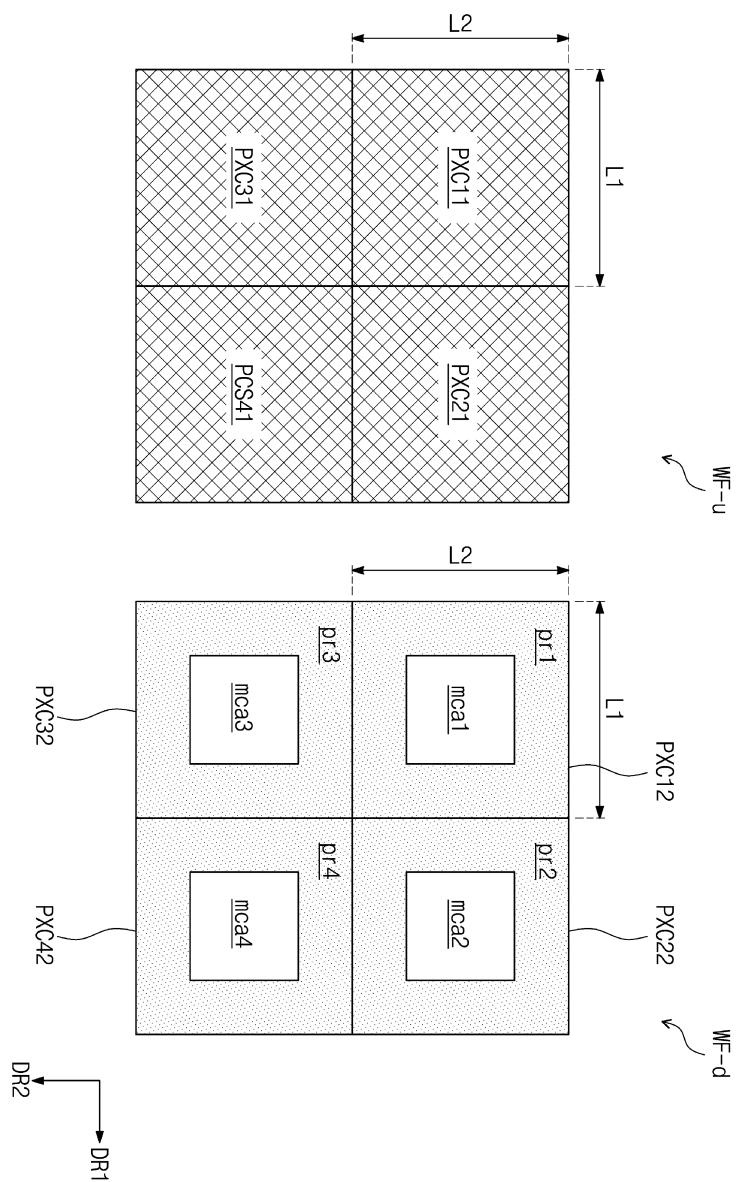
110



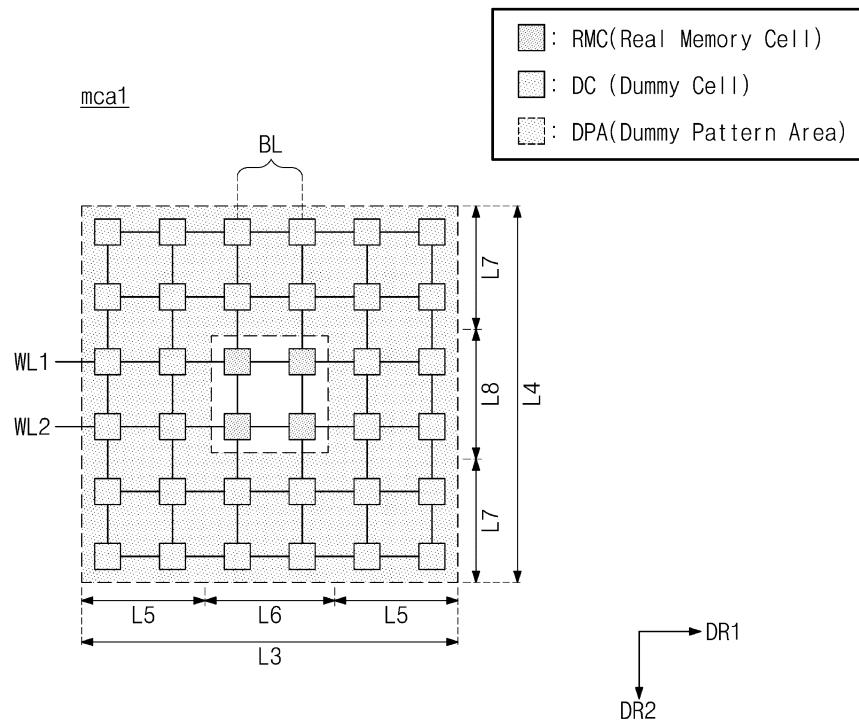
도면4b



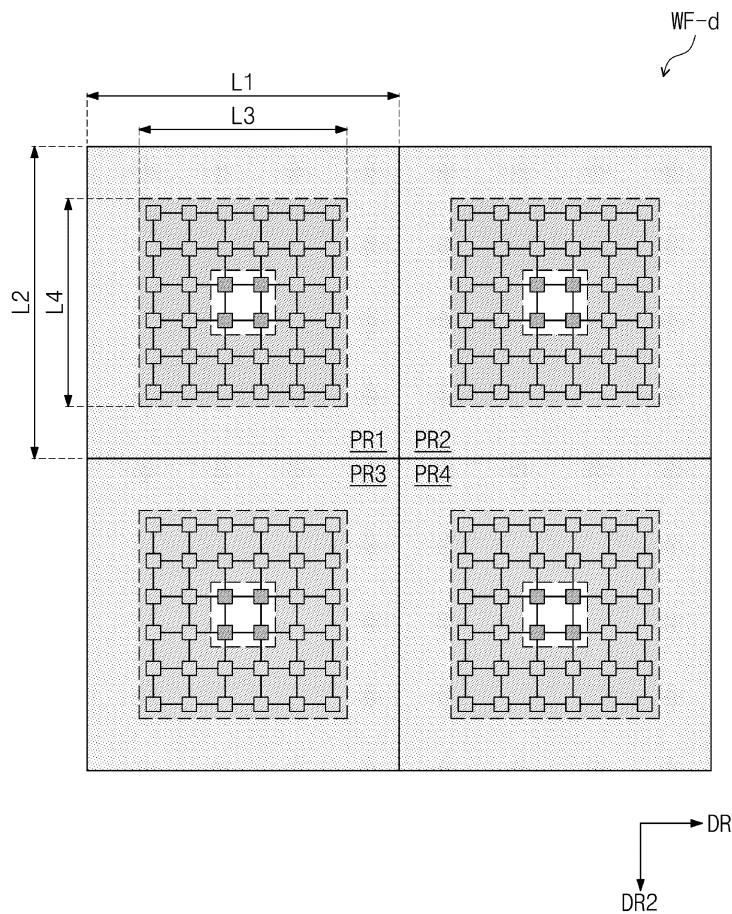
도면5a



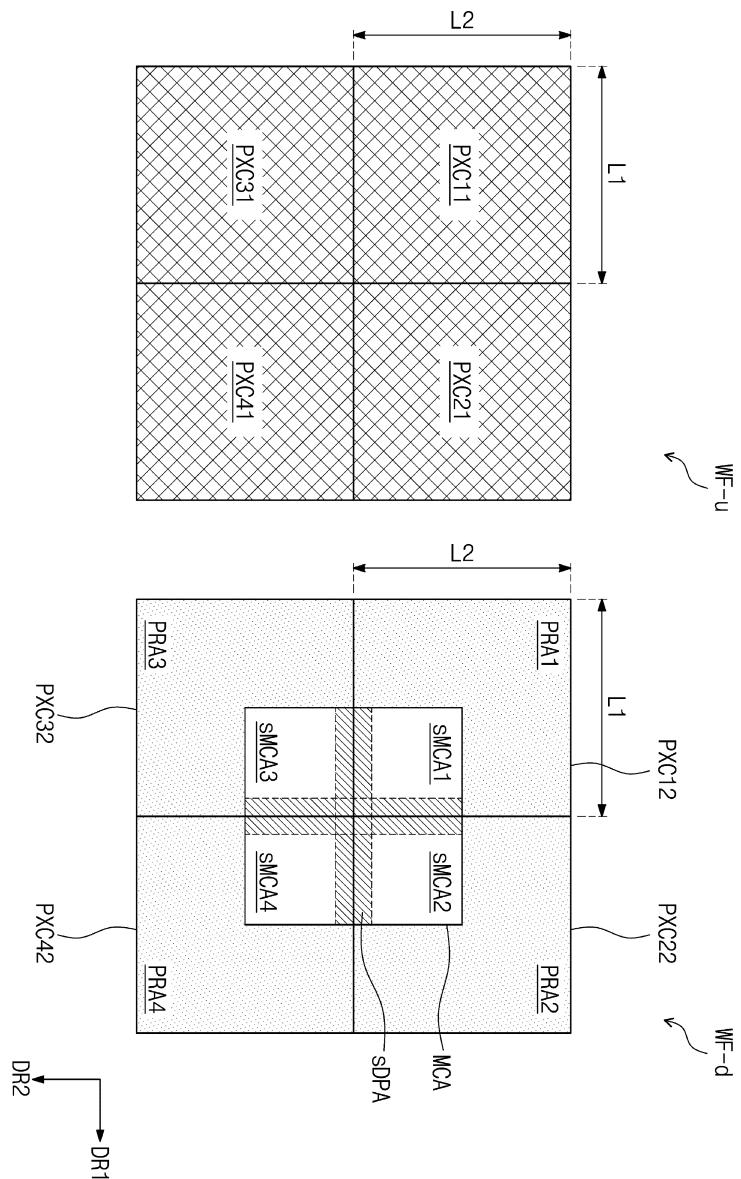
도면5b



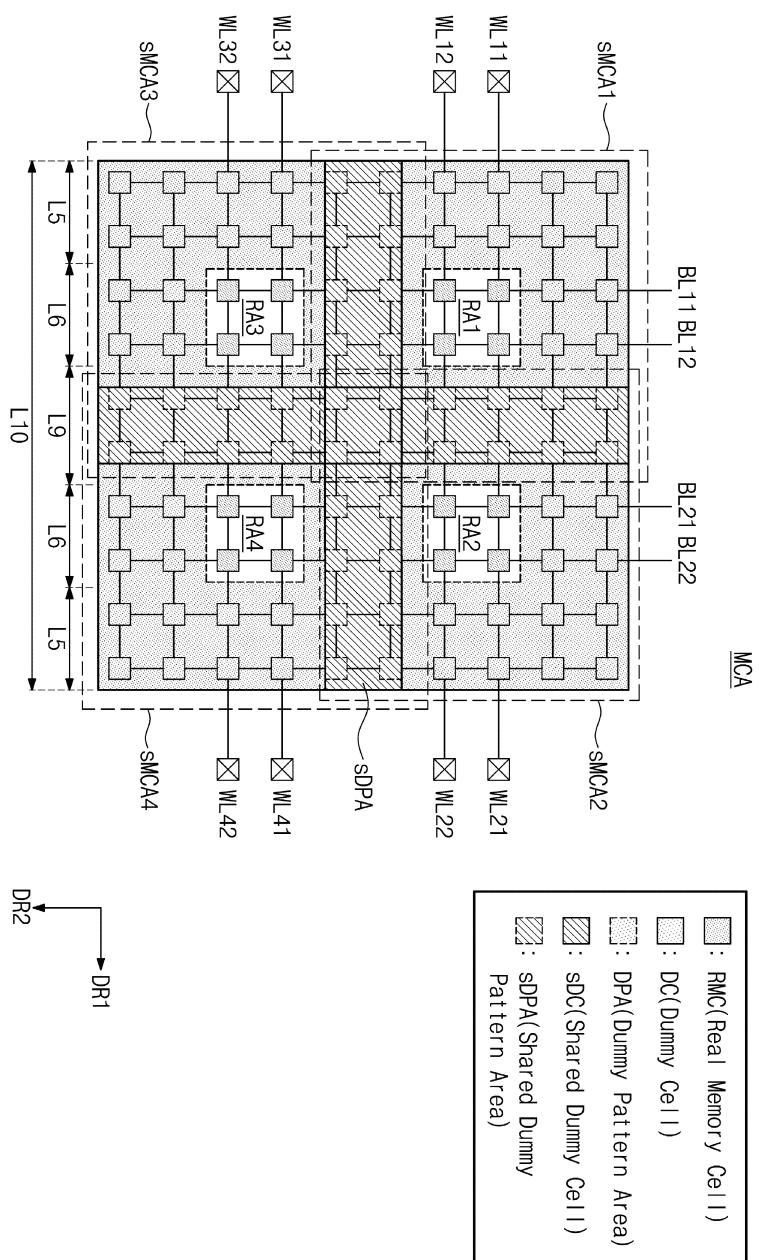
도면5c



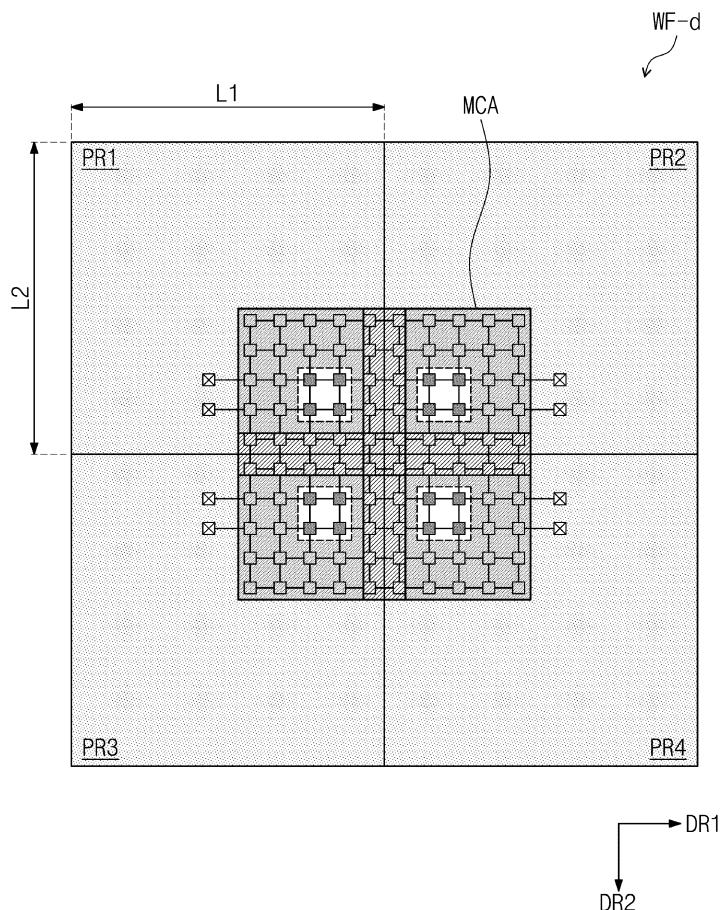
도면6



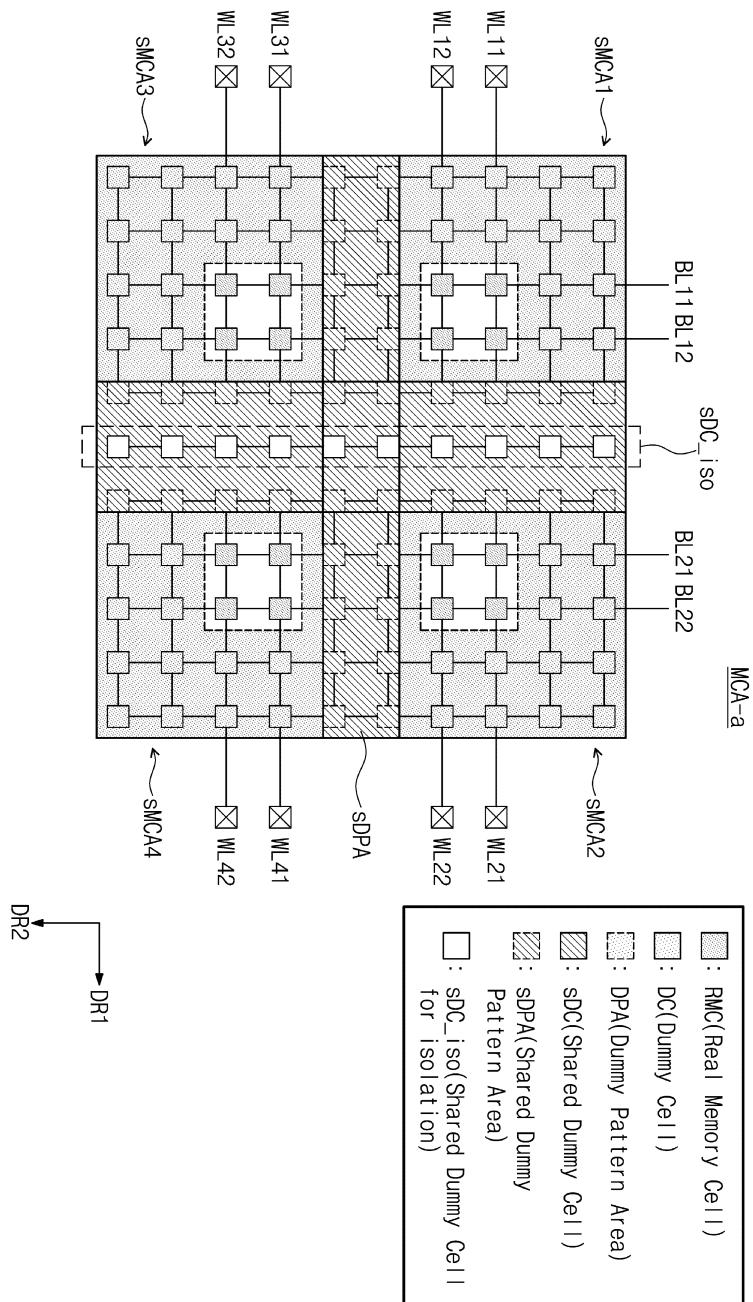
도면 7a



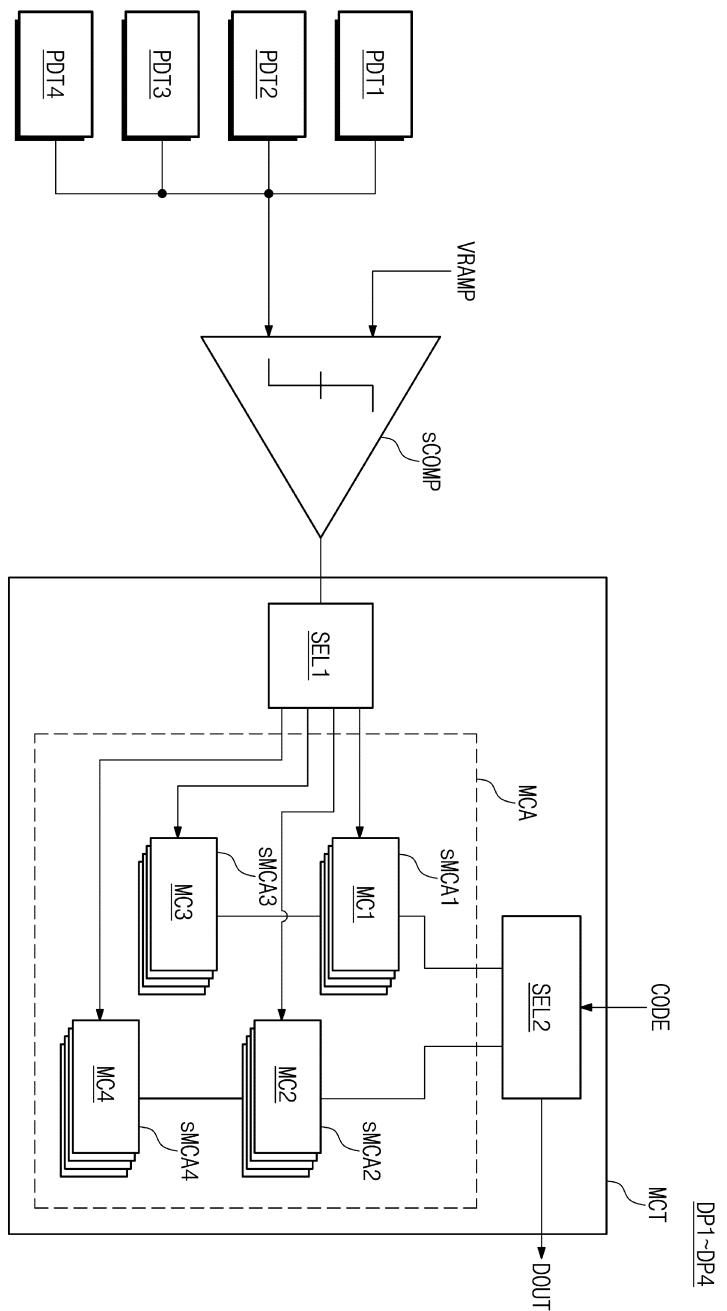
도면7b



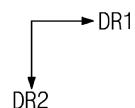
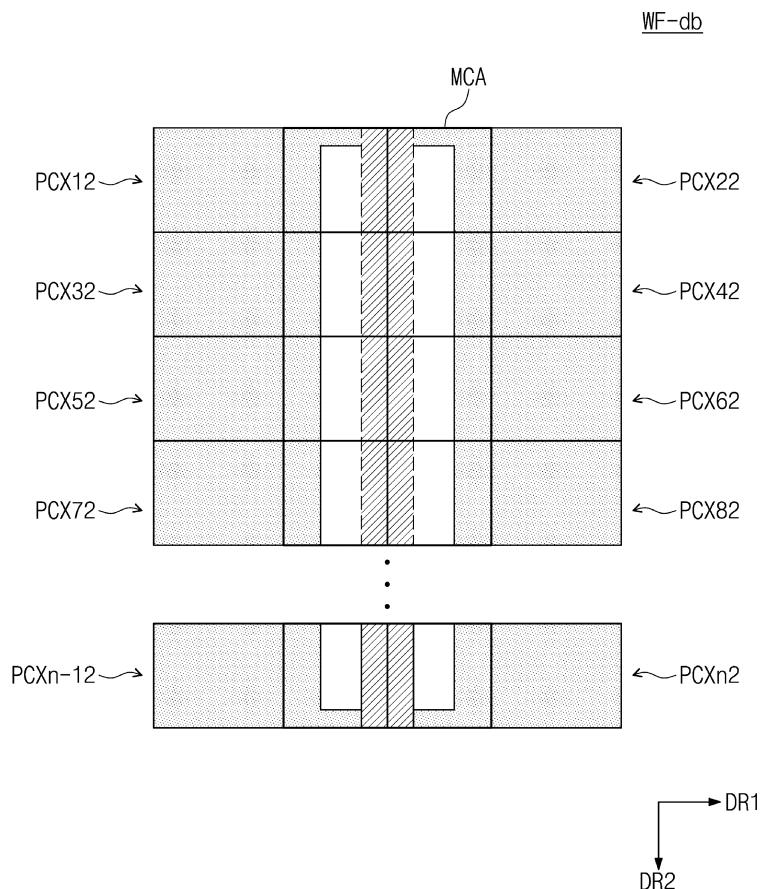
도면 8



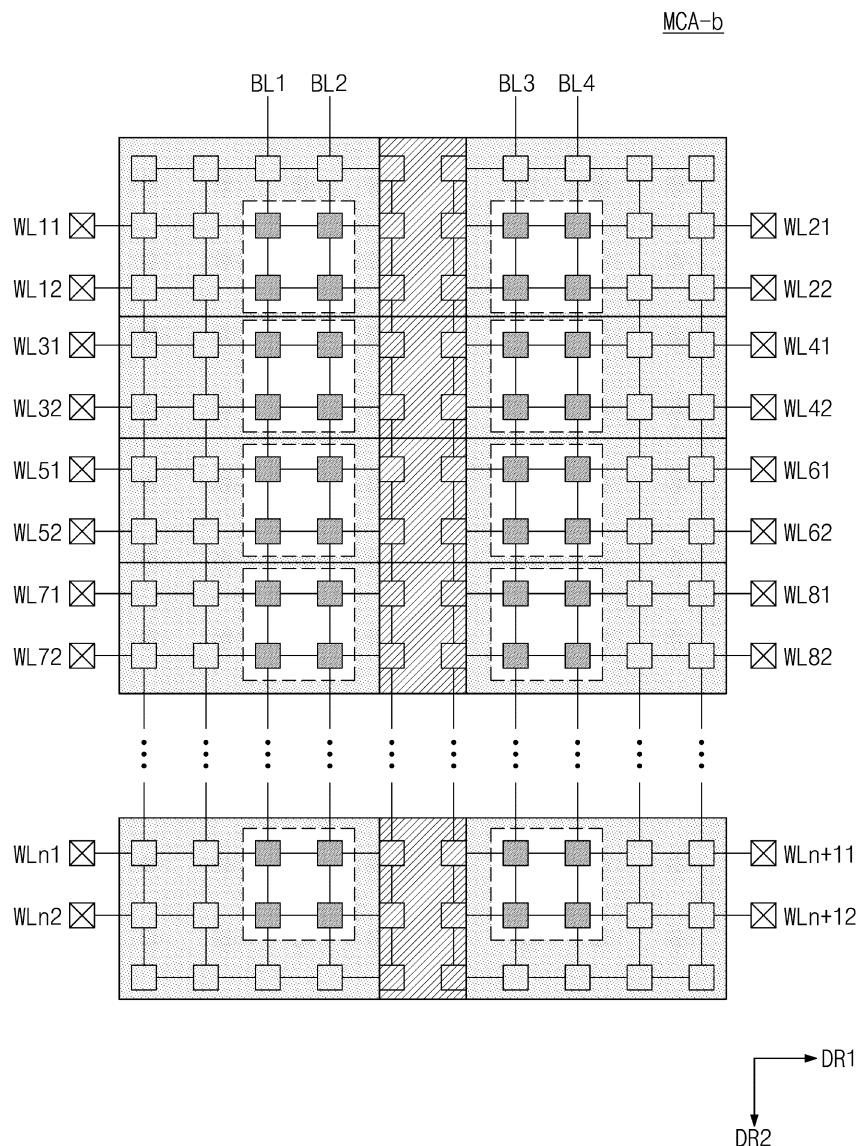
દોર્ય 9



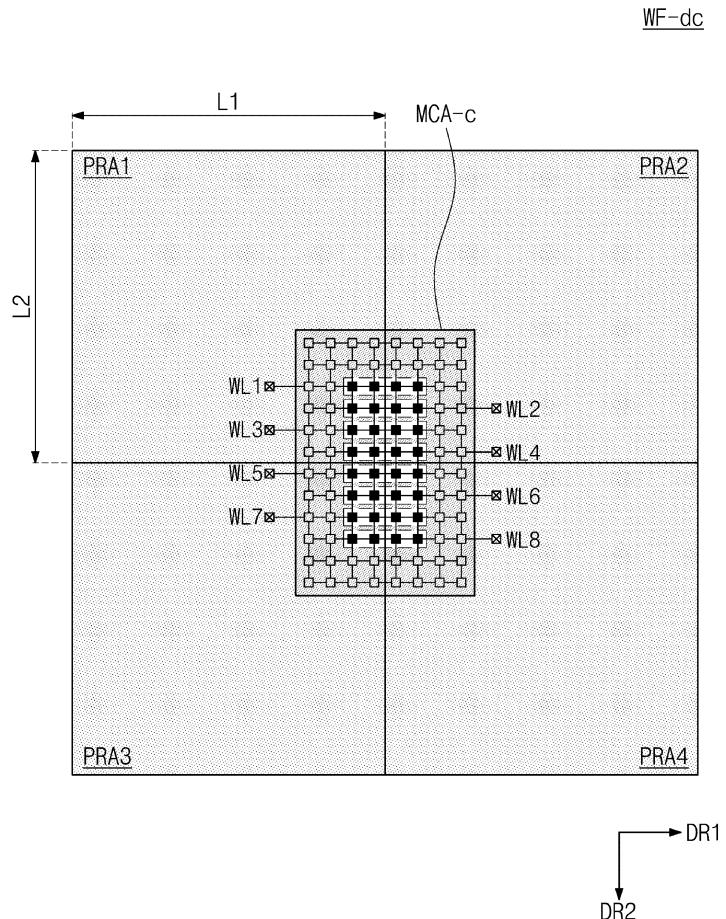
도면 10a



도면 10b

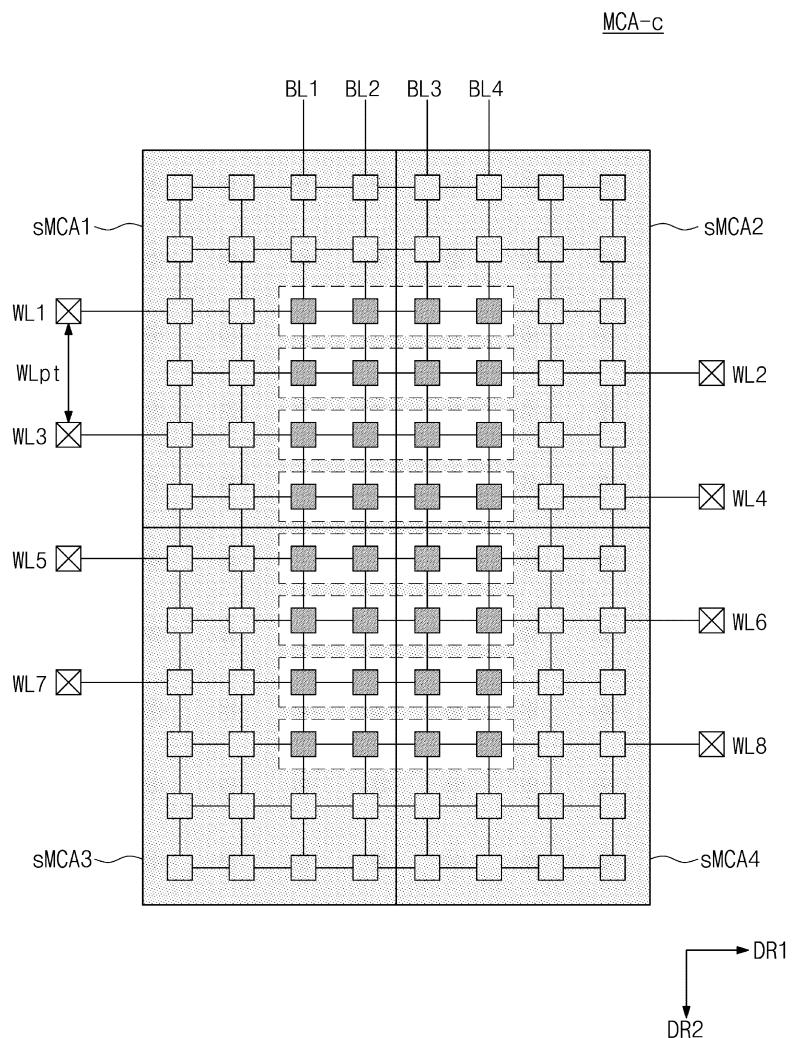


도면 11a

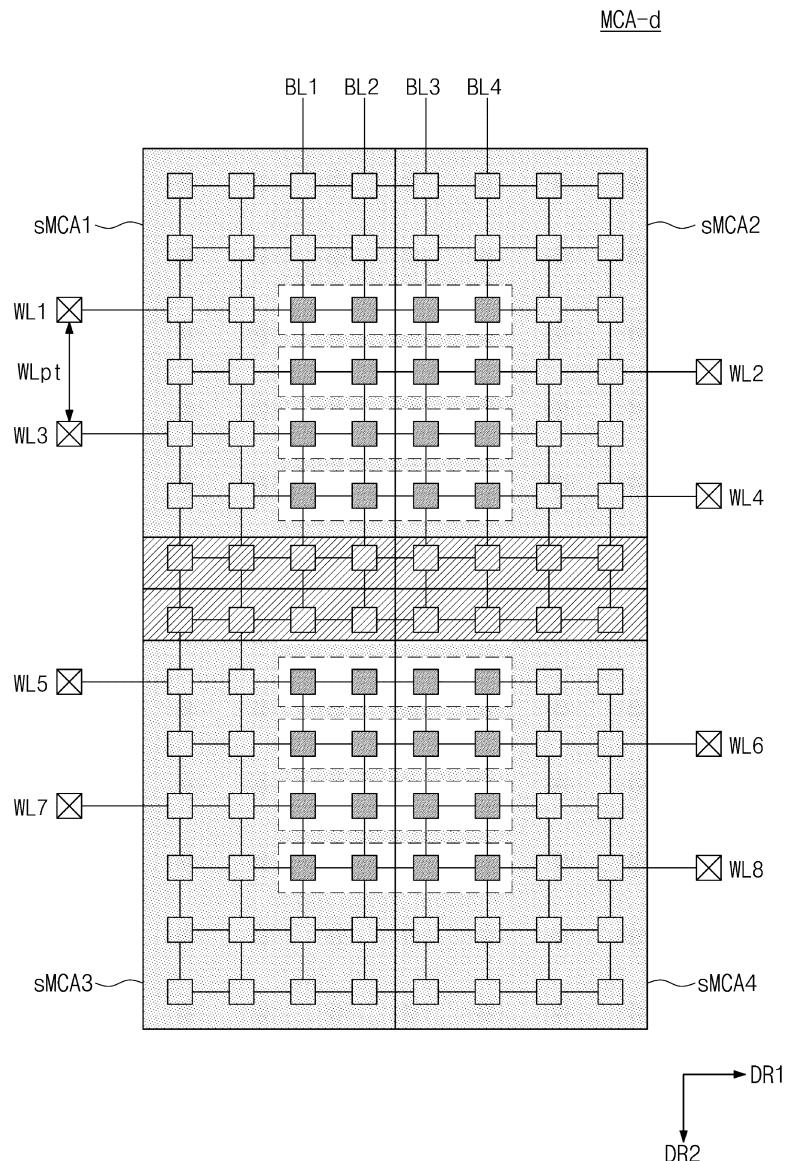


DR1
DR2

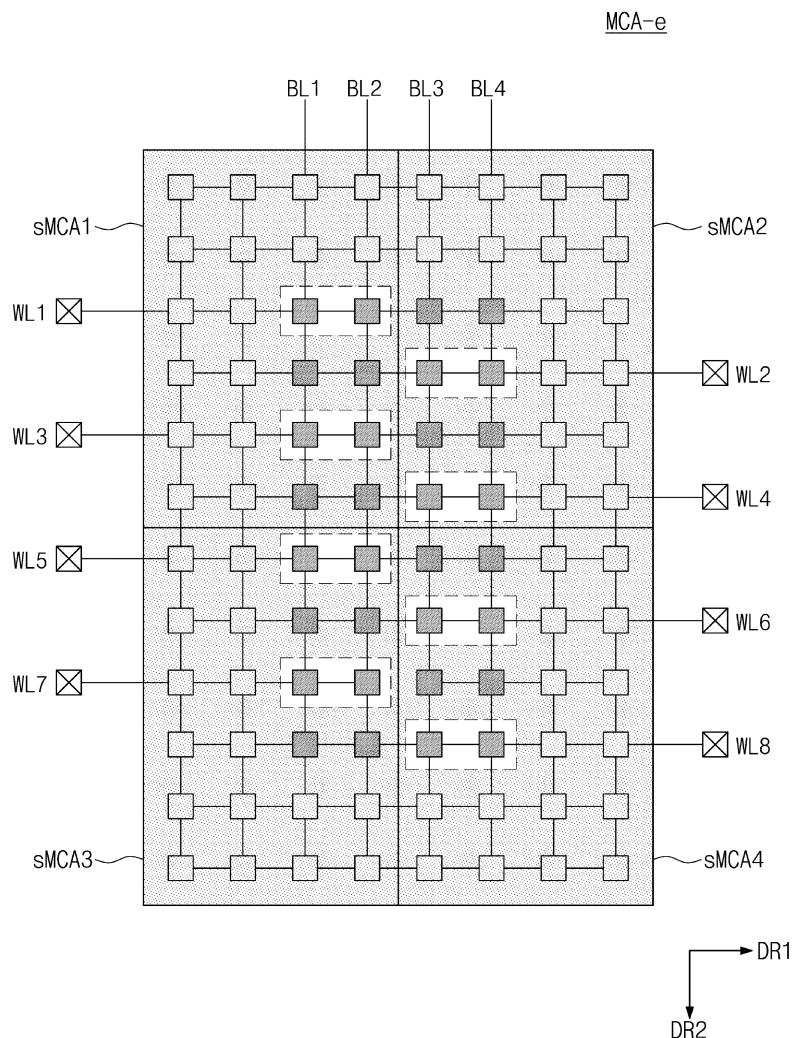
도면11b



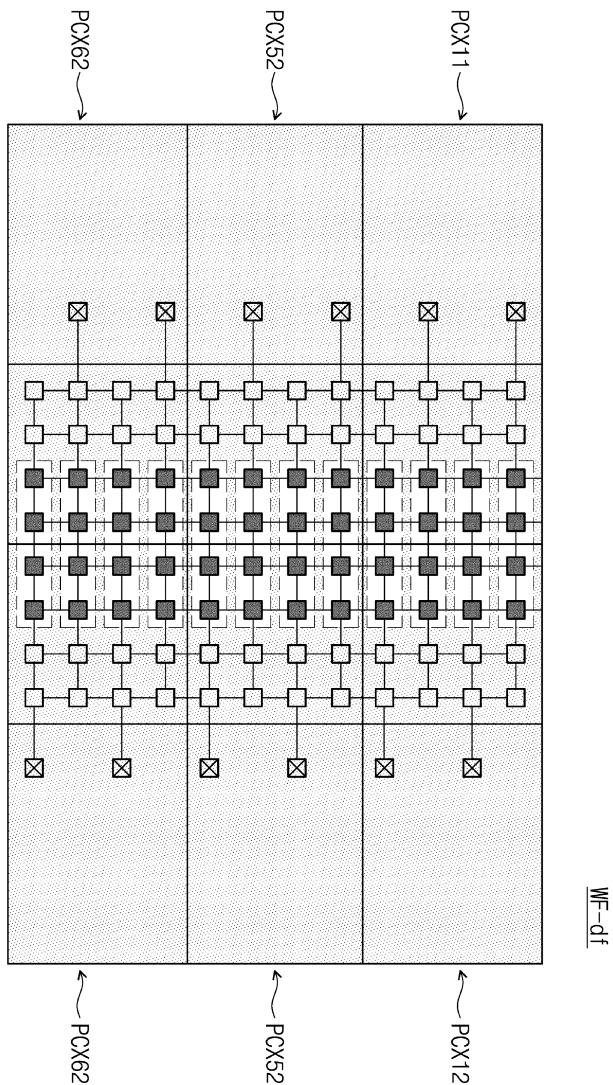
도면12



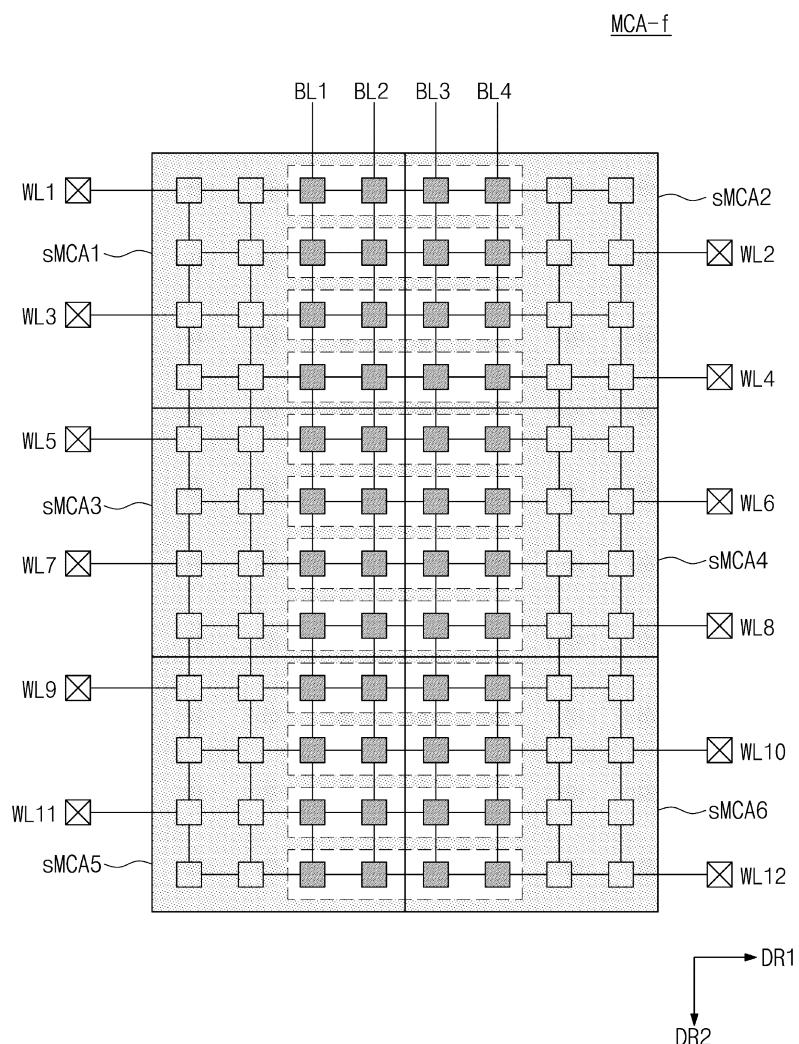
도면13



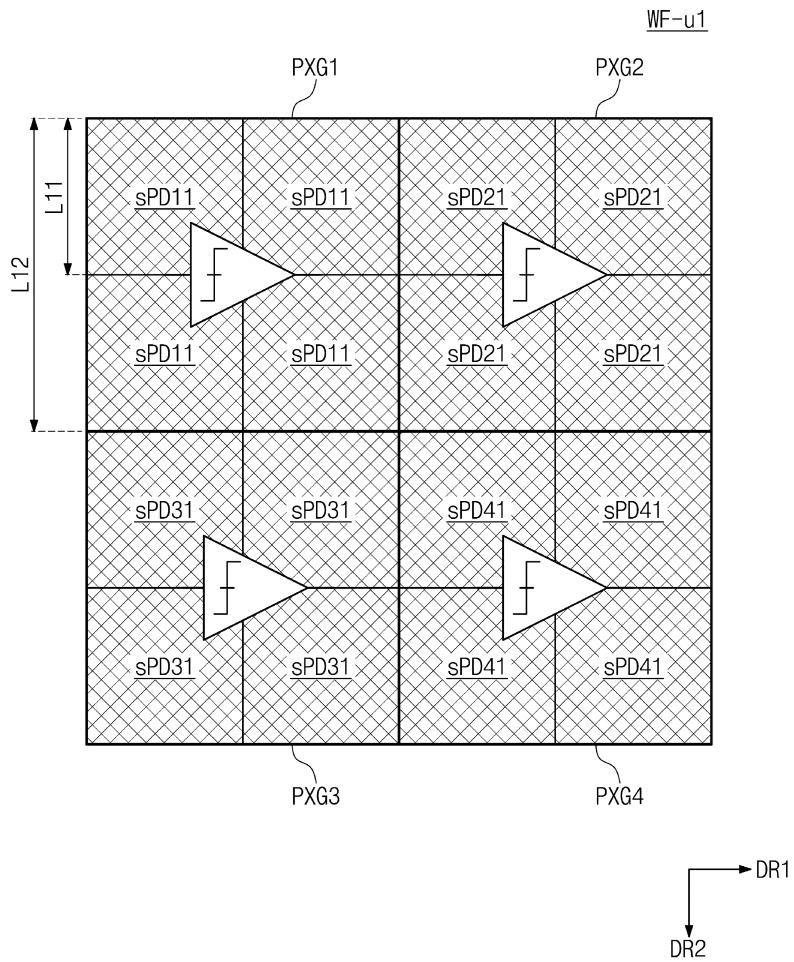
도면 14a



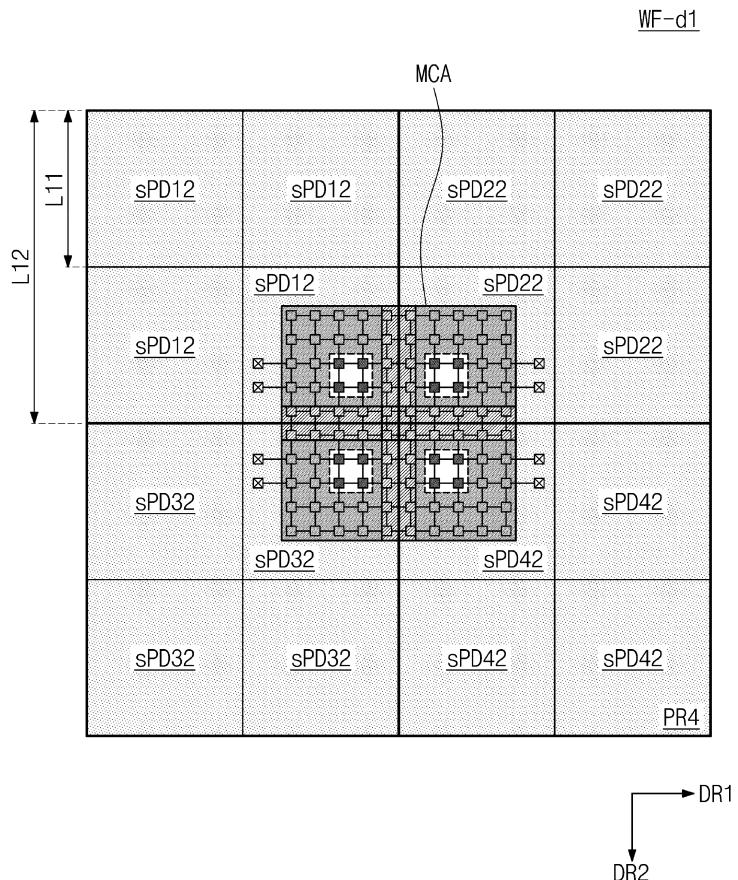
도면 14b



도면 15a

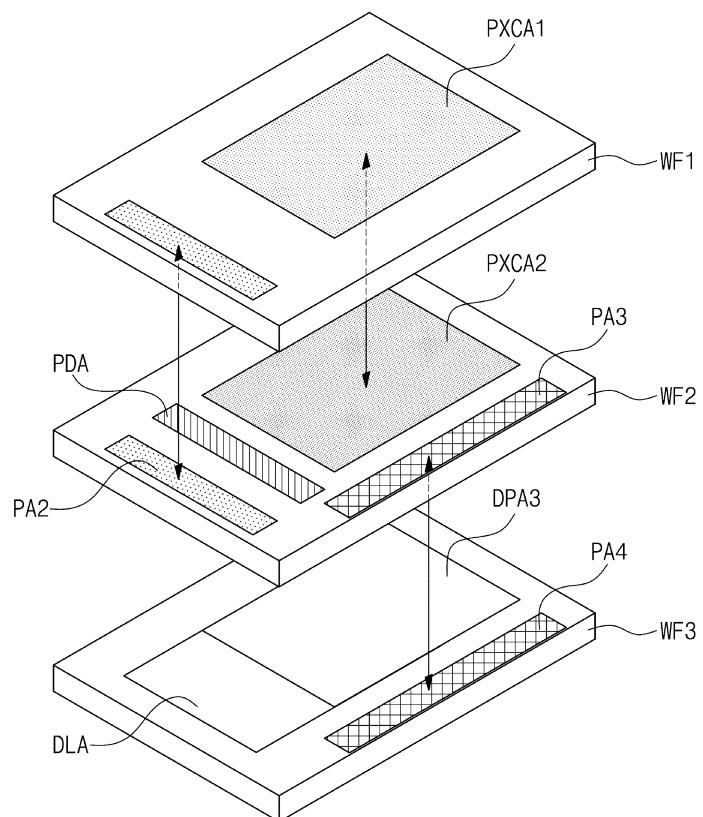


도면 15b

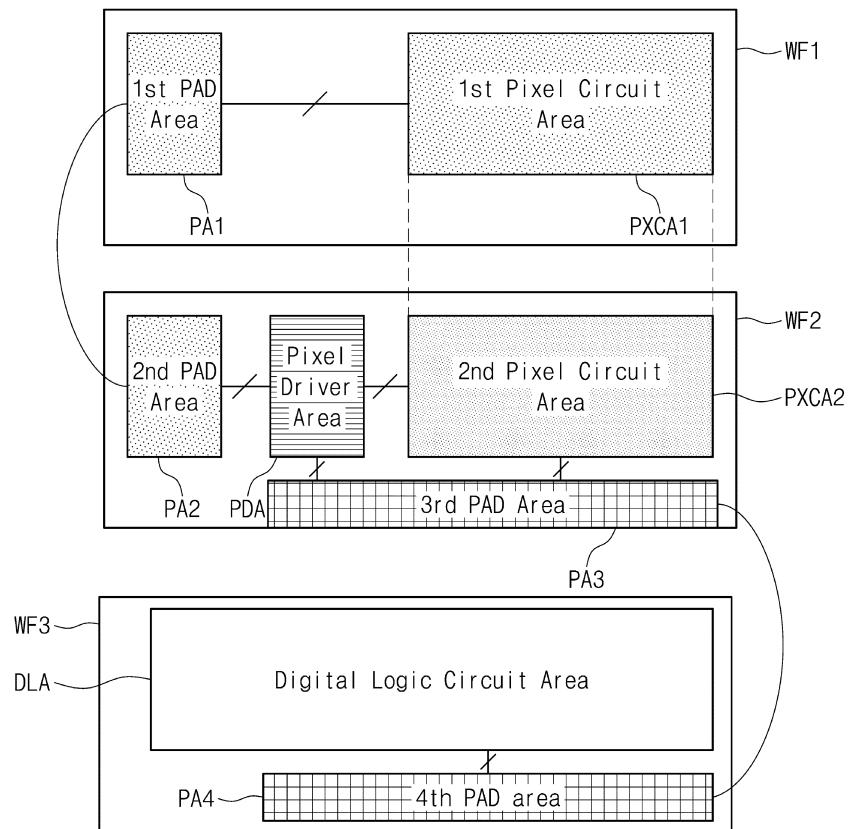


도면 16a

100



도면 16b

100

도면 17

