



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월26일 10-0675318 2007년01월22일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0081415 2000년12월23일 2005년12월23일	(65) 공개번호 (43) 공개일자	10-2002-0052134 2002년07월02일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 박준규
 서울특별시관악구신림1동1630-17번지

 배성준
 경기도성남시분당구금곡동청솔마을104동703호

 이한상
 서울특별시관악구신림1동1608-9202호

(74) 대리인 김영호

(56) 선행기술조사문헌 JP08250771 A JP2004279990 A * 심사관에 의하여 인용된 문헌	JP09319323 A KR1019910010377 A
--	-----------------------------------

심사관 : 최정윤

전체 청구항 수 : 총 38 항

(54) 일렉트로 루미네센스 패널의 구동회로

(57) 요약

본 발명은 일렉트로 루미네센스 패널의 구동회로에 관한 것이다.

본 발명은 데이터 신호와 주사 신호를 패널의 각 화소에 전송하는 데이터 드라이버와 게이트 드라이버를 포함하는 일렉트로 루미네센스 패널의 구동회로에 있어서, 상기 데이터 드라이버는 임시저장된 제어신호를 래치시키는 래치부와, 래치된 제어신호에 의해 특정 레벨의 레퍼런스 전류를 RGB별 데이터 신호로 출력하는 복수의 디지털-아날로그 컨버터를 포함하여 구성된다.

대표도

도 7

특허청구의 범위

청구항 1.

데이터 신호와 주사 신호를 패널의 각 화소에 전송하는 데이터 드라이버와 게이트 드라이버를 포함하는 일렉트로 루미네센스 패널의 구동회로에 있어서,

상기 데이터 드라이버는 임시저장된 제어신호를 래치시키는 래치부와, 래치된 제어신호에 의해 특정 레벨의 레퍼런스 전류를 RGB별 데이터 신호로 출력하는 복수의 디지털-아날로그 컨버터를 포함하여 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 2.

제 1 항에 있어서,

상기 디지털-아날로그 컨버터는 특정 레벨의 레퍼런스 전류를 출력하는 레퍼런스 전류 출력부와, 상기 레퍼런스 전류 출력부에서 출력되는 특정 레퍼런스 전류를 받아 RGB별로 싱크(sink) 전류의 레벨을 조절하는 싱크 전류 조절부로 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 3.

제 1 항에 있어서,

상기 싱크 전류 조절부의 출력단은 데이터 배선에 연결된 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 4.

제 2 항에 있어서,

상기 레퍼런스 전류 출력부는 복수개의 레퍼런스 전류원을 복수개의 스위칭 소자의 제어신호에 의해 임의로 조합하여 특정 레벨의 레퍼런스 전류를 출력하는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 5.

제 1 항에 있어서,

상기 제어신호는 입력되는 영상 아날로그 신호에 상응하여 변환된 디지털 입력신호인 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 6.

제 4 항에 있어서,

상기 레퍼런스 전류원은 바이너리 웨이트 방식 또는 램파 컬렉션 방식 중 어느 하나에 의해서 임의 설정된 것들임을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 7.

제 4 항에 있어서,

상기 스위칭 소자는 박막트랜지스터인 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 8.

제 2 항에 있어서,

상기 싱크 전류 조절부는 제1 전압단과, 제2 전압단과, 상기 레퍼런스 전류 출력부의 출력단에 의해 공통으로 제어되는 상기 레퍼런스 전류 출력부의 출력단과 상기 제1 전압단 사이에 연결된 제1 트랜지스터 및 상기 제2 전압단과 데이터 배선 사이에 연결되는 제2 트랜지스터가 이루는 커런트 미러 구조로 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 9.

제 8 항에 있어서,

상기 제1 전압단은 임의 전압으로 고정되고, 제2 전압단은 RGB별로 특정전압을 외부에서 인가해주어 RGB별로 싱크 전류의 레벨을 조절해주는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 10.

제 8 항에 있어서,

상기 레퍼런스 전류 출력단과 제1 트랜지스터 사이에 전류 차단 스위치가 더 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 11.

제 2 항에 있어서,

상기 싱크 전류 조절부는 제1 전압단과, 제1 저항과, 상기 레퍼런스 전류 출력부의 출력단에 의해 공통으로 제어되는 상기 레퍼런스 전류 출력부의 출력단과 상기 제1 전압단 사이에서 상기 제1 저항과 직렬로 연결된 제1 트랜지스터 및 상기 제1 전압단과 데이터 배선 사이에 연결된 제2 트랜지스터가 이루는 커런트 미러 구조로 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 12.

제 11 항에 있어서,

상기 제1 저항은 상기 제1 전압단과 상기 제1 트랜지스터 사이에 연결되어, 특정 레퍼런스 전류하에서 RGB별로 그 저항값이 변하는 고정저항인 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 13.

제 11 항에 있어서,

상기 제1 전압단은 일정한 전압값으로 고정되어 있는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 14.

제 11 항에 있어서,

상기 레퍼런스 전류 출력단과 제1 트랜지스터 사이에 전류 차단 스위치가 더 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 15.

제 2 항에 있어서,

상기 싱크 전류 조절부는 제1 전압단과, 제2 저항과, 레퍼런스 전류 출력부의 출력단에 공통으로 제어되는 레퍼런스 전류 출력부의 출력단과 상기 제1 전압단 사이에 연결된 제1 트랜지스터 및 상기 제1 전압단과 데이터 배선 사이에서 상기 제2 저항과 직렬로 연결된 제2 트랜지스터가 이루는 커런트 미러 구조로 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 16.

제 15 항에 있어서,

상기 제1 전압단은 일정한 전압값으로 고정되어 있는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 17.

제 15 항에 있어서,

상기 제2 저항은 상기 제1 전압단과 상기 제2 트랜지스터 사이에 연결되어, 특정 레퍼런스 전류하에서 RGB별로 그 저항값이 변하는 고정 저항인 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 18.

제 15 항에 있어서,

상기 레퍼런스 전류 출력단과 제1 트랜지스터 사이에 전류 차단 스위치가 더 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 19.

제 2 항에 있어서,

상기 싱크 전류 조절부는 제1 전압단과, 제1 및 제2 트랜지스터와, 상기 레퍼런스 전류 출력부의 출력단에 공통으로 제어되는 상기 레퍼런스 전류 출력부의 출력단과 상기 제1 전압단 사이에서 제1 트랜지스터와 직렬로 연결된 제3 트랜지스터 및 상기 제1 전압단과 데이터 배선 사이에서 제2 트랜지스터와 직렬로 연결된 제4 트랜지스터가 이루는 커런트 미러 구조로 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 20.

제 19 항에 있어서,

상기 제1 트랜지스터의 게이트와 제2 트랜지스터의 게이트는 공통으로 Vbias에 연결되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 21.

제 19 항에 있어서,

상기 제1 전압단은 RGB별로 싱크 전류를 조절하기 위해서 외부에서 제어하여 인가해주는 전압인 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 22.

제 19 항에 있어서,

상기 Vbias는 일정하게 외부에서 인가해주는 전압인 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 23.

제 2 항에 있어서,

상기 레퍼런스 전류 출력단과 제1 트랜지스터 사이에 전류 차단 스위치가 더 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 24.

제 2 항에 있어서,

상기 싱크 전류 조절부는 제1 전압단과, 제1 트랜지스터와, 상기 제1 트랜지스터의 드레인의 출력값에 의해 공통으로 제어되는 레퍼런스 전류 출력부의 출력단과 상기 제1 전압단 사이에 연결된 제2 트랜지스터 및 상기 제1 전압단과 데이터 배선 사이에서 상기 제1 트랜지스터와 직렬로 연결된 제3 트랜지스터가 이루는 커런트 미러 구조로 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 25.

제 24 항에 있어서,

상기 제1 트랜지스터의 게이트는 레퍼런스 전류 출력부의 출력단에 연결되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 26.

제 24 항에 있어서,

상기 제1 전압단은 각 RGB 별로 외부에서 특정전압을 인가해 주는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 27.

제 22 항에 있어서,

상기 레퍼런스 전류 출력단과 제1 트랜지스터 사이에 전류 차단 스위치가 더 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 28.

제 2 항에 있어서,

상기 싱크 전류 조절부는,

제1 전압단과,

상기 레퍼런스 전류 출력부의 출력단과 상기 제1 전압단 사이에 직렬로 연결된 가변저항 및 제1 트랜지스터와,

상기 데이터 라인과 상기 제1 전압단 사이에 직렬로 연결되고 그 게이트가 상기 가변저항과 제1 트랜지스터 사이에 접속되는 제3 트랜지스터와,

상기 제3 트랜지스터와 상기 제1 전압단 사이에 직렬로 연결되고 그 게이트가 상기 제1 트랜지스터의 게이트와 공통으로 상기 제3 트랜지스터의 드레인에 접속되는 제2 트랜지스터를 포함하여 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 29.

제 28 항에 있어서,

상기 제1 전압단은 각 RGB별로 외부에서 특정 전압을 인가해주는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 30.

제 28 항에 있어서,

상기 제1 트랜지스터와 제1 전압단 사이에 R,G,B별로 특정 저항값으로 설정된 고정 저항이 더 연결된 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 31.

제 28 항에 있어서,

상기 제2 트랜지스터와 제1 전압단 사이에 R,G,B별로 특정 저항값으로 설정된 고정 저항이 더 연결된 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 32.

제 2 항에 있어서,

상기 싱크 전류 조절부는,

제1 및 제2 전압단과,

상기 레퍼런스 전류 출력부의 출력단과 상기 제1 전압단 사이에 직렬로 연결된 가변저항, 제1 트랜지스터 및 제3 트랜지스터와,

상기 데이터 라인과 상기 제2 전압단 사이에 직렬로 연결되고 그 게이트가 상기 제1 트랜지스터의 게이트와 공통으로 Vbias에 연결되는 제2 트랜지스터와,

상기 제2 트랜지스터와 상기 제2 전압단 사이에 직렬로 연결되고 그 게이트가 상기 제3 트랜지스터의 게이트와 공통으로 상기 가변저항과 제1 트랜지스터 사이에 접속되는 제4 트랜지스터를 포함하여 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 33.

제 32 항에 있어서,

상기 Vbias는 일정하게 외부에서 인가해주는 전압인 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 34.

제 32 항에 있어서,

상기 제1 전압단은 임의 전압으로 고정되고, 제2 전압단은 RGB별로 특정전압을 외부에서 인가해주어 RGB별로 싱크 전류의 레벨을 조절해주는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 35.

제 2 항에 있어서,

상기 싱크 전류 조절부는,

제1 전압단과,

상기 레퍼런스 전류 출력부의 출력단과 상기 제1 전압단 사이에 직렬로 연결된 가변저항, 제1 트랜지스터, 및 제3 트랜지스터와,

상기 데이터 라인과 상기 제1 전압단 사이에 직렬로 연결되고 그 게이트가 상기 제1 트랜지스터의 게이트와 공통으로 Vbias에 연결되는 제2 트랜지스터와,

상기 제2 트랜지스터와 상기 제1 전압단 사이에 직렬로 연결되고 그 게이트가 상기 제3 트랜지스터의 게이트와 공통으로 상기 가변저항과 제1 트랜지스터 사이에 접속되는 제4 트랜지스터를 포함하여 구성되는 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 36.

제 35 항에 있어서,

상기 제3 트랜지스터와 제1 전압단 사이에 R,G,B별로 특정 저항값으로 설정된 고정 저항이 더 연결된 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 37.

제 35 항에 있어서,

상기 제4 트랜지스터와 제1 전압단 사이에 R,G,B별로 특정 저항값으로 설정된 고정 저항이 더 연결된 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

청구항 38.

제 35 항에 있어서,

상기 제1 전압단은 RGB별로 싱크 전류를 조절하기 위해서 외부에서 제어하여 인가해주는 전압인 것을 특징으로 하는 일렉트로 루미네센스 패널의 구동회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 패널의 구동회로에 관한 것이다.

통상의 EL 패널은 전기적 신호를 빛의 에너지로 변환함으로써 비디오(또는 영상) 신호에 반응하는 화상을 표시하게 된다. 이러한 EL 패널은 도1에 도시된 바와 같이 유리 기판(10) 상에 서로 교차되게 배열되어진 게이트 라인 쌍들(GL,/GL) 및 데이터 라인들(DL)과, 게이트 라인 쌍들(GL,/GL)과 데이터 라인들(DL)의 교차부들 각각에 배열되어진 화소 소자들(PE)을 구비한다. 화소 소자들(PE) 각각은 게이트 라인 쌍(GL,/GL)의 게이트 신호들이 인에이블될 때에 구동되어 데이터 라인(DL) 상의 화소 신호의 크기에 상응하는 빛을 발생하게 된다.

이러한 EL 패널을 구동하기 위하여, 게이트 드라이버(12)가 게이트 라인 쌍들(GL, $\bar{G}L$)에 접속됨과 아울러 데이터 드라이버(14)가 데이터 라인들(DL)에 접속되게 된다. 게이트 드라이버(12)는 게이트 라인 쌍들(GL, $\bar{G}L$)을 순차적으로 구동하게 된다. 데이터 드라이버(14)는 데이터 라인들을 통해 화소들(PE)에 화소신호를 공급하게 된다.

이와 같이, 게이트 드라이버(12) 및 데이터 드라이버(14)에 의해 구동되는 화소 소자들(PE)은 도2에 도시된 바와 같이 기저전압라인(GNDL)에 접속되어진 EL 셀(ELC)과 이 EL 셀(ELC)을 구동하기 위한 셀 구동회로(16)로 구성된다. 셀 구동회로(16)는 제1, 제2 노드(N1,N2) 및 EL 셀(ELC) 사이에 접속되어진 제1 PMOS 박막 트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)(MP1)와, 게이트 라인(GL) 제2 노드(N2) 및 EL 셀(ELC) 사이에 접속되어진 제2 PMOS TFT(MP2)와, 제1 및 제2 노드(N1,N2) 사이에 접속되어진 캐패시터(C1)를 구비한다. 캐패시터(C1)는 데이터 라인(DL)으로부터 화소신호가 인가될 때, 화소신호의 전압을 충전하여 그 충전되어진 화소전압을 제1 PMOS TFT(MP1)의 게이트 전극에 공급한다. 제1 PMOS TFT(MP1)는 캐패시터(C1)에 충전되어진 화소전압에 의해 턴-온 됨으로써 공급전압라인(VDDL)으로부터 제1 노드(N1)를 경유하여 공급되는 공급전압(VDD)이 EL 셀(ELC)에 공급되게 한다. 이 때, 제1 PMOS TFT(MP1)는 화소신호의 전압레벨에 따라 자신의 채널 폭을 가변시켜 EL 셀(ELC)에 공급되는 전류량이 조절되게 한다. 그러면, EL 셀(ELC)은 제1 PMOS TFT(MP1)로부터 인가되는 전류량에 상응하는 량의 빛을 발생하게 된다. 제2 PMOS TFT(MP2)는 게이트 라인(GL)으로부터 인가되는 도3에 도시된 바와 같은 게이트 신호(GLS)에 응답하여 제2 노드(N2)를 EL 셀(ELC)에 선택적으로 접속시킨다. 이를 상세히 하면, 제2 PMOS TFT(MP2)는 게이트 신호(GLS)가 로우논리로 인에이블되는 기간에 제2 노드(N2)를 EL 셀(ELC)에 접속시켜 화소신호가 캐패시터(C1)에 충전될 수 있게 한다. 다시 말하면, 제2 PMOS TFT(MP2)는 게이트 라인(GL) 상의 게이트 신호(GLS)가 인에이블 되는 기간에 캐패시터(C1)의 전류 통로를 형성하게 된다. 캐패시터(C1)는 게이트 신호가 인에이블되는 기간에 화소신호를 충전하여 제1 PMOS TFT(MP1)의 게이트 전극 상의 전압이 드레인 전극 상의 전압 보다 충전되어진 화소신호의 전압레벨 만큼의 낮아지게 한다. 이에 따라, 제1 PMOS TFT(MP1)는 화소신호의 전압레벨에 따라 채널 폭을 조절하여 제1 노드(N1)로부터 EL 셀(ELC) 쪽으로 흐르는 전류량을 결정하게 된다. 또한, 통상의 EL 셀 구동회로는 게이트 라인(GL) 상의 게이트 신호에 응답하는 제3 PMOS TFT(MP3)와, 게이트 바 라인($\bar{G}L$)으로부터의 반전된 게이트 신호($\bar{G}LS$)에 응답하는 제4 PMOS TFT(MP4)를 추가로 구비한다. 제3 PMOS TFT(MP3)는 로우논리의 게이트신호가 게이트 라인(GL)으로부터 공급되는 기간에 턴-온되어 제1 노드(N1)에 접속되어진 캐패시터(C1) 및 제1 PMOS TFT(MP1)의 드레인 전극이 데이터 라인(DL)에 접속되게 한다. 이를 상세히 하면, 제3 PMOS TFT(MP3)는 로우논리의 게이트 신호(GLS)에 응답하여 데이터 라인(DL) 상의 화소 신호를 제1 노드(N1) 쪽으로 전송하는 역할을 하게 된다. 결과적으로, 제3 PMOS TFT(MP3)는 게이트 라인(GL) 상의 게이트 신호가 로우논리를 유지하는 기간 턴-온 되어 화소신호가 제1 및 제2 노드(N1,N2) 사이에 접속되어진 캐패시터(C1)에 충전되게 한다. 제4 PMOS TFT(MP4)는 게이트 바 라인($\bar{G}L$)으로부터 로우논리의 반전된 게이트 신호($\bar{G}LS$)가 자신의 게이트 전극 쪽으로 공급되는 기간에 턴-온 되어 캐패시터(C1) 및 제1 PMOS TFT(MP1)의 드레인 전극이 접속되어진 제1 노드(N1)를 공급전압라인(VDDL)에 접속시킨다. 제4 PMOS TFT(MP4)가 턴-온 되어진 기간에 공급전압라인(VDDL) 상의 공급전압(VDD)은 제1 노드(N1) 및 제1 PMOS TFT(MP1)를 경유하여 EL 셀(ELC)에 공급됨으로써, EL 셀(ELC)이 화소신호의 전압레벨에 따른 량의 빛을 발생하게 한다.

이렇게 셀 구동회로(16)는 게이트 라인(GL) 상의 게이트 신호가 로우논리로 인에이블되는 기간에 데이터 라인(DL)으로부터의 화소신호의 전류량을 그대로 EL 셀(ELC)에 공급하기 때문에 데이터 드라이버(14)는 대용량의 전류원을 구비하여야 한다. 그러나, 데이터 드라이버(14)는 1 라인분 씩의 화소 소자들을 동시에 구동하여야 하므로 1 라인분의 EL 셀들(ELC) 각각에 공급될 최대 전류량을 크게 할 수 없다. 다시 말하여, 종래의 EL 패널은 각 화소 소자에 순방향 전류신호를 인가하여야 하기 때문에 최대 휘도를 얻기에 필요한 최대 전류량(즉, 화소신호의 전류 마진)을 크게 할 수 없다. 이로 인하여, 영상신호의 그레이 스케일 레벨간의 전류 차가 수 μA 정도로 매우 적게 된다. 또한, EL 패널 상에 배열되어진 EL 셀들에 화소신호의 전류를 수 μA 정도로 정밀하게 조절하기 위한 데이터 드라이버용 IC(Integrated Circuit) 칩은 현실적으로 제작되기 매우 곤란한 실정이다. 결과적으로, 도 1에 도시된 EL 패널은 그레이 스케일의 화상을 표시하기 곤란하였다. 이러한 단점을 보완하기 위하여 도 4에 도시된 EL 패널이 제안되었다.

도 4를 참조하면, EL 패널은 유리 기판(20) 상에 서로 교차되게 배열되어진 게이트 라인들(GL) 및 데이터 라인들(DL)과, 게이트 라인들(GL)과 데이터 라인(DL)들의 교차부를 각각에 배열되어진 화소 소자들(PE)을 구비한다. 화소 소자들(PE) 각각은 게이트 라인(GL) 상의 게이트 신호들이 인에이블될 때에 구동되어 데이터 라인(DL) 상의 화소신호의 전류량에 상응하는 빛을 발생하게 된다.

또한, EL 패널은 상기 데이터 라인들(DL) 각각에 접속되어진 전류 드라이버들(또는 라인 드라이버, CD)을 구비한다. 이들 전류 드라이버들(CD) 각각은 화소신호에 응답하여 화소소자(PE)로부터 데이터 라인(DL)을 경유하여 자신쪽으로 흐르는

전류신호를 제어함으로써 화소소자(PE)에 화소신호를 공급하게 된다. 전류 드라이버(CD)에 의해 화소 소자(PE)에 대전류가 흐를 수 있게 한다. 이 전류 드라이버(CD)에 의해 화소 소자(PE)에는 화소 신호에 따라 변하는 전류신호가 흐르게 된다.

이와 같은 EL 패널의 게이트 라인들(GL)은 게이트 드라이버(22)에 접속되게 되고, 전류 드라이버들(CD)은 데이터 드라이버(24)에 접속되게 된다. 게이트 드라이버(22)는 게이트 라인들(GL)을 순차적으로 구동하게 된다. 데이터 드라이버(24)는 1 라인 분의 화소전압신호들을 전류 드라이버들(CD)에 공급하게 된다. 전류 드라이버들(CD) 각각은 데이터 드라이버(24)로부터의 화소전압신호를 역방향 화소전류신호로 변환하고 그 변환된 화소전류신호를 화소 소자(PE)에 공급하게 된다. 다시 말하여, 전류 드라이버(CD)는 화소 소자(PE)로부터 데이터 라인(DL)을 경유하는 전류 통로 상의 전류량을 조절함으로써 화소 소자(PE)에서의 최대 전류량이 커지게 됨과 아울러 그레이 스케일 레벨에 따른 전류량의 차이가 커지게 된다. 이 결과, 도 4에 도시된 EL 패널은 그레이 스케일 화상을 표시할 수 있게 된다.

도5는 도4에 도시된 화소 소자(PE)를 상세하게 도시하는 회로도이다. 도5의 화소 소자(PE)는 제 1 저전위라인(FVL)에 접속되어진 EL 셀(ELC)과, 이 EL 셀(ELC) 및 데이터 라인(DL) 사이에 접속되어진 EL 셀 구동회로(26)를 구비한다. 제1 저전위 라인(FVL)은 기저전위원(GND)에 접속되거나 또는 부극성의 전압을 발생하는 제1 저전위 전압원에 접속될 수 있다. EL 셀 구동회로(26)는 게이트 라인(GL) 상의 게이트 신호가 인에이블된 기간에 데이터 라인(DL) 상의 역방향 전류량에 따라 변하는 정방향 전류신호를 EL 셀(ELC)에 공급하게 된다. 이를 위하여, EL 셀 구동회로(26)는 EL 셀 (ELC), 제1 노드(N1) 및 공급전압라인(VDDL) 사이에 전류 미러를 형성하게 접속되어진 제1 및 제2 PMOS TFT(MP1,MP2)와, 이들 제1 및 제2 PMOS TFT(MP1,MP2)의 게이트 전극들이 공통적으로 접속되어진 제2 노드(N2)와 공급전압라인(VDDL) 사이에 접속되어진 캐패시터(C1)를 구비한다.

캐패시터(C1)는 공급전압라인(VDDL)이 데이터 라인(DL)에 접속될 때, 데이터 라인(DL) 상의 신호전류를 충전하여 그 충전되어진 신호전류를 제1 및 제2 PMOS TFT(MP1,MP2)의 게이트 전극들에 공통적으로 공급한다. 제1 PMOS TFT(MP1)는 캐패시터(C1)에 충전되어진 신호전류에 의해 턴-온됨으로써 공급전압라인(VDDL) 상의 공급전압(VDD)이 EL 셀(ELC)에 공급되게 한다. 이 때, 제1 PMOS TFT(MP1)는 캐패시터(C1)에 충전되어진 신호전류의 량에 따라 자신의 채널 폭을 가변시켜 공급전압라인(VDDL)으로부터 EL 셀(ELC)에 공급되는 전류량이 조절되게 한다. 그러면, EL 셀(ELC)은 공급전압라인(VDDL)으로부터 제1 PMOS TFT(MP1)를 경유하여 인가되는 전류량에 상응하는 량의 빛을 발생하게 된다. 제2 PMOS TFT(MP2)도 공급전압라인(VDDL)으로부터 자신을 경유하여 데이터 라인(DL) 쪽으로 흐르는 전류량을 조절하여 제1 PMOS TFT(MP1)를 통해 EL 셀(ELC) 쪽으로 흐르게 될 전류량을 결정하게 된다.

또한, EL 셀 구동회로(26)는 게이트 라인(GL) 상의 게이트 신호에 공통적으로 응답하는 제3 및 제4 PMOS TFT(MP3,MP4)를 추가로 구비한다. 제3 PMOS TFT(MP3)는 로우논리의 게이트신호가 게이트 라인(GL)으로부터 공급되는 기간에 턴-온되어 제1 노드(N1)에 접속되어진 제3 PMOS TFT(MP2)의 소오스 전극이 데이터 라인(DL)에 접속되게 한다. 다시 말하여, 제3 PMOS TFT(MP3)는 로우논리의 게이트 신호에 응답하여 공급전압라인(VDDL)으로부터 제2 PMOS 트랜지스터(MP2), 제1 노드(N1) 및 자신을 경유하여 데이터 라인(DL)에 이르는 전류통로를 형성시키는 역할을 하게 된다. 제4 PMOS TFT(MP4)도 게이트 라인(GL)으로부터 로우논리의 게이트 신호가 자신의 게이트 전극 쪽으로 공급되는 기간에 턴-온되어 제1 및 제2 PMOS TFT(MP1,MP2)의 게이트 전극들과 캐패시터(C1)의 일측 단자가 접속되어진 제2 노드(N2)와 제1 노드(N1)를 경유하여 데이터 라인(DL)에 접속되게 한다. 다시 말하여, 제3 및 제4 PMOS TFT(MP3,MP4)는 게이트 라인(GL) 상의 게이트 신호가 로우논리를 유지하는 기간 턴-온 되어 데이터 라인(DL)이 공급전압라인(VDDL)은 물론 제2 노드(N2)에 접속되게 하여 데이터 라인(DL)에 흐르는 전류량에 해당하는 전하량 (또는 신호전류)이 캐패시터(C1)에 충전되게 한다.

나아가, EL 셀 구동회로(26)는 게이트 라인(GL)과 제3 PMOS TFT(MP3)의 게이트 전극 사이에 접속되는 저항(도시하지 않음)을 추가로 구비할 수 있다. 이 저항은 게이트 라인(GL)으로부터 제3 PMOS TFT(MP3)의 게이트 전극 쪽으로 공급되어질 게이트 신호가 지연되게 한다. 이에 따라, 제3 PMOS TFT(MP3)는 게이트 신호가 로우논리에서 하이논리로 변화될 때에 제4 PMOS TFT(MP4) 보다 늦게 턴-오프 되게 된다. 따라서, 캐패시터(C1)에 충전되어진 전하량이 게이트 신호의 하강에지에서 누설되게 않게 된다. 이 결과, EL 셀(ELC)은 데이터 라인(DL) 상의 전류량에 해당하는 양의 빛을 정확하게 발생할 수 있게 되고, 나아가 EL 패널이 비디오 신호(또는 영상신호)에 상응하는 화상을 열화 또는 왜곡 없이 표시할 수 있게 된다.

도6은 도4에 도시된 전류 드라이버(CD)의 실시 예를 상세하게 도시한다. 도6의 전류 드라이버(CD)는 데이터 라인(DL)과 제2 저전위라인(SVL) 사이에 직렬 접속되어진 NMOS 트랜지스터(MN11) 및 저항(R11)을 구비한다. NMOS 트랜지스터(MN11)의 게이트 전극은 패드(Pa)를 경유하여 도4에 도시된 데이터 드라이버(24)의 출력단자들중 어느 하나에 접속되게 된다. NMOS 트랜지스터(MN11)는 패드(Pa)로부터의 인가되는 화소전압에 응답하여 데이터라인(DL)으로부터 저항

(R11)을 경유하여 제2 저전위라인(SVL) 쪽으로 흐르는 전류량을 조절하게 된다. 다시 말하여, NMOS 트랜지스터(MN11)는 패드(Pa)로부터 화소전압의 레벨에 비례하여 데이터 라인(DL)으로부터 저항(R11)을 경유하여 흐르는 역방향 신호 전류가 커지게 한다. 이는 NMOS 트랜지스터(MN11)의 드레인 전극과 소오스 전극 사이에 형성되는 채널의 폭이 화소전압의 레벨에 따라 변화되기 때문이다.

이와 같이, 전류 드라이버(CD)는 화소전압에 응답하여 데이터 라인(DL) 상의 역방향 전류량을 제어함으로써 전류 미러를 통해 데이터 라인(DL)에 접속되어진 EL 소자(ELC)에 큰 전류가 공급되게 한다. 이에 따라, 그레이 스케일 레벨을 구별하기 위한 EL 소자(ELC)에서 전류량의 차이가 커지게 되어 그레이 스케일의 화상이 EL 패널 상에 표시되게 한다.

이와 같은 EL 소자(ELC)들은 자신에게 공급되는 전류량에 대응하여 적색(R), 녹색(G) 및 청색(B) 중 어느 하나의 색을 포함하는 빛을 발생하게 된다. 하지만, 이와 같은 적색(R), 녹색(G) 및 청색(B) EL 소자(ELC)들은 동일하게 인가되는 전류량에 의해 발생하는 빛의 양이 상이하다. 즉, 동일한 전류가 적색(R) EL 소자(ELC) 및 녹색(G) EL 소자(ELC)들에 인가되어도 발생하는 빛의 양이 상이하다. 하지만, 종래의 전류 드라이버(CD)는 적색(R), 녹색(G) 및 청색(B) EL 소자(ELC) 모두에 동일하게 설치된다. 따라서, 종래의 EL 패널은 동일한 데이터가 인가되어도 적색(R), 녹색(G) 및 청색(B) EL 소자(ELC) 별로 서로 상이한 밝기의 빛이 발생되었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 동일한 데이터가 인가될 때 동일한 밝기의 빛이 발생될 수 있도록 한 일렉트로 루미네센스 패널의 구동회로를 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위하여 본 발명은 데이터 신호와 주사 신호를 패널의 각 화소에 전송하는 데이터 드라이버와 게이트 드라이버를 포함하는 일렉트로 루미네센스 패널의 구동회로에 있어서, 상기 데이터 드라이버는 임시저장된 제어신호를 래치시키는 래치부와, 래치된 제어신호에 의해 특정 레벨의 레퍼런스 전류를 RGB별 데이터 신호로 출력하는 복수의 디지털-아날로그 컨버터를 포함하여 구성된다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 7 내지 도 12를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 7은 본 발명의 제 1 실시예에 의한 전류 드라이버(CD)를 나타내는 회로도이다.

도 7을 참조하면, 본 발명의 제 1 실시예에 의한 전류 드라이버(CD)는 패드(Pa) 및 공통전압원(Vroot) 사이에 직렬 접속되어진 가변저항(R11) 및 제 1 NMOS 트랜지스터(NM11)와, 데이터라인(DL)과 가변전압원(Vm) 사이에 직렬로 접속되어진 제 2 및 제 3 NMOS 트랜지스터(NM12, NM13)를 구비한다. 패드(Pa)는 데이터 드라이버의 출력단자들 중 어느 하나에 접속되어 화소전압을 입력하게 된다. 제 1 및 제 3 NMOS 트랜지스터(NM11, NM13)의 게이트 전극들은 제 2 NMOS 트랜지스터(NM12)의 소오스전극과 제 3 NMOS 트랜지스터(NM13)의 드레인 전극이 접속되어진 제 10 노드(N10)에 공통적으로 접속되어 있다. 제 2 NMOS 트랜지스터(N12)의 게이트전극은 가변저항(R11)과 제 1 NMOS 트랜지스터(NM11)의 드레인 전극이 접속되어진 제 11 노드(N11)에 접속되어 있다. 가변저항(R11)은 액정 패널내에 포함되어 있는 모든 전류 드라이버들(CD)이 동일한 특성을 갖을 수 있도록 그 저항값이 조정된다. 즉, 가변저항(R11)은 패드(Pa)로부터 화소전압이 인가될 때 화소소자들(PE)내에 포함된 TFT가 동일한 특성을 나타낼 수 있도록 저항값이 조정된다. 제 1 및 제 2 NMOS 트랜지스터(NM11, NM12)는 전류 리피터(Current Repeater)를 구성하여 데이터 라인(DL)으로부터 가변전압원(Vm) 쪽으로 흐르는 전류량이 제 11 노드(N11)에 공급되는 전류량에 따라 변하게 한다. 다시 말하여, 데이터 라인(DL)으로부터 제 2 및 제 3 NMOS 트랜지스터(NM12, NM13)를 경유하여 가변전압원(Vm) 쪽으로 흐르는 역방향 전류는 패드(Pa)에 공급되는 화소전압에 따라 변하게 된다. 본 발명의 제 1 실시예에서 공통전압원(Vroot)에 인가되는 전압은 전류 드라이버(CD)가 설치되어 있는 위치(예를 들면, 적색(R), 녹색(G) 또는 청색(B) EL 소자(ELC))에 관계없이 동일하게 인가되는 반면에, 가변전압원(Vm)에 인가되는 전압은 전류 드라이버(CD)가 설치되어 있는 위치(예를 들면, 적색(R), 녹색(G) 또는 청색(B) EL 소자(ELC))에 따라 상이하게 설정된다. 공통전압원(Vroot)에는 패드(Pa)에 공급되는 화소전압보다 낮은 전압(보통 기저전압(GND) 이하의 전압)이 인가된다. 가변전압원(Vm)에 인가되는 전압은 화소소자(PE)에 동일한 데이터가 공급되었을 때 적색(R), 녹색(G) 및 청색(B) EL 소자(ELC)가 동일한 밝기의 빛을 낼 수 있도록 실험적으로 정해진다.

즉, 본 발명의 제 1 실시예에서는 적색(R), 녹색(G) 및 청색(B) EL 소자(ELC)에 동일한 데이터가 공급될 때 동일한 밝기의 빛을 낼 수 있도록 공통전압원(Vm)의 전압값이 설정된다. 또한, 패드(Pa)와 제 1 및 제 2 NMOS 트랜지스터(NM11, NM12) 사이에 설치되어 있는 가변저항의 저항값을 조절하여 액정 패널에 포함되어 있는 모든 전류 드라이버(CD)들이 동일한 동작 특성을 갖게한다. 아울러 전류 드라이버(CD)는 화소전압에 응답하여 데이터 라인(DL) 상의 역방향 전류를 제어함으로써 전류 미러를 통해 데이터 라인(DL)에 접속되어진 EL 소자(ELC)에 큰 전류가 공급되게 한다.

도 8은 본 발명의 제 2 실시예에 의한 전류 드라이버(CD)를 나타내는 회로도이다.

도 8을 참조하면, 본 발명의 제 2 실시예에 의한 전류 드라이버(CD)는 패드(Pa) 및 기저전압원(GND) 사이에 직렬 접속되어진 가변저항(R21), 제 1 NMOS 트랜지스터(NM21) 및 고정저항(R22)과, 데이터라인(DL)과 기저전압원(GND) 사이에 직렬 접속되어진 제 2 및 제 3 NMOS 트랜지스터(NM22, NM23)를 구비한다. 패드(Pa)는 데이터 드라이버의 출력단자들 중 어느하나에 접속되어 화소전압을 입력하게 된다. 제 1 및 제 3 NMOS 트랜지스터(NM21, NM23)의 게이트 전극들은 제 2 NMOS 트랜지스터(NM22)의 소오스전극과 제 3 NMOS 트랜지스터(NM23)의 드레인 전극이 접속되어진 제 20 노드(N20)에 공통적으로 접속되어 있다. 제 2 NMOS 트랜지스터(NM22)의 게이트전극은 가변저항(R21)과 제 1 NMOS 트랜지스터(NM21)의 드레인 전극이 접속되어진 제 21 노드(N21)에 접속되어 있다. 가변저항(R21)은 액정 패널내에 포함되어 있는 모든 전류 드라이버들(CD)이 동일한 특성을 갖을 수 있도록 그 저항값이 조정된다. 즉, 가변저항(R21)은 패드(Pa)로부터 화소전압이 인가될 때 화소소자들(PE)내에 포함된 TFT가 동일한 특성을 나타낼 수 있도록 저항값이 조정된다. 제 1 및 제 2 NMOS 트랜지스터(NM21, NM22)는 전류 리피터를 구성하여 데이터 라인(DL)으로부터 기저전압원(GND) 쪽으로 흐르는 전류량이 제 21 노드(N21)에 공급되는 전류량에 따라 변하게 한다. 다시 말하여, 데이터 라인(DL)으로부터 제 2 및 제 3 NMOS 트랜지스터(NM22, NM23)를 경유하여 기저전압원(GND) 쪽으로 흐르는 역방향 전류는 패드(Pa)에 공급되는 화소전압에 따라 변하게 된다. 제 1 NMOS 트랜지스터(NM21) 및 기저전압원(GND) 사이에 직렬로 접속된 고정저항(R22)의 저항값은 동일한 데이터가 화소소자(PE)에 인가되었을 때 동일한 밝기의 빛을 낼 수 있도록 전류 드라이버(CD)가 설치되어 있는 위치(예를 들면, 적색(R), 녹색(G) 또는 청색(B)의 EL 소자(ELC))에 따라 상이하게 설정된다. 즉, 동일한 화소전압이 공급되었을 때 데이터 라인(DL)으로부터 기저전압원(GND) 쪽으로 흐르는 역방향 전류는 고정저항(R22)의 저항값에 의해 결정된다. 이를 상세히 설명하면, 제 1 NMOS 트랜지스터(NM21)를 거쳐 기저전압원(GND)으로 흐르는 전류의 양은 고정저항(R22)의 저항값에 의해 결정된다. 이때, 제 1 NMOS 트랜지스터(NM21)와 제 3 NMOS 트랜지스터(NM23)는 전류 미러를 형성하기 때문에 데이터 라인(DL)으로부터 기저전압원(GND)으로 공급되는 전류의 양은 제 1 NMOS 트랜지스터(NM21)에 흐르는 전류의 양에 의해 결정된다. 이러한 고정저항(R22)은 본 발명의 제 3 실시예인 도 9와 같이 제 3 NMOS 트랜지스터(NM23)와 기저전압원(GND) 사이에 설치될 수도 있다. 고정저항(R22)의 저항값은 화소소자(PE)에 동일한 데이터가 공급되었을 때 적색(R), 녹색(G) 및 청색(B) EL 소자(ELC)가 동일한 밝기의 빛을 낼 수 있도록 실험적으로 정해진다.

즉, 본 발명의 제 2 및 제 3 실시예에서는 전류 드라이버(CD)에 포함되어 있는 고정저항(R22)의 저항값을 조절하여 적색(R), 녹색(G) 및 청색(B) EL 소자(ELC)에 동일한 데이터가 인가될 때 동일한 밝기의 빛을 낼 수 있다. 또한, 패드(Pa)와 제 1 및 제 2 NMOS 트랜지스터(NM21, NM22) 사이에 설치되어 있는 가변저항의 저항값을 조절하여 액정 패널에 포함되어 있는 모든 전류 드라이버(CD)들이 동일한 동작 특성을 갖게한다. 아울러 전류 드라이버(CD)는 화소전압에 응답하여 데이터 라인(DL) 상의 역방향 전류를 제어함으로써 전류 미러를 통해 데이터 라인(DL)에 접속되어진 EL 소자(ELC)에 큰 전류가 공급되게 한다.

도 10은 본 발명의 제 4 실시예에 의한 전류 드라이버(CD)를 나타내는 회로도이다.

도 10을 참조하면, 본 발명의 제 4 실시예에 의한 전류 드라이버(CD)는 제 40 노드(N40)와 제 2 NMOS 트랜지스터(NM42) 사이에 접속되어진 제 1 NMOS 트랜지스터(NM41)와, 데이터 라인(DL)과 제 4 NMOS 트랜지스터(NM44) 사이에 접속되어진 제 3NMOS 트랜지스터(NM43)를 구비한다. 또한, 전류 드라이버(CD)는 제 1 NMOS 트랜지스터(NM41)와 패드(Pa) 사이에 접속되는 가변저항(R41)을 구비한다. 가변저항(R41)은 액정 패널내에 포함되어 있는 모든 전류 드라이버들(CD)이 동일한 특성을 갖을 수 있도록 그 저항값이 조정된다. 즉, 가변저항(R41)은 패드(Pa)로부터 화소전압이 인가될 때 화소소자들(PE)내에 포함된 TFT가 동일한 특성을 나타낼 수 있도록 저항값이 조정된다. 제 1 및 제 3 NMOS 트랜지스터(NM41, NM43)의 게이트전극들은 도시되지 않은 바이어스 전압원과 접속된다. 바이어스 전압원은 제 1 및 제 3 NMOS 트랜지스터(NM41, NM43)를 구동하기 위한 바이어스 전압을 공급한다. 제 1 NMOS 트랜지스터(NM41)는 바이어스 전압원으로부터 자신의 게이트전극 쪽으로 인가되는 바이어스 전압에 의해 턴-온 되어 제 2 NMOS 트랜지스터(NM42)의 드레인과 소오스간의 전압차가 일정하게 유지되게 한다. 이는 제 1 NMOS 트랜지스터(NM41)의 저항값은 제 40 노드(N40) 상의 전압레벨이 변하더라도 일정한 저항값을 유지하는 반면에 제 2 NMOS 트랜지스터(NM42)의 저항값은 제 40 노드(N40) 상의 전압(또는 전류량) 변화와 상반되게 변하는 것에 기인한다. 제 40 노드(N40) 상의 전압(또는 전류

량)이 커지는 경우, 제 2 NMOS 트랜지스터(NM42)는 제 40 노드(N40) 상의 큰 전압에 의해 낮은 저항값을 가지게 된다. 이때, 제 1 NMOS 트랜지스터(NM41)에 대한 제 2 NMOS 트랜지스터(NM42)의 저항비가 낮아지게 되어 상대적으로 큰 비율의 전압이 제 1 NMOS 트랜지스터(NM41)의 드레인과 소오스 전극들 사이에 인가되는 반면에 상대적으로 낮아진 비율의 전압이 제 2 NMOS 트랜지스터(NM42)의 드레인과 소오스 전극들 사이에 인가되게 된다. 이 결과, 제 2 NMOS 트랜지스터(NM42)의 드레인과 소오스 전극들 사이에 인가되는 전압은 제 40 노드(N40) 상의 전압(또는 전류량)이 커지더라도 거의 변하지 않게 된다. 이와는 달리, 제 40 노드(N40) 상의 전압(또는 전류량)이 작아지는 경우에 제 2 NMOS 트랜지스터(NM42)는 제 40 노드(N40) 상의 작은 전압에 의해 높은 저항값을 가지게 된다. 이때, 제 1 NMOS 트랜지스터(NM41)에 대한 제 2 NMOS 트랜지스터(NM42)의 저항비가 높아지게 되어 상대적으로 낮은 비율의 전압이 제 1 NMOS 트랜지스터(NM41)의 드레인과 소오스 전극들 사이에 인가되는 한편 상대적으로 높아진 비율의 전압이 제 2 NMOS 트랜지스터(NM42)의 드레인과 소오스 전극들 사이에 인가되게 된다. 한편, 공통전압원(Vroot)에 인가되는 전압은 전류 드라이버(CD)가 설치되는 위치(예를 들면, 적색(R), 녹색(G) 또는 청색(B) EL 소자(ELC))에 관계없이 모든 전류 드라이버(CD)에 동일하게 공급된다. 공통전압원(Vroot)에는 패드(Pa)에 공급되는 화소전압보다 낮은 전압(보통 기저전압(GND) 이하의 전압)이 인가된다.

또한, 제 3 NMOS 트랜지스터(NM43)도 바이어스 전압원으로부터 자신의 게이트전극 쪽으로 인가되는 바이어스 전압에 의해 턴-온되어 제 4 NMOS 트랜지스터(NM44)의 드레인과 소오스간의 전압차가 일정하게 유지되게 한다. 이는 제 3 NMOS 트랜지스터(NM43)는 데이터 라인(DL) 상의 전류량이 변하더라도 일정한 저항값을 유지하는 반면에 제 4 NMOS 트랜지스터(NM44)의 저항값이 데이터 라인(DL) 상의 전류량과 동일한 형태로 변하는 제 40 노드(N40) 상의 전압과는 상반되게 변하는 것에 기인한다. 데이터 라인(DL) 상의 전류량이 커지는 경우(즉, 제 40 노드(N40) 상의 전압이 높아지는 경우), 제 4 NMOS 트랜지스터(NM44)는 제 40 노드(N40) 상의 높은 전압에 의해 낮은 저항값을 가지게 된다. 이때, 제 3 NMOS 트랜지스터(NM43)에 대한 제 4 NMOS 트랜지스터(NM44)의 저항비가 낮아지게 되어 상대적으로 큰 비율의 전압이 제 3 NMOS 트랜지스터(NM43)의 드레인과 소오스 전극들 사이에 인가되는 반면에 상대적으로 낮아진 비율의 전압이 제 4 NMOS 트랜지스터(NM44)의 드레인과 소오스 전극들 사이에 인가되게 된다. 이 결과, 제 4 NMOS 트랜지스터(NM44)의 드레인과 소오스 전극들 사이에 인가되는 전압은 데이터 라인(DL) 상의 전류량이 커지더라도 거의 변하지 않게 된다. 이와는 달리, 데이터 라인(DL) 상의 전류량이 작아진 경우(즉, 제 40 노드(N40) 상의 전압이 낮아진 경우)에 제 4 NMOS 트랜지스터(NM44)는 제 40 노드(N40) 상의 낮은 전압에 의해 높아진 저항값을 가지게 된다. 이때, 제 3 NMOS 트랜지스터(NM43)에 대한 제 4 NMOS 트랜지스터(NM44)의 저항비가 높아지게 되어 상대적으로 낮은 비율의 전압이 제 3 NMOS 트랜지스터(NM43)의 드레인과 소오스 전극들 사이에 인가되는 한편 상대적으로 높아진 비율의 전압이 제 4 NMOS 트랜지스터(NM44)의 드레인과 소오스 전극들 사이에 인가되게 된다. 이 결과, 제 4 NMOS 트랜지스터(NM44)의 드레인과 소오스 전극들 사이에 인가되는 전압은 제 40 노드(N40) 상의 전압(즉, 데이터 라인(DL) 상의 전류량)이 변하더라도 거의 변하지 않게 된다. 한편, 가변전압원(Vm)에 인가되는 전압은 화소소자(PE)에 동일한 데이터가 공급되었을 때 적색(R), 녹색(G) 및 청색(B) EL 소자(ELC)가 동일한 밝기의 빛을 낼 수 있도록 실험적으로 정해진다.

즉, 본 발명의 제 4 실시예에서는 적색(R), 녹색(G) 및 청색(B) EL 소자(ELC)에 동일한 데이터가 공급될 때 동일한 밝기의 빛을 낼 수 있도록 공통전압원(Vm)의 전압값이 설정된다. 또한, 패드(Pa)와 제 1 NMOS 트랜지스터(NM41) 사이에 설치되어 있는 가변저항(R41)의 저항값을 조절하여 액정 패널에 포함되어 있는 모든 전류 드라이버(CD)들이 동일한 동작 특성을 갖게한다. 아울러, 제 4 NMOS 트랜지스터(NM44)의 드레인과 소오스 전극들 간의 전압이 일정하게 유지되게 함으로써 EL패널 상의 임의의 데이터 라인(DL)이 그와 인접한 다른 데이터 라인(DL) 상의 전류량 또는 전압의 영향을 거의 받지 않게 한다. 다시 말하여, 본 발명의 제 4 실시예에 의한 전류 드라이버(CD)는 EL 패널 상의 임의의 데이터 라인 상의 신호가 인접한 데이터 라인 상의 신호의 영향 없이 화소신호의 전압에 해당하는 정확한 크기의 전류량을 가지게 할 수 있다.

또한, 본 발명의 제 4 실시예는 도 11 및 도 12의 전류 드라이버(CD)와 같이 응용될 수 있다.

도 11을 참조하여 상세히 설명하면, 도 10에 도시된 공통전압원(Vroot) 및 가변전압원(Vm)이 기저전압원(GND)에 접속되고, 제 2 NMOS 트랜지스터(NM42)와 기저전압원(GND) 사이에 고정저항(R52)이 설치된다. 이와 같은 고정저항(R52)의 저항값은 동일한 데이터가 화소소자(PE)에 인가되었을 때 동일한 밝기의 빛을 낼 수 있도록 전류 드라이버(CD)가 설치되어 있는 위치(예를 들면, 적색(R), 녹색(G) 또는 청색(B)의 EL 소자(ELC))에 따라 상이하게 설정된다. 즉, 동일한 화소 전압이 공급되었을 때 데이터 라인(DL)으로부터 기저전압원(GND) 쪽으로 흐르는 역방향 전류는 고정저항(R52)의 저항값에 의해 결정된다. 이를 상세히 설명하면, 제 2 NMOS 트랜지스터(NM42)를 거쳐 기저전압원(GND)으로 흐르는 전류의 양은 고정저항(R52)의 저항값에 의해 결정된다. 이때, 제 2 NMOS 트랜지스터(NM42)와 제 4 NMOS 트랜지스터(NM44)는 전류 미러를 형성하기 때문에 데이터 라인(DL)으로부터 기저전압원(GND)으로 공급되는 전류의 양은 제 2 NMOS 트랜지스터(NM42)에 흐르는 전류의 양에 의해 결정된다. 이러한 고정저항(R52)은 도 12와 같이 제 4 NMOS 트랜지스터(NM44)와 기저전압원(GND) 사이에 설치될 수도 있다. 고정저항(R22)의 저항값은 화소소자(PE)에 동일한 데이터가 공급

되었을 때 적색(R), 녹색(G) 및 청색(B) EL 소자(ELC)가 동일한 밝기의 빛을 낼 수 있도록 실험적으로 정해진다. 그 외의 전류 드라이버(CD) 동작과정은 도 10에 도시된 본 발명의 제 4 실시예에 의한 전류 드라이버(CD)와 동일하므로 생략하기로 한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 일렉트로 루미네센스 패널의 구동회로에 의하면 전류 드라이버에 설치되는 가변전압 및/또는 고정저항의 저항값을 조절하여 화소소자에 동일한 데이터가 공급되었을 때 적색(R), 녹색(G) 및 청색(B)의 EL 소자가 동일한 밝기의 빛을 낼 수 있다. 또한, 전류 드라이버에 설치되는 가변저항의 저항값을 조절하여 액정 패널에 포함되어 있는 모든 전류 드라이버들이 동일한 동작 특성을 갖게한다. 아울러, 화소로부터 데이터라인 쪽으로 흐르는 전류량의 조절에 의해 EL 셀에 흐르는 전류량의 최대값이 높아지게 함과 아울러 전류미러를 이용하여 EL 셀에 공급되는 전류가 데이터라인 상의 전류량에 비하여 수배 내지 수십배의 크기로 변하게 함으로써 그레이 스케일 레벨을 구별하기 위한 화소신호의 전류량의 차이를 커지게 할 수 있다. 이에 따라, 그레이 스케일의 화상을 표시할 수 있다. 더불어, 인접한 데이터 라인 상의 신호의 영향없이 해당 데이터 버스 상의 신호가 화소신호의 전압에 해당하는 정확한 크기의 전류량을 가지게 할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 일렉트로 루미네센스 패널을 개략적으로 도시하는 도면.

도 2는 도 1에 도시된 화소 소자를 상세히 나타내는 회로도.

도 3은 도 1에 도시된 화소 소자에 공급될 게이트 신호들을 도시하는 파형도.

도 4는 도 1의 단점을 보완한 종래의 일렉트로 루미네센스 패널을 개략적으로 도시하는 도면.

도 5는 도 4에 도시된 화소 소자를 상세히 나타내는 회로도.

도 6은 도 4에 도시된 전류 드라이버를 상세히 나타내는 회로도.

도 7은 본 발명의 제 1 실시예에 의한 전류 드라이버를 상세히 나타내는 회로도.

도 8은 본 발명의 제 2 실시예에 의한 전류 드라이버를 상세히 나타내는 회로도.

도 9는 본 발명의 제 3 실시예에 의한 전류 드라이버를 상세히 나타내는 회로도.

도 10은 본 발명의 제 4 실시예에 의한 전류 드라이버를 상세히 나타내는 회로도.

도 11은 본 발명의 제 5 실시예에 의한 전류 드라이버를 상세히 나타내는 회로도.

도 12는 본 발명의 제 6 실시예에 의한 전류 드라이버를 상세히 나타내는 회로도.

< 도면의 주요 부분에 대한 부호의 설명 >

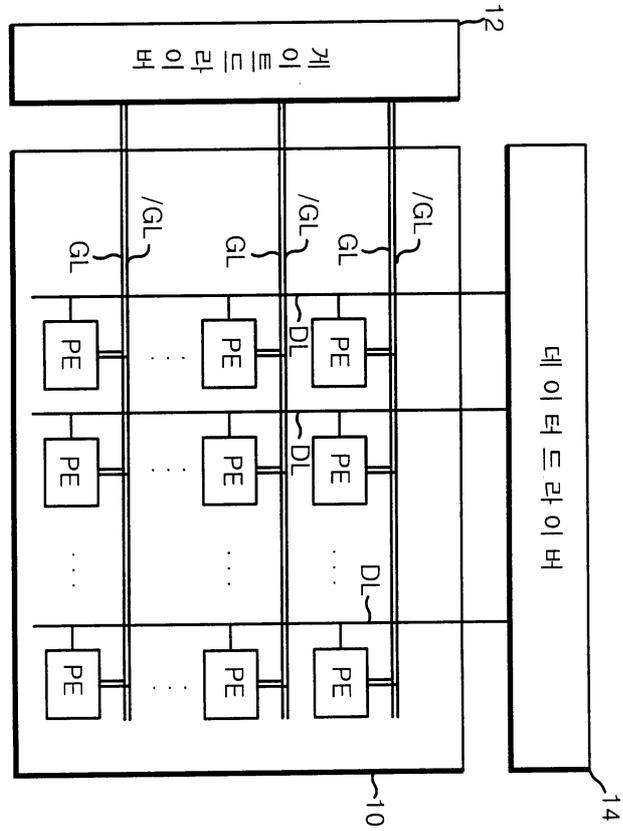
10,20 : 유리기관 12,22 : 게이트 드라이버

14,24 : 데이터 드라이버 16,26 : 셀 구동회로

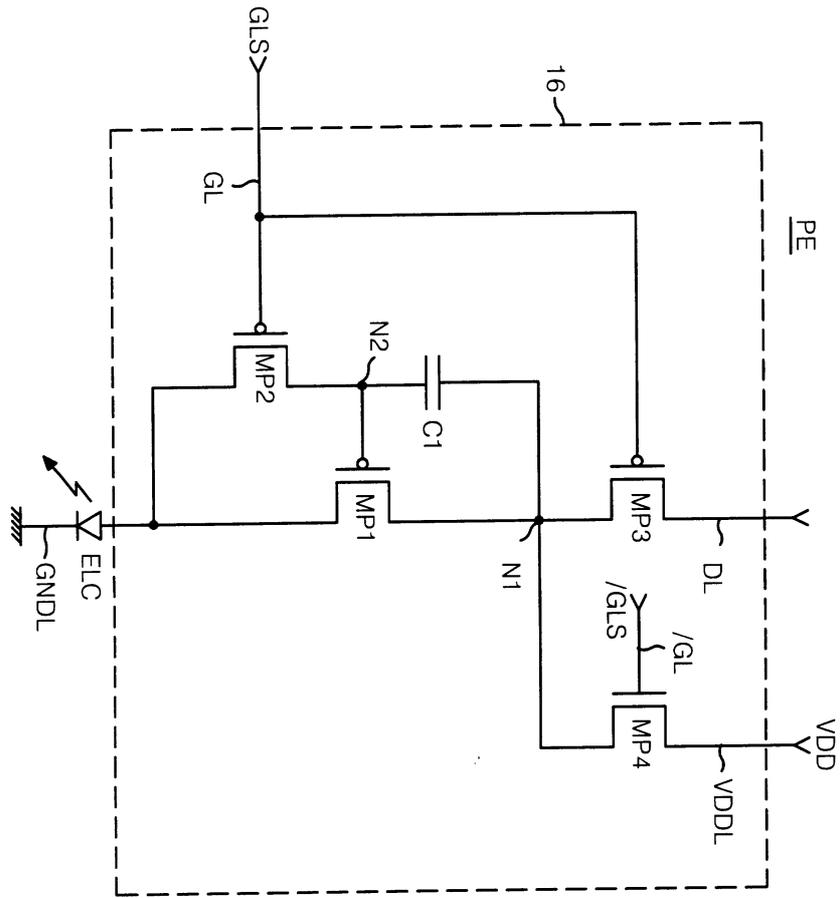
CD : 전류 드라이버 PE : 화소소자

도면

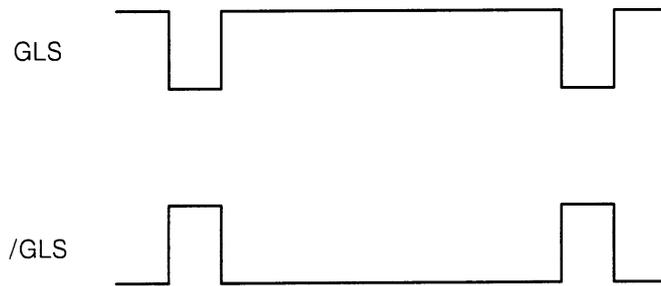
도면1



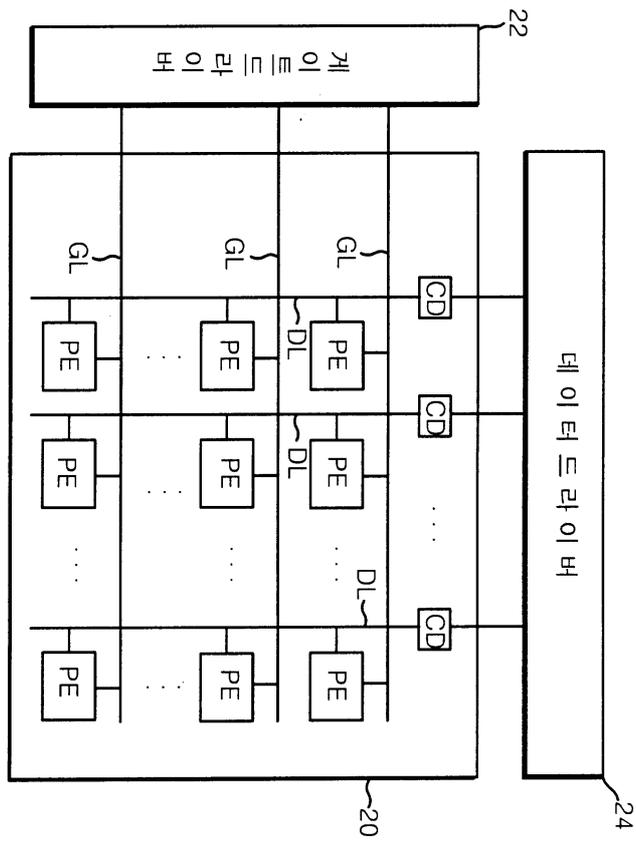
도면2



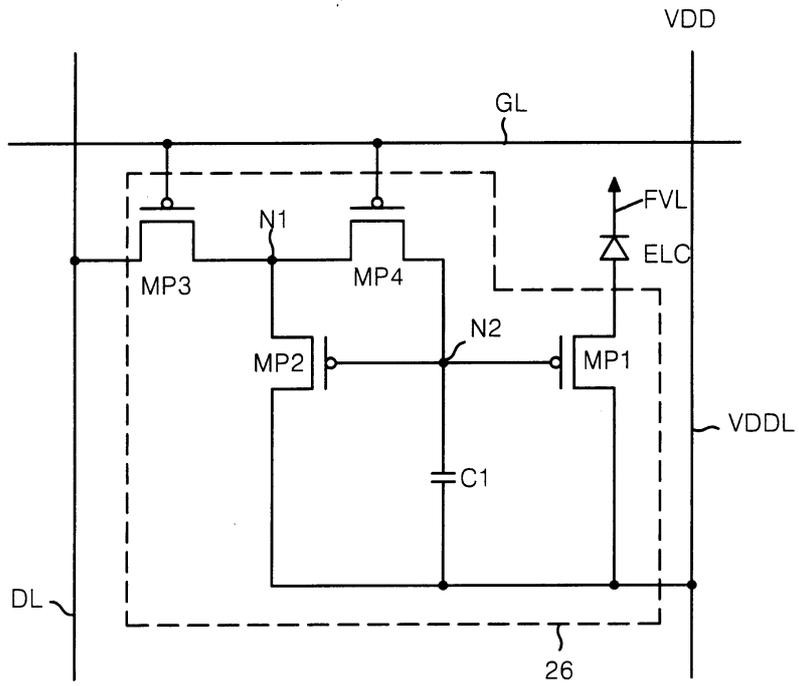
도면3



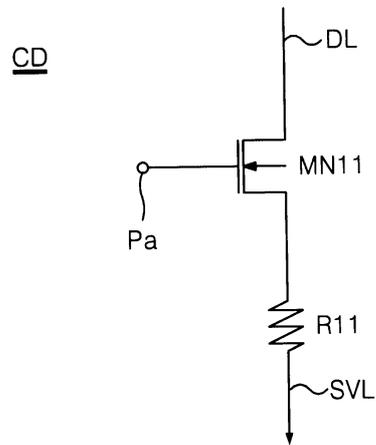
도면4



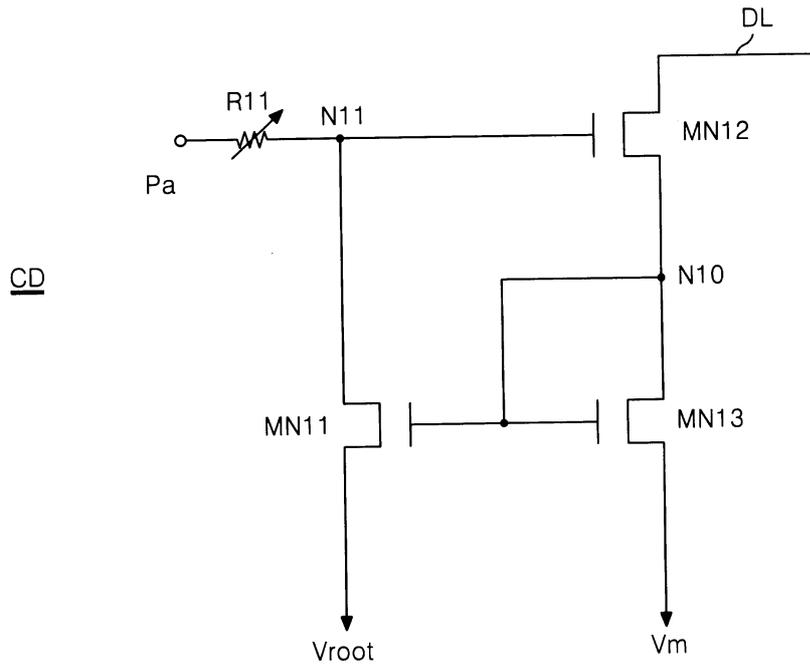
도면5



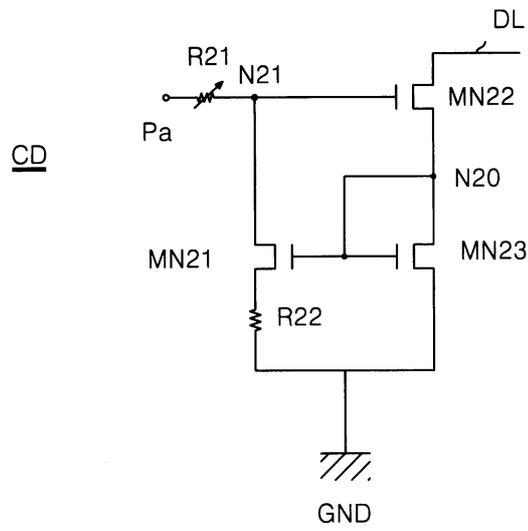
도면6



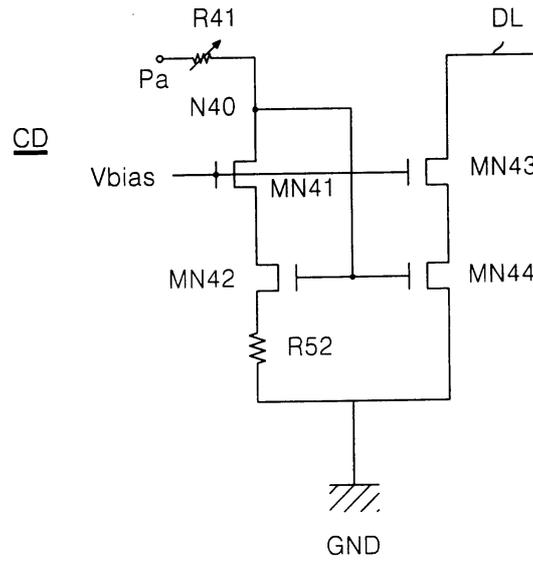
도면7



도면8



도면11



도면12

