

①2

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 02.08.94.

③0 Priorité : 03.08.93 US 100975.

④3 Date de la mise à disposition du public de la demande : 03.03.95 Bulletin 95/09.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : *SCHLUMBERGER TECHNOLOGIES, INC. — US.*

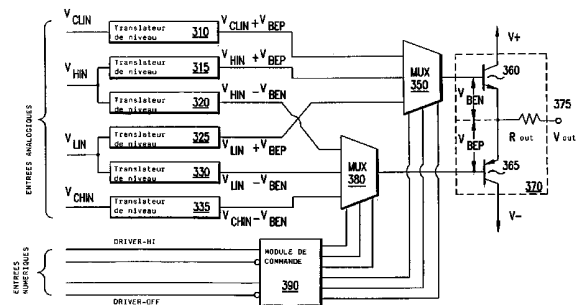
⑦2 Inventeur(s) : *Herlein Richard F., Sanielevici Sergio A., West Bumell G. et Cheung David K.*

⑦3 Titulaire(s) :

⑦4 Mandataire : *Schlumberger Industries A l'attention de M. Rolf Natschack.*

⑤4 Circuits Driver pour testeur de circuits intégrés.

⑤7 Circuit driver pouvant également faire fonction de circuits de terminaison et de blocage dans un testeur de CI. Lorsqu'elle doit attaquer un port d'un DEE (dispositif en essai) entre deux niveaux de tension prédéfinis, la borne E/S (entrée/sortie) du driver est commutée entre deux niveaux de tension prédéfinis à une impédance de sortie adaptée à la ligne de transmission située entre le circuit driver et le DEE. Lorsque le port du DEE délivre un signal de sortie, le circuit driver peut être programmé pour assurer deux types de terminaison. Si le port du DEE est spécifié pour attaquer la charge, la ligne de transmission située entre le circuit driver et le DEE est terminée en commutant la borne E/S du driver à un niveau de tension prédéfini à une impédance Z_c. Si le port du DEE n'est pas spécifié pour attaquer une telle charge de terminaison, le circuit driver fonctionne comme un circuit à blocage en Z.



FR 2 709 351 - A1



1

CIRCUITS DRIVER POUR TESTEUR DE CIRCUITS INTEGRES

La présente invention concerne les testeurs automatiques à distance utilisés pour l'essai dynamique des circuits intégrés et, en particulier, les circuits drivers destinés à être utilisés dans de tels testeurs.

Les caractéristiques dynamiques de fonctionnement d'un circuit intégré (CI), comme la vitesse de commutation et le temps de propagation, sont généralement déterminées au moyen d'un testeur automatique. Par exemple, le testeur peut être programmé pour émettre une séquence de signaux d'essai à différents ports d'entrée ou d'entrée/sortie (E/S) d'un dispositif en essai (DEE), comme un circuit intégré, et mesurer les niveaux de sortie et les temps de réponse obtenus. Ces essais peuvent permettre de déterminer le fonctionnement correct du DEE, ainsi que les caractéristiques temporelles nécessaires aux circuits destinés à être raccordés aux ports d'entrée, de sortie et d'E/S du DEE après achèvement du processus d'essai.

Le testeur devant générer les signaux d'entrée au DEE et mesurer les signaux de sortie obtenus à une précision proche de ± 100 picosecondes, il doit être réalisé de manière à ne pas déformer les formes d'onde des signaux de sortie du DEE ou, à tout le moins, à ne déformer ces formes d'onde que d'une façon prévisible et reproductible.

Chaque signal de sortie du DEE doit passer par une ligne de transmission qui relie le port du DEE à un comparateur situé dans le testeur. Cette ligne de transmission doit être terminée par son impédance caractéristique (Z_0) si le DEE est capable d'attaquer une telle charge, ou par un circuit de "blocage en Z" tel que décrit ci-dessous.

Chaque port d'E/S du DEE doit également être raccordé à un circuit driver situé dans le testeur. Afin de minimiser la charge appliquée par le testeur à la sortie du DEE, le driver et le comparateur sont

généralement raccordés au DEE par une seule ligne de transmission. Cette méthode de raccordement exige que le driver soit situé à l'extrémité de la ligne de transmission, très près du circuit de terminaison. Toute séparation matérielle entre le driver et le circuit de terminaison peut provoquer des erreurs temporelles de deux façons différentes. Le trajet du signal de sortie du driver peut comporter une amorce de ligne de transmission qui introduit des réflexions et déforme la forme d'onde de sortie du driver. Ensuite, la capacité de sortie du driver désactivé peut déformer la forme d'onde de sortie du DEE en provoquant des réflexions dans le trajet du signal de sortie du DEE.

Un driver représentatif de l'état de l'art préalable présente les problèmes suivants :

1. Il exige un circuit distinct de terminaison ou de blocage de la ligne de transmission entre lui-même et le DEE. Ce circuit de terminaison ou de blocage doit nécessairement se situer à une distance finie du driver, ce qui crée une amorce de ligne de transmission.
2. Il ne présente pas un état désactivé adéquat ; ainsi, lorsque le DEE tente d'attaquer la sortie du driver pour la faire passer de l'état haut à l'état bas ou inversement, le driver produit un courant de sortie tendant à ralentir cette transition.
3. Lors de l'attaque à un état numérique "haut", il n'assure pas un bon écoulement du courant incident, suite aux réflexions de la ligne de transmission qui tendent à faire passer sa sortie à un niveau plus positif.
4. Lors de l'attaque à un état numérique "bas", il n'assure pas une dissipation adéquate du courant arrivant, suite aux réflexions de la ligne de transmission qui tendent à attaquer sa sortie à un niveau plus fortement négatif.

L'existence, dans l'environnement d'essai, de lignes de transmission pourvues de terminaisons inadaptées peut conduire à des erreurs significatives de mesure des temps, particulièrement lorsque les dispositifs CMOS en essai génèrent des impulsions étroites. La cadence

d'horloge des dispositifs CMOS numériques tendant à atteindre et dépasser les 100 MHz, ceci tend à aggraver fortement le problème des erreurs d'E/S dus aux aberrations de la ligne de transmission des interconnexions du dispositif.

5

Les utilisateurs finaux éliminent généralement ce problème en logeant les dispositifs dans des modules multipuces, afin de réduire les distances d'interconnexion. Il est cependant difficile d'éliminer les aberrations des lignes de transmission dans l'environnement d'essai, puisque la séparation matérielle entre le dispositif en essai (DEE) et les circuits driver et comparateurs du testeur est généralement supérieure, d'un ordre de grandeur, aux distances minimales d'interconnexion présentes dans un module multipuce. La présence, dans un système d'essai, de lignes de transmission pourvues d'une terminaison inadaptée altère la précision en temps et en tension des performances du comparateur du testeur.

10

15

Techniques de blocage. Les techniques connues pour la terminaison des lignes de transmission dans un système de test comprennent les circuits "à blocage rigide" et "à blocage en Z", la terminaison à la source des lignes par leur impédance caractéristique (Z_0), la terminaison des extrémités côté testeur des lignes par leur impédance caractéristique et la charge programmable.

20

25

30

35

Une autre technique, suggérée par Barber (M.R. Barber, *Subnanosecond timing measurements on MOS devices using modern VLSI test systems*, International Test Conference, 1983) et d'autres, consiste à placer les comparateurs du testeur très près du DEE. Ceci présente l'avantage significatif de minimiser les différences entre l'environnement de test et l'environnement d'utilisation réelle. Par contre, un inconvénient significatif est que les drivers du testeur doivent également être placés très près du DEE afin de traiter les broches d'E/S du DEE. A ce jour, personne n'a réussi à réaliser un tel système d'une façon économiquement viable.

Si l'impédance de sortie du DEE est inférieure à l'impédance caractéristique de la ligne de transmission, et si l'extrémité testeur de la ligne de transmission est laissée ouverte, les transitions de tensions vues par le comparateur du testeur différeront des transitions de tension produites par le DEE. Un front unique généré par le DEE sera observé en suroscillation, puis en résonance. Les fronts suivants seront observés comme superposés aux oscillations dues aux fronts précédents. Des erreurs temporelles surviendront si les fronts de sortie du DEE ne sont pas séparés par un temps égal à plusieurs fois le temps de propagation de la ligne de transmission. On peut même observer des erreurs entraînant des données invalides lorsque la cadence de sortie des fronts du DEE est suffisamment élevée.

Cependant, la plupart des drivers de sorties CMOS ne sont pas conçus pour attaquer une ligne de transmission avec terminaison. Il faut donc mettre en oeuvre d'autres approches dans le montage d'essai pour minimiser les oscillations dans les lignes de transmission et les erreurs temporelles (ou même de données) qui en résultent.

20 Le "circuit à blocage rigide". Ce circuit se compose de deux diodes Schottky et de deux sources de tension. Une diode est raccordée entre l'entrée et la tension de blocage positive et l'autre entre l'entrée et la tension de blocage négative. Les tensions de blocage sont généralement réglées égales aux tensions de sortie prévues du DEE (ou inférieures à celles-ci de quelques centaines de millivolts), de sorte que le DEE introduise une petite quantité de courant dans le circuit de blocage à son maximum et minimum de déviation. Lorsque ce circuit est attaqué par un DEE dont l'impédance source est inférieure à 50 ohms, la forme d'onde en fin de ligne de transmission tend à surosciller. Cette suroscillation est "court-circuitée" par l'une des diodes de blocage. La ligne de transmission étant terminée par un circuit dont l'impédance dynamique est inférieure à Z_0 , une réflexion se propageant en retour vers le DEE délivre un complément d'énergie à la ligne de transmission. Ce cycle dure plusieurs fois le temps de transmission aller-retour de la ligne de transmission, jusqu'à ce que l'intensité dans la ligne de

transmission tombe à une valeur négligeable. Si la sortie du DEE produit un autre front pendant cette période, le comparateur du testeur voit ce front comme superposé aux oscillations amorties. Bien que les formes d'onde vues par le comparateur "semblent être correctes", la séquence temporelle des fronts vus par le comparateur ne correspond pas exactement à celle des fronts produits par le DEE.

Le "circuit à blocage en Z". Le brevet américain N° 5,287,022, de Kenneth R. Wilsher sous le titre "Method and Circuit for Controlling Voltage Reflections on Transmission Lines" décrit d'autres circuits de blocage pour la terminaison de lignes de transmission. Comme le décrit le brevet de Wilsher, les caractéristiques d'impédance de la Figure 1 sont approchées au moyen de circuits à blocage en Z tels que ceux montrés dans les Figures 2A et 2B. Ces circuits sont similaires aux circuits à blocage rigide, à ceci près qu'une résistance est placée en série avec les diodes de sorte que l'impédance soit égale à 50 ohms lorsque les diodes conduisent. Un avantage de cette caractéristique d'impédance est que l'impédance dynamique du circuit de terminaison est égale à Z_0 . Ainsi, l'intensité du courant produit dans la ligne de transmission par la transition d'une sortie du DEE chute à zéro après deux fois le temps de transmission aller-retour de la ligne de transmission ($2 * T_d$).

Les erreurs de synchronisation du circuit à blocage en Z sont similaires à celles du circuit à blocage rigide pour les largeurs d'impulsions inférieures au double du temps de propagation T_d de la ligne de transmission. Par contre, pour les largeurs d'impulsions supérieures à $2 * T_d$, le circuit de blocage en Z n'induit que des erreurs temporelles négligeables, puisque l'intensité du courant produit dans la ligne de transmission par le premier front sera retombée à zéro au moment de la survenance du front suivant.

Lorsque le DEE est un circuit ECL ou GTL, ou tout autre circuit conçu pour attaquer une ligne de transmission pourvue d'une terminaison, une solution idéale consiste à terminer la ligne de transmission entre le

DEE et son comparateur associé à l'intérieur du testeur, en branchant une résistance fixe d'une valeur de Z_0 entre l'extrémité de la ligne de transmission et une source de tension à basse impédance calée sur la tension adéquate. Des réflexions et, donc, des erreurs de mesure temporelles se produiront si le circuit équivalent correspondant au circuit effectif raccordé à l'extrémité de la ligne de transmission diffère de cette configuration idéale.

Les circuits de blocage proposés par Wilsher dans le brevet US-5,287,022 ne traitent pas de la situation décrite au paragraphe précédent. Les circuits montrés par les Figures 2A et 2B (qui correspondent aux Figures 5A et 5B du brevet de Wilsher) joueraient correctement leur rôle si la tension indiquée par Wilsher ($V_{CC} - V_d$) était reprogrammée à $(V_t - V_d)$ et si la tension V_d indiquée par Wilsher était reprogrammée à $(V_t + V_d)$, où V_t est la tension de la terminaison et V_d chute de tension correspondant à la jonction de la diode. Cependant, les tensions $(V_t - V_d)$ et $(V_t + V_d)$ doivent être réglées très soigneusement et coordonnées avec la valeur effective de V_d à la température ambiante pour éviter qu'un courant excessif ne circule du noeud $(V_t + V_d)$ au noeud $(V_t - V_d)$ par l'intermédiaire des diodes D1 et D2.

Terminaison par source de la ligne de transmission. Ceci peut être réalisé selon deux méthodes, en supposant que les lignes de transmission dans le testeur présentent une impédance caractéristique de 50 ohms, ce qui semble être une norme de fait de l'industrie. La première de ces méthodes consiste à concevoir les drivers des sorties du DEE de sorte qu'elles présentent une impédance source de 50 ohms lorsqu'elles attaquent un état haut ou un état bas. L'autre méthode consiste à concevoir les drivers des sorties du DEE de sorte qu'elles présentent une impédance identique mais inférieure à 50 ohms lorsqu'elles attaquent un état haut ou un état bas. Dans ce dernier cas, une résistance doit être installée dans le montage d'essai, à proximité du DEE, de sorte que l'impédance totale attaquant la ligne de transmission soit égale à 50 ohms.

Terminaison de l'extrémité côté testeur de la ligne de transmission par son impédance caractéristique. Cette technique permet de toujours obtenir des formes d'onde idéales au niveau des comparateurs du testeur. L'amplitude de ces formes d'onde sera atténuée :

5

$$V_{out} = V_s * Z_o / (Z_s + Z_o)$$

où V_s est la tension et Z_s est l'impédance du driver des sorties du DEE. Cette atténuation doit être prise en compte dans le calcul des tensions de comparaison s'il n'est pas prévu que les sorties du dispositif soient pourvues de terminaisons dans son application finale.

10

L'un des inconvénients de cette technique est que la plupart des drivers de sorties CMOS ne sont pas conçus pour attaquer une ligne de transmission pourvue d'une terminaison. Il faut cependant remettre en cause la philosophie de conception des drivers de sortie à grande vitesse incapables d'attaquer les lignes de transmission pourvues d'une terminaison. Lorsqu'un dispositif doit être essayé, il doit fonctionner de façon satisfaisante dans son (ses) environnement(s) d'essai comme dans son environnement d'utilisation finale. Si un DEE d'une impédance de sortie Z_s attaque, dans l'environnement d'essai, une ligne de transmission de 50 ohms sans terminaison d'une longueur T_d et que le DEE commute entre les tensions V_{oh} et V_{ol} , la sortie du DEE doit délivrer un courant d'une intensité égale à $(V_{oh} - V_{ol}) / (Z_s + 50)$ pendant une durée égale à $2 * T_d$. Si cette même ligne de transmission comporte une terminaison $(V_{oh} - V_{ol}) / 2$, l'intensité de sortie maximale est réduite de 50%. Par conséquent, la terminaison de la ligne de transmission par son impédance caractéristique permettra de réduire les rebonds de terre dans le DEE et, même, de réduire la dissipation de la puissance à certaines fréquences de sortie.

20

25

30

La Charge Programmable. Ce type de circuit est utilisé depuis les tout débuts de l'essai des CI, lorsque les dispositifs DTL et TTL constituaient une partie significative du marché des CI. Il a été conçu pour tester les sorties de dispositifs attaquant les entrées de DTL et TTL, ces entrées

35

prélevant du courant continu des sources qui les attaquent. Une charge programmable se compose généralement d'un pont de diodes Schottky, de sources de courant commutables, de résistances et d'une source de tension de terminaison. Lorsque le signal d'entrée du DEE est plus fortement négatif que la tension de terminaison, la charge appelle un courant d'intensité spécifiée (I_{ol}) du DEE. De même, une intensité spécifiée différente (I_{oh}) est appliquée au DEE par la charge lorsque le signal d'entrée est plus fortement positif que la tension de terminaison. En règle générale, une charge programmable est utilisée en liaison avec un circuit à blocage rigide ou à blocage en Z.

Une charge programmable altère la précision temporelle du testeur. La capacité d'entrée de la charge programmable réduit la bande passante apparente du signal de sortie du DEE telle que vue à l'entrée du comparateur. De plus, lorsqu'une charge programmable est "excitée", le pont et ses sources de courant sont vues comme une charge "diode + condensateur" à l'extrémité de la ligne de transmission. Les diodes sont polarisées dans le sens passant lorsque la sortie du DEE reste dans le même état pendant une durée significative, mais elles sont polarisées en inverse par le premier front en provenance du DEE. Les fronts suivants survenant peu de temps après le premier front ne pourront attaquer la même charge capacitive que le premier front. Le fait que la charge varie d'un front au suivant entraîne une erreur temporelle non étalonnable. La valeur maximale de cette erreur est fonction de la capacité parasite du pont (c'est-à-dire les capacités des diodes, des sources de courant, des commutateurs de courant et de la carte ou du module sur lequel ils sont montés).

Le fait que la mesure de temps d'un front particulier soit affectée de la totalité, d'une partie notable ou d'une partie négligeable de cette erreur est fonction du temps écoulé entre le front mesuré et le front précédent, du temps de descente de la capacité parasite du pont (c'est-à-dire le produit de la capacité par la variation de tension, divisé par l'intensité programmée du courant (I_{oh} ou I_{ol})) et de la technique d'étalonnage utilisée (c'est-à-dire selon que la calibration du système

est basée sur le premier front ou un front ultérieur). De plus, le courant maximal de la charge programmable peut s'avérer insuffisant pour assurer une terminaison correcte du signal d'entrée.

5 Lorsqu'un CI CMOS produit des transitions de sortie dont la séparation temporelle est inférieure au double du temps de propagation des lignes de transmission dans l'environnement du testeur ($2 * T_d$), on obtiendra une bonne précision temporelle seulement si ces lignes de transmission sont terminées par leur impédance caractéristique. Ceci
10 peut être obtenu en concevant les sorties CI de sorte que leur impédance d'attaque soit égale à Z_0 , ou en installant des terminaisons résistives à proximité des comparateurs du testeur. L'une ou l'autre de ces approches induit des contraintes significatives dans la conception du CI. Si un CI CMOS produit des transitions de sortie séparées de
15 plus de $2 * T_d$ mais de moins de $4 * T_d$ (ou, même, de moins de $6 * T_d$), on obtiendra une amélioration significative de la précision temporelle en utilisant un circuit à blocage en Z au lieu d'un circuit à blocage rigide. Il ne faut pas utiliser de charge programmable lorsque l'on essaie des dispositifs ultra-rapides.

20 La présente invention met en oeuvre des circuits faisant fonction de driver, aussi bien que de circuit de terminaison et de blocage. Pour simplifier, ces circuits seront désignés "circuits driver" dans la suite du texte. Un circuit driver selon la présente invention comporte une borne
25 E/S raccordée à une borne d'entrée, de sortie ou E/S du DEE par l'intermédiaire d'une ligne de transmission. Le circuit driver peut être exploité de manière à assurer n'importe laquelle des fonctions suivantes :

30 (1) Attaque d'un port d'entrée ou E/S du DEE. La borne E/S du circuit driver commute entre deux niveaux de tension prédéfinis (V_H et V_L) à une impédance de sortie (Z_0) adaptée à la ligne de transmission située entre le circuit driver et le DEE, de manière à attaquer le
35 port du DEE entre deux niveaux de tension prédéfinis (V_H' et V_L') liés à V_H et V_L . En l'absence de terminaison à l'extrémité DEE de la

ligne de transmission, on aura $V_H = V_{H'}$ et $V_L = V_{L'}$. Si l'extrémité DEE de la ligne de transmission est terminée par une résistance de valeur Z_0 raccordée à une source de tension V_t , on aura :

$$V_{H'} = V_H/2 + V_t/2 \quad \text{et} \quad V_{L'} = V_L/2 + V_t/2$$

5

(2) Terminaison d'un port de sortie ou E/S du DEE. Deux méthodes de terminaison peuvent être utilisées, en fonction des caractéristiques spécifiées du port de sortie ou E/S concerné du DEE.

10

(a) Si le port de sortie ou E/S du DEE est spécifié comme capable d'attaquer une charge pourvue d'une terminaison, la ligne de transmission entre le circuit driver et le DEE est terminée en commutant la borne E/S du circuit driver à un niveau de tension prédéfini (V_t) à une impédance Z_0 . Le circuit driver est programmé pour assurer cette fonction à

15

chaque fois qu'il est prévu que le DEE produise un signal de sortie au port de sortie ou E/S raccordé au circuit driver.

20

(b) Si le port de sortie ou E/S du DEE n'est pas spécifié comme capable d'attaquer une charge pourvue d'une terminaison, le circuit driver fonctionne comme le circuit de blocage en Z décrit dans le brevet de Wilsher, auquel cas le circuit driver présente une impédance de sortie élevée si la tension à sa borne E/S se situe entre deux tensions prédéfinies (V_{CH} et V_{CL}). Si la tension à cette borne E/S est plus fortement positive que la tension de blocage à l'état haut (V_{CH}), le circuit driver présente alors une impédance de sortie égale à environ Z_0 pour la tension V_{CH} . De même, si la tension à cette borne E/S est plus fortement négative que la tension de blocage à l'état bas (V_{CL}), le circuit driver présentera une

25

30

impédance de sortie égale à environ Z_0 pour la tension V_{CL} .

La possibilité de commuter entre deux niveaux de tension prédéfinis peut éventuellement être élargie à plus de deux niveaux de tension prédéfinis et, même, à plusieurs (deux ou plus) sorties de générateurs de signaux, ce qui serait adapté aux tests de circuits intégrés

35

analogiques ou mixtes, ou d'autres dispositifs de ce type.

Dans un testeur automatique, un circuit comparateur doit être
raccordé à l'extrémité côté testeur de chaque ligne de transmission
5 raccordée à un port de sortie ou E/S du DEE. On connaît de nombreux
tels circuits comparateurs et d'autres sont en cours de développement.
Le circuit comparateur est préférablement installé à l'extrémité testeur
de la ligne de transmission, le plus près possible du circuit driver selon
la présente invention. Une variante consiste à installer le comparateur
10 et un "tampon" inductif sur la ligne de transmission, entre le DEE et le
circuit driver. Ce "tampon" inductif est nécessaire pour neutraliser la
capacité d'entrée du comparateur afin de minimiser les réflexions qui
seraient provoquées, en son absence, par la capacité d'entrée du
comparateur.

15 Un circuit driver selon la présente invention peut offrir l'un, plusieurs
ou tous les avantages suivants par rapport à l'état de l'art préalable :

- 20 (1) Il ne demande pas la mise en oeuvre d'un circuit distinct pour
assurer la terminaison ou le blocage de la ligne de transmission
entre lui-même et le DEE, puisque le driver et le circuit de blocage
ne constituent qu'un seul et même circuit.
- (2) Les transitions du signal de sortie du DEE ne peuvent provoquer
25 le passage du courant dans l'étage de sortie du driver à l'état
"désactivé", sauf si la tension de sortie du driver est plus
fortement positive que la "tension de blocage à l'état haut", ou
plus fortement négative que la "tension de blocage à l'état bas".
- (3) Il peut écouler correctement les courants résultant de réflexions
dans la ligne de transmission.
- 30 (4) Il peut être programmé pour fonctionner comme le circuit à
blocage en Z décrit dans le brevet de Wilsher lorsque les sorties du
DEE sont conçues pour fonctionner dans un environnement
dépourvu de terminaisons, ou être programmé pour fonctionner
comme une résistance fixe raccordée à une source de tension à
35 basse impédance lorsque les sorties du DEE sont conçues pour

fonctionner dans un environnement pourvu de terminaisons.

La description qui suit se réfère à plusieurs schémas dont:

5 La Figure 1 représente les caractéristiques électriques d'un circuit de blocage selon l'état de l'art préalable ;

les Figures 2A et 2B représentent des circuits selon l'état de l'art préalable s'approchant des caractéristiques de blocage de la Figure 1 ;

10

la Figure 3 est le schéma fonctionnel d'un circuit driver préférentiel selon la présente invention ;

la Figure 4 est le schéma fonctionnel d'un autre circuit driver
15 préférentiel selon la présente invention ;

la Figure 5 est le schéma fonctionnel d'un circuit multiplexeur/commutateur préférentiel selon la présente invention ; et

20 la Figure 6 est le schéma simplifié d'un circuit multiplexeur/commutateur préférentiel selon la présente invention.

La Figure 3 montre quatre signaux d'entrée analogiques (VCLIN, VHIN, VLIN et VCHIN) et deux signaux numériques de commande d'entrée
25 (DRIVER_HI et DRIVER_OFF). Les signaux d'entrée analogiques peuvent être délivrés par les sources de tension programmables d'un système d'essai et les signaux numériques de commande d'entrée peuvent être délivrés par le processeur de commande d'un système d'essai. Chacun des deux signaux numériques de commande d'entrée
30 est représenté sous la forme d'une liaison à deux fils, puisqu'il s'agit généralement de signaux ECL différentiels.

Les signaux d'entrée analogiques sont appliqués à un ensemble de six translateurs de niveau 310, 315, 320, 325, 330 et 335. Les
35 translateurs de niveau 310, 315 et 325 provoquent respectivement un

décalage positif des signaux d'entrée VCLIN, VHIN et VLIN par une tension VBEP. Un multiplexeur analogique 350 applique un signal sélectionné parmi ces trois signaux à la base du transistor NPN 360 dans un étage de sortie bipolaire complémentaire 370.

5

Les translateurs de niveau 320, 330 et 335 provoquent respectivement un décalage négatif des signaux d'entrée VHIN, VLIN et VCHIN par une tension VBEN. Un multiplexeur analogique 380 applique un signal sélectionné parmi ces trois signaux à la base du transistor PNP 365 dans un étage de sortie bipolaire complémentaire 370.

10

Les signaux numériques d'entrée sont raccordés à un module de commande 390 qui délivre les signaux nécessaires à la commande des multiplexeurs analogiques.

15

Lorsque les signaux DRIVER_HI et DRIVER_OFF sont tous deux faux, l'étage de sortie 370 se comporte de façon similaire à une source idéale de tension V_L montée en série avec une impédance source égale à Z_0 , raccordée à la borne de sortie V_{out} . Ceci est réalisé en appliquant une tension $V_L + VBEN$ à la base du transistor NPN 360 et en appliquant une tension $V_L - VBEP$ à la base du transistor PNP 365, où $VBEN$ est le décalage de tension au travers de la fonction base-émetteur du transistor NPN 360 et $VBEP$ est le décalage de tension au travers de la jonction base-émetteur du transistor PNP 365. Dans des conditions de repos, un courant d'une intensité prédéterminée I_{OS} passe au travers de l'étage de sortie 370 entre $V+$ et $V-$. L'étage de sortie 370 présente alors une impédance de sortie $Z_{OS} = (Z_{npn} * Z_{pnp}) / (Z_{npn} + Z_{pnp})$. Dans ce cas, la valeur idéale de R_{out} est $Z_0 - Z_{OS}$, de sorte que $Z_{OS} + R_{out} = Z_0$. Les transistors de l'étage de sortie 360 et 365 doivent être suffisamment importants pour pouvoir délivrer un courant élevé à la borne de sortie et pour faire en sorte que Z_{OS} ne représente qu'une faible fraction de Z_0 . On suppose que les multiplexeurs analogiques 350 et 380 présentent un faible décalage de tension, égal à dV . Les variateurs de niveau 310, 315 et 325 comprennent des suiveurs d'émetteur PNP qui produisent un décalage de tension égal $+VBEP$, en

20

25

30

35

supposant qu'ils fonctionnent à la même densité de courant que le transistor PNP 365. Les translateurs de niveau 320, 330 et 335 comprennent des suiveurs d'émetteur NPN qui produisent un décalage de tension égal $-V_{BEN}$, en supposant qu'ils fonctionnent à la même densité de courant que le transistor NPN 360. La tension d'entrée analogique V_{LIN} est choisie de sorte que $V_{LIN} = V_L + V_{BEN} - V_{BEP} - dV$.

De même, lorsque le signal $DRIVER_OFF$ est faux et le signal $DRIVER_HI$ est vrai, une tension d'entrée analogique $V_{HIN} = V_H + V_{BEN} - V_{BEP} - dV$, puis une tension $V_H + V_{BEN}$ sont appliquées à la base du transistor NPN 360 et une tension $V_H - V_{BEP}$ est appliquée à la base du transistor PNP 365. L'étage de sortie 370 se comporte de façon similaire à une source de tension V_H montée en série avec une impédance source égale à $Z_{OS} + R_{out}$, raccordée à la borne de sortie V_{out} .

De même, lorsque le signal $DRIVER_OFF$ est vrai et le signal $DRIVER_HI$ est vrai ou faux, et si V_{CLIN} et V_{CHIN} sont tous deux calés égaux à $V_t + V_{BEN} - V_{BEP} - dV$, l'étage de sortie 370 se comporte de façon similaire à une source de tension V_t montée en série avec une impédance Z_0 . Si V_{CHIN} est plus fortement positif que V_{CLIN} , l'étage de sortie 370 se comporte de façon similaire au circuit à blocage en Z décrit dans le brevet de Wilsher. Si V_{CHIN} est calé égal à $V_{CH} + V_{BEN} - V_{BEP} - dV$ et si V_{CLIN} est calé égal à $V_{CL} + V_{BEN} - V_{BEP} - dV$, l'étage de sortie 370 présente une impédance élevée lorsque la borne de sortie 375 est attaquée par un circuit externe à une tension quelconque entre V_{CH} et V_{CL} .

Si la borne de sortie 375 est portée à un potentiel plus fortement positif que V_{CH} , le transistor PNP 365 conduit le courant de la borne de sortie à V_- . L'impédance de sortie du transistor PNP 365 est égale à Z_{pnp} , soit approximativement $2 * Z_{OS}$. Dans ce cas, la valeur idéale pour R_{out} est $Z_{out} - Z_{pnp}$, soit environ $Z_{out} - (2 * Z_{OS})$. Noter que Z_{OS} doit être très inférieur à Z_0 selon la description ci-dessus, de sorte que Z_{out}

soit dominé par R_{out} .

De même, si la borne de sortie 375 est portée à un potentiel plus
fortement négatif que V_{CL} , le transistor NPN 360 conduit le courant de
5 $V+$ à la borne de sortie 375. L'impédance de sortie du transistor NPN
360 est égale à Z_{NPN} , soit approximativement $2 * Z_{OS}$. Dans ce cas, la
valeur idéale pour R_{out} est $Z_{out} - Z_{NPN}$, soit environ $Z_{out} - (2 * Z_{OS})$.

En pratique, la valeur choisie pour R_{out} sera un compromis entre la
10 valeur $Z_O - (2 * Z_{OS})$ et la valeur $Z_O - Z_{OS}$ selon la description ci-dessus.
Bien que ceci ne soit pas illustré par la Figure 3, on peut
éventuellement ajouter des résistances pour limiter le courant au
travers des émetteurs du transistor NPN 360 et du transistor PNP 365
afin d'éviter tout risque d'emballement thermique. Si l'on utilise de
15 telles résistances de limitation d'intensité, ceux versés dans cet art
reconnaîtront que leurs valeurs doivent être aussi réduites que
possible afin de maintenir Z_O à une valeur basse et que les décalages
de tension induits par les translateurs de niveau devront tenir compte
des chutes de tension survenant au travers de ces résistances de
20 limitation d'intensité de courant.

La Figure 4 représente la réalisation d'un autre circuit driver. Les
signaux d'entrée analogiques V_{CLIN} , V_{HIN} , V_{LIN} et V_{CHIN} , ainsi que
les signaux numériques différentiels d'entrée $DRIVER_HI$ et
25 $DRIVER_OFF$, sont appliqués à ce circuit.

Les signaux d'entrée analogiques sont appliqués à un ensemble de
quatre translateurs de niveau 410, 420, 430 et 440, qui provoquent le
décalage positif du signal d'entrée analogique correspondant par une
30 tension V_{BEN} . Un multiplexeur/commutateur analogique 450 applique
un signal sélectionné parmi les trois signaux ($V_{HIN} + V_{BEN}$, $V_{LIN} +$
 V_{BEN} ou $V_{CLIN} + V_{BEN}$) à un translateur de niveau 455 qui applique
un décalage de tension égal à $-V_{BEN} + V_{BEP}$ et alimente le signal ainsi
décalé (respectivement $V_{HIN} + V_{BEP}$, $V_{LIN} + V_{BEP}$ ou $V_{CLIN} + V_{BEP}$)
35 à la base du transistor NPN 460 dans un étage de sortie bipolaire

complémentaire 470.

- De même, un multiplexeur/commutateur analogique 480 applique un signal sélectionné parmi les trois signaux ($V_{HIN} + V_{BEN}$, $V_{LIN} + V_{BEN}$ ou $V_{CHIN} + V_{BEN}$) à un translateur de niveau 485 qui applique un décalage de tension égal à $-2V_{BEN}$ et alimente le signal ainsi décalé (respectivement $V_{HIN} - V_{BEN}$, $V_{LIN} - V_{BEN}$ ou $V_{CHIN} + V_{BEN}$) à la base du transistor NPN 465 dans l'étage de sortie 470.
- 10 Les multiplexeurs/commutateurs 450 et 480 sont préférablement réalisés d'une manière qui sera décrite ci-dessous par référence aux Figures 5 et 6. Idéalement, les multiplexeurs/commutateurs 450 et 480 ne devraient introduire aucun décalage de tension, bien que la discussion ci-dessous suppose que chacun d'eux introduira, en pratique, un décalage de tension minimum dV . Les signaux numériques d'entrée sont délivrés à un module de commande 490 qui délivre les signaux de commande aux multiplexeurs/commutateurs analogiques 450 et 480.
- 15 20 Le fonctionnement est similaire à celui de la réalisation représentée par la Figure 3. Lorsque les signaux DRIVER_HI et DRIVER_OFF sont tous deux faux, l'étage de sortie 470 se comporte de façon similaire à une source idéale de tension V_L montée en série avec une impédance source égale à Z_0 , raccordée à la borne de sortie V_{out} . Ceci est réalisé en appliquant une tension $V_L + V_{BEP}$ à la base du transistor NPN 460 et en appliquant une tension $V_L - V_{BEN}$ à la base du transistor PNP 465. Dans des conditions de repos, une intensité prédéterminée I_{os} passe au travers de l'étage de sortie 470 entre $V+$ et $V-$. L'étage de sortie 470 présente alors une impédance de sortie $Z_{os} =$
- 25 30 $(Z_{nnp} * Z_{pnp}) / (Z_{nnp} + Z_{pnp})$. Dans ce cas, la valeur idéale de R_{out} est $Z_0 - Z_{os}$, de sorte que $Z_{os} + R_{out} = Z_0$. Les transistors de l'étage de sortie 460 et 465 doivent être importants pour pouvoir délivrer un courant élevé à la borne de sortie et pour faire en sorte que Z_{os} ne représente qu'une faible fraction de Z_0 . Les multiplexeurs analogiques 450 et 480 sont réalisés préférablement de la manière décrite ci-
- 35

- dessous par référence aux Figures 5 et 6, de sorte à ce qu'ils n'introduisent aucun décalage de tension. Les translateurs de niveau 410 à 440 comprennent des suiveurs d'émetteur PNP qui produisent un décalage de tension égal $+VBEN$. Le translateur de niveau 455
- 5 produit un décalage de tension égal à $-VBEN + VBEP$ et le translateur de niveau 485 produit un décalage de tension égal à $-2VBEN$. La tension d'entrée analogique V_{LIN} est choisie de sorte que $V_{LIN} = V_L + VBEN - VBEP - dV$.
- 10 Lorsque le signal $DRIVER_OFF$ est faux et le signal $DRIVER_HI$ est vrai, une tension d'entrée analogique $V_{HIN} = V_H + VBEN - VBEP - dV$, puis une tension $V_H + VBEN$ sont appliquées à la base du transistor NPN 460 et une tension $V_H - VBEP$ est appliquée à la base du transistor PNP 465. L'étage de sortie 470 se comporte de façon similaire à une
- 15 source de tension V_H montée en série avec une impédance source égale à $Z_{os} + R_{out}$, raccordée à la borne de sortie V_{out} .

- Lorsque le signal $DRIVER_OFF$ est vrai et le signal $DRIVER_HI$ est vrai ou faux, et si $V_{CLIN} = V_{CHIN} = V_t + VBEN - VBEP - dV$, l'étage de
- 20 sortie 470 se comporte de façon similaire à une source de tension V_t montée en série avec une impédance Z_o . Si V_{CHIN} est plus fortement positif que V_{CLIN} , l'étage de sortie 470 se comporte de façon similaire au circuit à blocage en Z décrit par Wilsher. Si V_{CHIN} est calé égal à $V_{CH} + VBEN - VBEP - dV$ et si V_{CLIN} est calé égal à $V_{CL} + VBEN -$
- 25 $VBEP - dV$, l'étage de sortie 470 présente une impédance élevée lorsque la borne de sortie 475 est attaquée par un circuit externe à une tension quelconque entre V_{CH} et V_{CL} .

- Si la borne de sortie 475 est portée à un potentiel plus fortement positif
- 30 que V_{CH} , le transistor PNP 465 conduit le courant de la borne de sortie à V_- . L'impédance de sortie du transistor PNP 465 est $Z_{pnp} - 2 * Z_{os}$. Dans ce cas, la valeur idéale pour R_{out} est $Z_{out} - Z_{pnp} - Z_{out} - (2 * Z_{os})$.

- 35 Si la borne de sortie 475 est portée à un potentiel plus fortement

négatif que VCL, le transistor NPN 460 conduit le courant de V+ à la borne de sortie 475. L'impédance de sortie du transistor NPN 460 est égale à $Z_{nnpn} - 2 * Z_{os}$. Dans ce cas, la valeur idéale pour R_{out} est $Z_{out} - Z_{nnpn} - Z_{out} - (2 * Z_{os})$. En pratique, la valeur choisie pour R_{out} sera un compromis entre la valeur $Z_0 - (2 * Z_{os})$ et la valeur $Z_0 - Z_{os}$. Bien que ceci ne soit pas illustré par la Figure 4, on peut éventuellement ajouter des résistances pour limiter l'intensité au travers des émetteurs du transistor NPN 460 et du transistor PNP 465 afin d'éviter tout risque d'emballement thermique. Si l'un utilise de telles résistances de limitation de courant, ceux versés dans cet art reconnaîtront que leurs valeurs doivent être aussi réduites que possible afin de maintenir Z_0 à une valeur basse et que les décalages de tension induits par les translateurs de niveau devront tenir compte des chutes de tension survenant au travers de ces résistances de limitation d'intensité de courant.

Multiplexeur/commutateur du driver. Les drivers des broches du testeur sont essentiellement des générateurs d'impulsions à niveaux programmables. Ils sont généralement constitués d'un tampon de sortie (par exemple, tampon 470) et d'un ou plusieurs commutateurs de tension (par exemple, 450, 480) qui sont soumis à des signaux numériques de commande pour sélectionner un signal d'entrée c.c. parmi de nombreux signaux d'entrée c.c. programmables. Les drivers de broches classiques comportent deux niveaux d'entrée et des multiplexeurs/commutateurs à deux voies. L'architecture de driver de broches décrite ci-dessus par référence aux Figures 3 et 4 exige des multiplexeurs/commutateurs à trois voies. La conception du multiplexeur/commutateur à deux voies classique ne peut être étendue à trois voies sans problèmes majeurs. Une nouvelle réalisation d'un multiplexeur/commutateur à trois voies (ou N voies le cas échéant), résolvant certains des problèmes des modèles anciens, est décrite ci-dessous. La topologie multiplexeur/commutateur décrite ici peut être utilisée, par exemple, dans la conception de circuits intégrés.

La Figure 5 représente le schéma fonctionnel d'un

5 multiplexeur/commutateur à trois voies 500, sachant que cette
conception peut être généralisée à N voies. Le
multiplexeur/commutateur 500 peut être décrit comme étant un
amplificateur à réaction à entrées commutées. Il comporte trois étages
10 d'entrée différentiels à transconductance 510, 520 et 530, auxquels
chacune des lignes d'entrée positives IN1, IN2 et IN3 est raccordée de
manière à recevoir l'un des trois niveaux de tension continue d'entrée
correspondants, un commutateur de mode courant 540 et un tampon,
comme le tampon à gain unitaire 550. (Le tampon 550 ne doit pas
15 nécessairement être à gain unitaire, bien que ceci puisse être choisi
pour des raisons de commodité). Les entrées négatives des étages
d'entrée 510, 520 et 530 sont toutes raccordées de manière à recevoir
le signal de sortie du commutateur 540 de la ligne de sortie 560 du
tampon à gain unitaire 550. Le noeud d'entrée 570 du tampon à gain
20 unitaire est un noeud à haute impédance. Le condensateur 580, de
valeur C, montré dans la Figure 5 est égal à la somme des capacités
des dispositifs actifs et de la filerie ; il est montré ici car il joue un rôle
essentiel dans la détermination de la vitesse de réponse du
multiplexeur/commutateur et sa valeur doit être aussi petite que
25 possible. Le multiplexeur/commutateur décrit ici peut être réalisé en
utilisant un procédé de CI bipolaire complémentaire rapide. Avec ce
procédé, il est plus facile de réaliser un commutateur de courant
rapide qu'un bon commutateur de tension. La topologie décrite met
donc en oeuvre un commutateur de tension basé sur l'emploi d'un
commutateur d'intensité de courant.

Le multiplexeur/commutateur 500 est basé sur une boucle de contre-
réaction négative. A chaque fois que le commutateur d'intensité 540
sélectionne une entrée différente, l'amplificateur d'entrée adéquat
30 inséré est déséquilibré et envoie un certain courant dans le
condensateur 580. La tension au noeud de sortie 560 commence à
changer afin de réduire ce déséquilibre. Après stabilisation, la tension
au noeud de sortie 560 est égale à la tension de la ligne d'entrée c.c. de
l'étage d'entrée dont la sortie a été sélectionné par le commutateur
35 d'intensité 540 (sauf s'il existe des décalages de tension dans le

circuit). L'amplificateur est alors équilibré et aucun courant ne va de sa sortie au condensateur 580. La vitesse de réponse du noeud de sortie 560 du multiplexeur/commutateur est fonction de la valeur C du condensateur 580 et des possibilités de courant de sortie des étages d'entrée à transconductance de l'amplificateur 510, 520 et 530.

La Figure 6 représente un schéma simplifié du multiplexeur/commutateur représenté par la Figure 5. Pour simplifier la figure, le transistor Q25 est montré sans sa base, mais on suppose qu'il est connecté en configuration à base commune. Les étages d'entrée différentiels 510, 520 et 530, destinés à recevoir les signaux d'entrée de niveau c.c. IN1, IN2 et IN3 respectivement sont constitués par des paires de transistors Q1-Q2, Q3-Q4 et Q5-Q6 respectivement. Chaque paire de transistors reçoit un courant de polarisation d'amplitude I1 en provenance de l'une des sources d'intensité 610, 620 et 630. Le commutateur 540 est un commutateur de courant différentiel composé des transistors Q10 à Q21, SEL1, SEL2 et SEL3 étant les lignes numériques d'entrée de commande au commutateur.

Les courants de sortie des deux amplificateurs d'entrée non sélectionnés sont dirigés vers l'alimentation sous une tension V_{CC} par l'intermédiaire du noeud 640. Le courant de sortie différentiel de l'amplificateur d'entrée sélectionné est converti en monofilaire par un miroir de courant 650 constitué des transistors Q22-Q23. Par exemple, supposons que le signal de sortie de l'étage d'entrée 510 soit sélectionné en établissant le signal numérique de commande SEL1 de telle sorte que les transistors Q11 et Q13 conduisent, et que les signaux de sortie des étages d'entrée 520 et 530 ne soient pas sélectionnés. Dans ce cas, les courants différentiels de sortie des paires de transistors Q3-Q4 et Q5-Q6 retournent à l'alimentation par l'intermédiaire des transistors Q14/Q16 et Q18/Q20 respectivement. Le courant de collecteur du transistor Q2 est appliqué, par l'intermédiaire du transistor Q13, à l'émetteur du transistor Q25 et le courant de collecteur du transistor Q1 est appliqué, par l'intermédiaire du transistor Q11, au collecteur du transistor miroir de courant Q22.

Le collecteur du transistor Q22 étant relié aux bases des transistors Q22 et Q23, le forçage du courant dans le collecteur du transistor Q22 fait que les courants de collecteur des transistors Q22 et Q23 sont de grandeur approximativement égale mais de sens opposé.

5

La source de courant 660 délivre un courant d'amplitude I_2 , nécessaire pour maintenir le transistor Q25 conducteur en permanence. Ce courant est prélevé, au niveau du noeud à faible capacité 570, à partir d'un courant délivré par une source de courant 670 d'ordre de grandeur I_2 mais de polarité opposée. Pour que le transistor Q25 reste conducteur, l'amplitude du courant I_2 doit être supérieur à l'amplitude du courant I_1 . Le courant monofilaire résultant au travers du transistor Q25 se trouve donc dans la plage de I_2+I_1 à I_2-I_1 . L'amplitude du courant d'émetteur du transistor en base commune Q25 est donc approximativement égal à la différence entre les courants de collecteur des transistors Q1 et Q2.

10

15

Le courant passant au travers du transistor Q25 est appliqué au noeud à faible capacité 570 du circuit. Le noeud à faible capacité 570 est raccordé à la base du transistor Q26 du tampon de sortie 550. Le transistor Q26 est de préférence polarisé par un courant I_3 tel qu'illustré, bien que l'on puisse également utiliser une autre polarisation adéquate, par exemple une résistance connecté à une source de tension négative.

20

25

La sortie du commutateur de courant 540 présente une capacité relativement élevée, en raison du nombre de transistors qui lui sont raccordés. Ceci nécessite l'emploi du transistor Q25 pour maintenir la capacité du noeud 570 à une valeur basse et, donc, de maintenir à une valeur élevée la vitesse de réponse du circuit multiplexeur/commutateur. La capacité totale du noeud 570 est égale à la somme des capacités des transistors qui lui sont raccordés, c'est-à-dire : les transistors Q25 et Q26 ainsi que le transistor de sortie (non illustré) de la source de courant 670.

30

35

Pour plus de clarté, l'illustration ne montre pas les éléments classiques du système d'essai auxquels un circuit driver selon la présente invention peut être raccordé dans l'environnement d'essai, comme les sources de tension programmables, la source des signaux numériques de commande d'entrée, la ligne de transmission et le DEE, les comparateurs, etc. Ceux versés dans cet art comprendront parfaitement, de la description qui précède, la manière d'utiliser dans un système d'essai les circuits driver incorporant les concepts de la présente invention.

10

Ceux versés dans cet art reconnaîtront également que les réalisations montrées et décrites ci-dessus ne sont que des exemples destinés à illustrer l'invention et qu'elles peuvent être modifiées de nombreuses manières différentes tout en restant dans l'esprit et le domaine d'application de l'invention telle que définie par les revendications ci-après. Par exemple, les translateurs de niveau prévus pour compenser les décalages de tension résultant de la réalisation particulière décrite ci-dessus pourraient être mis en oeuvre différemment ou voir leurs fonctions réalisées différemment. Les décalages de tension survenant dans le circuit driver suite à des variations de température ou d'autres causes peuvent être facilement compensés par étalonnage du circuit driver, par exemple en contrôlant la tension de sortie effective et en la comparant à la tension de sortie voulue, puis en modifiant la tension d'entrée programmable jusqu'à ce que la tension de sortie effective soit égale à la tension de sortie voulue.

25

REVENDEICATIONS

1. Un circuit driver destiné à être raccordé à un DEE par l'intermédiaire d'une ligne de transmission dans un testeur de CI, comprenant :
 - 5 a) un étage de commutation pouvant être commandé, comportant des lignes d'entrée de signaux pour la réception de différents signaux analogiques et des circuits de commutation répondant à des signaux numériques de commande pour appliquer un signal analogique sélectionné à une première
10 ligne d'entrée du driver et appliquer un signal analogique sélectionné à une deuxième ligne d'entrée du driver,
 - b) un circuit driver push-pull comportant une première ligne d'entrée du driver, une deuxième ligne d'entrée du driver et un port E/S du driver dont la caractéristique fonctionnelle est
15 déterminée par les signaux analogiques appliqués à la première ligne d'entrée du driver et à la deuxième ligne d'entrée du driver de sorte que :
 - 20 i. le port E/S du driver puisse être commuté entre deux niveaux de tension prédéfinis (V_H et V_L) avec une impédance de sortie prédéterminée (Z_0) pour attaquer le port d'un DEE par l'intermédiaire d'une ligne de transmission d'impédance Z_0 ,
 - 25 ii. le port E/S du driver puisse être commuté à un niveau de tension prédéfini (V_t) avec une impédance Z_0 pour réaliser la terminaison d'une ligne de transmission d'impédance Z_0 attaquée par un DEE,
 - 30 iii. le port E/S du driver puisse être commuté de manière à bloquer une ligne de transmission d'impédance Z_0 attaquée par un DEE, en présentant une impédance de sortie élevée lorsque la tension appliquée au port E/S du driver se trouve entre une tension de blocage haute et une tension de blocage basse, en présentant une impédance de sortie approximativement égale à Z_0 à la tension de

- blocage haute lorsque la tension au port E/S du driver est plus fortement positive que la tension de blocage haute, et en présentant une impédance de sortie approximativement égale à Z_0 à la tension de blocage basse lorsque la tension au port E/S du driver est plus fortement négative que la tension de blocage basse.
- 5
2. Le circuit driver selon la revendication 1 caractérisé en ce que l'étage de sortie comporte un transistor NPN, un transistor PNP et une résistance (ROUT), le transistor NPN ayant une base comportant la première ligne d'entrée du driver, le transistor PNP ayant une base comportant la deuxième ligne d'entrée du driver et où les émetteurs des dits transistors sont raccordés à une jonction pour constituer un driver push-pull, et où la dite jonction est
10
15
raccordée au port E/S du driver par l'intermédiaire de la dite résistance.
 3. Le circuit driver selon la revendication 2 caractérisé en ce que ledit circuit de commutation comporte un amplificateur à réaction à entrées commutées comprenant des étages d'entrée différentiels à transconductance (510, 520, 530) avec les premières lignes d'entrée respectives recevant les signaux d'entrée analogiques respectifs et les deuxièmes lignes d'entrée respectives recevant un signal de commutation de sortie, un tampon (550) comprenant
20
25
une ligne d'entrée du tampon et une ligne de sortie du tampon, un commutateur en mode courant (540) destiné à appliquer un signal de courant différentiel provenant de l'un des étages d'entrée à la ligne d'entrée du tampon, et une ligne de contre-réaction appliquant un signal de commutation de sortie en provenance de
30
la ligne de sortie du tampon aux dites secondes lignes d'entrée.
 4. Le circuit driver selon la revendication 3 caractérisé en ce que la capacité de la ligne d'entrée du tampon est essentiellement déterminée par la somme des capacités des dispositifs actifs
35
raccordés à la ligne d'entrée du tampon et aux capacités de la

filerie, et où la dite capacité est minimisée en ne raccordant pas plus de trois dispositifs actifs à la ligne du tampon d'entrée.

5. Un circuit driver utilisable comme driver et comme circuit de terminaison et de blocage, comportant:
- 5
- a) une borne E/S pour raccordement à un port de DEE par l'intermédiaire d'une ligne de transmission présentant une impédance caractéristique Z_0 ;
 - b) des moyens de commuter la borne E/S entre des niveaux de tension prédéfinis V_H et V_L avec une impédance de sortie Z_0 pour attaquer le port du DEE entre deux niveaux de tension prédéfinis $V_{H'}$ et $V_{L'}$ tels que $V_{H'} = V_H$ et $V_{L'} = V_L$ lorsque la ligne de transmission n'est pas terminée dans le port du DEE, et tels que $V_{H'} = V_H/2 + V_t/2$ et $V_{L'} = V_L/2 + V_t/2$ lorsque la ligne de transmission est terminée dans le port du DEE par une résistance de valeur Z_0 , raccordée à une source de tension V_t ;
 - c) des moyens de terminer la ligne de transmission en commutant la borne E/S à un niveau de tension prédéfini V_t avec une impédance Z_0 lorsque le port du DEE peut attaquer une charge terminée et est prévu pour délivrer un signal de sortie;
 - d) des moyens de présenter une impédance de sortie élevée à la borne E/S lorsque la borne E/S est attaquée par un port de DEE ne pouvant attaquer une charge terminée à une tension située entre une tension haute de blocage prédéterminée V_{CH} et une tension basse de blocage prédéterminée V_{CL} , une impédance de sortie approximativement égale à Z_0 sous la tension V_{CH} lorsque la borne E/S est attaquée à une tension plus fortement positive que V_{CH} et une impédance de sortie approximativement égale à Z_0 sous la tension V_{CL} lorsque la borne E/S est attaquée à une tension plus fortement négative
- 10
- 15
- 20
- 25
- 30

que V_{CL} .

6. Une méthode pour utiliser un circuit driver en tant que driver
comme en tant que circuit de terminaison et de blocage, le circuit
5 driver ayant une borne E/S destinée au raccordement à un port
de DEE par l'intermédiaire d'une ligne de transmission présentant
une impédance caractéristique Z_0 , composée des étapes
suivantes :
- 10 a) commutation de la borne E/S entre des niveaux de tension
prédéfinis V_H et V_L avec une impédance de sortie Z_0 pour
attaquer le port du DEE entre deux niveaux de tension
prédéfinis $V_{H'}$ et $V_{L'}$ tels que $V_{H'} = V_H$ et $V_{L'} = V_L$ lorsque la
ligne de transmission n'est pas terminée dans le port du DEE,
et tels que $V_{H'} = V_H/2 + V_t/2$ et $V_{L'} = V_L/2 + V_t/2$ lorsque la
15 ligne de transmission est terminée dans le port du DEE par
une résistance de valeur Z_0 , raccordée à une source de tension
 V_t ;
- b) terminaison de la ligne de transmission en commutant la
borne E/S à un niveau de tension prédéfini V_t avec une
20 impédance Z_0 lorsque le port du DEE peut attaquer une
charge terminée et est prévu pour délivrer un signal de sortie;
- c) obtention d'une impédance de sortie élevée à la borne E/S
lorsque la borne E/S est attaquée par un port de DEE ne
pouvant attaquer une charge terminée à une tension située
25 entre une tension haute de blocage prédéterminée V_{CH} et une
tension basse de blocage prédéterminée V_{CL} , d'une impédance
de sortie approximativement égale à Z_0 sous la tension V_{CH}
lorsque la borne E/S est attaquée à une tension plus
fortement positive que V_{CH} et d'une impédance de sortie
30 approximativement égale à Z_0 sous la tension V_{CL} lorsque la
borne E/S est attaquée à une tension plus fortement négative
que V_{CL} .

7. Un circuit de commutation/multiplexage à N voies, comportant :
- 5 a) un étage d'entrée différentiel à transconductance (510, 520, 530) pour chacune des N voies d'entrée, chacun de ces étages d'entrée comprenant une ligne d'entrée (IN1, IN2, IN3) destinée à recevoir une tension d'entrée correspondante, une ligne de contre-réaction pour la réception d'un signal de contre-réaction, et une ligne de sortie;
 - 10 b) un tampon (550) comprenant une ligne d'entrée du tampon et une ligne de sortie du tampon, la ligne de sortie du tampon étant raccordée à la ligne de contre-réaction de chacun des étages d'entrée;
 - 15 c) un commutateur en mode courant pouvant être commandé (540), réagissant à des signaux de sélection (SEL1, SEL2, SEL3) pour raccorder la ligne de sortie d'un étage d'entrée sélectionné à la ligne d'entrée du tampon.

1/5

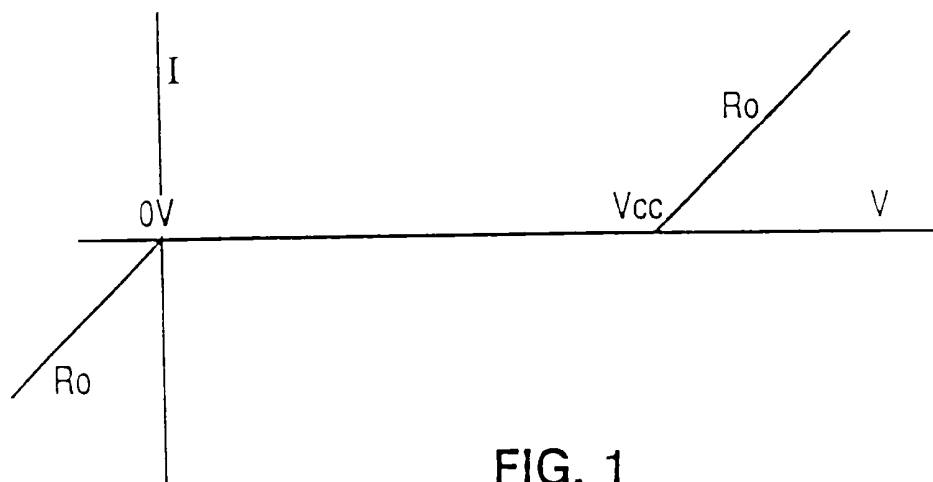


FIG. 1

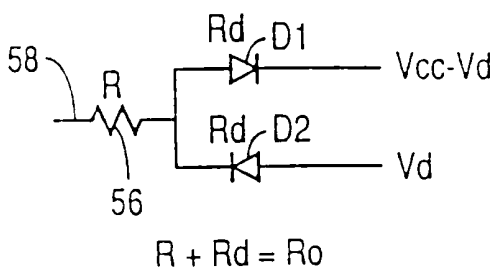


FIG. 2A

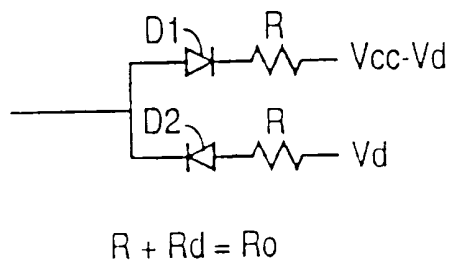


FIG. 2B

115

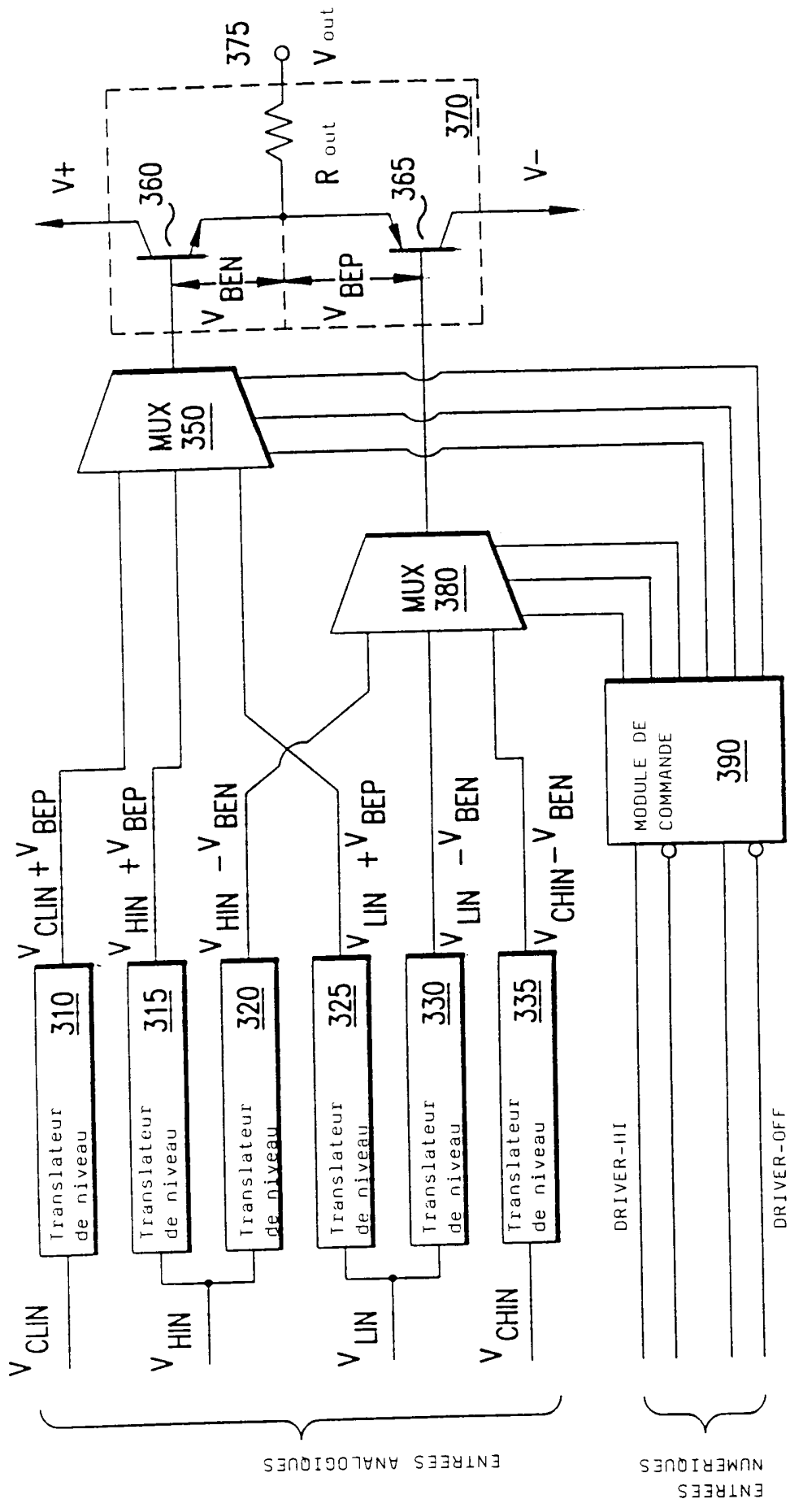


FIG.3

315



FIG.4

415

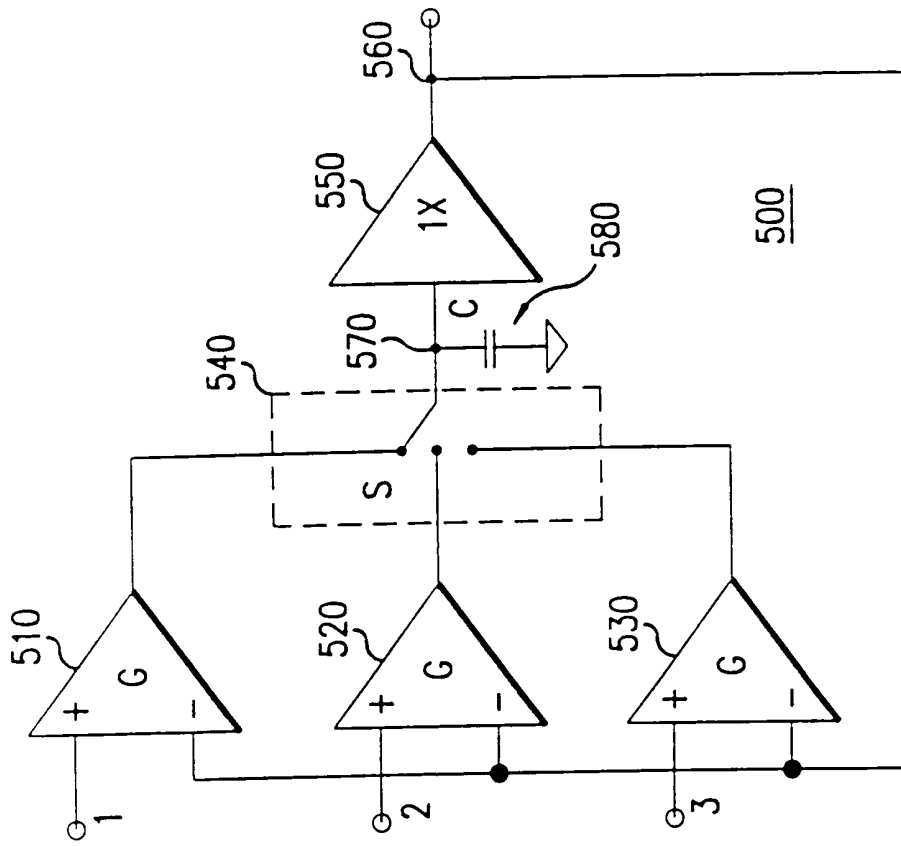


FIG. 5

515

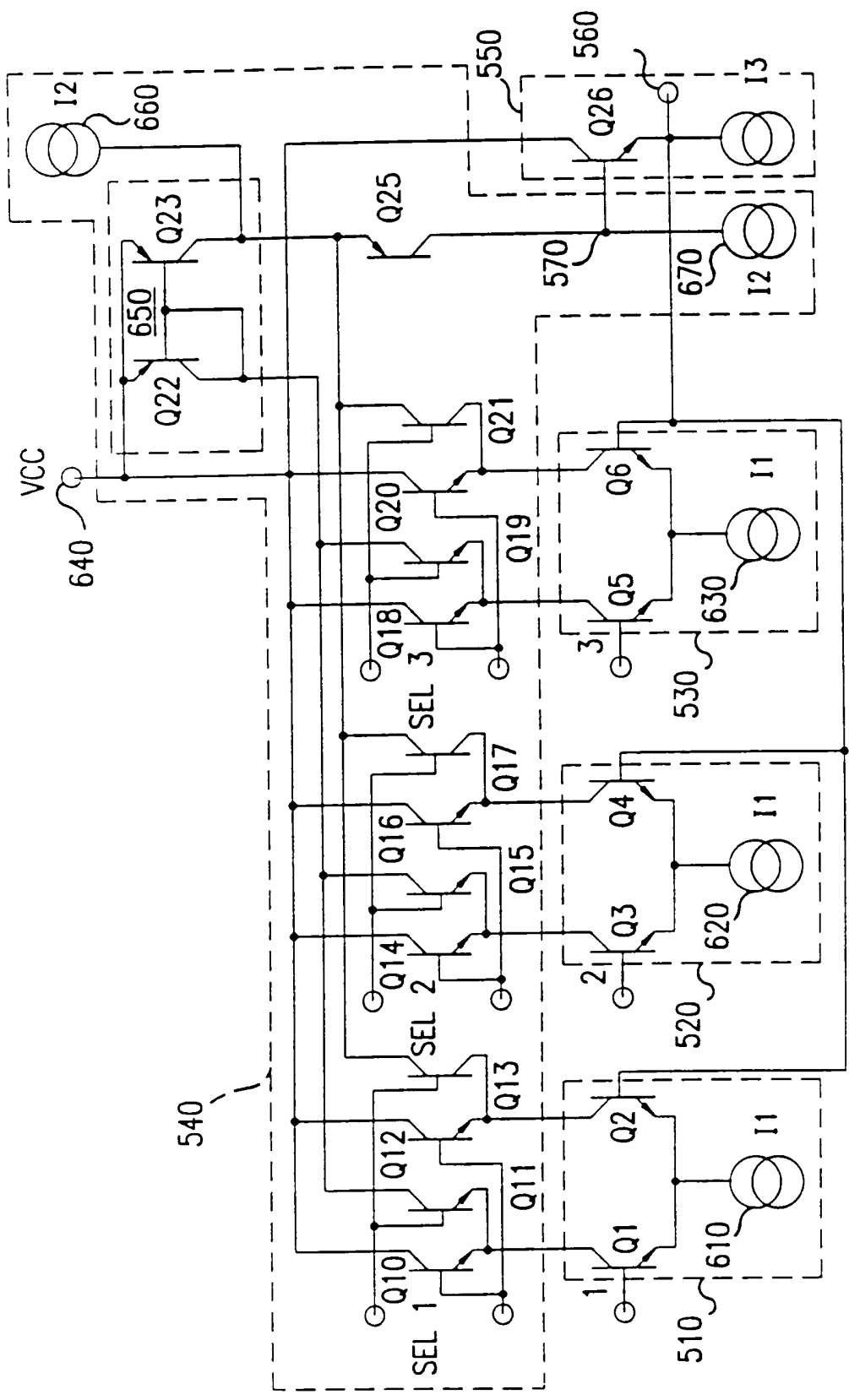


FIG. 6