

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年8月18日(18.08.2011)

PCT

(10) 国際公開番号
WO 2011/099490 A1

- (51) 国際特許分類:
H01J 37/22 (2006.01) H01L 21/66 (2006.01)
H01J 37/244 (2006.01)
- (21) 国際出願番号: PCT/JP2011/052682
- (22) 国際出願日: 2011年2月9日(09.02.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-026850 2010年2月9日(09.02.2010) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社日立ハイテクノロジーズ(HITACHI HIGH-TECHNOLOGIES CORPORATION) [JP/JP]; 〒1058717 東京都港区西新橋一丁目24番14号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 豊田康隆(Toyoda Yasutaka) [JP/JP]; 〒3191292 茨城県日立市大みか町七丁目1番1号 株式会社日立

製作所 日立研究所内 Ibaraki (JP). 船越知弘(FUNAKOSHI Tomohiro) [JP/JP]; 〒3128504 茨城県ひたちなか市大字市毛882番地 株式会社日立ハイテクノロジーズ 那珂事業所内 Ibaraki (JP). 平井大博(HIRAI Takehiro) [JP/JP]; 〒3128504 茨城県ひたちなか市大字市毛882番地 株式会社日立ハイテクノロジーズ 那珂事業所内 Ibaraki (JP).

- (74) 代理人: 平木祐輔, 外(HIRAKI Yusuke et al.); 〒1050001 東京都港区虎ノ門4丁目3番20号 神谷町MTビル19階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,

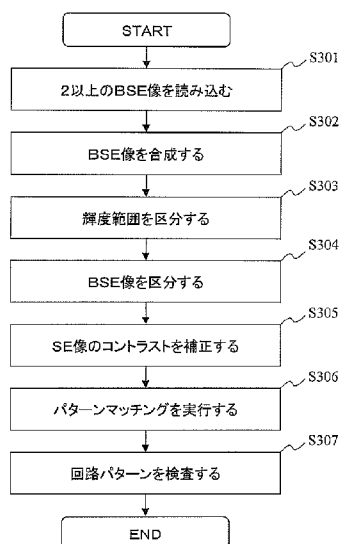
[続葉有]

(54) Title: PATTERN INSPECTION METHOD, PATTERN INSPECTION PROGRAM, AND ELECTRONIC DEVICE INSPECTION SYSTEM

(54) 発明の名称: パターン検査方法、パターン検査プログラム、電子デバイス検査システム

[図3]

図 3



S301 READ TWO OR MORE BSE IMAGES
S302 COMPOSE THE BSE IMAGES
S303 CLASSIFY INTO BRIGHTNESS RANGES
S304 CLASSIFY THE BSE IMAGE
S305 CORRECT THE CONTRAST OF THE SE IMAGE
S306 EXECUTE PATTERN MATCHING
S307 INSPECT THE CIRCUIT PATTERN

(57) Abstract: Provided is a technology wherein circuit patterns with unclear contrast in the images to be observed, such as circuit a pattern having a multi-layer structure, can be inspected accurately. A pattern inspection method classifies circuit patterns using the brightness of a reflection electron image, and makes areas within the reflection electron image belonging to each of the classifications correspond to areas within a secondary electron image.

(57) 要約: 本発明は、多層構造を有する回路パターンのように、観察像のコントラストが明確でない回路パターンを、正確に検査することのできる技術を提供することを目的とする。本発明に係るパターン検査方法は、反射電子像の輝度を用いて回路パターンを区分し、各区分に属する反射電子像内の領域と、2次電子像内の領域とを対応付ける(図3参照)。

WO 2011/099490 A1



SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

パターン検査方法、パターン検査プログラム、電子デバイス検査システム 技術分野

[0001] 本発明は、電子デバイスの回路パターンを検査する技術に関するものである。

背景技術

[0002] 近年の電子デバイスは、微細化、多層化が進み、さらには論理も煩雑化しており、製造プロセスが複雑化している。このため、製造プロセスに起因する欠陥が大量に発生し、電子デバイスの回路パターンを効率的かつ正確に検査することが望まれている。特に、深さと口径のアスペクト比が高いホールや、多層構造の回路など、高低差のある回路パターンを正確に検査することが重要になっている。

[0003] このような回路パターンの検査には、CD-SEM (Critical Dimension Scanning Electron Microscope)、DR-SEM (Defect Review Scanning Electron Microscope) 等の装置が利用されている。

[0004] これらの装置は、シリコンウエハやレチクル（マスク）上に形成された回路パターンに電子線などの荷電粒子線を照射し、回路パターンから放出された2次電子を画像信号（以下、2次電子像とする）に変換し、その2次電子像を分析して、回路パターンを検査する。

[0005] 回路パターンを正確に検査するためには、実際の回路パターンの像を正確に反映した2次電子像が必要である。しかし、前記のような高低差のある回路パターンでは、低位置にある回路パターンから放出される2次電子を補足することが困難となる。そのため、高位置にある回路パターンの観察像コントラストが低下することがある。

[0006] 下記特許文献 1 では、2 次電子像のコントラストを補正する方法が提案されている。

[0007] 下記特許文献 2 ～ 3 では、2 次電子像上の検査対象の回路パターンを正確に特定するため、あらかじめ登録していた位置決め用の画像、設計データ、ウエハの製造プロセスシミュレーションで生成したデータ等をテンプレートとしたパターンマッチング方法が提案されている。

先行技術文献

特許文献

[0008] 特許文献1：特開 2 0 0 2 － 3 1 9 3 6 6 号公報

特許文献2：特開平 5 － 1 0 1 1 6 6 号公報

特許文献3：特開 2 0 0 2 － 3 2 8 0 1 5 号公報

発明の概要

発明が解決しようとする課題

[0009] 上記特許文献 1 に記載されている技術では、コントラストを分析するために用いる画像領域をユーザが指定する必要がある、そのための負担が発生する。また、大量の回路パターンを検査する場合には、ユーザが個々の回路パターンについて上記画像領域を個々に指定することは困難である。

[0010] 上記特許文献 2 ～ 3 に記載されている技術では、多層構造を有する回路パターンを、2 次電子像を用いて検査している。しかし、2 次電子像に含まれる上層側の回路パターンと下層側の回路パターンを正確に判別することは、一般に困難である。そのため、検査位置を正確に求めることなどが難しい。

[0011] 上記手法の他、画像全体の輝度分布を基準として 2 次電子像のコントラストを補正することも考えられる。しかし、上層側の回路パターンは初めからコントラストが高いため、さらにコントラスト補正を施すと、輝度が高くなりすぎて却って回路パターンを識別できなくなる可能性がある。

[0012] 本発明は、上記のような課題を解決するためになされたものであり、多層構造を有する回路パターンのように、観察像のコントラストが明確でない回

路パターンを、正確に検査することのできる技術を提供することを目的とする。

課題を解決するための手段

[0013] 本発明に係るパターン検査方法は、反射電子像の輝度を用いて回路パターンを区分し、各区分に属する反射電子像内の領域と、２次電子像内の領域とを対応付ける。

発明の効果

[0014] 本発明に係るパターン検査方法によれば、反射電子像の輝度値を区分することにより、反射電子像上の回路パターンを区分することができる。反射電子像は、多層構造の高さ方向の形状をよく反映しているため、２次電子像と比較して高さ方向に関するコントラストは良好であると考えられるので、上記区分は回路パターンの高さ方向の形状をよく表していると考えられる。この反射電子像と２次電子像を対応付けることにより、２次電子像上の回路パターンを精度よく識別することができるので、多層構造を有する回路パターンを正確に検査することができる。

図面の簡単な説明

[0015] [図1]実施の形態１に係る電子デバイス検査システム１０００の構成図である。

[図2]シリコンウエハ２０１上に電子線２０４を照射する位置と観察像の関係を説明する図である。

[図3]電子デバイス検査システム１０００の動作フローを示す図である。

[図4]シリコンウエハ２０１と反射電子検出器２１０および２１１を上方から見た図である。

[図5]ＢＳＥ像とＳＥ像の例である。

[図6]ステップＳ３０２で生成される合成ＢＳＥ像の例を示す図である。

[図7]ＢＳＥ像の各画素の輝度値とその出現頻度を表すヒストグラムの例を示す図である。

[図8]合成ＢＳＥ像のコントラストを補正した様子を示す図である。

[図9]図3のステップS305の詳細フローを示す図である。

[図10]ステップS904でSE像のコントラストを補正する様子を示す図である。

[図11]実施の形態3においてSE像上の検査位置を特定する処理フローを示す図である。

[図12]設計データ、上層部分抽出像、SE像の対応関係を示す図である。

[図13]回路パターンの出来栄を検査する過程を示す図である。

発明を実施するための形態

[0016] <実施の形態1>

図1は、本発明の実施の形態1に係る電子デバイス検査システム1000の構成図である。電子デバイス検査システム1000は、半導体デバイスなどの電子デバイスの回路パターンを検査するシステムであり、電子光学系200、演算部215、撮像レシピ作成部225、設計システム230を備える。以下、電子デバイス検査システム1000の各構成要素について説明する。なお、以下の説明では、電子デバイスの例としてシリコンウエハ201を取り上げるが、これに限られるものではない。

[0017] 電子光学系200は、電子銃203、コンデンサレンズ205、偏向器206、E×B偏向器207、対物レンズ208、2次電子検出器209、反射電子検出器210および211を備える。

[0018] 電子銃203は、電子線（一次電子）204などの荷電粒子線を発生させる。以下では電子線204を発生させるものとして説明する。コンデンサレンズ205は、電子銃203から発生した電子線204を収束させる。偏向器206は、収束された電子線204を偏向させる。E×B偏向器207は、2次電子を偏向させて2次電子検出器209に向ける。対物レンズ208は、収束された電子線204をシリコンウエハ201上に結像させる。

[0019] シリコンウエハ201は、XYステージ217上に載置される。偏向器206および対物レンズ208は、XYステージ217上に載置されたシリコンウエハ201上の任意の位置において電子線204が焦点を結んで照射さ

れるように、電子線204の照射位置と絞りを制御する。

- [0020] XYステージ217は、シリコンウエハ201を移動させ、シリコンウエハ201の任意位置の画像を撮像できるよう構成されている。XYステージ217により観察位置を変更することをステージシフト、偏向器206により電子線204を偏向して観察位置を変更することをビームシフトと呼ぶ。
- [0021] 電子線204が照射されたシリコンウエハ201からは、2次電子と反射電子が放出され、2次電子は2次電子検出器209により検出される。反射電子は反射電子検出器210および211により検出される。反射電子検出器210および211は、互いに異なる位置、例えばXY平面上においてシリコンウエハ201の左上と右下に相当する位置に設置されている。
- [0022] 2次電子検出器209および反射電子検出器210、211で検出された2次電子および反射電子は、A/D変換器212、213、214でデジタル信号に変換される。
- [0023] 演算部215は、上記各部の動作を制御する。また、デジタル信号に変換された各検出器の検出結果を受け取り、画像メモリ252にその検出結果を格納する。その他、各検出器の検出結果に基づき反射電子像および2次電子像を生成する観察像取得部としての機能も有する。
- [0024] CPU (Central Processing Unit) 251、画像処理ハードウェア253等は、検査の目的に応じた画像処理を実行し、電子デバイスを検査する。画像メモリ252に格納されたデータは、外部の記憶装置223に改めて格納してもよい。
- [0025] 演算部215は、入力手段を備えたディスプレイ216を用いて、ユーザに対して観察画像や検査結果等を表示するGUI (Graphical User Interface) を有する。
- [0026] 図1では、反射電子像の検出器を2つ備えた構成例を示したが、検出器の数は3つ以上でもよい。また、演算部215における制御の一部または全てを、CPU、画像蓄積が可能なメモリ、などを搭載した電子計算機等に割り振って処理することもできる。

- [0027] 演算部 215 はさらに、撮像レシピ作成部 225 とネットワークを介して接続されている。撮像レシピ作成部 225 は、検査に必要とされるシリコンウエハの検査座標、検査位置決めに利用するパターンマッチング用のテンプレート、撮影条件等を含む撮像レシピデータを作成する。
- [0028] パターンマッチングのテンプレートとして設計データを利用する場合、撮像レシピ作成部 225 は、設計データを取得するため、設計システム 230 とネットワーク等を介して接続される。設計システム 230 は、例えば EDA (Electronic Design Automation) ツールなどのような、電子デバイスを設計する作業を行うためのシステムである。
- [0029] 以上、電子デバイス検査システム 1000 の構成について説明した。次に、電子線 204 をシリコンウエハ 201 に照射して得られる信号を画像化する方法を説明する。
- [0030] 図 2 は、シリコンウエハ 201 上に電子線 204 を照射する位置と観察像の関係を説明する図である。電子線 204 は、例えば図 2 (a) に示すように、x 軸に沿った照射方向 1001 ~ 1003 または y 軸に沿った照射方向 1004 ~ 1006 のように走査しながら照射される。電子線 204 の偏向方向を変更することによって、走査方向を変化させることができる。
- [0031] 図 2 において、x 軸方向 1001 ~ 1003 に走査された電子線 204 が照射されたシリコンウエハ 201 上の場所を、それぞれ H1 ~ H3 で示した。同様に y 軸方向 1004 ~ 1006 に走査された電子線 204 が照射されたシリコンウエハ 201 上の場所を、それぞれ H4 ~ H6 で示した。
- [0032] H1 ~ H6 において放出された 2 次電子の信号量は、2 次電子検出器 209、AD 変換器 212 を通して、画素の明度値に変換される。また、反射電子の信号量は、反射電子検出器 210 および 211、AD 変換器 213 および 214 を通して、同様に画素の明度値に変換される。
- [0033] 図 2 (b) は、電子線 204 の各照射位置を XY 座標に対応付けた様子を示す図である。2 次電子および反射電子の検出信号は、画素 H1 ~ H6 の明度値に変換される。2 次電子の信号量から SE (Secondary El

electron) 像が生成され、反射電子の信号量からBSE (Back Scattered Electron) 像が生成される。

[0034] 以上、電子線204をシリコンウエハ201に照射して得られる信号を画像化する方法を説明した。次に、電子デバイス検査システム1000の動作を説明する。

[0035] 図3は、電子デバイス検査システム1000の動作フローを示す図である。以下、図3の各ステップについて説明する。なお、各ステップの詳細については、後述の図面を用いて改めて説明する。

[0036] (図3：ステップS301)

演算部215は、反射電子検出器210および211の検出結果を取得し、それぞれの検出器毎にBSE像を生成する。本実施の形態1では反射電子検出器は2つであるため、本ステップでは2つのBSE像が生成される。2つのBSE像を生成する様子は、後述の図4～図5で改めて示す。

[0037] (図3：ステップS302)

演算部215は、ステップS301で生成した2つのBSE像を合成する。本ステップで合成BSE像を生成する様子は、後述の図6で改めて示す。

[0038] (図3：ステップS303)

演算部215は、合成BSE像の各画素の輝度値を、2以上の輝度範囲に区分する。輝度値を区分するとは、例えば輝度の最低値を0、最高値を255とすると、輝度値0～85を区分1、輝度値86～170を区分2、輝度値171～255を区分3、といったように、輝度の高低の度合いをレベル化することをいう。本ステップの詳細は、後述の図7で改めて示す。なお上記区分と輝度値は、説明のための1例である。

[0039] (図3：ステップS304)

演算部215は、ステップS303の結果に基づき、合成BSE像内の領域を区分する。例えば上記ステップS303に記載した例の場合、区分1～3それぞれの輝度値範囲内に相当する輝度値を有する領域を、合成BSE像上で区分する。結果として、合成BSE像は3種類の領域に区分されること

になる。次に演算部 215 は、合成 BSE 像内の各領域の輝度値を、後述の代表輝度値に置き換えて均一化する。本ステップにより生成される画像（領域識別画像）の例は、後述の図 8 で改めて示す。

[0040] （図 3：ステップ S305）

演算部 215 は、ステップ S304 の結果に基づき、SE 像のコントラストを補正する。具体的には、ステップ S304 の結果として区分された合成 BSE 像内の領域と、SE 像の領域とを対応させ、SE 像内の領域間の境界を容易に識別できるように、各領域の輝度を補正する。本ステップの詳細は、後述の図 9～図 10 で改めて説明する。

[0041] （図 3：ステップ S306）

演算部 215 は、設計データなどのテンプレートとなるデータを用いてパターンマッチングを行い、SE 像上の検査位置を特定する。

[0042] （図 3：ステップ S307）

演算部 215 は、ステップ S306 で特定した SE 像上の検査位置で、所望の回路パターンが得られているか否かを、例えば設計データと SE 像それぞれの回路パターンの形状を比較することにより、検査する。

[0043] 図 4 は、シリコンウエハ 201 と反射電子検出器 210 および 211 を上方から見た図である。シリコンウエハ 201 は、多層構造を有する。上層部分 201a は、下層部分 201b よりも上方（反射電子検出器に近い側）に位置する。201c は、背景部分すなわちシリコンウエハ 201 のパターン未形成部分である。

[0044] 反射電子検出器 210 および 211 は、シリコンウエハ 201 を上方から観察した XY 平面上の異なる位置に配置されている。図 4 の例では、反射電子検出器 210 および 211 は、シリコンウエハ 201 を XY 平面上の左上と右上からそれぞれ観察する位置に配置されている。ステップ S301 では、各検出器を介して BSE 像を取得する。

[0045] 図 5 は、BSE 像と SE 像の例である。図 5（a）は反射電子検出器 210 を介して取得した BSE 像、図 5（b）は反射電子検出器 211 を介して

取得したBSE像、図5（c）は2次電子検出器209を介して取得したSE像の例を示す。

[0046] 反射電子検出器210および211を介して生成したBSE像は、一般に高い位置にあるパターンの画素ほど輝度値が高くなり、低い位置にあるパターンの画素ほど輝度が低くなる。したがって、図5（a）（b）に示すBSE像において、上層部分201aの画像は明るくなり、下層部分201bの画像は暗くなる。背景部分201cの画像はさらに暗くなる。

[0047] 反射電子検出器210は、図4に示すように（XY平面上の）左上方向から反射電子を検出するため、シリコンウエハ201の凹凸パターンのうち左方と上方から見た観察像はコントラストよく検出できる。しかし、右方と下方から見た観察像は、凹凸パターンの陰になってしまうため、BSE像のコントラストが悪くなる傾向がある。

[0048] 同様に、反射電子検出器211は、（XY平面上の）右下方向から反射電子を検出するため、シリコンウエハ201の凹凸パターンのうち右方と下方から見た観察像はコントラストよく検出できるが、左方と上方から見た観察像はコントラストが悪くなる。

[0049] このように、BSE像は、反射電子を検出して生成する観察像であるという性質上、回路パターンの凹凸をよく反映しているといえる。

[0050] 一方のSE像は、シリコンウエハ201に電子線204を照射することによってシリコンウエハ201表面から放出された2次電子を、2次電子検出器209に印加した電圧によって生じる電界を利用して回収し、画像化したものである。このため、BSE像のようにパターンの凹凸の影響を受けることなく、回路パターンの検査に利用するエッジを全方位にわたり画像化することができる。

[0051] ただし、多層構造回路のように高低差のある回路パターンを撮影した場合、低位置の回路パターンから放出される2次電子を捕捉しにくくなる。そのため、低位置の回路パターンのSE像は高位置の回路パターンのSE像よりもコントラストが低下する。

[0052] 図6は、ステップS302で生成される合成BSE像の例を示す図である。演算部215は、反射電子検出器210を介して取得したBSE像と、反射電子検出器211を介して取得したBSE像を、例えば以下のような手法を用いて合成し、合成BSE像を生成する。これにより、回路パターンの凸部の輝度値が高く、凹部の輝度が低い合成BSE像を得ることができる。

[0053] (合成BSE像生成手法：その1)

演算部215は、各BSE像の同じ位置における画素の輝度平均値を算出し、その平均値を合成BSE像の同じ位置における画素の輝度値とする。

[0054] (合成BSE像生成手法：その2)

演算部215は、各BSE像の同じ位置における画素の輝度を比較して最も高い輝度値を取得し、その最高輝度値を合成BSE像の同じ位置における画素の輝度値とする。

[0055] 図7は、BSE像の各画素の輝度値とその出現頻度を表すヒストグラムの例を示す図である。BSE像には、凹凸パターンに対応する輝度を有する画素が含まれているため、これらに対応する頻度ピークがヒストグラム上に現れる。図4～図6で例示したBSE像の場合、上層部分201aに対応する頻度ピーク701、下層部分201bに対応する頻度ピーク702、背景部分201cに対応する頻度ピーク703が表れる。これは合成BSE像も同様である。

[0056] 図7に示すような、高位置に相当する頻度ピーク、低位置に相当する頻度ピーク、背景に相当する頻度ピークが現れるヒストグラムの頻度分布の傾向は、高低差のあるパターンを撮影して得たBSE像全般に共通する特徴である。

[0057] 演算部215は、ステップS304において、図7のようなヒストグラムを用いて、合成BSE像の輝度値を、上層部分201a、下層部分201b、背景部分201cに対応する輝度範囲に区分する。図7では、上層部分201aと下層部分201bの境界に相当する輝度値を704、下層部分201bと背景部分201cの境界に相当する輝度値を705とした。

- [0058] 具体的には、例えば頻度ピーク 701 と頻度ピーク 702 の間の最低頻度の輝度値を輝度閾値 704 とし、頻度ピーク 702 と頻度ピーク 703 の間の最低頻度の輝度値を輝度閾値 705 とすることができる。
- [0059] 演算部 215 は、ステップ S304 において、これらの輝度値 704 と 705 を閾値として、合成 BSE 像の各画素をいずれかの区分に仕分けする。次に、演算部 215 は、各輝度範囲について輝度の代表値を設定する。例えば、上層パターン 201a の輝度値 = 255、下層パターン 201b の輝度値 = 128、背景部分 201c の輝度 = 0 などとする。この代表輝度値として、例えば各区分内で最も出現頻度の高い輝度値を用いることもできる。
- [0060] 次に、演算部 215 は、合成 BSE 像の各画素の輝度値を代表輝度値に置き換えた画像（以下、領域識別画像）を生成する。これにより、領域識別画像は、3つの輝度値のみをもつ画像となる。
- [0061] 実際の BSE 像には撮影の過程でノイズが含まれているため、上記のように各画素の輝度を代表輝度値に置き換えても、ノイズ部分が残る可能性がある。この場合、領域識別画像を平滑化フィルタにかけ、ノイズ低減処理を施して、ノイズの影響を抑えることができる。また、合成 BSE 像の各画素がいずれの区分に含まれるかを判定する前に、同様のノイズ低減処理を施してもよい。
- [0062] 図 8 は、合成 BSE 像のコントラストを補正した様子を示す図である。演算部 215 はステップ S304 において、図 7 で説明した各区分に属する画素の輝度を代表輝度値に置き換えて、代表輝度値のみを有する領域識別画像を生成する。これにより、合成 BSE 像は、上層部分 201a、下層部分 201b、背景部分 201c それぞれに相当する 3つの輝度値のみを有する画像となる。
- [0063] 図 9 は、図 3 のステップ S305 の詳細フローを示す図である。ここでは下層部分 201b と背景部分 201c のコントラストを補正する手順を示すが、他の部分のコントラスト補正の手順も同様である。以下、図 9 の各ステップについて説明する。

[0064] (図9：ステップS901)

演算部215は、ステップS304で生成した領域識別画像を読み込む。

[0065] (図9：ステップS902)

演算部215は、SE像と領域識別画像を重ね合わせ、SE像の下層部分201bと背景部分201cを識別する。領域識別画像は、上層部分201a、下層部分201b、背景部分201cをコントラストよく表しているの
で、領域識別画像とSE像を重ねあわせることにより、SE像内の各領域を
容易に識別することができる。SE像と領域識別画像それぞれの撮影位置が
ずれている場合の位置補正については、実施形態2で後述する。

[0066] (図9：ステップS903)

演算部215は、SE像内の下層部分201bおよび背景部分201cそ
れぞれにおいて、最大輝度値と最小輝度値を取得し、これをコントラスト補
正パラメータとする。

[0067] (図9：ステップS904)

演算部215は、SE像内の下層部分201bおよび背景部分201cの
最大輝度値を255に補正し、最小輝度値を0に補正して、コントラストを
明確にする。例えば、下記(式1)のような補正式を用いて輝度を補正する
ことができる。

[数1]

$$Dst = \frac{255(Src - \min)}{\max - \min} \quad \dots (式1)$$

ただし、

Src	: SE像の補正前の輝度値
Dst	: SE像の補正後の輝度値
max	: Srcの画素が所属する領域の最大輝度値
min	: Srcの画素が所属する領域の最小輝度値

[0068] なお、画像の輝度に基づくコントラスト補正手法は、上記以外にも様々提
案されており、コントラスト補正方法を上記(式1)に限定するものではな

い。また、領域毎のコントラスト補正パラメータはユーザが指定してもよい。

[0069] 図10は、ステップS904でSE像のコントラストを補正する様子を示す図である。図10(a)は補正前のSE像、図10(b)は領域識別画像、図10(c)は補正後のSE像を示す。補正後のSE像は、上層部分201a、下層部分201b、背景部分201cおよび各部分の境界のコントラストが明確になっている。

[0070] 以上のように、本実施の形態1において、演算部215は、BSE像を用いて回路パターンの上層部分201a、下層部分201b、背景部分201cを識別し、その識別結果を用いてSE像のコントラストを補正する。BSE像は回路パターンの高低をよく反映しているので、SE像をそのまま用いるよりも、回路パターンの凹凸パターンを明確に認識することができる。したがって、SE像が回路パターンの凹凸をより明確かつ正確に表すように、コントラストを補正し、SE像を用いた回路パターンの検査を行いやすくなることができる。

[0071] また、本実施の形態1において、演算部215は、ステップS304において、BSE像内の輝度の出現頻度に基づき輝度値を2以上の輝度範囲（本実施形態1では3つの輝度範囲）に区分し、各区分に含まれる画像領域の輝度を代表輝度値（例えば最頻輝度値）に置き換えて輝度を均一化する。これにより、各輝度範囲に含まれる画像領域のコントラストが明確になり、回路パターンの凹凸を識別し易くなる。

また、本実施の形態1において、演算部215は、BSE像の輝度範囲を区分することにより生成した領域識別画像を用いて、SE像内の上層部分201aなどを識別し、さらにSE像内の凹凸パターンが明確になるようにコントラストを補正する。これにより、SE像を用いて高低差のある回路パターンを正確に検査することができる。

[0072] また、本実施の形態1において、演算部215は、2以上の反射電子検出器を介して取得したBSE像を合成し、合成BSE像を生成する。これによ

り、反射電子検出器から見て陰になる部分のBSE像を明確に得ることができる。

[0073] <実施の形態2>

本発明の実施の形態2では、ステップS902において領域識別画像とSE像それぞれの撮影位置がずれている場合に、両者が重なるように補正する手法を3つ説明する。電子デバイス検査システム1000の構成は、実施の形態1と同様である。以下では実施の形態1との差異点を中心に説明する。

[0074] <実施の形態2：位置補正手法その1>

(ステップ1) 演算部215は、図8に示したような領域識別画像に対し、2次微分のエッジ検出処理を実行する。

[0075] (ステップ2) 演算部215は、SE像上に表れているエッジ部分を抽出する。

[0076] (ステップ3) 演算部215は、領域識別画像のエッジ部分とSE像のエッジ部分を重ね合わせ、例えば輝度値を加算することによって、両者のエッジ部分の重なり度合いを評価する。

[0077] (ステップ4) 演算部215は、同様の処理を、領域識別画像の領域サイズや輝度値を変更しながら複数回実行し、エッジ部分の重なり度合いが最も大きくなる位置を特定し、領域識別画像の位置またはSE像の位置を補正する。

[0078] <実施の形態2：位置補正手法その2>

(ステップ1) 演算部215は、図8に示したような領域識別画像に対し、2次微分のエッジ検出処理を実行する。

[0079] (ステップ2) 演算部215は、SE像上に表れているエッジ部分を抽出する。

[0080] (ステップ3) 演算部215は、領域識別画像のエッジ部分の輪郭データを作成する。

[0081] (ステップ4) 演算部215は、輪郭データをSE像に重ね合わせ、snake法などのエッジ探索手法を用いて、輪郭データを移動または伸縮させな

がら、S E 像上のエッジ部分と輪郭データが重なる位置を探索する。

[0082] (ステップ5) 演算部215は、S E 像上のエッジ部分と輪郭データが重なる位置に、領域識別画像の位置またはS E 像の位置を補正する。

[0083] <実施の形態2：位置補正手法その3>

実施の形態1で説明したように、B S E 像の輝度範囲を区分して輝度を均一化した場合、B S E 上のエッジ部分の輝度が補正され、エッジ部分の位置がずれる可能性がある。ただし、回路パターンや輝度補正手法が既知である場合、エッジ部分のずれ量も既知である場合がある。そこで、適当な記憶装置にそのずれ量をあらかじめ格納しておく。演算部215は、そのずれ量を読み込んで、領域識別画像またはS E 像のエッジ位置のずれを補正することができる。

[0084] 以上のように、本実施の形態2によれば、領域識別画像とS E 像の撮影位置がそれぞれずれている場合でも、これを補正し、領域識別画像とS E 像を正確に対応させてS E 像のコントラスト補正を正確に行うことができる。

[0085] <実施の形態3>

本発明の実施の形態3では、パターンマッチングによってS E 像上の検査位置を特定する方法を説明する。これは、実施の形態1におけるステップS306に相当する。ステップS301～S305は、実施の形態1～2と同じ手法を用いることができる。電子デバイス検査システム1000の構成は、実施の形態1～2と同様である。以下では実施の形態1～2との差異点を中心に説明する。

[0086] 図11は、本実施の形態3においてS E 像上の検査位置を特定する処理フローを示す図である。図11の処理フローは、ステップS306に相当する。以下、図11の各ステップについて説明する。

[0087] (図11：ステップS1101)

演算部215は、ステップS304で生成した領域識別画像を読み込む。

[0088] (図11：ステップS1102)

演算部215は、領域識別画像のうち上層部分201aに相当する領域の

みを抽出した上層部分抽出像を生成する。例えば、ステップS 3 0 4～S 3 0 5において上層部分2 0 1 aとして認識された画像領域の画素輝度を最高値とし、それ以外の画像領域の画素輝度を0とする。

[0089] (図1 1 : ステップS 1 1 0 2 : 補足)

本ステップで上層部分2 0 1 aのみを残した画像を生成するのは、後続のステップでパターンマッチングを行なう際に、下層部分2 0 1 b（および背景部分2 0 1 c）の画像から受ける影響を緩和するためである。上層部分2 0 1 aと下層部分2 0 1 bがともに領域識別像上に表れていると、本来は上層部分2 0 1 aの回路パターンのパターンマッチングを行いたいにも係らず、下層部分2 0 1 bの回路パターンと区別することができず、パターンマッチングに失敗する可能性がある。そこで、上層部分2 0 1 aに相当する領域のみを抽出することにした。同様に、下層部分2 0 1 bのパターンマッチングを行う際には、下層部分2 0 1 bに相当する領域のみを抽出するようにしてもよい。

[0090] (図1 1 : ステップS 1 1 0 3)

演算部2 1 5は、上層部分抽出像とテンプレート（例えば検査対象部分の回路パターンの設計データ）の間でパターンマッチングを行い、検査対象位置を探索する。設計パターンと画像のパターンマッチング方法は、例えば正規化相関法や一般化ハフ変換等が適用できるが、これに限定するものではない。

[0091] (図1 1 : ステップS 1 1 0 4)

演算部2 1 5は、ステップS 1 1 0 3でテンプレートと合致した位置を、上層部分抽出像上の検査位置として特定する。

[0092] (図1 1 : ステップS 1 1 0 5)

演算部2 1 5は、ステップS 1 1 0 4で特定した検査位置に対応するS E像上の位置を検査位置として特定する。

[0093] 図1 2は、設計データ、上層部分抽出像、S E像の対応関係を示す図である。図1 2 (a)は設計データ、図1 2 (b)は上層部分抽出像と設計デー

タを重ね合わせた画像、図 1 2 (c) は S E 像を示す。

[0094] 図 1 2 (a) において、設計データ上の一部の領域を、ステップ S 1 1 0 3 で実行するパターンマッチングに用いるテンプレート 6 0 1 として選択する。設計データ上で、上層部分 6 0 3、下層部分 6 0 4 の位置は判明している。パターンマッチングの目標は、検査位置の中心 6 0 2 を探索することである。

[0095] 演算部 2 1 5 は、ステップ S 1 1 0 2 において、領域識別画像の上層部分 6 0 6 のみを抽出し、その他の部分の輝度を 0 に補正する。また、ステップ S 1 1 0 4 において、上層部分抽出像とテンプレート 6 0 1 をマッチングし、合致する部分を特定する。その中心位置は、上層部分抽出像における検査位置 6 0 5 として特定される。

[0096] 演算部 2 1 5 は、ステップ S 1 1 0 5 において、検査位置 6 0 5 に対応する S E 像上の位置 6 0 7 を、S E 像上の検査位置として特定する。

[0097] 以上、パターンマッチングによって S E 像上の検査位置を特定する方法を説明した。本実施形態 3 では、2 層構造の回路パターンを例として説明したが、単層の回路パターンでも同様の効果を得ることができる。これについて以下に補足する。

[0098] <実施の形態 3 : 補足>

S E 像では、回路パターンのエッジ部分のみがパターンの形状として画像化される。そのため、特に単純なラインパターンとスペースパターンのみで構成された回路パターンを検査する場合、S E 像のエッジ部分がラインパターンなのかスペースパターンなのかを判定することが難しい。

[0099] 一方、B S E 像は上述したようにパターンの凹凸が輝度差に明確に現れるため、B S E 合成像の輝度ヒストグラムには、ラインパターンとスペースパターンそれぞれの輝度分布のピークが形成される。この 2 つのピークを分割して領域識別画像を生成し、凸領域と判定された領域を抽出して生成した像と、S E 像のラインパターンを塗りつぶした画像との間でパターンマッチングすることにより、正確に検査位置を特定することができる。

[0100] <実施の形態 4>

本発明の実施の形態 4 では、S E 像を用いて回路パターンの出来栄えを検査する手法を説明する。これは、実施の形態 1 におけるステップ S 3 0 7 に相当する。ステップ S 3 0 1 ~ S 3 0 6 は、実施の形態 1 ~ 3 と同じ手法を用いることができる。電子デバイス検査システム 1 0 0 0 の構成は、実施の形態 1 ~ 3 と同様である。以下では実施の形態 1 ~ 3 との差異点を中心に説明する。

[0101] 図 1 3 は、回路パターンの出来栄えを検査する過程を示す図である。図 1 3 (a) は検査対象パターンの領域識別画像、図 1 3 (b) は図 1 3 (a) の輪郭線を抽出した画像、図 1 3 (c) は S E 像と輪郭線を比較する様子を示す。

[0102] 演算部 2 1 5 は、ステップ S 3 0 7 において、検査対象の回路パターンの領域識別画像から、任意の手法によってその外形を示す輪郭線を抽出する。この輪郭線は、図 1 3 (b) の符号 1 3 0 2 で示されている。

[0103] 演算部 2 1 5 は、次に輪郭線 1 3 0 2 を S E 像に重ね合わせる。この時点では、ステップ S 3 0 6 のパターンマッチングが完了して検査位置が特定されているため、理想的には輪郭線 1 3 0 2 と S E 像上の回路パターン 1 3 0 1 は重なるはずである。しかし、実際には B S E 像と S E 像の撮影条件の違いなどによって、個々の回路パターンレベルでは、わずかな位置ずれが生じることがある。

[0104] そこで演算部 2 1 5 は、図 1 3 (b) に示す領域識別画像から生成した輪郭線 1 3 0 2 を出発点として、個々の回路パターンの位置ずれが発生し得る範囲内で、S E 像上の回路パターン 1 3 0 1 を探索する。これにより、個々の回路パターンレベルでも、下層部分 2 0 1 b や背景部分 2 0 1 c の影響を緩和して、正確に検査位置を特定することができる。

[0105] 演算部 2 1 5 は、S E 像上の回路パターン 1 3 0 1 を特定した後は、回路パターン 1 3 0 1 の形状と設計データ上の回路パターンの形状を比較し、回路パターン 1 3 0 1 の出来栄えを評価する。評価手法は、任意の手法を用い

ることができる。例えば、SE像上の回路パターンの面積と設計データ上の回路パターンを比較する、SE像上の回路パターンと設計データ上の回路パターンの間隔を計測する、などの手法が考えられる。

[0106] 以上のように、本実施の形態4によれば、領域識別画像を用いて回路パターンの輪郭線1302を特定することにより、個々の回路パターンレベルでも、下層部分201bや背景部分201cの影響を緩和して正確に検査位置を特定することができる。これにより、個々の回路パターンレベルでも、検査精度を向上させることができる。

[0107] <実施の形態5>

実施の形態1～4で説明した、演算部215が実行する各処理フローは、その処理を実現する回路デバイスのようなハードウェア上に実装することもできるし、CPU251やマイコンなどの演算装置とその動作を規定するソフトウェアを用いて実装することもできる。

符号の説明

[0108] 200：電子光学系、201：シリコンウエハ、201a：上層部分、201b：下層部分、201c：背景部分、203：電子銃、204：電子線、205：コンデンサレンズ、206：偏向器、207：ExB偏向器、208：対物レンズ、209：2次電子検出器、210～211：反射電子検出器、212～214：A/D変換器、215：演算部、217：XYステージ、223：記憶装置、225：撮像レシピ作成部、230：設計システム、251：CPU、252：画像メモリ、253：画像処理ハードウェア、701～703：頻度ピーク、704～705：輝度値、1000：電子デバイス検査システム、1001～1006：走査方向、1301：回路パターン、1302：輪郭線。

請求の範囲

- [請求項1] 電子デバイスの回路パターンを検査する方法であって、
前記電子デバイスの反射電子像と２次電子像を得るステップと、
前記反射電子像の画素の輝度値に基づき前記反射電子像内の領域を
区分する区分ステップと、
前記区分ステップで区分した前記反射電子像内の前記領域と前記２
次電子像内の領域を対応付ける対応付けステップと、
前記対応付けステップの結果を用いて前記２次電子像内の回路パタ
ーンを検査する検査ステップと、
を有することを特徴とするパターン検査方法。
- [請求項2] 前記区分ステップでは、
前記反射電子像の画素の輝度値を２以上の輝度値範囲に区分すると
ともに、同一区分内に含まれる画素の輝度値を均一に補正し、
前記対応付けステップでは、
前記補正後の前記反射電子像内の領域と前記２次電子像内の領域を
対応付ける
ことを特徴とする請求項１記載のパターン検査方法。
- [請求項3] 前記区分ステップでは、
前記反射電子像の画素の輝度値をその出現頻度に基づき前記２以上
の輝度値範囲に区分し、各区分に属する画素の輝度値を、各区分内で
最も出現頻度が高い輝度値に置き換える
ことを特徴とする請求項２記載のパターン検査方法。
- [請求項4] 前記対応付けステップでは、
前記反射電子像内の前記区分に属する領域と対応する、前記２次電
子像内の領域の画素の輝度値を、他の領域との間の境界が明確になる
ように補正する
ことを特徴とする請求項２記載のパターン検査方法。
- [請求項5] ２以上の異なる空間位置で反射電子を取得して２以上の前記反射電

子像を取得し、その２以上の反射電子像を合成して合成反射電子像を生成するステップを有し、

前記区分ステップおよび前記対応付けステップでは、前記反射電子像に代えて前記合成反射電子像を用いる

ことを特徴とする請求項１記載のパターン検査方法。

[請求項6]

前記合成反射電子像を生成するステップでは、

前記２以上の反射電子像の同じ位置における各画素の輝度値のうち最大のものを採用して前記合成反射電子像の対応する画素の輝度値とする、

または、

前記２以上の反射電子像の同じ位置における各画素の輝度値を平均した値を前記合成反射電子像の対応する画素の輝度値とする

ことを特徴とする請求項５記載のパターン検査方法。

[請求項7]

前記反射電子像内の前記区分に属する領域の境界部分と、前記２次電子像内の領域の境界部分との重なり度合いを評価するステップと、

前記重なり度合いが最も高い位置で前記反射電子像と前記２次電子像が重なり合うように前記反射電子像または前記２次電子像の位置を補正するステップと、

を有することを特徴とする請求項１記載のパターン検査方法。

[請求項8]

前記反射電子像の前記区分に属する領域の境界部分を検出して輪郭データを作成するステップと、

前記２次電子像内の領域の境界部分を検出するステップと、

前記反射電子像内の前記輪郭データと前記２次電子像内の前記境界部分が重なる位置を探索して前記反射電子像と前記２次電子像の位置を合わせるステップと、

を有することを特徴とする請求項１記載のパターン検査方法。

[請求項9]

前記反射電子像または前記２次電子像の位置を所定量補正して、前記２次電子像と前記反射電子像の位置を合わせるステップを有する

ことを特徴とする請求項 1 記載のパターン検査方法。

[請求項10] 前記対応付けステップでは、前記 2 次電子像の画素のコントラスト補正またはガンマ補正を行うことにより、前記 2 次電子像の画素の輝度値を補正する

ことを特徴とする請求項 4 記載のパターン検査方法。

[請求項11] 前記対応付けステップでは、
前記反射電子像内の前記区分に属する領域の画像を用いてパターンマッチングを行うことにより、前記 2 次電子像内の検査位置を特定する

ことを特徴とする請求項 1 記載のパターン検査方法。

[請求項12] 前記対応付けステップでは、
前記反射電子像内の前記区分に属する領域と、設計データ上の前記回路パターンとのパターンマッチングを行うことにより、前記 2 次電子像内の検査位置を特定する

ことを特徴とする請求項 1 1 記載のパターン検査方法。

[請求項13] 2 以上の異なる空間位置で反射電子を取得して 2 以上の前記反射電子像を取得し、その 2 以上の反射電子像を合成して合成反射電子像を生成するステップを有し、

前記区分ステップおよび前記対応付けステップでは、前記反射電子像に代えて前記合成反射電子像を用いる

ことを特徴とする請求項 1 1 記載のパターン検査方法。

[請求項14] 前記合成反射電子像を生成するステップでは、
前記 2 以上の反射電子像の同じ位置における各画素の輝度値のうち最大のものを採用して前記合成反射電子像の対応する画素の輝度値とする、

または、

前記 2 以上の反射電子像の同じ位置における各画素の輝度値を平均した値を前記合成反射電子像の対応する画素の輝度値とする

ことを特徴とする請求項 1 3 記載のパターン検査方法。

[請求項15]

前記検査ステップでは、

前記 2 次電子像内のエッジ部分の形状と、設計データ内の前記回路パターンの輪郭データの形状とが合致するか否かによって、前記回路パターンを検査する

ことを特徴とする請求項 1 記載のパターン検査方法。

[請求項16]

前記検査ステップでは、

前記反射電子像の検査対象部分における回路パターンのエッジ部分と、前記 2 次電子像の検査対象部分における回路パターンのエッジ部分とが重なり合う部分を探索し、その結果得られた位置で前記 2 次電子像上の前記回路パターンを検査する

ことを特徴とする請求項 1 5 記載のパターン検査方法。

[請求項17]

請求項 1 記載のパターン検査方法をコンピュータに実行させることを特徴とするパターン検査プログラム。

[請求項18]

電子デバイスに荷電粒子線を照射する荷電粒子照射部と、

前記電子デバイスから生じた反射電子を検出する反射電子検出器と、

前記電子デバイスから生じた 2 次電子を検出する 2 次電子検出器と、

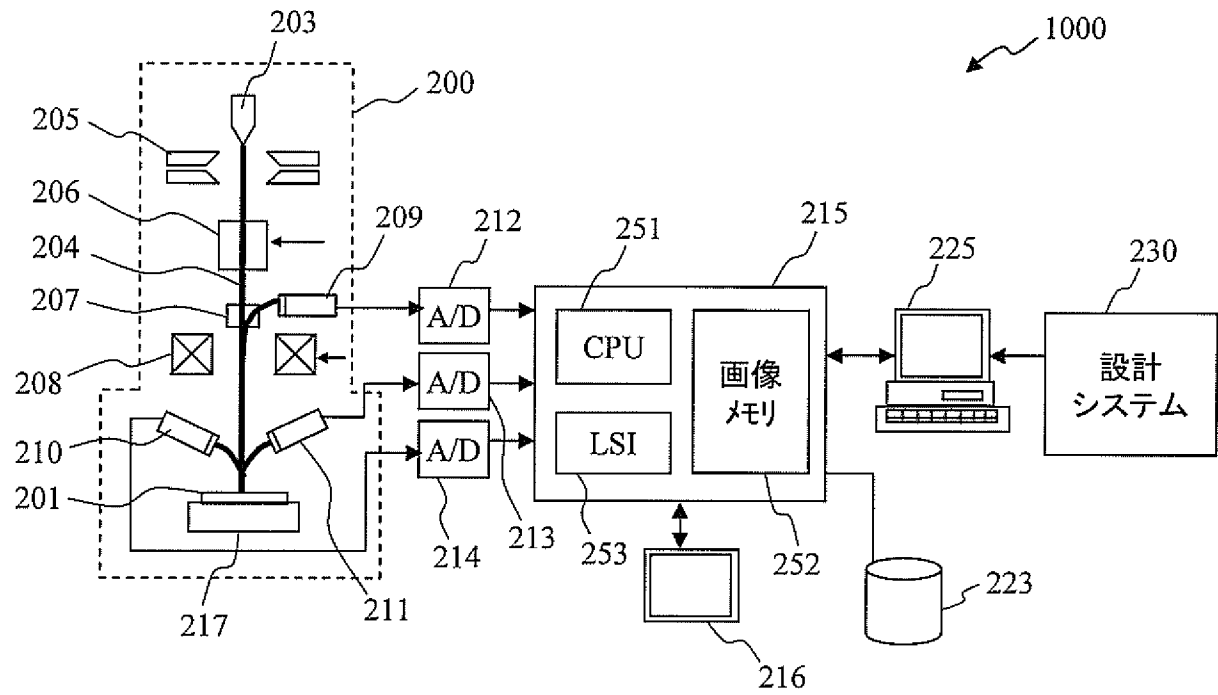
前記反射電子検出器および前記 2 次電子検出器の検出結果に基づき反射電子像と 2 次電子像を得る観察像取得部と、

請求項 1 記載のパターン検査方法を実行する演算部と、

を備えたことを特徴とする電子デバイス検査装置。

[図1]

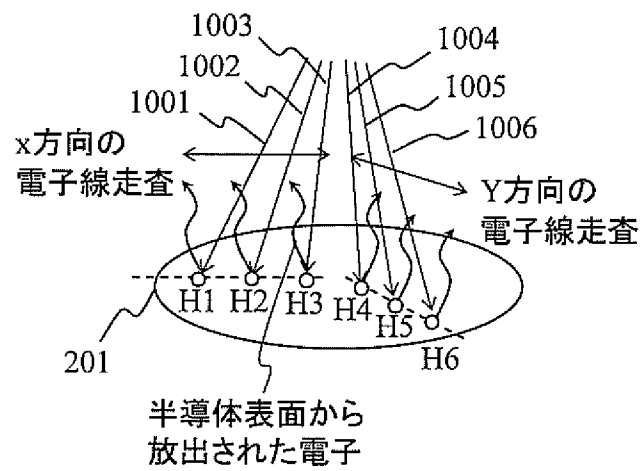
図 1



[図2]

図 2

(a)



(b)

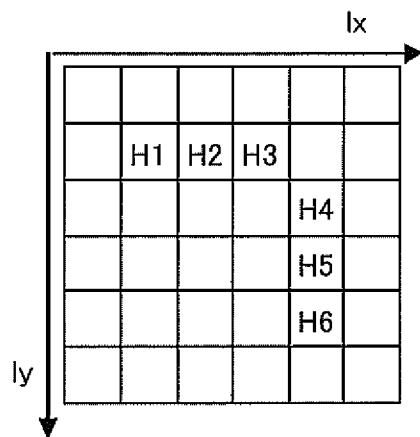
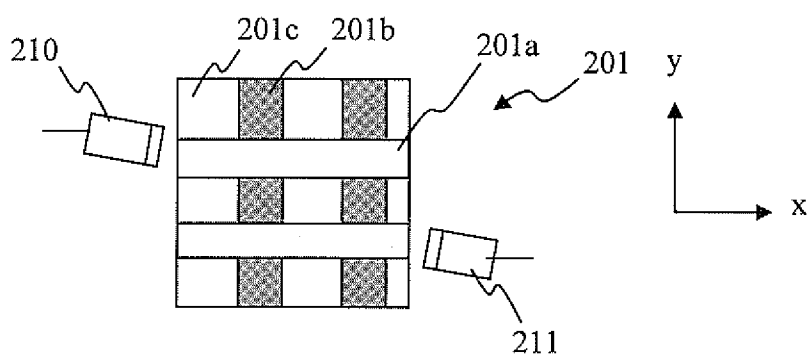


图 3



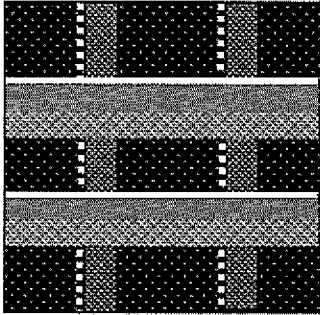
图 4



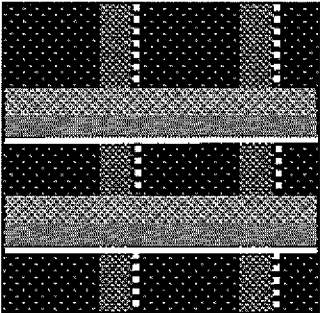
[図5]

図 5

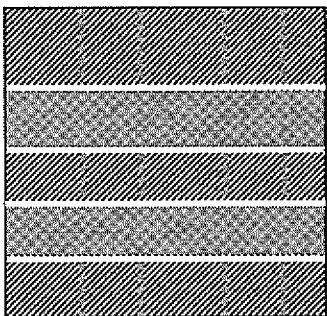
(a)



(b)

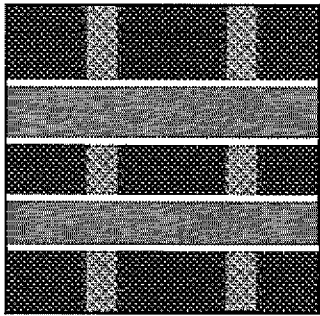


(c)



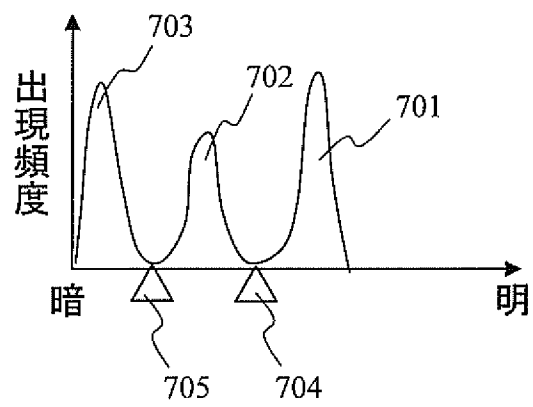
[図6]

図 6



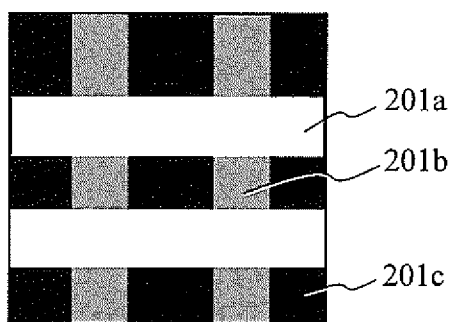
[図7]

図 7



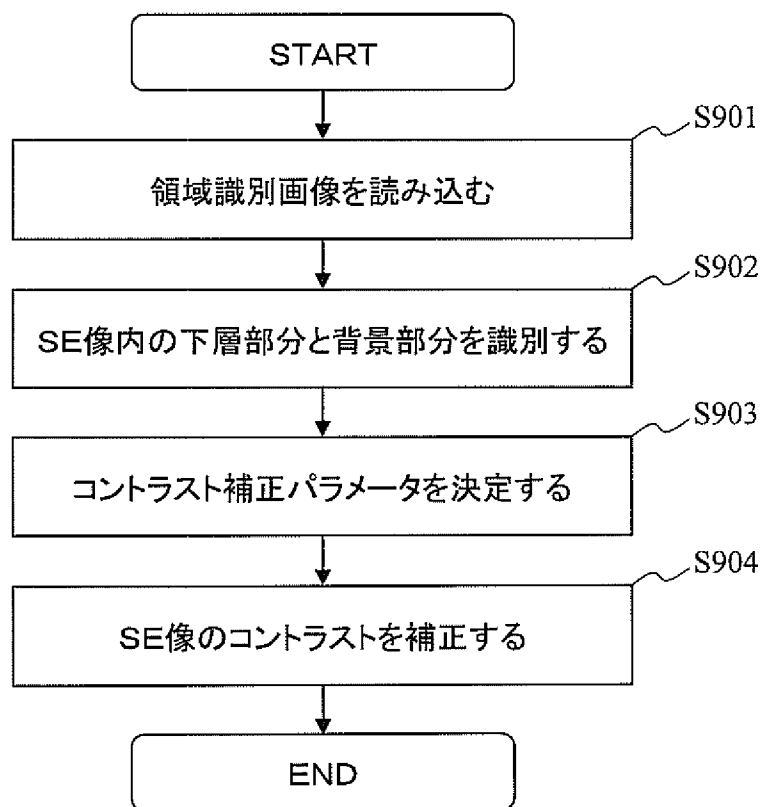
[図8]

図 8



[図9]

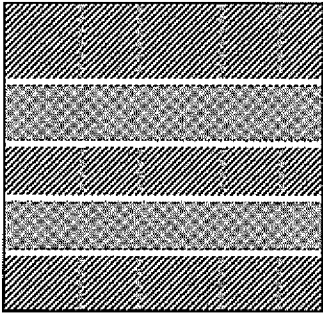
図 9



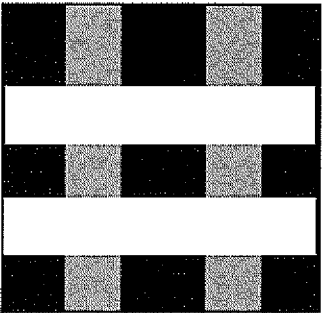
[図10]

図 10

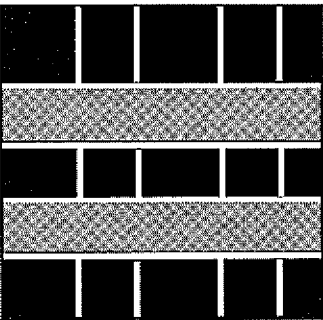
(a)



(b)

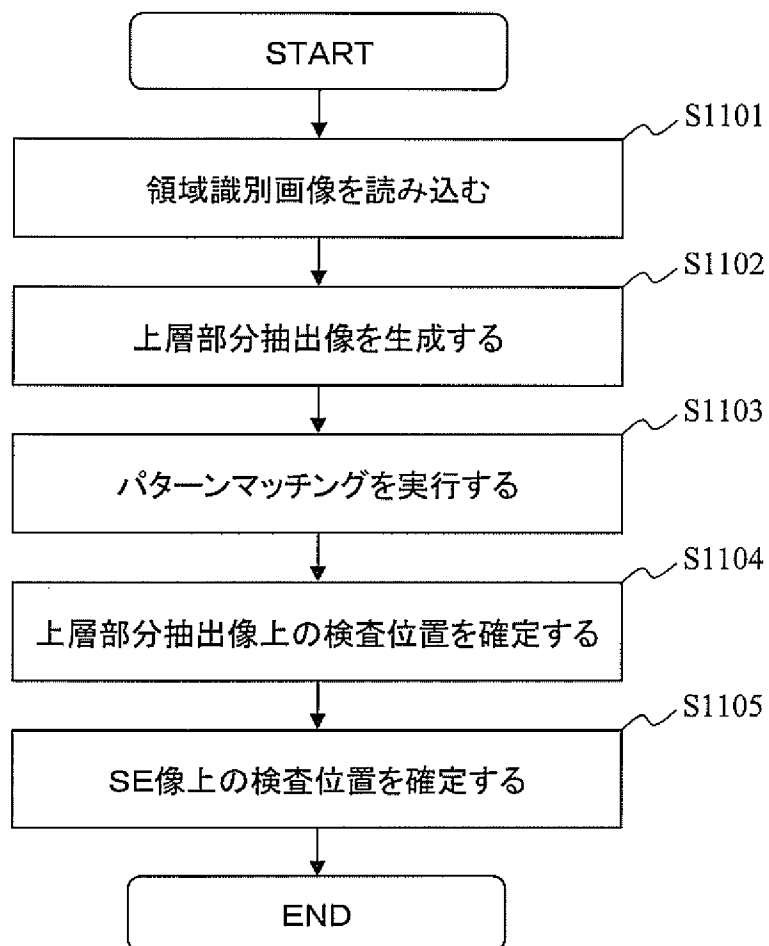


(c)



[図11]

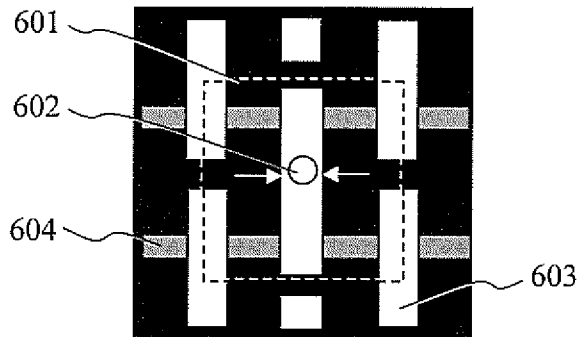
図 1 1



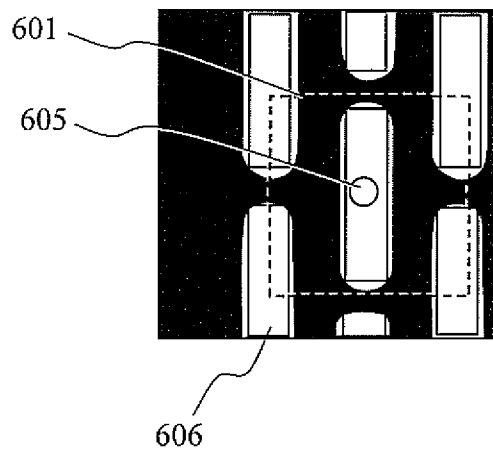
[図12]

図 1 2

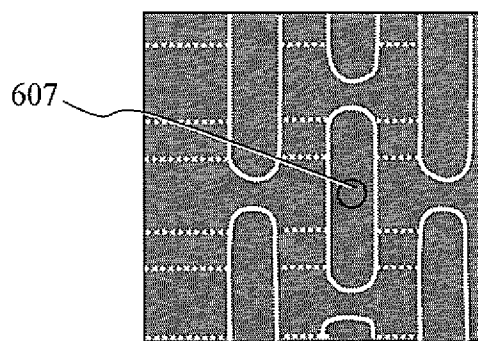
(a)



(b)



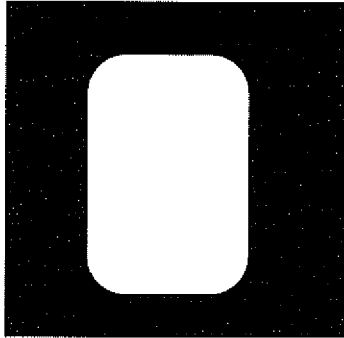
(c)



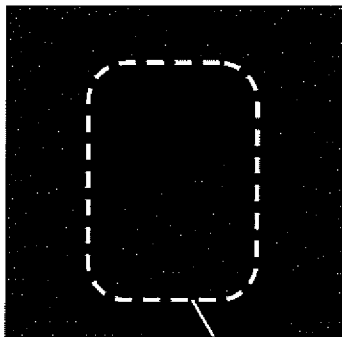
[図13]

図 1 3

(a)

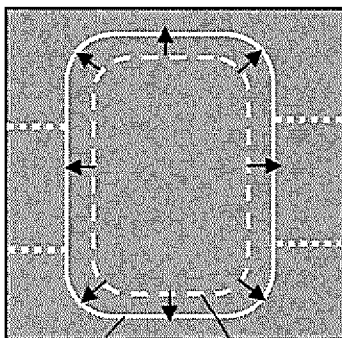


(b)



1302

(c)



1301

1302

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/052682

A. CLASSIFICATION OF SUBJECT MATTER

H01J37/22(2006.01)i, H01J37/244(2006.01)i, H01L21/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01J37/22, H01J37/244, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-44070 A (Hitachi High-Technologies Corp.), 26 February 2009 (26.02.2009), entire text; all drawings & US 2009/0039261 A1	1-18
A	JP 2008-267895 A (SII NanoTechnology Inc.), 06 November 2008 (06.11.2008), entire text; all drawings (Family: none)	1-18
A	JP 10-64469 A (JEOL Ltd.), 06 March 1998 (06.03.1998), entire text; all drawings (Family: none)	1-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
25 March, 2011 (25.03.11)

Date of mailing of the international search report
05 April, 2011 (05.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/052682

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-319366 A (Hitachi, Ltd.), 31 October 2002 (31.10.2002), entire text; all drawings (Family: none)	10
A	JP 5-101166 A (Fujitsu Ltd.), 23 April 1993 (23.04.1993), entire text; all drawings & US 5825912 A	11-12
A	JP 2002-328015 A (Hitachi, Ltd.), 15 November 2002 (15.11.2002), entire text; all drawings & US 2002/0158199 A1	11-12

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01J37/22(2006.01)i, H01J37/244(2006.01)i, H01L21/66(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01J37/22, H01J37/244, H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-44070 A（株式会社日立ハイテクノロジーズ） 2009.02.26, 全文、全図 & US 2009/0039261 A1	1-18
A	JP 2008-267895 A（エスアイアイ・ナノテクノロジーズ株式会社） 2008.11.06, 全文、全図（ファミリーなし）	1-18
A	JP 10-64469 A（日本電子株式会社） 1998.03.06, 全文、全図（ファミリーなし）	1-18

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 3 . 2 0 1 1

国際調査報告の発送日

0 5 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

遠藤 直恵

2 G

3 7 0 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-319366 A (株式会社日立製作所) 2002. 10. 31, 全文、全図 (ファミリーなし)	10
A	JP 5-101166 A (富士通株式会社) 1993. 04. 23, 全文、全図 & US 5825912 A	11-12
A	JP 2002-328015 A (株式会社日立製作所) 2002. 11. 15, 全文、全図 & US 2002/0158199 A1	11-12