(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年2 月7 日 (07.02.2008)

PCT

(10) 国際公開番号
WO 2008/016049 A1

(51) 国際特許分類:
H03M 1/14 (2006.01) *H04N 5/335* (2006.01)
H03M 1/08 (2006.01)

(21) 国際出願番号: PCT/JP2007/064986

(22) 国際出願日: 2007 年7 月31 日 (31.07.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2006-208664 2006 年7 月31 日 (31.07.2006) JP

(71) 出願人 (米国を除く全ての指定国について): 国立大学法人静岡大学 (NATIONAL UNIVERSITY CORPORATION SHIZUOKA UNIVERSITY) [JP/JP]; 〒4228529 静岡県静岡市駿河区大谷８３６ Shizuoka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 川人 祥二 (KAWAHITO, Shoji) [JP/JP]; 〒4328561 静岡県浜松市中区城北３丁目５－１国立大学法人静岡大学電子工学研究所内 Shizuoka (JP).

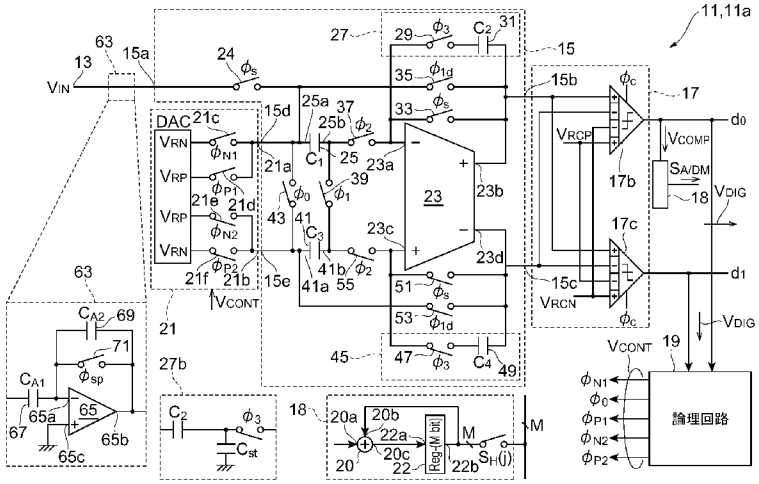
(74) 代理人: 長谷川 芳樹, 外(HASEGAWA, Yoshiki et al.); 〒1040061 東京都中央区銀座一丁目１０番６号銀座ファーストビル 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP,

[続葉有]

(54) **Title:** A/D CONVERTER AND READING CIRCUIT

(54) **発明の名称:** Ａ／Ｄ変換器および読み出し回路



19 LOGICAL CIRCUIT

(57) **Abstract:** An A/D convert (11) performs sampling of a signal (S1) by a plurality of times during a period (T1) and sampling of a signal (S2) by a plurality of times during a period (T2). During the period (T2), the A/D conversion circuit (17) provides a digital signal in accordance with a signal from an output (15b) of a gain stage (15). The digital signal may have a value "1" or a value "0". The A/D conversion circuit (17) includes a circuit (18) which provides a signal $S_{A/DM}$ corresponding to the number of appearances of the value "1". A switch (24) operates in response to the clock ϕs and is used to sample the signal from a pixel (2a). A capacity circuit (27) includes a switch (29) and a capacitor (31) between an inversion input (23a) and a non-inversion output (23b). The switch (29) operates in response to clock ϕ3 and is used for integration to the capacitor (31).

(57) 要約: Ａ／Ｄ変換器１１は、期間Ｔ１に信号Ｓ１の複数回の標本化を行うと共に期間Ｔ２に信号Ｓ２の複数回の標本化を行う。Ａ／Ｄ変換回路１７は、期間Ｔ２において、ゲインステージ１５の出力１５ｂからの信号に応じたディジタル信号を提供し、該ディジタル信号は値「１」、値「０」を取る。Ａ／Ｄ変換回路１７は値「１」の出現回数に対応する

[続葉有]

WO 2008/016049 A1

KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

信号$S_{A/DM}$を提供する回路１８を含む。スイッチ２４は、クロックφｓに応答して動作し、また画素２ａからの信号を標本化するために用いられる。容量回路２７では、スイッチ２９及びキャパシタ３１が反転入力２３ａと非反転出力２３ｂとの間に接続される。スイッチ２９は、クロックφ３に応答して動作し、キャパシタ３１への積分のために用いられる。

明 細 書

A／D変換器および読み出し回路

技術分野

[0001] 本発明は、CMOSイメージセンサのためのA／D変換器および読み出し回路に関する。

背景技術

[0002] 非特許文献1の回路では、カラムに接続された高利得アンプを用いてカラムからの信号を増幅することによって、信号に対するノイズの影響を少なくする。非特許文献2の回路では、ノイズの低減と広いダイナミックレンジとの両立を図るために、アンプが1倍の増幅率と8倍の増幅率を持っている。非特許文献3の回路は、低ノイズの信号読み出しを提供している。この読み出しでは、イメージセンサの周辺回路は、高利得のアンプを用いた2段のノイズキャンセル回路を含む。

[0003] 特許文献1には、A／D変換アレイ及びイメージセンサが記載されている。A／D変換アレイ及びイメージセンサでは、3個のキャパシタを用いて信号レベルとリセットレベルとの差を生成すると共にこの差をn倍に増幅する。また、特許文献2には、ディジタルノイズキャンセル機能をもつイメージセンサが記載されている。このイメージセンサでは、そのカラムにおいてアナログ領域でのノイズキャンセル回路を用いることなく、イメージアレイの信号レベルとリセットレベルのそれぞれのA／D変換を行ってディジタル値を生成した後に、その差を求めている。

非特許文献1:A. Krymski, N. Khaliullin, H Krymski, N. Khaliullin, H. Rhodes, “A 2e noise 1.3Megapixel CMOS sensor,” Proc. IEEE workshop CCD and Advanced Image Sensors, Elmau, Germany.

非特許文献2:M. Sakakibara, S. Kawahito, D. Handoko, N. Nakamura, H. Satoh, M. Higashi, K. Mabuchi, H. Sumi,”A high-sensitivity CMOS image sensor with gain-adaptive column amplifiers,” IEEE J. Solid-State Circuits, vol. 40, no. 5, pp. 1147-1156, 2005.

非特許文献3:N. Kawai, S. Kawahito, ”Noise analysis of high-gain low-noise

column readout circuits for CMOS image sensors", IEEE Trans. Electron Devices, vol.51, no.2, pp.185-194 (2004).

特許文献1:特開2005－136540号公報

特許文献2:特開2006－25189号公報

発明の開示

発明が解決しようとする課題

[0004] CMOSイメージセンサの最近の画質向上は著しい。CMOSイメージセンサは、カラムに接続された周辺回路を含み、この周辺回路は、増幅機能を備えた読み出し回路を用いてノイズを低減する。故に、この周辺回路を用いて、非常に低ノイズのイメージセンサが実現できる。上記の文献には、カラム処理回路による増幅を利用してノイズを低減することが記載されている。

[0005] しかしながら、非特許文献1の回路において行われるような単純な増幅では、信号のダイナミックレンジが失われてしまい、この結果、高感度・低雑音化と大きなダイナミックレンジの両方を得ることができない。非特許文献2の回路では、アンプが2種類の利得しか持たないので、A／D変換のために必要な所望の階調を得ることには限界がある。非特許文献3は、アンプの利得を高くすることによって非常に低雑音にできる可能性が述べられているが、この方式も単純増幅であり、高感度・低雑音化と大きなダイナミックレンジの両立は困難である。

[0006] 本発明は、このような事情を鑑みて為されたものであり、CMOSイメージセンサの画素からの信号にノイズキャンセルを施すことが可能なA／D変換器および読み出し回路を提供することにある。

課題を解決するための手段

[0007] 本発明に係る一側面は、イメージセンサのためのA／D変換器である。A／D変換器は、(a)前記イメージセンサからの信号を受ける入力と出力とを有しており、ノイズに係る成分を含む第1の信号の複数回の標本化および標本値の積分を第1の期間に行うと共に、前記イメージセンサの画素からの光誘起信号成分およびノイズに係る成分を含む第2の信号の複数回の標本化および標本値の積分を第1の信号に対する積分とは逆極性となるように第2の期間に行うためのゲインステージと、(b)前記ゲ

インステージの前記出力からの信号に応じた第1および第2の値を取りうるディジタル信号を提供するA／D変換回路と、(c)前記第1の値の出現回数に対応する信号を提供する回路と、(d)前記ディジタル信号に応答して制御信号を生成する論理回路と、(e)前記第1の期間に前記ゲインステージに所定の電圧信号の提供を行うと共に、前記第2の期間に前記ゲインステージに前記制御信号に応じた電圧信号の提供を行うD／A変換回路とを備える。前記ゲインステージは、前記標本化のための第1のキャパシタと、前記積分のための第2のキャパシタと、前記第1のキャパシタに標本化された信号を前記第2のキャパシタへ積分するための演算増幅回路とを含む。

[0008] 本発明に係る別の側面は、イメージセンサのためのA／D変換器である。このA／D変換器は、(a)前記イメージセンサからの信号を受ける入力と出力とを有しており、ノイズに係る成分を含む第1の信号の複数回の標本化および標本値の積分を第1の期間に行うと共に、前記イメージセンサの画素からの光誘起信号およびノイズに係る成分を含む第2の信号の複数回の標本化および標本値の積分を第1の信号に対する積分とは逆極性となるように第2の期間に行うためのゲインステージと、(b)前記ゲインステージの前記出力からの信号に応じた第1および第2の値を取りうるディジタル信号を提供するA／D変換回路と、(c)前記第1の値の出現回数に対応する信号を提供する回路と、(d)前記ディジタル信号に応答して制御信号を生成する論理回路と、(e)前記第1の期間に前記ゲインステージに所定の電圧信号を提供すると共に、前記第2の期間に前記制御信号に応じて前記ゲインステージに電圧信号を提供するD／A変換回路とを備え、前記ゲインステージは、(a1)演算増幅回路と、前記D／A変換回路に接続された一端および前記演算増幅回路の反転入力に接続された他端を有する第1のキャパシタと、(a2)前記入力と前記第1のキャパシタの前記一端との間に接続されており前記イメージセンサからの信号を標本化するための第1のスイッチと、(a3)直列に接続された第2のキャパシタおよび第2のスイッチを有し、前記演算増幅回路の非反転出力と前記反転入力との間に接続された第1の容量回路と、(a4)前記反転入力と前記非反転出力との間に接続された第1の帰還スイッチとを含む。

[0009] このA／D変換器によれば、ノイズに係る成分を含む第1の信号に対する複数回の標本化と積分および画素からの光誘起信号およびノイズに係る成分を含む第2の信

号に対する複数回の標本化と、第1の信号とは逆極性での積分を第1及び第2の期間にそれぞれ行うので、第1の容量回路に蓄積された電荷は第1の信号と第2の信号との差分に関連づけられた積分値を表す。この差分は、画素の光誘起信号成分に対応しており、複数回の積分によりN倍(N:積分の回数)されるけれども、回路起因のランダムノイズ成分はsqrt(N)倍(「sqrt」は平方根を示す)される。このため、S/N比はsqrt(N)倍に改善される。また、A/D変換回路は、ゲインステージの出力からの信号に応じたディジタル信号の第1および第2の値のうち第1の値の出現回数に対応する信号を提供する。この出現回数は、A/D変換回路が、その入力に応答して出力した上位のA/D変換値に対応する。

[0010] 本発明に係るA/D変換器では、前記ゲインステージは、前記ゲインステージの前記出力からの信号に応じたディジタル信号に対応して前記D/A変換回路から提供される電圧信号に用いて、前記第1および第2の期間の後の第3の期間に巡回A/D変換を行うことが好ましい。

[0011] 本発明に係るA/D変換器では、前記A/D変換回路は、前記ゲインステージの前記出力からの信号を第1および第2の参照信号と比較する比較器を含むことができる。前記比較器は、前記第1の参照信号を前記第2の期間に受け、前記比較器は、前記第2の参照信号を前記第3の期間に受ける。このA/D変換器では、前記第2の参照信号の値は、前記第1の参照信号の値より小さいことが好ましい。

[0012] 本発明に係るA/D変換器では、前記第1のキャパシタは、前記標本化のために前記第1および第2の信号を受けるように設けられており、前記ゲインステージは、前記D/A変換回路からの信号提供および前記第1のキャパシタへの標本化のいずれか一方に応答して、前記演算増幅回路を用いて前記第1の信号を前記第2のキャパシタへ積分し、前記ゲインステージは、前記D/A変換回路からの信号提供および前記第1のキャパシタへの標本化のいずれか他方に応答して、前記演算増幅回路を用いて前記第2の信号を前記第2のキャパシタへ積分する。

[0013] 本発明に係るA/D変換器では、前記ゲインステージは、前記標本化のための第3のキャパシタおよび前記積分のための第4のキャパシタを更に含むことができる。前記第1および第3のキャパシタの一方は、前記標本化のために前記第1の信号を受

けるように設けられており、前記第1および第3のキャパシタの他方は、前記標本化のために前記第2の信号を受けるように設けられており、前記演算増幅回路は、前記D／A変換回路からの信号に応答して、前記第1および第3のキャパシタに標本化された値を前記第2および第4のキャパシタに積分する。

[0014] 本発明に係るA／D変換器では、画素はCMOSイメージセンサの画素である。画素の浮遊拡散層がリセット状態にあるとき、画素からの信号により前記第1の信号が提供される。リセット後に画素の浮遊拡散層が光誘起電荷の蓄積状態にあるとき、画素からの信号により前記第2の信号が提供される。

[0015] このA／D変換器によれば、画素の浮遊拡散層がリセット状態にあるとき、画素からの第1の信号の標本化が第1のキャパシタを用いて第1の期間内の標本化期間で行われると共に、標本化された信号は、D／A変換回路からの所定の参照電圧信号に応答して第1の容量回路の第2のキャパシタに第1の期間内の積分期間で転送される。標本化と積分とが第1の期間に交互に行われ、第2のキャパシタに蓄積された電荷は第1の信号の複数回の積分値を示す。前記リセット後に画素の浮遊拡散層が光誘起電荷の蓄積状態にあるとき、画素からの第2の信号の標本化が第1のキャパシタを用いて第2の期間内の標本化期間で行われ、同時に標本化された信号は、第1の容量回路の第2のキャパシタに転送される。第1のキャパシタは、D／A変換回路からの電圧信号に応答して第2の期間内の参照電圧標本化期間で標本化される。第2の期間では、画素の標本化と第2のキャパシタへの信号転送が同時に行われ、第1の期間とは逆極性での積分が行われる結果、第1の容量回路に蓄積された電荷は第1の信号と第2の信号との差分に関連づけられた積分値を表す。この差分は、画素の信号成分に対応しており、複数回の積分によりN倍されるけれども、ランダムノイズ成分はsqrt（N）倍される。また、A／D変換回路は、ゲインステージの出力からの信号に応じたディジタル信号の第1及び第2の値のうち第1の値の出現回数に対応する信号を提供する。この出現回数は、A／D変換回路が、その入力に応答して出力した上位のA／D変換値に対応する。

[0016] 本発明に係るA／D変換器では、A／D変換回路は、ゲインステージが第1および第2の期間の後の第3の期間に巡回A／D変換のための動作を行うために、ゲインス

テージの出力からの信号に応じた三値のディジタル信号を第3の期間に提供する。ゲインステージは、第1のキャパシタの一端と非反転出力との間に接続された別の帰還スイッチと、第1のキャパシタの他端と反転入力との間に接続された転送スイッチとを含むことができる。

[0017] このA／D変換器によれば、第2の期間に経過のときに第1の容量回路に蓄積された電荷に巡回A／D変換を行う。第3の期間の標本化期間に別の帰還スイッチを介して第1のキャパシタに電荷を標本化する。第3の期間の転送期間にD／A変換回路からの電圧信号を第1のキャパシタに加えることによって電荷の再配置を行う。この結果、ゲインステージの出力に新たな電圧値が生成する。この電圧値に応答して、A／D変換回路が当該巡回サイクルにおけるディジタル信号を生成する。

[0018] 本発明に係るA／D変換器は、全差動構成であることができる。また、本発明に係る全差動構成のA／D変換器は第1および第2の期間の後に第3の期間に巡回A／D変換を行うことができる。

[0019] 本発明に係るA／D変換器では、第1の容量回路において、第2のキャパシタの一端は反転入力に接続されており、第2のスイッチは第2のキャパシタの他端と非反転出力との間に接続されており、第1の容量回路は、第2のキャパシタの他端と第2のスイッチとの間の第1のノードに接続された第5のキャパシタを含むことが好ましい。このA／D変換器によれば、第2のスイッチのスイッチングに起因するノイズ（例えば、第2のスイッチとして用いられたMOSアナログスイッチにおいては、チャージインジェクションノイズ）の電圧依存性を低減することができる。

[0020] また、本発明に係るA／D変換器では、第2の容量回路において、第4のキャパシタの一端は反転入力に接続されており、第4のスイッチは第4のキャパシタの他端と反転出力との間の第2のノードに接続されており、第2の容量回路は、第4のキャパシタの他端と第4のスイッチとの間の第2のノードに接続された第6のキャパシタを含むことができる。このA／D変換器によれば、第4のスイッチのスイッチングに起因するノイズ（例えば、第4のスイッチとして用いられたMOSアナログスイッチにおいては、チャージインジェクションノイズ）の電圧依存性を低減することができる。

[0021] 本発明に係るA／D変換器は、CMOSイメージセンサの画素とゲインステージの入

力との間に接続され、第1および第2の信号を提供するプリアンプを更に備えることできる。プリアンプは、演算増幅回路と、該演算増幅回路の入力に接続された第1のキャパシタと、該演算増幅回路の出力と入力との間に接続された第2のキャパシタと、出力と入力との間に接続されたスイッチとを含み、第1および第2のキャパシタの容量比に応じて画素からの信号を増幅する。第1の信号はプリアンプのノイズに係る成分を含み、第2の信号は、プリアンプのノイズに係る成分に加えて、画素がリセット状態に置かれたときの画素からの信号と画素が光誘起信号出力状態に置かれたときの画素からの信号との差分を示す成分を含む。

[0022] 本発明に係る別の側面は、イメージセンサのための読み出し回路である。イメージセンサの画素は、画素がリセット状態にあるとき第1の信号を生成すると共に、画素が光誘起信号出力状態にあるとき第2の信号を生成する。この読み出し回路は、(a)演算増幅回路と、該演算増幅回路の入力に接続された第1のキャパシタと、該演算増幅回路の出力と入力との間に接続された第2のキャパシタを含み、第1および第2のキャパシタの容量比に応じて第1の信号および第2の信号を増幅するプリアンプと、(b)プリアンプの出力に接続された標本化スイッチを含み、増幅された第1の信号の複数回の積分を該標本化スイッチを用いて行うと共に増幅された第2の信号の複数回の積分を、第1の信号に対する積分とは逆極性となるように該標本化スイッチを用いて行うことによって、第1の信号と第2の信号との差分を増幅する積分器とを備える。

[0023] この読み出し回路によれば、増幅された第1の信号の複数回の積分を行うと共に、プリアンプの出力が逆極性になるように、増幅された第2の信号の複数回の積分を行うので、積分器は、第1の信号と第2の信号との差分を示す増幅された信号が差分を提供する。

[0024] 本発明に係るA／D変換器は読み出し回路を更に備え、読み出し回路は、CMOSイメージセンサの画素とゲインステージの入力との間に接続されている。

[0025] 本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

発明の効果

[0026] 以上説明したように、本発明によれば、CMOSイメージセンサの画素からの信号にノイズキャンセルを施すことが可能なA／D変換器および読み出し回路が提供される。

図面の簡単な説明

[0027] [図1]図1は、本実施の形態に係るA／D変換器の回路図である。

[図2]図2は、CMOSイメージセンサのブロックを示す図面である。

[図3]図3は、A／D変換器の動作のためのタイミングチャートを示す図面である。

[図4]図4は、A／D変換器の動作のためのタイミングチャートを示す図面である。

[図5]図5は、シミュレーションによるゲインステージの入出力特性を示す図面である。

[図6]図6は、本実施の形態に係るA／D変換器の回路図である。

[図7]図7は、A／D変換器の動作のためのタイミングチャートを示す図面である。

[図8]図8は、A／D変換器の動作のためのタイミングチャートを示す図面である。

[図9]図9は、積分A／D変換の動作を示す図面である。

[図10]図10は、巡回A／D変換の動作を示す図面である。

[図11]図11は、イメージセンサの読み出し回路を示す図面である。

[図12]図12は、この読み出し回路のためのタイミングチャートを示す図面である。

[図13]図13は、CMOSイメージセンサを示す図面である。

[図14]図14は、多重積分読み出し回路の動作を示す図面である。

[図15]図15は、多重積分読み出し回路の動作を示す図面である。

[図16]図16は、プリアンプ利得と入力換算ノイズとの関係を示すグラフである。

符号の説明

[0028] 1…CMOSイメージセンサ、2…セルアレイ、2a…CMOSイメージセンサ画素、11、11a、11b…A／D変換器、15…ゲインステージ、17…A／D変換回路、18…信号$S_{A/DM}$を提供する回路、19…論理回路、21…D／A変換回路、23…演算増幅回路、25、31、41、49…キャパシタ、24、29、33、43、47、51、53、55、59…スイッチ、27、27b、45…容量回路、63…プリアンプ、65…演算増幅回路、67、69…キャパシタ、71…スイッチ、81…読み出し回路、83…プリンアンプ、85…積分器、87…演算増幅回路、89、91…キャパシタ、95…スイッチ、97…標本化スイッチ、89、103、

109…キャパシタ、101…容量回路、105、107、111、112…スイッチ

発明を実施するための最良の形態

[0029] 本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続いて、添付図面を参照しながら、本発明のA／D変換器および読み出し回路に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

[0030] （第1の実施の形態）

図1は、本実施の形態に係るA／D変換器の回路図である。本実施の形態では、A／D変換器11は、CMOSイメージセンサのために用いられる。図2は、CMOSイメージセンサのブロックを示す図面である。A／D変換器11は、CMOSイメージセンサ1において用いられる。CMOSイメージセンサ1では、セルアレイ2はCMOSイメージセンサ画素2aが行方向および列方向に配列されている。図2には、CMOSイメージセンサ画素2aの一例が示されている。画素2aは、リセット状態における第1の信号S1と光誘起信号出力における第2の信号S2とを生成する。A／D変換器11の入力13が画素2aに接続されている。A／D変換器11では、ゲインステージ15の入力15aは、画素2aからの信号を受ける。また、A／D変換器11は、第1の期間T1に第1の信号S1の複数回の標本化と標本値の積分を行うと共に第2の期間T2に第2の信号S2の複数回の標本化と標本値の積分を行う。A／D変換回路17は、第2の期間T2において、ゲインステージ15の出力15bからの信号に応じたディジタル信号を提供し、このディジタル信号は第1および第2の値（例えば、「1」および「0」）を取りうる。また、A／D変換回路17は、1．5ビットのA／D変換のために比較器17b、17cを含む。回路18は、A／D変換回路17の出力（例えば比較器17bの出力）に接続されており、また第1の値（例えば「1」）の出現回数に対応する信号$S_{A/DM}$を提供する。論理回路19は、第1の期間T1および第2の期間T2に、A／D変換回路17からの信号に応答して制御信号を生成する。D／A変換回路21は、制御信号V_{CONT}に応答して第1の期間T1においてゲインステージ15に所定の電圧信号を提供すると共に、制御信号V_{CONT}に応答して電圧信号を第2の期間T2にゲインステージ15に提供する。ゲイン

ステージ15は演算増幅回路23を含む。第1のキャパシタ25の一端25aはD／A変換回路21の出力21aに接続されており、第1のキャパシタ25の他端25bは演算増幅回路23の反転入力23aに接続されている。第1のスイッチ24は、入力13とキャパシタ一端25aとの間に接続されている。第1のスイッチ24は、クロックφsに応答して動作し、また画素2aからの信号を標本化するために用いられる。第1の容量回路27が反転入力23aと非反転出力23bとの間に接続されている。第1の容量回路27では、直列に接続された第2のスイッチ29および第2のキャパシタ31が、反転入力23aと非反転出力23bとの間に接続されている。第2のスイッチ29は、クロックφ3に応答して動作し、第2のキャパシタ31への積分のために用いられる。例えば、第1の容量回路27に替えて第1の容量回路27bを用いることができる。第1の帰還スイッチ33が反転入力と非反転出力との間に接続されている。

[0031] 図2を参照すると、CMOSイメージセンサ1では、セルアレイ2の行に垂直シフトレジスタ3が接続されており、セルアレイ2の列にはA／D変換器アレイ4が接続されている。A／D変換器アレイ4は、アレイ状に配列された複数のA／D変換器を含む。各A／D変換器としてA／D変換器11を使用できる。A／D変換器アレイ4には、データレジスタ5が接続されており、画素2aからの信号に対応するA／D変換値がデータレジスタ5に格納される。データレジスタ5は、水平シフトレジスタ6からの信号に応答して、ディジタル信号を冗長表現－非冗長表現変換回路7へ提供する。冗長表現－非冗長表現変換回路7は、画素2aからの信号に対応したNビットのディジタルコードを生成する。

[0032] 画素2aは、フォトダイオードD_Fが、イメージに関連する一画素分の光を受ける。選択トランジスタM_Sのゲートは、行方向に伸びる行選択線Sに接続されている。リセットトランジスタM_Rのゲートはリセット線Rに接続されている。転送トランジスタM_Tのゲートは、行方向に伸びる転送選択線に接続されている。フォトダイオードD_Fの一端は転送トランジスタM_Tを介して浮遊拡散層F_Dに接続されている。浮遊拡散層FDは、リセットトランジスタM_Rを介してリセット電位線Resetに接続されると共に、トランジスタM_Aのゲートに接続されている。トランジスタM_Aの一電流端子（例えばドレイン）は、選択トランジスタM_Sを介して列線8に接続されている。トランジスタM_Aは、浮遊拡散層FD

の電荷量に応じて電位を選択トランジスタM_Sを介して列線に提供する。

[0033] この構造の画素において、ノイズキャンセル動作は、以下のように行われる。まず、リセット制御信号RをリセットトランジスタM_Rに提供し、浮遊拡散層FDをリセットする。増幅トランジスタM_Aを介して、このリセットレベルを読み出す。次いで、電荷転送制御信号T_Xを転送トランジスタM_Tに供給し、フォトダイオードD_Fから光誘起信号電荷を浮遊拡散層に転送する。この後、トランジスタM_Aを介して、この信号レベルを読み出す。このリセットレベルと信号レベルの差は、図1に示されるような積分・巡回カスケードA／D変換器を用いて求められる。これによって、画素2aのトランジスタの特性ばらつきによる固定パターンノイズと、浮遊拡散層をリセットしたときに発生するリセットノイズといったノイズがキャンセルされる。

[0034] 引き続き、このノイズキャンセル動作を説明する。図3および図4は、A／D変換器の動作のためのタイミングチャートを示す図面である。まず、本A／D変換器の動作の理解を容易にするために、シングルエンド構成の演算増幅回路をゲインステージに用いるA／D変換器を説明する。

[0035] A／D変換器の入力はイメージセンサアレイ内の一画素からの信号を受ける。この回路は、画像のノイズキャンセル動作を行いながら信号の積分及び粗いA／D変換（以下、「積分A／D変換」として参照する）を行う。積分A／D変換は第1及び第2の期間T1、T2に行われる。その後に、積分出力に巡回A／D変換を施す。図2に示される積分A／D変換では、一例として、第1の信号S1（例えば、リセットレベルを示す信号）を期間T11、T12、T13、T14の4期間に標本化すると共に、第2の信号S2（例えば、光誘起信号レベルを示す信号）を期間T21、T22、T23、T24の4期間に標本化する。これらの標本化により、積分A／D変換のための期間に、例えば2ビットのA／D変換値が提供される。標本化回数は例示であり、その回数は必要に応じて変更される。

[0036] A／D変換器11では、このノイズ低減処理のために多数回の標本化よる積分動作を行い、画素内の増幅トランジスタおよびノイズキャンセル回路において発生するランダムノイズを低減する。また、上位ビットを生成するA／D変換を行うので、ダイナミックレンジが確保される。

[0037] A／D変換器11の入力13は、第1の期間T1のうちの期間T11の初期部分で画素の第1の信号S1（リセットレベル信号の値Vr）を受ける。標本化期間$T11_{SAM}$でクロックφsに応答してスイッチ24、33が導通し、この信号は、キャパシタ25に標本化される。クロックφ3に従ってスイッチ29は導通している。積分期間$T11_{INT}$に、クロックφsに応答してスイッチ24、33が非導通にされ、また、スイッチ21dを導通させて、D／A変換回路21から所定の電圧信号V_{RP}が第1のキャパシタ25に加えられると、標本化された信号はスイッチ29を介して第2のキャパシタ31に転送される。

[0038] 第1および第2のキャパシタ25，31がそれぞれキャパシタンスC1、C2を有し、例えばC1＝C2であるとき、演算増幅回路23の出力23bには、

$$V_O = (Vr - V_{RP})$$

が生成される。標本化期間および積分期間のN回繰り返しにより、ゲインステージ15の容量回路27内に電荷が蓄積されて、演算増幅回路23の出力23bには、

$$V_O = N \times (Vr - V_{RP})$$

が生成される。容量回路27内に電荷は保存されている。

[0039] 逆極性での積分のため、第2の期間T2のうちの期間T21の初期部分$T21_{SAM}$で、D／A変換回路21は制御信号V_{CONT}のϕ_{P1}に応答してスイッチ21dを導通させ、またスイッチ33も導通させることによって、キャパシタ25に参照電圧V_{RP}を標本化する。引き続き、A／D変換器11の入力13に、画素の第2の信号S2（信号レベル信号の値Vs）を受ける。この信号S2は、標本化期間$T21_{INT}$でクロックφsに応答してスイッチ24が導通し、またクロックφ3に応答してスイッチ29は導通することによって、キャパシタ25に標本化されている参照電圧V_{RP}と、受けたVsとの差に比例した電荷が、スイッチ29を介して第2のキャパシタ29に転送される。初回の信号サンプルのとき、A／D変換回路17の動作に関係なく、D／A変換回路21が電圧V_{RP}を発生する。

[0040] この説明から理解されるように、図1に示されるA／D変換器における逆極性での積分では、電圧信号を受ける順番により極性が反転される。順極性の場合、標本化のために入力信号を第1のキャパシタ25の一端に受ける。第1のキャパシタ25に入力信号をサンプルした後に、第1のキャパシタ25（キャパシタンスC1）の一端に参照電圧を提供するように切り替えることによって、第2のキャパシタ31へ電荷を転送する。

この手順により、電荷C1×((入力信号)－(参照電圧))が第2のキャパシタ31に転送される。逆極性では、まず、先に第1のキャパシタ25の一端に参照電圧を受ける。第1のキャパシタ25の参照電圧をサンプルした後に、第1のキャパシタ25の一端に入力信号を提供するように切り替えることによって、第2のキャパシタ31へ電荷を転送する。電荷C1×((参照電圧)－(入力信号))が第2のキャパシタ31に転送される。これらの式を比較すると、C1×(参照電圧)とC1×(入力信号)との順序が逆である。後ほど説明されるように、入力を接続する端子を反転入力に与えるか、非反転入力に与えるかによっても順極性接続および逆極性接続を実現できる。

[0041] ゲインステージ15の出力は、比較器(本実施例では、A／D変換回路17内の比較器17bを用いる)に提供される。この比較器には積分A／D変換のための参照電圧V_{refI}を与える。比較器の比較結果V_{COMP}は論理回路19に提供され、論理回路19からの制御信号V_{CONT}に応じてD／A変換回路21が動作する。但し、初回の信号サンプルのとき、D／A変換回路21は、制御信号V_{CONT}に関係なく電圧V_{RP}を提供する。比較器は以下のように動作する:

$V_O > V_{refI}$の時、V_{COMP}＝1であり、D／A変換回路21は積分期間にV_{RP}を提供;

$V_O \leqq V_{refI}$の時、V_{COMP}＝0であり、D／A変換回路21は積分期間にV_{RN}を提供。

標本化期間および積分期間のN回繰り返しにより、ゲインステージ15の容量回路27内に電荷が蓄積されて、N＝N1＋N2であるので、演算増幅回路23の出力23bには、

$$V_O = N\times(Vr - V_{RP}) + N1\times(V_{RP} - Vs) + N2\times(V_{RN} - Vs)$$
$$= N\times(Vr - Vs) - N2\times(V_{RP} - V_{RN})$$

が生成される。値N2は、比較器の出力に「1」が現れた回数を示しており、つまり、A／D変換回路は、ゲインステージの出力からの信号に応じたディジタル信号の第1および第2の値のうち第1の値の出現回数に対応する信号を提供する。この信号の値は、例えばA／D変換回路17に接続された回路18を用いてカウントすることができる。A／D変換回路17から信号$S_{A/DM}$として提供される。この値が、A／D変換値の上位ビットである。

[0042] 図1には、回路18の一例が示されている。回路18は、第1および第2の入力20a、

20b並びに出力20cを有する加算器20と、入力22aおよび出力22bを有するレジスタ（Mビット）22とを含む。加算器20の第1の入力20aは、A／D変換回路17のうちの一方の比較器17bからの信号を受ける。加算器20の第2の入力20bはレジスタ22の出力22bからの信号を受ける。加算器20は、受けた信号の加算結果（ディジタル信号）をMビットのレジスタ22に提供する。レジスタ22は、積分A／D変換中に比較器17bからの信号V_{COMP}の値「1」および「0」が加算された加算結果を保持する。レジスタ22は、積分A／D変換が終了したとき、上位ビットを示す信号$S_{A/DM}$を提供する。

[0043] このA／D変換器11によれば、第1のキャパシタ25を用いて第1の信号S1の標本化が第1の期間T1内の標本化期間（例えば$T11_{SAM}$）で行われると共に、標本化された信号は、D／A変換回路からの所定の電圧信号に応答して第2のキャパシタ31に第1の期間内の積分期間（例えば期間$T11_{INT}$）で転送される。第1の期間に標本化および積分が交互に行われ、第2のキャパシタ31に蓄積された電荷は第1の信号S1の複数回の積分値を示す。第1のキャパシタ25を用いてD／A変換回路21からの電圧信号の標本化が第2の期間T2内の標本化期間（例えば期間$T21_{SAM}$）で行われると共に、標本化された信号は、第2の期間T2内の積分期間（例えば期間$T21_{INT}$）で第2の信号S2に応答して第2のキャパシタ31に転送される。第2の期間T2に標本化および積分が交互に行われ、第2のキャパシタ31に蓄積された電荷は第1の信号S1と第2の信号S2との差分に関連づけられた積分値を表す。この差分は、画素の信号成分に対応しており、複数回の積分によりN倍（N：積分の回数）されるけれども、ランダムノイズ成分はsqrt（N）倍される。このため、S／N比はsqrt（N）倍に改善される。

[0044] 再び図1を参照しながら、A／D変換器11をさらに説明する。A／D変換回路17は、ゲインステージ15が第1および第2の期間T1、T2の後の第3の期間T3に巡回A／D変換のための動作を行うために、ゲインステージ15の出力15bからの信号に応じた三値のディジタル信号V_{DIG}（V_{DIG}は（d0、d1）からなる）を第3の期間に提供する。ゲインステージ15では、帰還スイッチ35がキャパシタ一端25aと非反転出力15bとの間に接続されており、またクロックφ1dに応答して動作する。第1のキャパシタ25の他端25bは、転送スイッチ37を介して反転入力15aおよび第1の容量回路27に接続されている。転送スイッチ37は、クロックφ2に応答して動作する。なお、キャパシタ他

端25bにはスイッチ39が接続される。スイッチ39は、クロックφ1に応答して動作し、シングルエンド構成のゲインステージでは基準電位を提供するように接続される。

[0045] このA／D変換器11を用いて、第3の期間T3に、第2の期間に経過のときに第1の容量回路に蓄積された電荷によって発生するゲインステージ出力15bに対して巡回A／D変換を行う。第3の期間の標本化期間$T31_{SAM}$に第2の帰還スイッチ35を介して第1のキャパシタ25に電荷を標本化する。第3の期間T3の転送期間$T31_{TRF}$にD／A変換回路21からの電圧信号を第1のキャパシタ25に加えることによって転送スイッチ37を介して第1のキャパシタ25から第2のキャパシタ31に電荷を転送し電荷の再配置を行う。この結果、ゲインステージ15の出力15bに新たな電圧値が生成される。ゲインステージ15からの信号は、A／D変換回路21において2つの参照電圧V_{RCP}、V_{RCN}と比較される。参照電圧V_{RCP}、V_{RCN}は、それぞれ、例えばV_{RP}／4、V_{RN}／4である。A／D変換回路17の出力は、冗長ディジタルコードを提供し、この冗長ディジタルコードに応答して、制御回路19は、D／A変換回路21を制御するための制御信号V_{CONT}を生成する。A／D変換回路17が当該巡回サイクルにおけるディジタル信号を生成する。ゲインステージ15では、D／A変換回路からの電圧信号に応答して、第1のキャパシタ25に標本化された電圧を増幅すると共に、D／A変換回路21からの電圧信号を減算する。このため、i回目の巡回動作におけるゲインステージ15の出力は、キャパシタ25、31の容量値に関してC1＝C2が満たされるとき、

$V_O(i)=2\times V_O(i-1)-V(i)$

となり、D／A変換回路21の出力V(i)は

V_{RP} (D(i)＝＋1)

0 (D(i)＝0)

V_{RN} (D(i)＝－1)

である。なお、電圧V_{PR}は正の値とし、$V_{RN}=-V_{RP}$である。

このために、D／A変換回路21は、電圧V_{RP}、V_{RN}を提供する電圧源21aと、制御信号V_{CONT}に応答して電圧値を切り替えるスイッチ21c～21fおよび43とを含む。

ディジタル信号D(i)は、

D(i)＝＋1 (V_{RP}／4＜$V_O(i-1)$)

$D(i) = 0 \quad (V_{RN}/4 < V_O(i-1) \leqq V_{RP}/4)$

$D(i) = -1 \quad (V_O(i-1) \leqq V_{RN}/4)$

である。電圧範囲の決定は、A／D変換回路17の比較器17b、17cを用いて行われる。巡回A／D変換動作において12ビットの分解能のA／D変換値を得るためには、11回の巡回動作が必要である。

[0046] 図5は、シミュレーションにより求めたゲインステージの積分型A／D変換器として動作時における入出力特性を示す図面である。積分A／D変換（積分回数：16回）において、参照電圧VrefIとして2種類の値を用いてシミュレーションを行った結果が図5に示される。A／D変換回路の比較器において積分A／D変換のための参照電圧として巡回A／D変換のための参照電圧（例えば0．25ボルト）を用いる場合、出力電圧のフルレンジが、1ボルト（電源電圧）を越える。このため、積分A／D変換のための参照電圧は、巡回A／D変換のための参照電圧よりも低い値を用いることが好ましい。本シミュレーションでは、参照電圧V_{COM}を用い、この値は例えば0ボルトである。図5から理解されるように、低照度から高照度の広い範囲にわたって積分A／D変換が可能である。また、低照度においては、S／N比の改善と高ダイナミックレンジが実現される。積分回数16回、巡回A／D変換11回の動作では、積分A／D変換から4ビットのディジタルコードが生成され、1．5ビット巡回A／D変換から12ビットのディジタルコードが生成される。この結果、16ビットのディジタルコードが生成される。実際のSNRは、ノイズレベルにより決定され、見積もりによれば、14ビット相当のA／D変換が実現される。

[0047] 次いで、本実施の形態に係るA／D変換器は、シングルエンド構成に替えて、全差動構成を有することができる。図1を再び参照しながら、全差動構成のA／D変換器を説明する。全差動構成のA／D変換器11aでは、第3のキャパシタ41の一端41aはD／A変換回路21の出力21bに接続され、また他端41bは、スイッチ55を介して非反転入力23cに接続される。第3のスイッチ43は、第1のキャパシタ25の一端25aと第3のキャパシタ41の一端41aとの間に接続される。第2の容量回路45は、非反転入力23cと反転出力23dとの間に接続されており、第1の容量回路27と同一の構成を有する。本実施例では、第2の容量回路45は、直列に接続された第4のスイッチ4

7および第4のキャパシタ49を有する。第3の帰還スイッチ51は、非反転入力23cと反転出力23dとの間に接続される。このスイッチ51はクロックφsに応答して動作し、第4のスイッチ47はクロックφ3に応答して動作する。A／D変換器11aのゲインステージ15は、出力15bに加えて相補の出力15cを有する。

[0048] A／D変換器11aでも、積分A／D変換が第1および第2の期間T1、T2に行われる。また、A／D変換器11aもシングルエンド構成のA／D変換器と同様に動作する。これによって、このノイズキャンセル処理のために多数回の標本化よる積分動作を行い、画素内の増幅トランジスタおよびノイズキャンセル回路において発生するランダムノイズを低減する。また、上位ビットを生成するA／D変換を行うので、ダイナミックレンジが確保される。

[0049] また、A／D変換器11aは、第3の期間T3に巡回A／D変換を行うためには、以下の回路素子を備える。ゲインステージ23では、第6のスイッチ39が、第1のキャパシタ25の他端25bと第3のキャパシタ41の他端41bとの間に接続される。第4の帰還スイッチ53が、第3のキャパシタ41の一端41aと反転出力23dとの間に接続される。第8のスイッチ55が第3のキャパシタ41の他端41bと非反転入力23cとの間に接続される。第4の帰還スイッチ53はクロックφ1dに応答して動作し、第8のスイッチ55はφ2に応答して動作する。

[0050] 図6は、本実施の形態に係るA／D変換器の回路図である。本実施の形態では、A／D変換器11bは、A／D変換器11、11aと同様に、CMOSイメージセンサのために用いられる。A／D変換器11bは、スイッチ24に替えて、クロックφrdに応答して動作するスイッチ57を含む。また、A／D変換器11bは、入力13と第3のキャパシタ41の一端41aとの間に接続されたスイッチ59を含み、このスイッチ59は、CMOSイメージセンサからの信号を標本化するために用いられる。このスイッチ59はクロックφsdに応答して動作する。

[0051] 引き続き、このノイズキャンセル動作を説明する。図7および図8は、A／D変換器の動作のためのタイミングチャートを示す図面である。A／D変換器11bは、図7および図8に示されたタイミングチャートに従って動作する。このためのクロックは、クロック生成器61によって提供される。クロック生成器61と同様のクロック生成器がA／D変

換器11、11aのために用いられる。図7～図9を参照しながら、A／D変換器11bの積分A／D変換を説明する。

[0052] CMOSイメージセンサの画素からのリセットレベル信号Vrに複数回の標本化を施すことによって、ゲインステージ15を用いて該リセットレベル信号Vrを積分する。

[0053] 図9に示されるステップ(a)では、リセットレベル信号Vrを入力15aに供給すると共に入力15eにD／A変換回路21からの所定の電圧信号VRPを供給し、さらに帰還スイッチ33、51を導通させて演算増幅回路23の入力および出力を接続する。これにより、キャパシタ31、49の電荷がリセットされると共に、キャパシタ25、41にそれぞれ電圧Vr、V_{RP}が標本化される。

[0054] この後に、図9に示されるステップ(b)では、スイッチ43を導通させてキャパシタ25、41の一端を接続し、キャパシタ25、41に標本化された電圧をキャパシタ31、49に転送する。ゲインステージ15の出力15b、15cにはそれぞれV_O^+、V_O^-が生成され、

$$V_O = V_O^+ - V_O^-$$
$$= Vr \times C_1 / C_2 - V_{RP} \times C_3 / C_4$$

が得られる。

[0055] この後に、図9に示されるステップ(c)では、入力15a、15eにはリセットレベル信号Vrおよび電圧信号V_{RP}が供給されている。キャパシタ31、49の電荷をリセットしないように、スイッチ29、47を非導通にすると共に帰還スイッチ演算33、51を導通させて演算増幅回路23の入力および出力を接続することによって、キャパシタ25、41にそれぞれ電圧Vr、V_{RP}が標本化される。

[0056] この後に、図9に示されるステップ(d)では、スイッチ29、47およびスイッチ43を導通させることによってキャパシタ25、41の一端を接続し、キャパシタ25、41に標本化された電圧をキャパシタ31、49に転送する。ゲインステージ15の出力15b、15cにはそれぞれV_O^+、V_O^-が生成され、

$$V_O = V_O^+ - V_O^-$$
$$= (Vr \times C_1 / C_2 - V_{RP} \times C_3 / C_4) \times 2$$

が得られる。

[0057] ステップ(c)および(d)を繰り返す。N回の繰り返しにより、ゲインステージ15の出力

15b、15cにはそれぞれV_O^+、V_O^-が生成され、

$V_O = V_O^+ - V_O^-$

$= (Vr \times C_1 / C_2 - V_{RP} \times C_3 / C_4) \times N$

が得られる。

[0058] 引き続き、信号レベル電圧の標本化と積分を行う。まず、比較器17bによって、ゲインステージ15の出力電圧を参照電圧V_{refI}と比較する。出力電圧がV_{refI}よりも小さい場合には、ステップ(e)及び(f)の動作を行い、出力電圧がV_{refI}よりも大きいかまたは等しい場合には、ステップ(g)及び(h)の動作を行う。信号レベル電圧の標本化は、ゲインステージ15の入力極性を反転する点に注意を要する。図9に示されるステップ(e)では、入力15a、15eには電圧信号V_{RP}および信号レベル信号Vsが供給されている。キャパシタ31、49の電荷をリセットしないように、スイッチ29、47を非導通にすると共に帰還スイッチ33、51を導通させて演算増幅回路23の入力および出力を接続することによって、キャパシタ25、41にそれぞれ電圧V_{RP}、Vsが標本化される。

[0059] 次いで、図9に示されるステップ(f)では、スイッチ29、47およびスイッチ43を導通させてキャパシタ25、41の一端を接続し、キャパシタ25、41に標本化された電圧をキャパシタ31、49に転送する。ゲインステージ15の出力15b、15cにはそれぞれV_O^+、V_O^-が生成される。ゲインステージ15の出力からの信号は、A／D変換回路17に提供される。既にシングルエンド構成のA／D変換器の動作と同様に、A／D変換回路17において、ゲインステージ15の出力からの信号を参照電圧(例えばVcom)と比較し、この比較結果に応じて、次のステップにおいてD／A変換回路21が供給する電圧信号を決定する。

[0060] 図9に示されるステップ(g)では、キャパシタ31、49の電荷をリセットしないように、スイッチ29、47を非導通にすると共に帰還スイッチ演算33、51を導通させて演算増幅回路23の入力および出力を接続することによって、キャパシタ25、41にそれぞれ電圧V_{RN}、V_Sが標本化される。

[0061] この後に、図9に示されるステップ(h)では、スイッチ29、47およびスイッチ43を導通させてキャパシタ25、41の一端を接続し、キャパシタ25、41からキャパシタ31、49に標本化された電荷を転送する。

[0062] A／D変換回路17において、ゲインステージ15の出力からの信号を参照電圧（例えばVcom）と比較し、この比較結果に応じて、次のステップにおいてD／A変換回路21が供給する電圧信号を決定し、その結果によってステップ（e）～（f）とステップ（g）～（h）の動作のどちらを選択し、選択した一連のステップを繰り返す。N回の繰り返しにより、ゲインステージ15の出力15b、15cにはそれぞれV_O^+、V_O^-が生成される。A／D変換回路17がゲインステージ15の出力からの信号を判定し、N1回だけ、参照電圧を越えたとするとき、

$$V_O = V_O^+ - V_O^-$$
$$= N \times (Vr \times C_1 / C_2 - V_{RP} \times C_3 / C_4)$$
$$+ N1 \times (V_{RP} \times C_1 / C_2 - Vs \times C_3 / C_4)$$
$$+ N2 \times (V_{RN} \times C_1 / C_2 - Vs \times C_3 / C_4)$$

が得られる。ここで、N＝N1＋N2が満たされ、またD／A変換回路がN1回の積分において電圧V_{RP}を供給し、N2回の積分において電圧V_{RN}を供給している。

$$V_O = V_O^+ - V_O^-$$
$$= N \times (Vr \times C_1 / C_2 - Vs \times C_3 / C_4)$$
$$+ N1 \times (C_1 / C_2 - C_3 / C_4) \times V_{RP}$$
$$- N2 \times (V_{RP} \times C_1 / C_2 - V_{RN} \times C_3 / C_4)$$

が得られる。$C_1 = C_2 = C_3 = C_4$が満たされるとき、

$$V_O = V_O^+ - V_O^-$$
$$= N \times (Vr - Vs) - N2 \times (V_{RP} - V_{RN})$$

が得られる。

[0063] この結果は、ノイズキャンセルされた信号（Vr－Vs）が積分によってN倍に増幅されることを示している。積分された信号成分N×（Vr－Vs）から参照電圧差（$V_{RP} - V_{RN}$）のN2倍を差し引くことによって、画素からの信号をN倍に増幅しても、増幅された信号は所望の電圧範囲に収めることができることを意味する。また、N回の積分により、信号振幅が積分でN倍に増幅されると共にランダムノイズの振幅はsqrt（N）倍になるので、積分動作によって信号対ノイズ比（S／N比）が改善され、ノイズ低減効果が得られる。例えば、16回の積分によりS／N比で約4倍の改善が得られる。つまり相対

的にノイズが1／4になる。

[0064] 値N2は上位のディジタルコードである。この後に説明される巡回A／D変換をゲインステージ15の残余信号に施せば、高い分解能を有する下位ディジタルコードが得られる。

[0065] 図10は、巡回A／D変換の動作を示す図面である。図10のステップ(a)に示されるように、帰還スイッチ35、53を導通させて、ゲインステージ15の残余信号をキャパシタ25、41に標本化する。次いで、図10のステップ(a)に示されるように、制御信号$V_{C_{ONT}}$に応じた電圧をD／A変換回路21がキャパシタ25、41に加えて、キャパシタ25、41の電荷をキャパシタ31、49に転送すると共に電荷の再配置を行う。この結果、ゲインステージ15の出力に演算結果が生成される。A／D変換回路17を用いてゲインステージ15の出力信号からディジタル信号を生成する。ステップ(a)および(b)を繰り返すことによって、所望のビット数の巡回A／D変換を行う。

[0066] 第1及び第2の実施の形態のA／D変換器11、11a、11bにおいて、図1及び図6に示されるように、容量回路27、45のための容量回路27bを用いることができる。

[0067] 容量回路27に替えて容量回路27bを用いると、第2のキャパシタ31の一端31aは反転入力23aに接続される。第2のスイッチ29は第2のキャパシタ31の他端31bと非反転出力23bとの間に接続される。容量回路27bは、第2のキャパシタ31の他端31bと第2のスイッチ29との間の第1のノードnode1に接続されたキャパシタ30(容量値Cst)を含むことが好ましい。キャパシタ30によれば、第2のスイッチ29のスイッチングに起因するノイズ(例えば、第2のスイッチ29として用いられたMOSアナログスイッチにおいては、チャージインジェクションノイズの電圧依存性)を低減できる。

[0068] 容量回路45に替えて容量回路27bを用いると、第2のキャパシタ31の一端31aは非反転入力23cに接続される。第2のスイッチ29は第2のキャパシタ31の他端31bと反転出力23dとの間に接続される。容量回路27bがキャパシタ30を用いれば、同様に、チャージインジェクションノイズの電圧依存性)を低減できる。

[0069] また、第1および第2の実施の形態に係るA／D変換器11、11a、11bは、プリアンプ63を含むことができる。プリアンプ63は、CMOSイメージセンサの画素2aとゲインステージ15の入力15aとの間に接続される。

[0070] プリアンプ63は、演算増幅回路65と、該演算増幅回路65の反転入力65aに接続された第1のキャパシタ67と、該演算増幅回路65の出力65bと入力65aとの間に接続された第2のキャパシタ69およびスイッチ71とを含み、第1および第2のキャパシタ67、69の容量比(C_{A1}／C_{A2})に応じて第1および第2の信号S1、S2を増幅する。このプリアンプ63は、図2に示すようなイメージセンサアレイ2のカラムにアレイ状に並列に配置することが有効である。まず、クロックφspをアクティブにして、スイッチ71を導通させる。プリアンプ63の入力は、画素2aからのリセットレベル信号Vrを受ける。この信号がキャパシタ67(C_{A1})に標本化される。その後に、スイッチ71を非導通にすると、そのとき、プリアンプ63は出力電圧V_{OUT1}を生成する。次いで、プリアンプ63の入力は、画素2aからの信号レベル信号Vsを受ける。このときのプリアンプ63は出力電圧V_{OUT2}を生成する。

[0071] 電圧V_{OUT1}は、プリアンプ63の入出力をクロックφspに応答したスイッチ71でショートしたことにより直流的に定まる電圧値(動作点)V_{SC}にノイズが重畳した電圧となり、次のように表される。

$$V_{OUT1}=V_{SC}+Vnf+Vn1 \quad (1)$$

そのノイズ成分は、プリアンプ63の容量にサンプルされ固定値として表されるノイズ(フリーズノイズ)Vnfと、時間的に変動するノイズVn1とを含む。

[0072] 電圧V_{OUT2}は、次の成分を含む。

$$V_{OUT2}=(Vr-Vs)\times C_{A1}/C_{A2}+V_{SC}+Vnf+Vn2 \quad (2)$$

第1項は、キャパシタC_{A1}からキャパシタC_{A2}への移動電荷であり、画素からのノイズレベル信号を受けたキャパシタC_{A1}には、最初、電荷$Q_{A1}(n)=C_{A1}\times(Vr-Vsc)$が格納されており、その後に画素からの信号レベル信号を受けると、キャパシタC_{A1}には$Q_{A1}(s)=C_{A1}\times(Vs-Vsc)$が格納され、この差分がキャパシタ$C_{A2}$に転送される。第1および第3項は、それぞれ、フリーズノイズVnfと、時間的に変動するノイズVn2とに対応する。

[0073] つまり、2つのレベルVs,Vrに共通なノイズ成分がキャンセルされ、差分(Vr－Vs)が、C_{A1}とC_{A2}の比で増幅される。増幅された$(Vr-Vs)\times C_{A1}/C_{A2}$にノイズ成分などが重畳されている。この2つの電圧レベルV_{OUT2}、VO_{UT1}に対して、多数回標本化を

行って積分を行った後、差($V_{OUT2}-V_{OUT1}$)を求める演算を行う。

[0074] まず、電圧レベルV_{OUT2}、V_{OUT1}の差は、

$$\triangle V = V_{OUT2} - V_{OUT1}$$
$$= (Vr - Vs) \times C_{A1} / C_{A2} + Vn2 - Vn1 \quad (3)$$

と表される。

[0075] この△Vは、両者の共通成分(アンプの動作点電圧と、フリーズノイズ成分)がキャンセルされる。このキャンセルが低ノイズ化において非常に重要である。式(2)は、画素からの信号に対するノイズキャンセル(VrとVsの差を求める)動作が行われるが、フリーズノイズ成分が残ることを示す。一方、式(3)では、時間的に変動する成分Vn1とVn2との間には相関がないので、その成分によるノイズは増加する。

[0076] つまり、差$V_{OUT2}-V_{OUT1}$を求める演算によってノイズが低減できるかどうかは、それぞれのノイズの大きさによる。実際、大きなC_{A1}/C_{A2}を用いて利得を高くしたプリアンプのノイズを計算してみると、ノイズ成分Vncが支配的である。さらに、この計算結果は実際の測定により確認され、極めて高いノイズ低減が可能であることが明らかになった。測定の結果、C_{A1}/C_{A2}を大きくすると、式(2)に対応するキャンセルに比べて40%程度のノイズ低減効果が得られる。この測定では、$C_{A1}/C_{A2}=20$を用いた。好ましくは、比C_{A1}/C_{A2}は8以上である。

[0077] したがって、積分A/D変換において、V_{OUT1}およびV_{OUT2}のそれぞれに対して、N回の積分を行うと、式(3)中のノイズ成分Vn1、Vn2が低減される。つまり、積分A/D変換では、式(3)の第1項$(Vr-Vs)\times C_{A1}/C_{A2}$は、N倍に増幅される一方で、ランダムなノイズ成分(Vn2、Vn1)はsqrt(N)倍になるので、N回の積分によってS/NがsqrtN倍向上する。別の言い方をすれば、入力換算のノイズが1/sqrt(N)になり、フリーズノイズの低減効果と合わせて極めて低雑音の読み出しが可能になる。なお、プリアンプは、全差動構成でも良いし、内部の演算増幅器の変わりにシングルエンド入力、シングルエンド出力のアンプを用いても良い。

[0078] 以上説明したように、本実施の形態では、A/D変換器が提供される。このA/D変換器では、特にイメージセンサのカラムへの集積化に適し、簡単な回路構成により、イメージセンサの信号の読み出しを低雑音で行いながら、広いダイナミックレンジをも

った高分解能のディジタル値を出力する。そのために、イメージセンサの画素からの信号に、ノイズキャンセルを行いながら、信号を多数回標本化して、積分による増幅を行うことによってノイズの低減を図る。また、上記の積分の中間結果(積分値を)を逐次に比較器によってある基準値と比較する。比較結果が基準値よりも積分値が大きいことを示す場合、積分値から所定の値を差し引くことによって、積分動作中に、A／D変換器の出力が飽和するのを抑えると共に、この差し引いた回数を、粗いA／D変換値として用いる。積分A／D変換の後に、ノイズキャンセル及び積分に用いた回路を利用して巡回A／D変換を行い、下位ビットのA／D変換を行う。積分A／D変換からの上位ビットと巡回A／D変換からの下位ビットとを併せて高分解能のディジタルコードを得る。さらに、積分A／D変換に先だってプリアンプを設け、プリアンプで発生するフリーズノイズを除去することによってさらに低雑音の信号読み出しを行う。

[0079] (第2の実施の形態)

図11は、CMOSイメージセンサのための読み出し回路を概略的に示す図面である。図12は、この読み出し回路のためのタイミングチャートを示す。既に説明したように、CMOSイメージセンサの画素は、リセット状態における第1の信号と受光状態における第2の信号とを生成する。図13は、イメージセンサを示す図面である。この読み出し回路81は、プリンアンプ83と、積分器85とを含む。プリアンプ83は、演算増幅回路87と、該演算増幅回路87の反転入力87aに接続された第1のキャパシタ89と、該演算増幅回路87の非反転出力87bと反転入力87aとの間に接続された第2のキャパシタ91を含む。プリアンプ83は、第1および第2のキャパシタ89、91の容量比に応じて、入力93に受けた第1の信号S1および第2の信号S2を増幅する。また、プリンアンプ83は、演算増幅回路87の非反転出力87bと反転入力87aとの間に接続されたスイッチ95を含み、スイッチ95は、クロックφrに応答する。演算増幅回路87の非反転入力87cは、例えば接地線といった基準電位線に接続されている。

[0080] 積分器85は、プリアンプ83の出力83aに接続された標本化スイッチ97を含み、また、増幅された第1の信号の複数回の積分を該標本化スイッチ97を用いて行うと共に増幅された第2の信号の複数回の積分を該標本化スイッチ97を用いて行うことによって、第1の信号と第2の信号との差分を増幅する。読み出し回路81によれば、増

幅された第1の信号の複数回の積分を行うと共に、プリアンプ83の出力83aに積分器85の入力85aが逆極性になるように、増幅された第2の信号の複数回の積分を行うので、積分器85は、第1の信号S1と第2の信号S2との差分を示し増幅された信号を提供する。

[0081] 具体的には、積分器85では、該演算増幅回路99の反転入力99aとスイッチ97との間に第1のキャパシタ98が接続される。スイッチ97はクロックφ1に応答する。容量回路101が、該演算増幅回路99の非反転出力99bと反転入力99aとの間に接続される。容量回路101が、直列に接続された第2のキャパシタ103およびスイッチ105を含む。積分器85は、演算増幅回路99の非反転出力99bと反転入力99aとの間に接続されたスイッチ107を含み、スイッチ107は、クロックφr2に応答する。また、容量回路101は、第2のキャパシタ103とスイッチ105との共通ノードnode3に接続されたリセットスイッチ111を含む。容量回路101は、共通ノードnode3に接続された一端を有するキャパシタ109を含み、キャパシタ109の他端は、例えば接地線といった基準電位線に接続されている。キャパシタ109は、リセットスイッチ111のスイッチングノイズの電圧依存性を低減するために役立つ。第1のキャパシタ98とスイッチ97との共通ノードnode4には、参照電圧V_{REF}を供給するためにイッチ112が接続される。スイッチ112はクロックφ3に応答して動作する。

[0082] 積分器85の出力85bには、サンプル／ホールド(S／H)回路113が接続されており、S／H回路113は、保持キャパシタ115と、保持キャパシタ115の一端115aと積分器85の出力85bとの間に接続された標本化スイッチ117とを含む。保持された信号は、同期スイッチ119を介して水平走査線121に接続されている。図12に示されたタイミングチャートのためのクロックは、クロック生成器123によって提供される。演算増幅回路87、99の非反転入力には、例えば接地電位といった基準電位が供給される。図11に示された読み出し回路81は、シングルエンド構成であるけれども、全差動構成の演算増幅回路をプリアンプおよび積分器のために用いることができる。また、積分器85の出力にA／D変換器を接続して、例えば巡回A／D変換を行うこともできる。

[0083] 図13は、イメージセンサ1aのブロック図を示す。この読み出し回路81のアレイは、

イメージセルアレイ2のカラムに設けられることができる。これにより、読み出し回路81は、簡単な回路構成によりイメージセンサの信号を低ノイズで読み出しできる。イメージセルアレイ2の画素2aには、画素内電荷転送を行う方式を用いる。図12に示されるように、タイミングチャートは、リセットレベル積分期間T_Rと信号レベル積分期間TSとを含む。この実施例では、リセットレベル積分期間T_Rは4つの期間T_{R1}～T_{R4}の各々で積分が行われ、また信号レベル積分期間T_Sは4つの期間T_{S1}～T_{S4}の各々で積分が行われる。特に、リセットレベル積分期間T_Rの期間T_{R1}の前半T_{RST}では、クロックφrに応答して、プリアンプ83のリセットがスイッチ95を用いて行われる。期間T_{R1}の後半T_{SAM}では、標本化が行われる。本実施例では、リセットレベル積分期間T_Rの期間T_{R4}は信号レベル積分期間T_Sの期間T_{S1}と並列して行われる。このために、クロックφ1に応答してスイッチ97が期間T_{R4}、T_{S1}のほぼ全体にわたって導通している。信号レベル積分期間TSでは、クロックTXiに応答して第2の信号S2がプリアンプ83に提供される。プリアンプ83は、増幅された第2の信号S2をクロックφ1に応答してスイッチ97を介してキャパシタ98に標本化する。リセットレベル積分期間T_Rの期間T_{R4}および信号レベル積分期間T_Sの期間T_{S1}では、クロックφ1のハイ期間が広くなっており、リセットレベル積分期間T_Rでは各期間の前半でクロックφ1はアクティブであるが、信号レベル積分期間T_Sでは各期間の後半でクロックφ1はアクティブである。これ故に、リセットレベル積分期間T_Rでの積分器85への積分は、リセットレベル積分期間T_Rでの積分器85への積分と逆極性に行われる。

[0084] 画素2aの第1の信号(リセットレベル)S1を出力に対して、プリアンプ83に標本化する。このとき、プリアンプ83では、リセットスイッチ95導通させキャパシタ91をリセットする。リセットの後に、リセットスイッチ95を開いたとき、プリアンプ83の出力83aには、このリセット動作に伴うノイズが生成される。積分器85は、この第1の信号S1を積分するために多数回の標本化を行う。

[0085] 次いで、画素2aの第2の信号(信号レベル)S2をプリアンプ83に加える。この信号は、プリアンプ83内のキャパシタ89、91の容量比によって増幅される。積分器85は、第1の信号S1と第2の信号S2との差を示す信号を生成する。このとき、積分器85は、プリアンプ83の出力83aからの信号が逆極性となるように信号を多数回標本化する

ことにより積分を行う。これらの処理の結果、積分器の出力は、プリアンプ83の出力83aからの第1の信号S1と第2の信号S2との差を取りながら積分により増幅された信号を提供する。その積分結果をS／H回路113でサンプルして記憶し、水平走査線121によって外部に読み出す。

[0086] 次いで、多重サンプリング積分回路を用いたイメージセンサの動作を説明する。図14および図15は、多重積分読み出し回路の動作を示す図面である。図12に示されるタイミングチャートでは、4回の標本化が行われているが、以下の一例の動作では、画素2aからのリセットレベル、信号レベルに対して、それぞれ2回の積分を行う。引き続く説明では、第1および第2の信号S1、S2として「V_R」、「V_S」を用いる。

[0087] ステップ(a)では、プリアンプ83の入力83bに画素2aのリセットレベル信号V_Rを加える。スイッチ95を介して演算増幅回路87の反転入力87aを非反転出力87bに接続して、キャパシタ89に信号VRを標本化する。積分器85では、スイッチ107を導通させて演算増幅回路99の反転入力99aと非反転入力99bとを接続すると共に、クロックφrdに応答してスイッチ111を導通させる。これにより、キャパシタ103の電荷をリセットする。また、クロック97に応答してスイッチ97を導通させる。これにより、キャパシタ98の電荷をリセットする。

[0088] ステップ(b)では、クロックφrに応答してスイッチ95を非道通にすると共に、クロックφr2に応答してスイッチ107を非導通にする。キャパシタ91には、スイッチやアンプで発生した雑音成分がサンプルされ、出力83aに現れる。積分器85は、スイッチ97を介してプリアンプ83からの信号をキャパシタ98に標本化する。

[0089] ステップ(c)では、積分器85のスイッチ111を非導通にすると共にスイッチ105を導通にして、キャパシタ98の電荷をキャパシタ103に積分する。この時、積分器85の出力には、次式の電圧が現れる。

$$V_O(1)=C_3/C_4\times Vnd1(1)+C_3/C_4\times C_{B1}/C_{B2}\times Vnpd(1)$$

ここで、Vnd1(1)、Vnpd(1)は、それぞれプリアンプ83および画素2aのソースフォロワのノイズ成分(時間的に変動するノイズ)である。括弧内の数字は、ステップの順序に対応する。第1項はプリアンプ83に起因するノイズであり、第2項は画素2aに起因するノイズであり、このノイズはプリアンプ83によって増幅される。

[0090] ステップ(d)では、クロックφ1に応答してスイッチ97を非導通にすると共に、クロックφ3に応答してスイッチ112を導通させる。積分器85のキャパシタ98に電圧VREFを供給する。この電圧に対応する電荷がキャパシタ98からキャパシタ103へ移動する。この時、積分器85の出力には、次式の電圧が現れる。

$$V_O(1)=C_3/C_4\times(Vnfl(1)+Vnd1(1)-VREF)+C_3/C_4\times C_{B1}/C_{B2}\times Vnpd(1)$$

ここで、Vnfl(1)はプリアンプ83のフリーズノイズである。フリーズノイズは、キャパシタに標本化されて固定した電荷として存在し、時間的に変動しない。

[0091] ステップ(e)では、クロックφ2に応答してスイッチ105を非導通にする。キャパシタ103の一端(積分器の出力に接続されるキャパシタ端子)が開放されているので、積分結果はキャパシタ103に保持される。また、クロックφr2に応答してスイッチ107を導通して、演算増幅回路99の反転入力99aを非反転出力99bに接続する。

[0092] ステップ(f)では、読み出し回路81の入力93に第2の信号S2を供給する。この信号S2をプリアンプ83は増幅する。積分器85のキャパシタ98は、増幅された信号を受ける。この時、積分器85の出力には次の電圧が現れる。

$$V_O(1)=C_3/C_4\times(Vnfl(1)+Vnd1(1)-V_{REF}-Vndl(3))+C_3/C_4\times C_{B1}/C_{B2}\times(Vnpd(1)-Vnpd(3)+V_R-V_S)$$

[0093] ステップ(g)では、クロックφ1に応答してスイッチ97を非導通にすると共に、クロックφ3に応答してスイッチ112を導通させる。積分器85のキャパシタ98に電圧VREFを供給する。この電圧に対応する電荷がキャパシタ98からキャパシタ103へ移動する。この時、積分器85の出力には、次式の電圧が現れる。

$$V_O(1)=C_3/C_4\times(Vnfl(1)+Vnd1(1)-V_{REF}-Vnd1(3)-Vnd1(4)-Vnfl(1)+V_{REF})+C_3/C_4\times C_{B1}/C_{B2}\times(Vnpd(1)-Vnpd(3)-Vnpd(4)+2\times(V_R-V_S))$$

$$=C_3/C_4\times(Vnd1(1)-Vnd1(3)-Vnd1(4))+C_3/C_4\times C_{B1}/C_{B2}\times(Vnpd(1)-Vnpd(3)-Vnpd(4)+2\times(V_R-V_S))$$

[0094] これら一連の動作から、まず、プリアンプ83のフリーズノイズ成分Vnflはキャンセルされる。また、N回の標本化により、入力信号(V_R-V_S)がN倍に増幅される。積分に

より、時間変動するノイズ成分（Vnpd、Vndl）も積分されるけれども、時間変動するノイズ成分は無相関でランダムである。これ故に、N回の積分の結果、振幅でsqrt（2×N－1）倍に増幅される一方で、信号成分（$V_R - V_S$）は、信号V_RおよびV_SそれぞれN回の積分によりN倍に増幅される。

[0095] 加えて、プリアンプ83の利得（キャパシタ比C_{B1}／C_{B2}により決定される）を高くできるので、プリアンプ83の帯域制限の作用により、時間変動するノイズ成分は低減される。好ましくは、比C_{B1}／C_{B2}は8以上である。

[0096] これらの2つの効果により、非常に低ノイズでの信号読み出しが可能となる。さらに、このように信号レベルおよびリセットレベルをそれぞれ多数回標本化して積分し両者の差を求める処理を行うことによって、1／fノイズも低減される。

[0097] 図16は、ノイズ解析による見積もりを示すグラフである。図中の「INT」は積分回数を示す。図16を参照すると、プリアンプの利得が1であり、複数回の積分を行わないとき、熱ノイズおよびi／fノイズを含むトータル入力換算ノイズは232μVrmsであるけれども、プリアンプ利得が32倍であるとき、56．4μVrmsにまで低減される。プリアンプ利得が32倍であると共に16回の積分を置こうとき、18．4μVrmsにまで低減される。なお、変換ゲインが60μV／e－と仮定しており、この値は等価ノイズ電子数では0．3以下に相当する。ノイズが等価電子数換算で0．3以下になれば、信号電子の数に応じて生じる離散的なレベルを大まかに識別できる。

[0098] 好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更に権利を請求する。

請求の範囲

[1] イメージセンサのためのA／D変換器であって、

前記イメージセンサからの信号を受ける入力と出力とを有しており、ノイズに係る成分を含む第1の信号の複数回の標本化および標本値の積分を第1の期間に行うと共に、前記イメージセンサの画素からの光誘起信号成分およびノイズに係る成分を含む第2の信号の複数回の標本化および標本値の積分を第1の信号に対する積分とは逆極性となるように第2の期間に行うためのゲインステージと、

前記ゲインステージの前記出力からの信号に応じた第1および第2の値を取りうるディジタル信号を提供するA／D変換回路と、

前記第1の値の出現回数に対応する信号を提供する回路と、

前記ディジタル信号に応答して制御信号を生成する論理回路と、

前記第1の期間に前記ゲインステージに所定の電圧信号の提供を行うと共に、前記第2の期間に前記ゲインステージに前記制御信号に応じた電圧信号の提供を行うD／A変換回路と

を備え、

前記ゲインステージは、

前記標本化のための第1のキャパシタと、

前記積分のための第2のキャパシタと、

前記第1のキャパシタに標本化された信号を前記第2のキャパシタへ積分するための演算増幅回路と

を含む、ことを特徴とするA／D変換器。

[2] 前記第1のキャパシタは、前記D／A変換回路に接続された一端および前記演算増幅回路の反転入力に接続された他端を有しており、

前記ゲインステージは、

前記演算増幅回路の非反転出力と前記反転入力との間に接続された第1の容量回路と、

前記入力と前記第1のキャパシタの前記一端との間に接続されており前記イメージセンサからの信号を標本化するための第1のスイッチと、

前記反転入力と前記非反転出力との間に接続された第1の帰還スイッチと
を含み、

前記第1の容量回路は、前記第2のキャパシタおよび第2のスイッチを有し、前記第2のキャパシタおよび第2のスイッチは直列に接続されている、ことを特徴とする請求項1に記載されたA／D変換器。

[3] 前記ゲインステージは、前記ゲインステージの前記出力からの信号に応じたディジタル信号に対応して前記D／A変換回路から提供される電圧信号に用いて、前記第1および第2の期間の後の第3の期間に巡回A／D変換を行う、ことを特徴とする請求項1または請求項2に記載されたA／D変換器。

[4] 前記A／D変換回路は、前記巡回A／D変換のために、前記ゲインステージの前記出力からの信号に応じた三値のディジタル信号を前記第3の期間に提供し、

前記ゲインステージは、

前記第1のキャパシタの前記一端と前記非反転出力との間に接続された別の帰還スイッチと、

前記第1のキャパシタの前記他端と前記反転入力との間に接続された転送スイッチと
を含む、ことを特徴とする請求項3に記載されたA／D変換器。

[5] 前記A／D変換回路は、前記ゲインステージの前記出力からの信号を第1および第2の参照信号と比較する比較器を含み、

前記比較器は、前記第1の参照信号を前記第2の期間に受け、

前記比較器は、前記第2の参照信号を前記第3の期間に受ける、ことを特徴とする請求項3または請求項4に記載されたA／D変換器。

[6] 前記第2の参照信号の値は、前記第1の参照信号の値より小さい、ことを特徴とする請求項5に記載されたA／D変換器。

[7] 前記第1のキャパシタは、前記標本化のために前記第1および第2の信号を受けるように設けられており、

前記ゲインステージは、前記D／A変換回路からの信号提供および前記第1のキャパシタへの標本化のいずれか一方に応答して、前記演算増幅回路を用いて前記第

1の信号を前記第2のキャパシタへ積分し、

前記ゲインステージは、前記D／A変換回路からの信号提供および前記第1のキャパシタへの標本化のいずれか他方に応答して、前記演算増幅回路を用いて前記第2の信号を前記第2のキャパシタへ積分する、ことを特徴とする請求項1～請求項6のいずれか一項に記載されたA／D変換器。

[8] 前記ゲインステージは、前記標本化のための第3のキャパシタおよび前記積分のための第4のキャパシタを更に含み、

前記第1および第3のキャパシタの一方は、前記標本化のために前記第1の信号を受けるように設けられており、

前記第1および第3のキャパシタの他方は、前記標本化のために前記第2の信号を受けるように設けられており、

前記演算増幅回路は、前記D／A変換回路からの信号に応答して、前記第1および第3のキャパシタに標本化された値を前記第2および第4のキャパシタに積分する、ことを特徴とする請求項1～請求項6のいずれか一項に記載されたA／D変換器。

[9] 前記第3のキャパシタは、前記D／A変換回路に接続された一端および前記非反転入力に接続された他端を有しており、

前記ゲインステージは、

前記第1のキャパシタの前記一端と前記第3のキャパシタの前記一端との間に接続された第3のスイッチと、

前記第4のキャパシタおよび第4のスイッチを有し、前記演算増幅回路の非反転入力と前記演算増幅回路の反転出力との間に接続された第2の容量回路と、

前記非反転入力と前記反転出力との間に接続された第2の帰還スイッチと、

前記入力と前記第3のキャパシタの前記一端との間に接続されており前記イメージセンサからの信号を標本化するための第5のスイッチと

を更に含み、

前記第4のキャパシタおよび前記第4のスイッチは直列に接続されている、ことを特徴とする請求項8に記載されたA／D変換器。

[10] 前記ゲインステージは、

前記D／A変換回路に接続された一端および前記非反転入力に接続された他端を有する第3のキャパシタと、

前記第1のキャパシタの前記一端と前記第3のキャパシタの前記一端との間に接続された第3のスイッチと、

第4のキャパシタおよび第4のスイッチを有し、前記演算増幅回路の非反転入力と前記演算増幅回路の反転出力との間に接続された第2の容量回路と、

前記非反転入力と前記反転出力との間に接続された第2の帰還スイッチと

を更に含み、

前記第4のキャパシタおよび前記第4のスイッチは直列に接続されている、ことを特徴とする請求項2～請求項7のいずれか一項に記載されたA／D変換器。

[11] 前記A／D変換回路は、前記ゲインステージが前記第1および第2の期間の後の第3の期間に巡回A／D変換のための動作を行うために、前記ゲインステージの前記出力からの信号に応じた三値のディジタル信号を前記第3の期間に提供し、

前記ゲインステージは、

前記第1のキャパシタの前記他端と前記第3のキャパシタの前記他端との間に接続された第6のスイッチと、

前記第1のキャパシタの前記一端と前記非反転出力との間に接続された第3の帰還スイッチと、

前記第3のキャパシタの前記一端と前記反転出力との間に接続された第4の帰還スイッチと、

前記第1のキャパシタの前記他端と前記反転入力との間に接続された第1の転送スイッチと、

前記第3のキャパシタの前記他端と前記非反転入力との間に接続された第2の転送スイッチと

を含む、ことを特徴とする請求項10に記載されたA／D変換器。

[12] 前記第1の容量回路において、前記第2のキャパシタの一端は前記反転入力に接続されており、前記第2のスイッチは前記第2のキャパシタの他端と前記非反転出力との間に接続されており、前記第1の容量回路は、前記第2のキャパシタの前記他端

と前記第2のスイッチとの間の第1のノードに接続された第5のキャパシタを含む、ことを特徴とする請求項1～請求項11のいずれか一項に記載されたA／D変換器。

[13] 前記画素はCMOSイメージセンサの画素であり、前記画素の浮遊拡散層がリセット状態に置かれたとき、前記画素からの信号により前記第1の信号が提供され、前記リセット後に前記浮遊拡散層が光誘起電荷の蓄積状態に置かれたとき、前記画素からの信号により前記第2の信号が提供される、ことを特徴とする請求項1～請求項12のいずれか一項に記載されたA／D変換器。

[14] 前記イメージセンサの画素と前記ゲインステージの前記入力との間に接続され、前記第1および第2の信号を提供するプリアンプを更に備え、

前記プリアンプは、演算増幅回路と、該演算増幅回路の入力に接続された第1のキャパシタと、該演算増幅回路の出力と前記入力との間に接続された第2のキャパシタと、前記出力と前記入力との間に接続されたスイッチとを含み、前記第1および第2のキャパシタの容量比に応じて前記画素からの信号を増幅し、

前記第1の信号は前記プリアンプのノイズに係る成分を含み、

前記第2の信号は、0前記画素の浮遊拡散層がリセット状態にあるとき前記画素が提供する信号と、前記リセット状態の後に前記浮遊拡散層が光誘起電荷の蓄積状態にあるとき前記画素が提供する信号との差分を示す成分を前記プリアンプのノイズに係る成分に加えて含む、ことを特徴とする請求項1～請求項12のいずれか一項に記載されたA／D変換器。

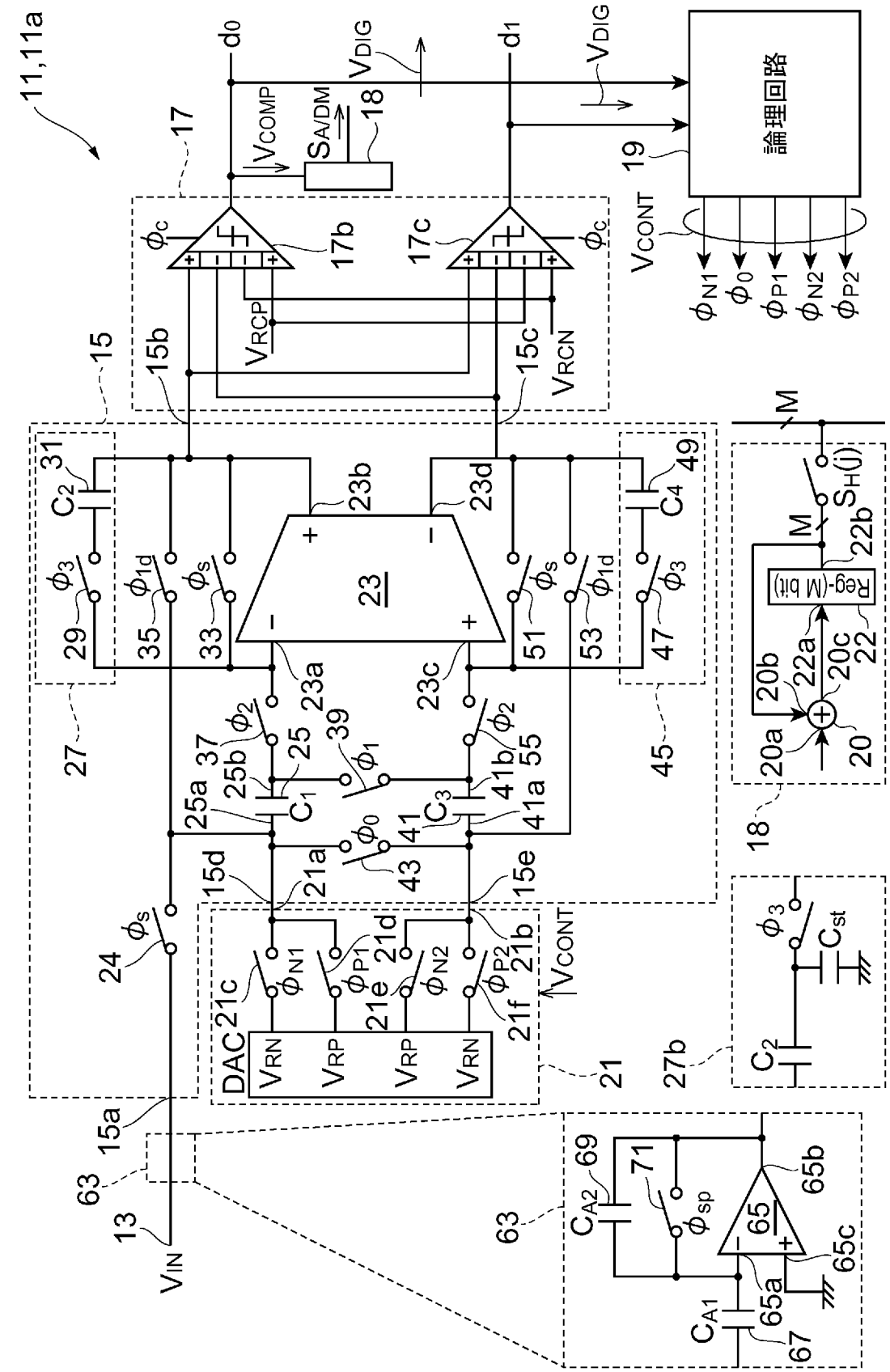
[15] イメージセンサのための読み出し回路であって、前記イメージセンサの画素は、前記画素の浮遊拡散層がリセット状態にあるとき第1の信号を生成すると共に、前記画素の浮遊拡散層が光誘起電荷の蓄積状態にあるとき第2の信号を生成し、

演算増幅回路と、該演算増幅回路の入力に接続された第1のキャパシタと、該演算増幅回路の出力と前記入力との間に接続された第2のキャパシタを含み、前記第1および第2のキャパシタの容量比に応じて前記第1および第2の信号を増幅するプリアンプと、

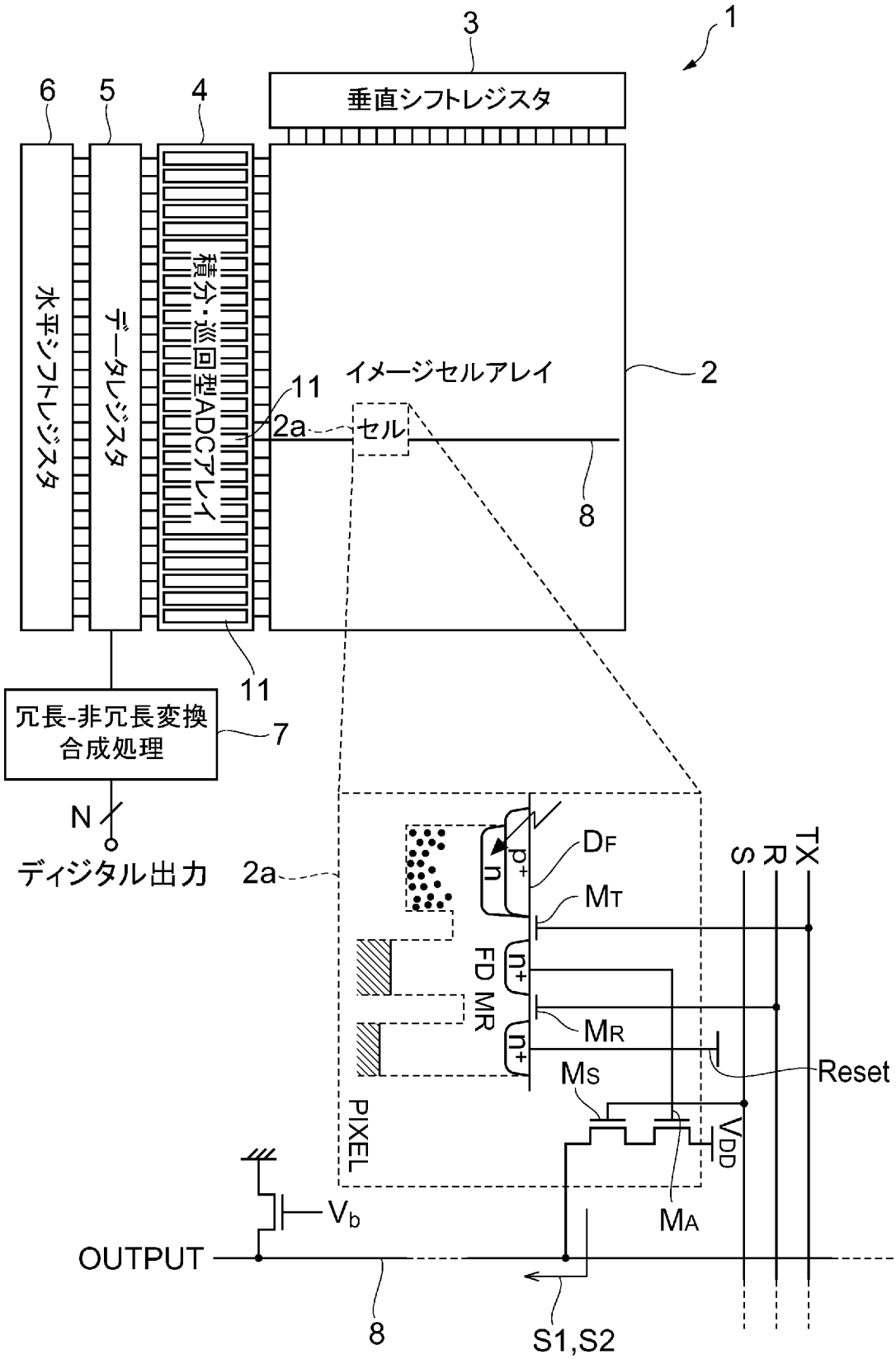
前記プリアンプの出力に接続された標本化スイッチを含み、前記増幅された第1の信号の複数回の積分を該標本化スイッチを用いて行うと共に前記増幅された第2の

信号の複数回の積分を第1の信号に対する積分とは逆極性となるように該標本化スイッチを用いて行うことによって、前記第1の信号と前記第2の信号との差分を増幅する積分器と、を備える、ことを特徴とする読み出し回路。

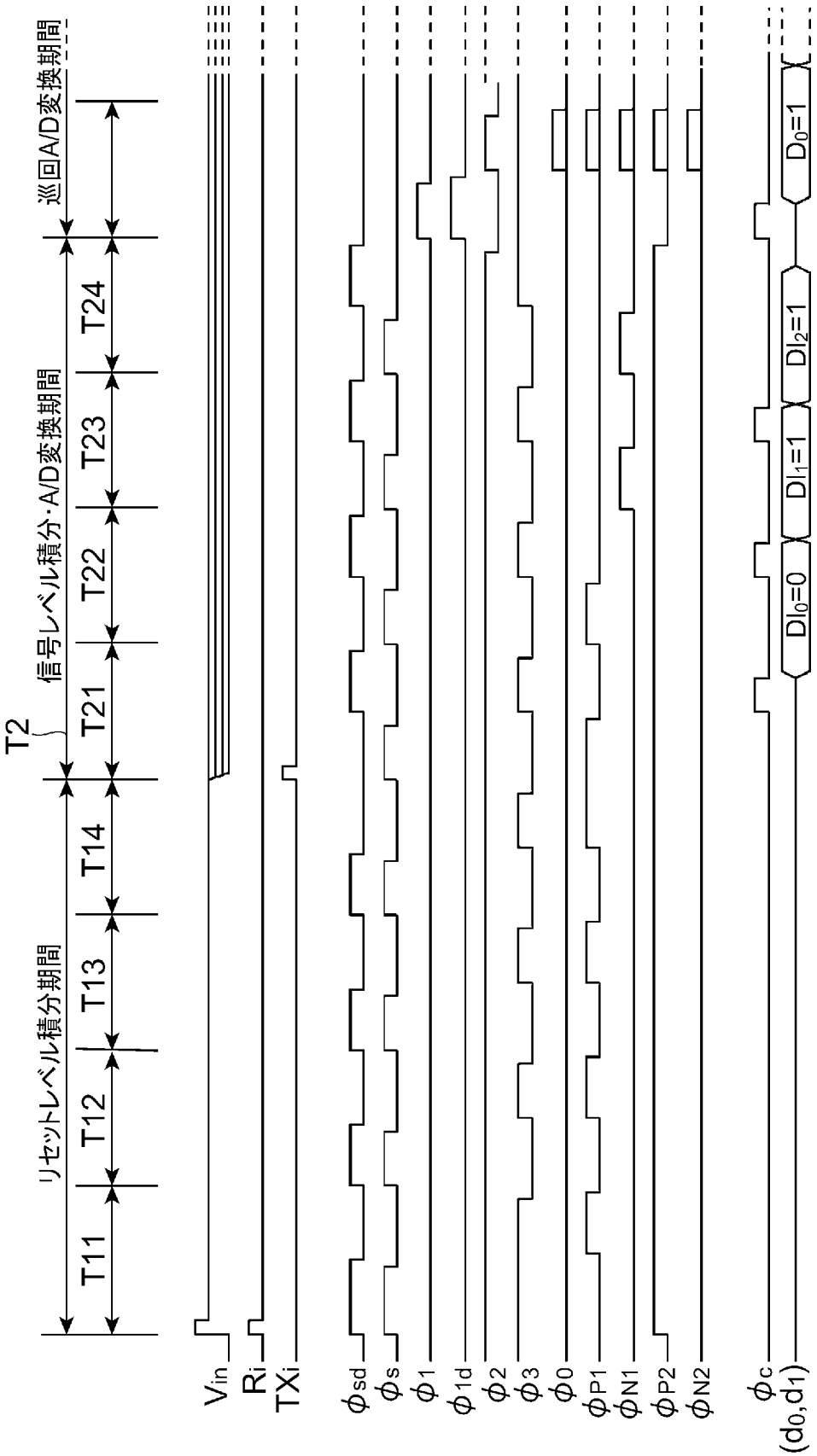
[図1]


11,11a
d0
d1
VDIG
VDIG
論理回路
19
VCOMP
SA/DM
18
17
VCONT
φN1
φ0
φP1
φN2
φP2
φc
17b
17c
φc
VRCP
VRCN
15
15b
15c
M
31
C2
49
C4
23b
23d
23
φ3
φ1d
φs
φs
φ1d
φ3
29
35
33
51
53
47
23a
23c
φ2
φ2
39
φ1
37
25
55
41b
25b
C1
C3
41a
25a
41
φ0
43
15d
21a
15e
27
45
M
SH(j)
22b
Reg-(M bit)
22
20b
22a
20c
20a
20
18
φs
24
φN1
φP1
21d
φN2
φP2
21b
21c
21e
21f
VCONT
DAC
VRN
VRP
VRP
VRN
21
φ3
Cst
C2
27b
15a
63
13
VIN
63
CA2
69
71
φsp
65b
65
65c
65a
CA1
67

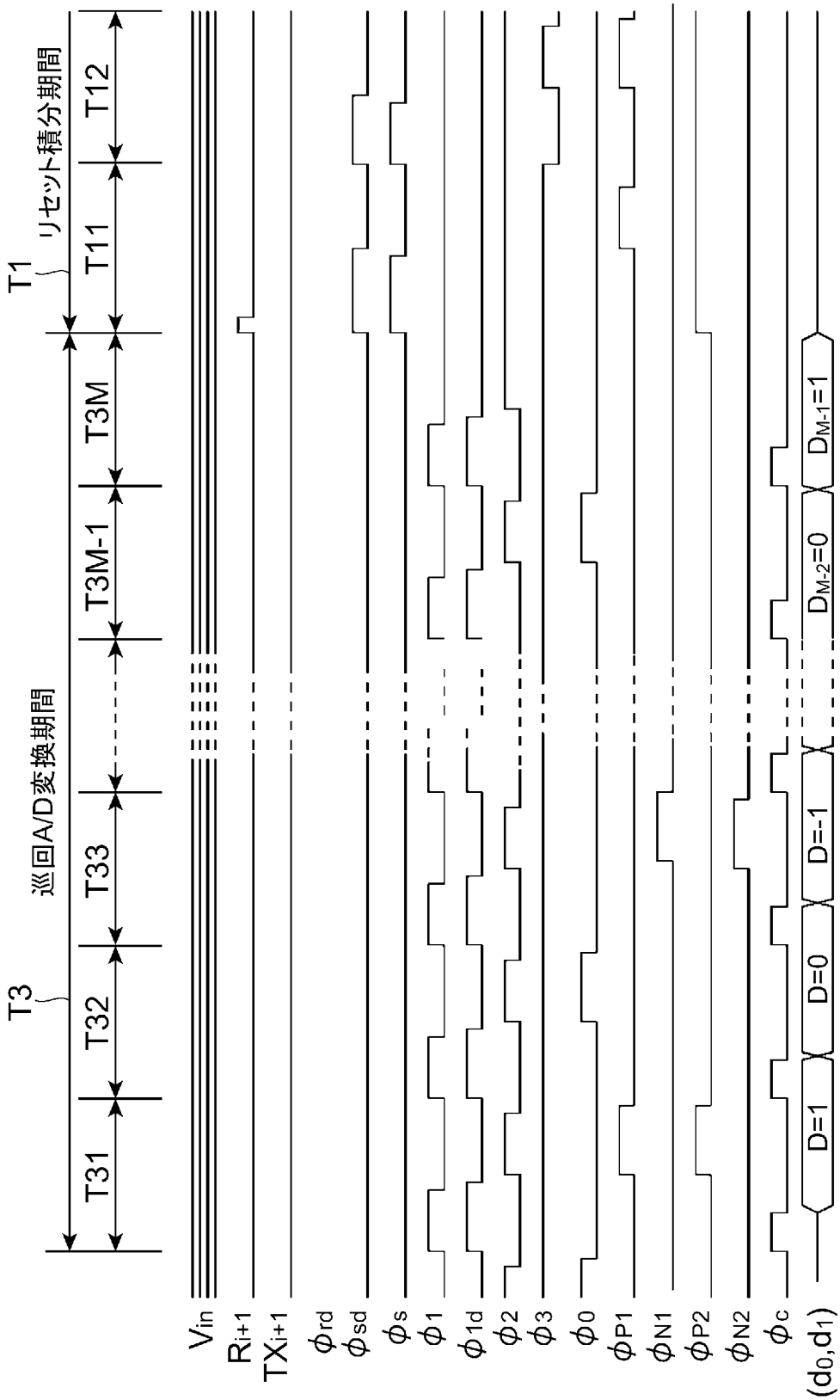
[図2]


1
3
垂直シフトレジスタ
6
5
4
水平シフトレジスタ
データレジスタ
積分・巡回型ADCアレイ
イメージセルアレイ
2
11
2a
セル
8
11
冗長-非冗長変換
合成処理
7
N
ディジタル出力
2a
DF
MT
FD
MR
MS
MA
VDD
Vb
PIXEL
OUTPUT
8
S1,S2
S
R
TX
Reset

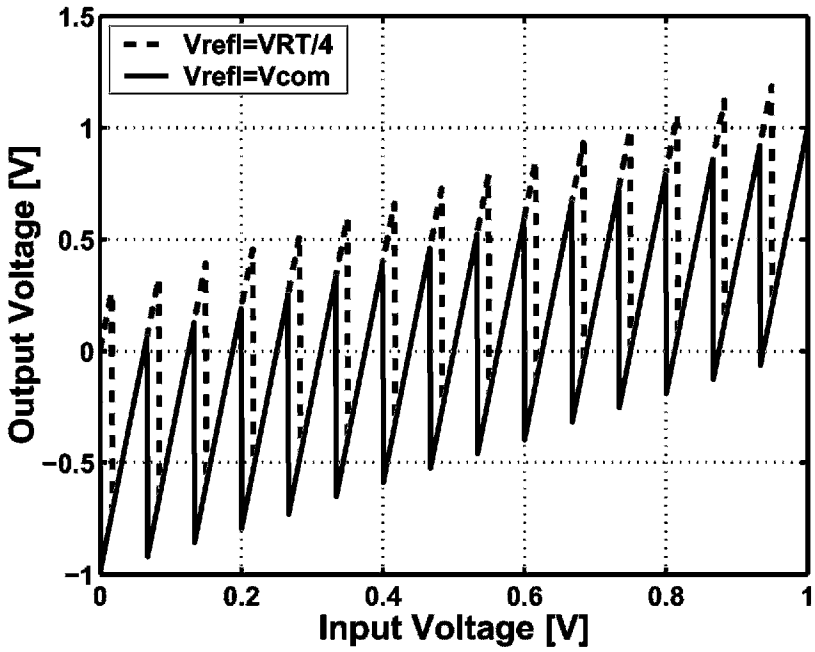
[図3]


T2
リセットレベル積分期間
信号レベル積分・A/D変換期間
巡回A/D変換期間
T11
T12
T13
T14
T21
T22
T23
T24
Vin
Ri
TXi
φsd
φs
φ1
φ1d
φ2
φ3
φ0
φP1
φN1
φP2
φN2
φc
(d0,d1)
DI0=0
DI1=1
DI2=1
D0=1

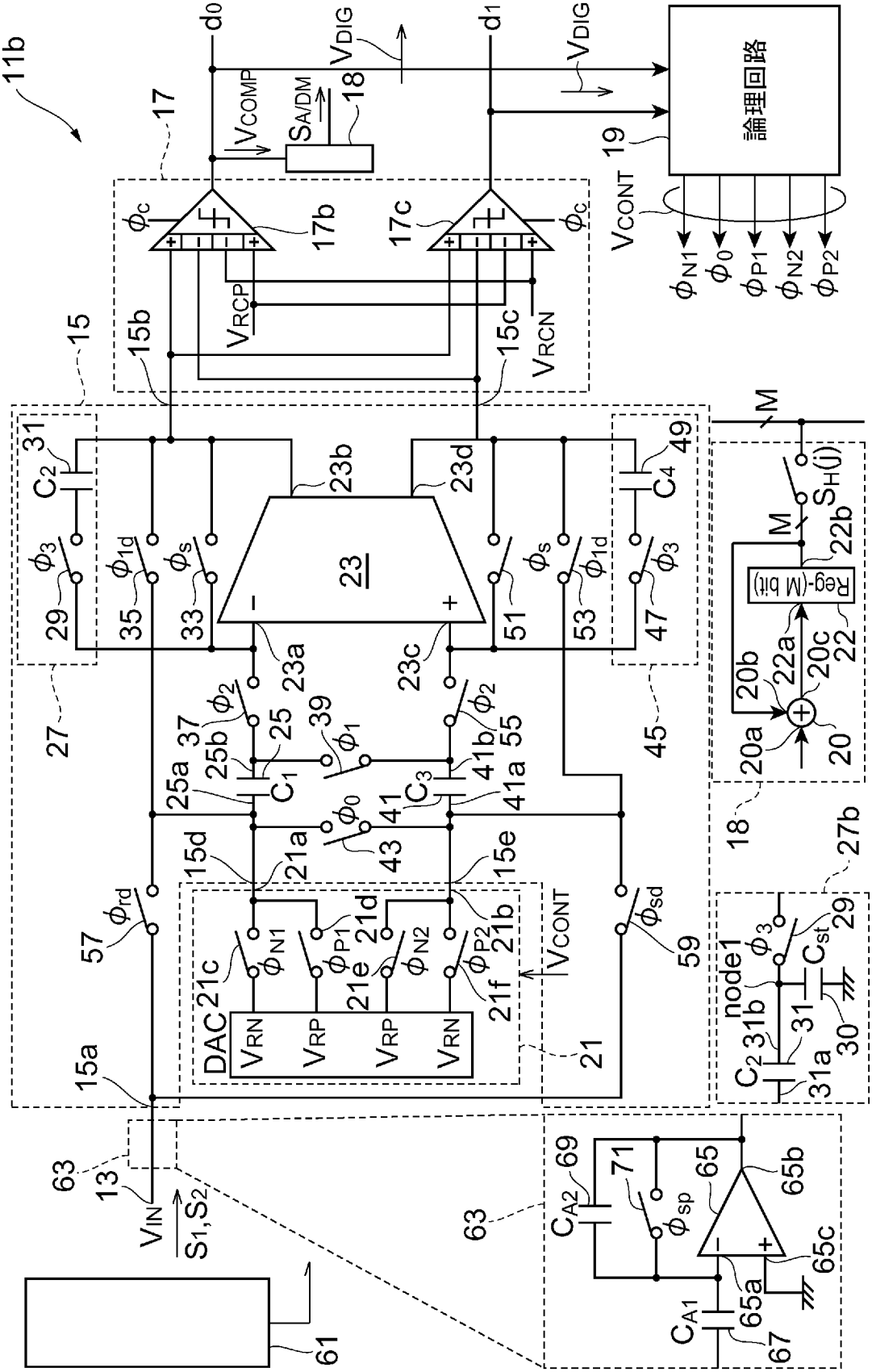
[図4]


T3
巡回A/D変換期間
T1
リセット積分期間
T31
T32
T33
T3M-1
T3M
T11
T12
Vin
Ri+1
TXi+1
φrd
φsd
φs
φ1
φ1d
φ2
φ3
φ0
φP1
φN1
φP2
φN2
φc
(d0,d1)
D=1
D=0
D=-1
DM-2=0
DM-1=1

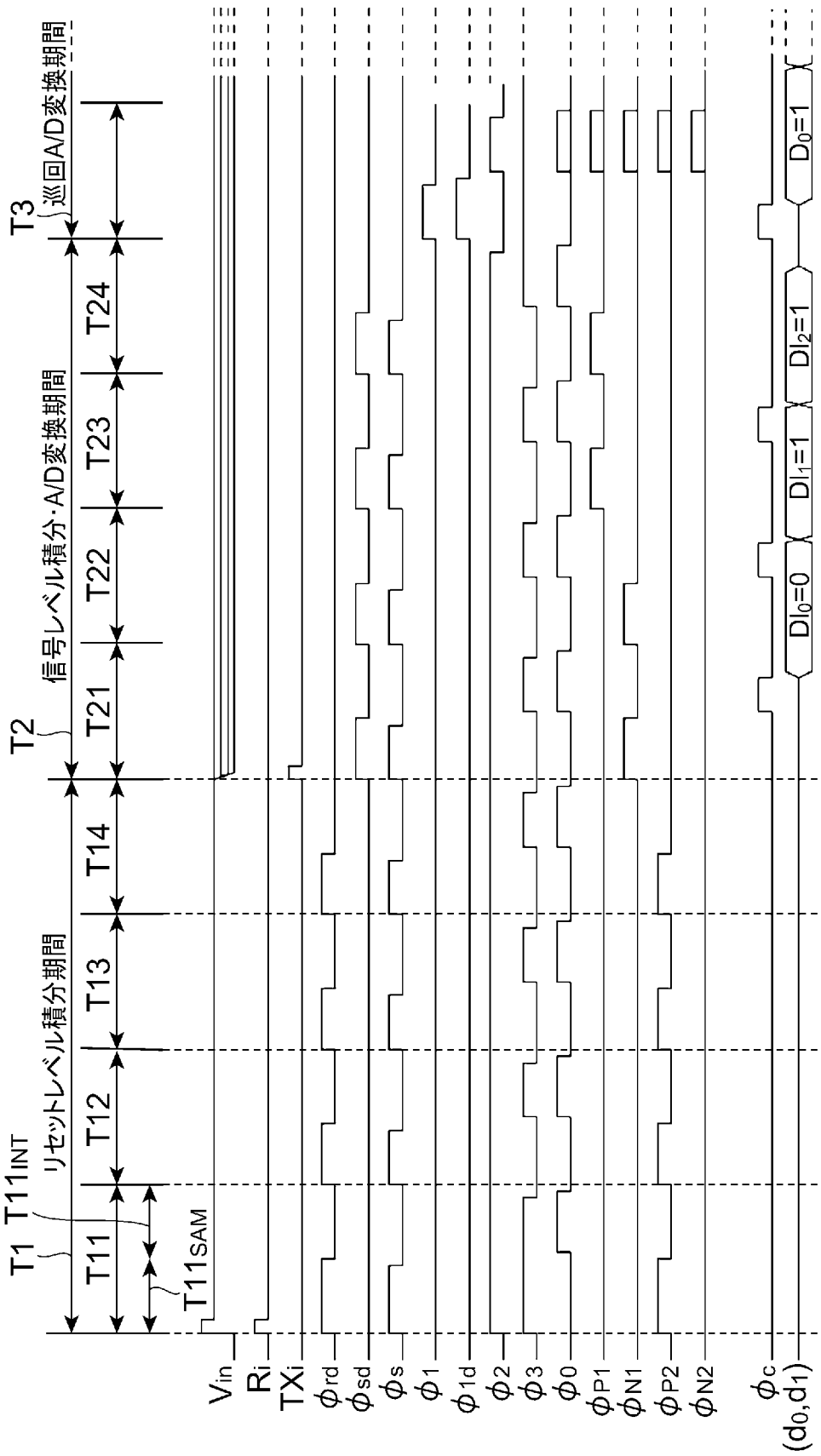
[図5]


Vrefl=VRT/4
Vrefl=Vcom
Output Voltage [V]
Input Voltage [V]
1.5
1
0.5
0
−0.5
−1
0
0.2
0.4
0.6
0.8
1

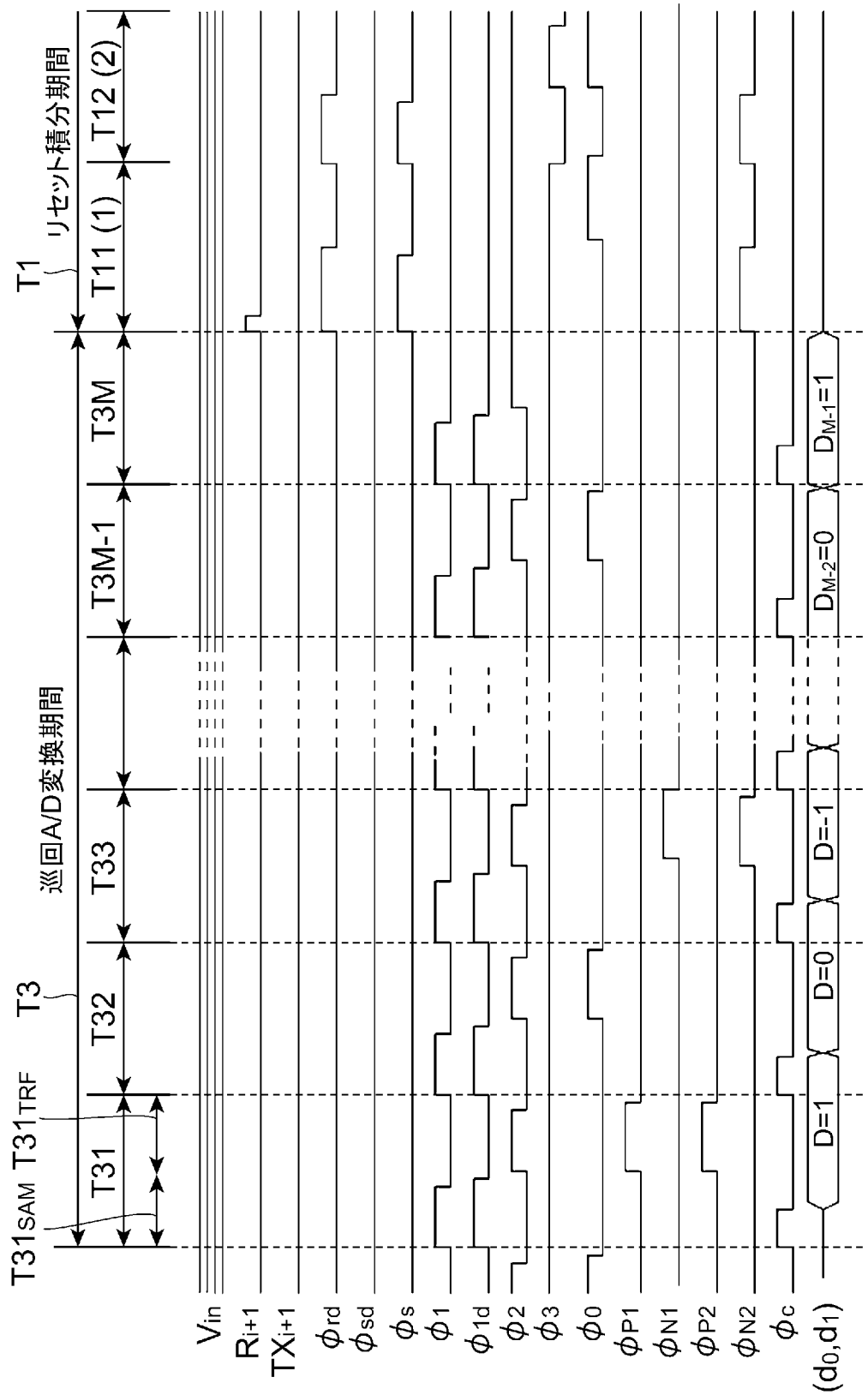
[図6]


11b
d0
d1
VDIG
VDIG
論理回路
17
VCOMP
SA/DM
18
19
VCONT
φN1
φ0
φP1
φN2
φP2
φc
17b
17c
φc
15
15b
15c
VRCP
VRCN
M
31
C2
23b
23d
49
C4
φ3
φ1d
φs
23
φs
φ1d
φ3
29
35
33
51
53
47
23a
23c
SH(j)
22b
M
Reg-(M bit)
22
22a
20c
20b
20a
20
27
45
φ2
φ2
37
25
39
φ1
55
25b
C1
41b
C3
41a
25a
41
φ0
43
18
27b
15d
21a
15e
φrd
57
φN1
φP1
21d
φN2
φP2
21b
φsd
59
21c
21e
21f
VCONT
node1
φ3
Cst
29
DAC
VRN
VRP
VRP
VRN
21
31b
31
30
C2
31a
15a
63
13
VIN
S1,S2
63
CA2
69
71
φsp
65
65b
65c
65a
CA1
67
61

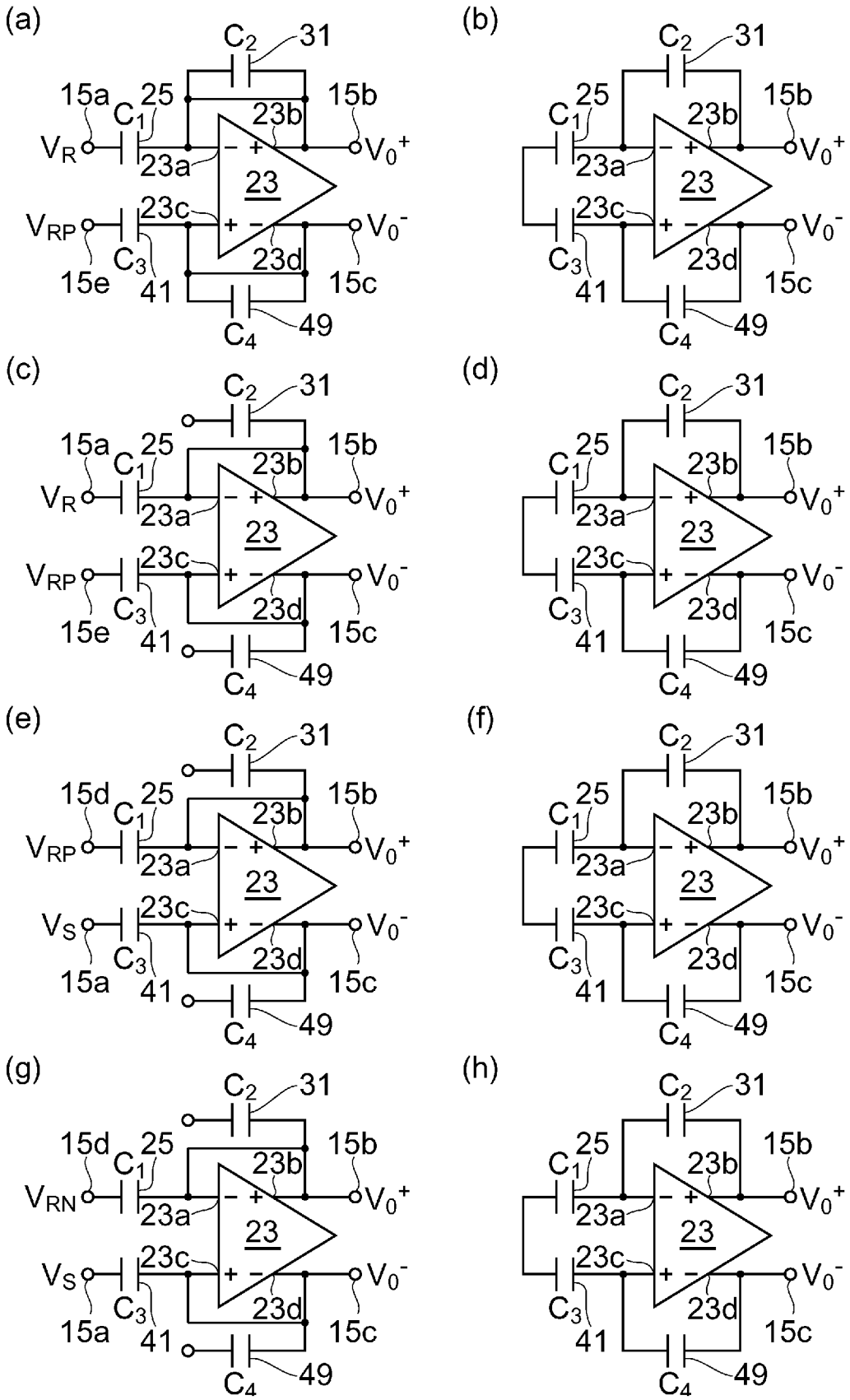
[図7]


T1
T11INT
リセットレベル積分期間
T11
T11SAM
T12
T13
T14
T2
信号レベル積分・A/D変換期間
T21
T22
T23
T24
T3
巡回A/D変換期間
Vin
Ri
TXi
φrd
φsd
φs
φ1
φ1d
φ2
φ3
φ0
φP1
φN1
φP2
φN2
φc
(d0,d1)
DI0=0
DI1=1
DI2=1
D0=1

[図8]

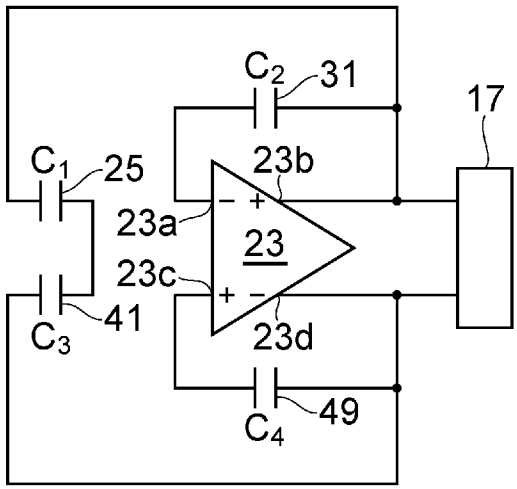

T1
リセット積分期間
T11 (1)
T12 (2)
T3
巡回A/D変換期間
T31SAM
T31TRF
T31
T32
T33
T3M-1
T3M
Vin
Ri+1
TXi+1
φrd
φsd
φs
φ1
φ1d
φ2
φ3
φ0
φP1
φN1
φP2
φN2
φc
(d0,d1)
D=1
D=0
D=-1
DM-2=0
DM-1=1

[図9]

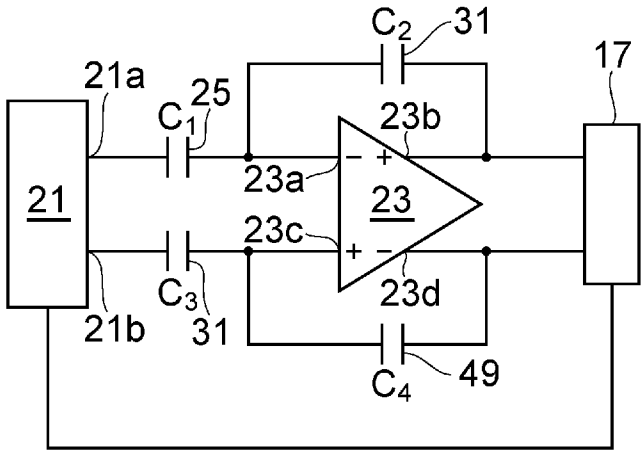

(a)
(b)
(c)
(d)
(e)
(f)
(g)
(h)
C2
31
15a
15d
25
C1
15b
23b
VR
VRP
VRN
VS
V0+
23a
23
23c
V0-
C3
23d
15e
41
15c
C4
49

[図10]

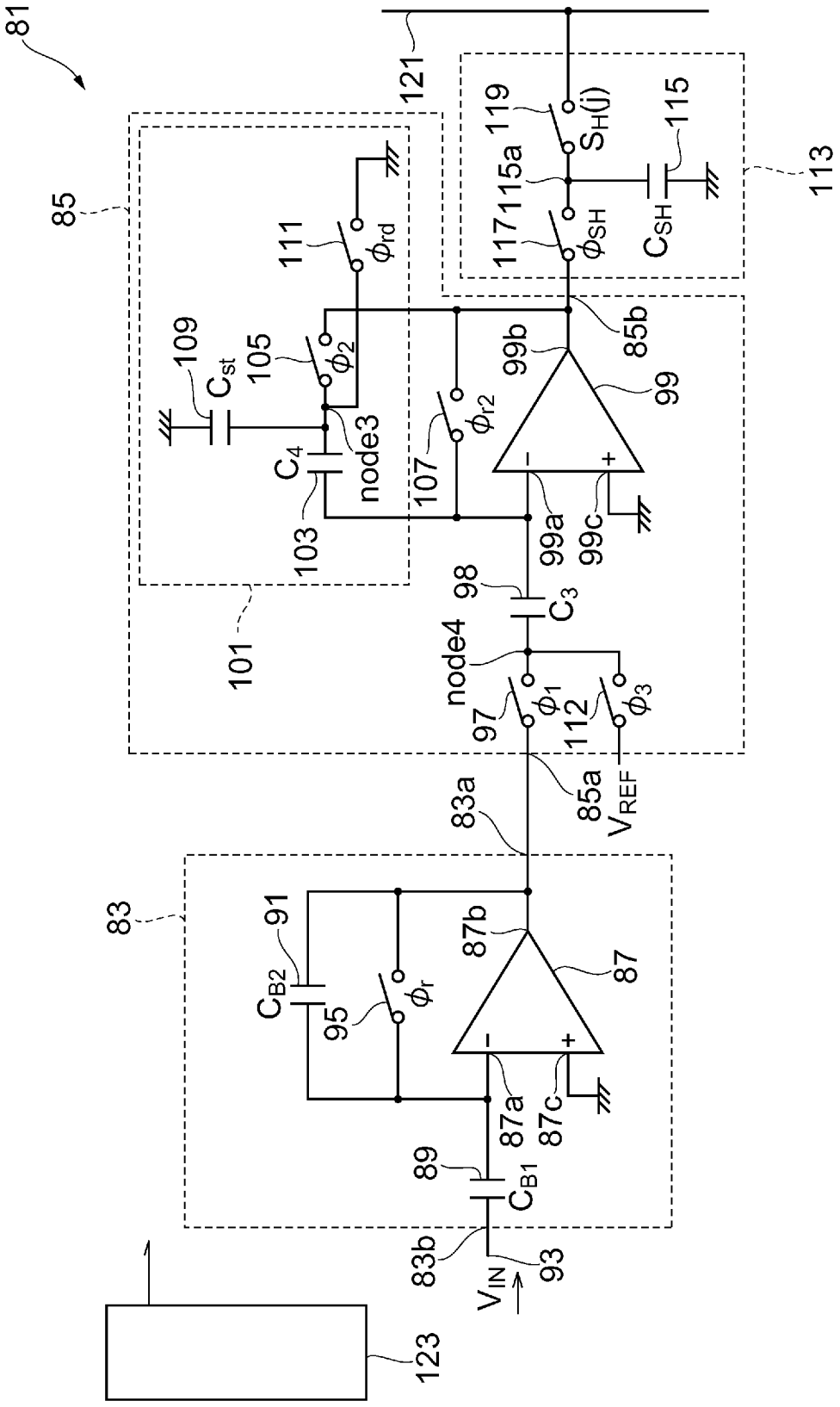
(a)


C2
31
17
C1
25
23b
23a
23
23c
41
C3
23d
49
C4

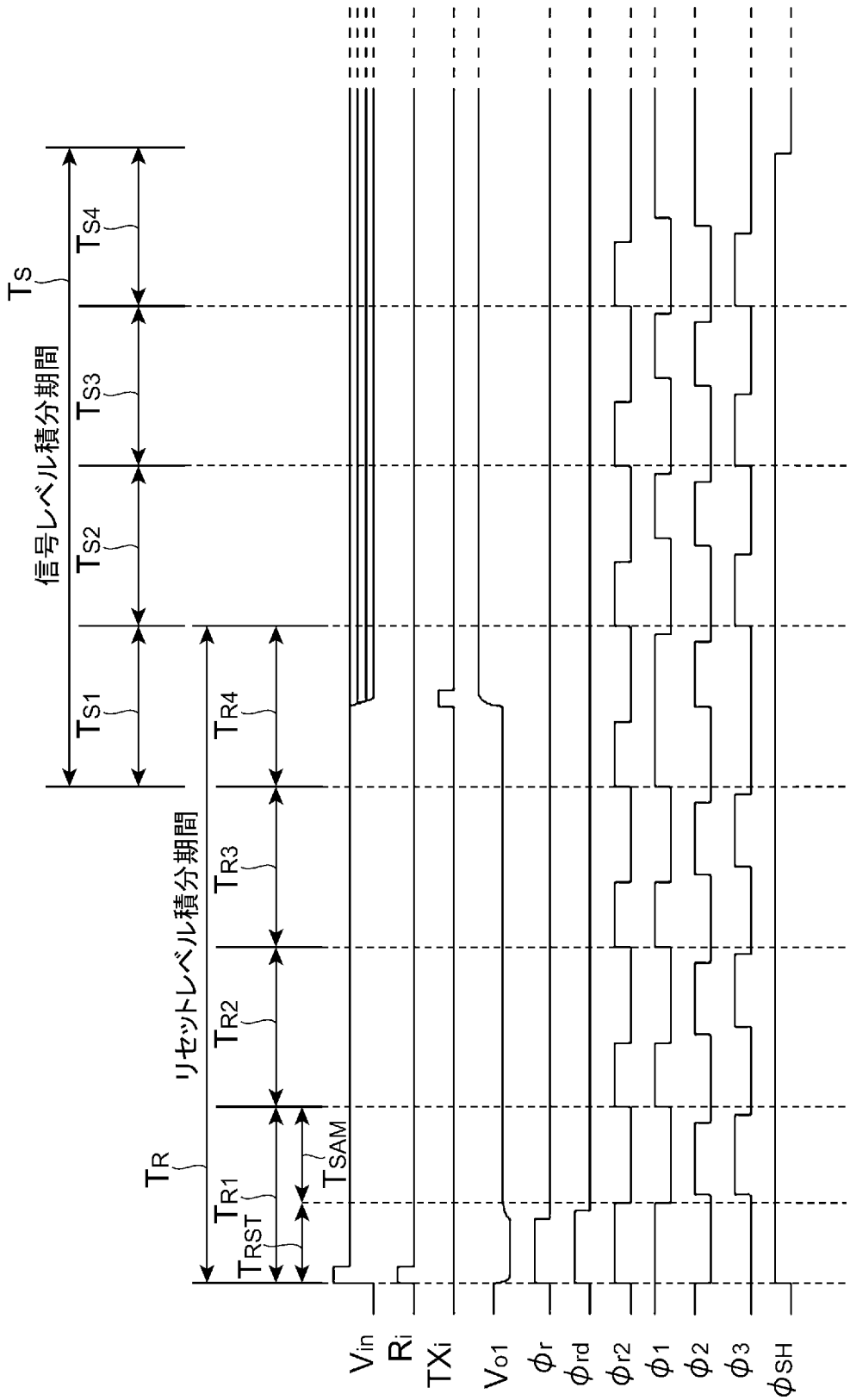
(b)


C2
31
17
21a
25
C1
23b
21
23a
23
23c
C3
23d
21b
31
49
C4

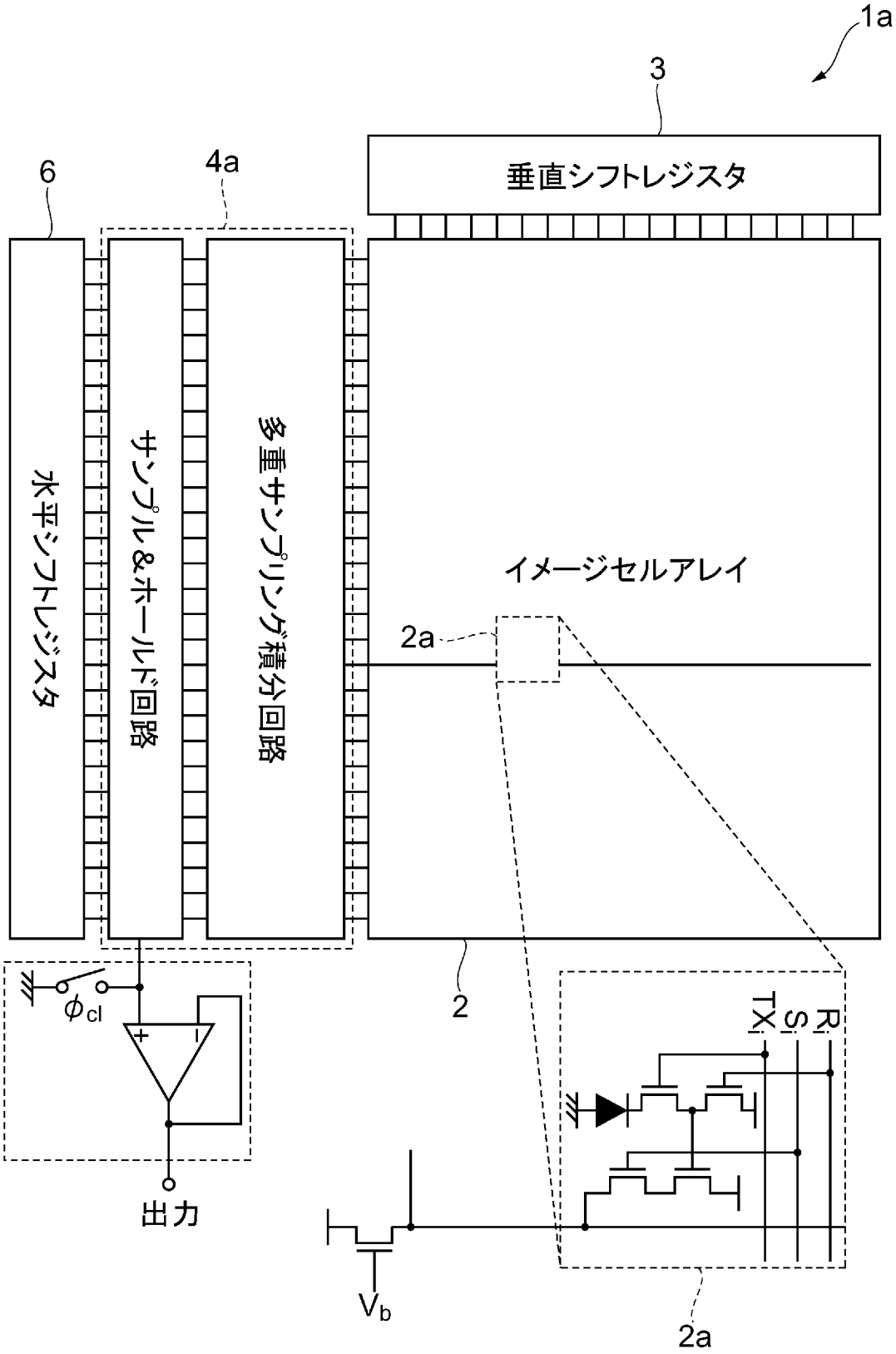
[図11]


81
121
119
$S_H(j)$
115
113
85
111
ϕ_{rd}
117
115a
ϕ_{SH}
C_{SH}
109
C_{st}
105
ϕ_2
85b
99b
99
ϕ_{r2}
C_4
node3
107
103
99a
99c
98
C_3
101
node4
97
ϕ_1
112
ϕ_3
85a
V_{REF}
83a
83
91
C_{B2}
95
ϕ_r
87b
87
87a
87c
89
C_{B1}
83b
93
V_{IN}
123

[図12]

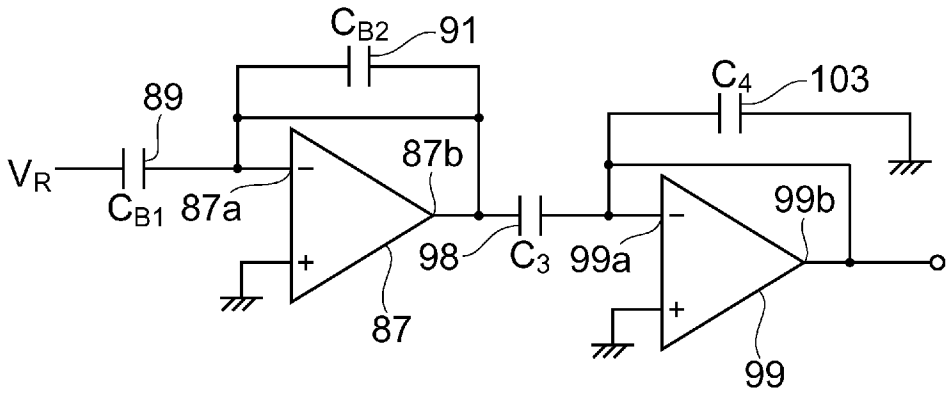

TS
信号レベル積分期間
TS1
TS2
TS3
TS4
TR
リセットレベル積分期間
TR1
TR2
TR3
TR4
TRST
TSAM
Vin
Ri
TXi
Vo1
φr
φrd
φr2
φ1
φ2
φ3
φSH

[図13]

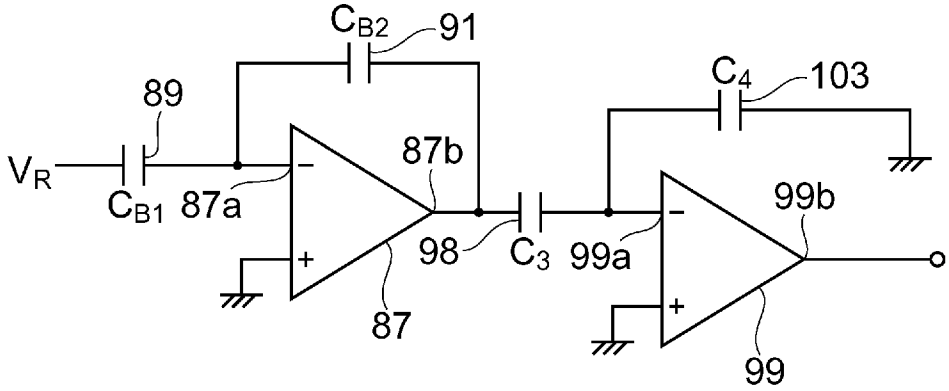

1a
3
垂直シフトレジスタ
6
4a
水平シフトレジスタ
サンプル&ホールド回路
多重サンプリング積分回路
イメージセルアレイ
2a
2
ϕ_{cl}
出力
V_b
TX_i
S_i
R_i
2a

[図14]

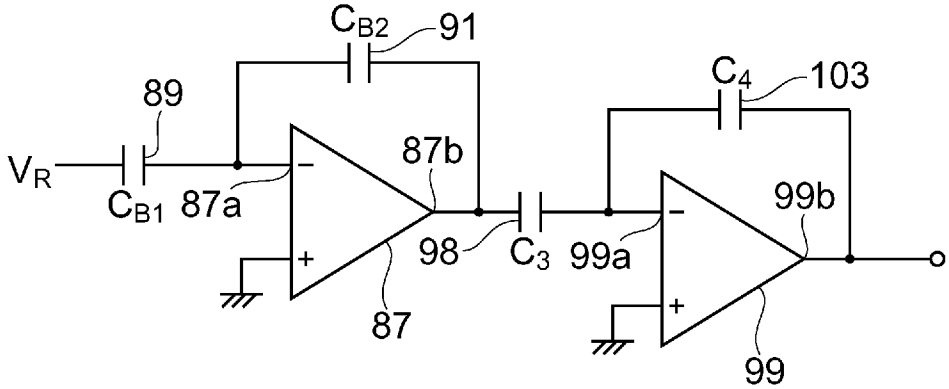
(a)


C_{B2}
91
89
V_R
C_{B1}
87a
87b
98
C_3
99a
C_4
103
99b
87
99

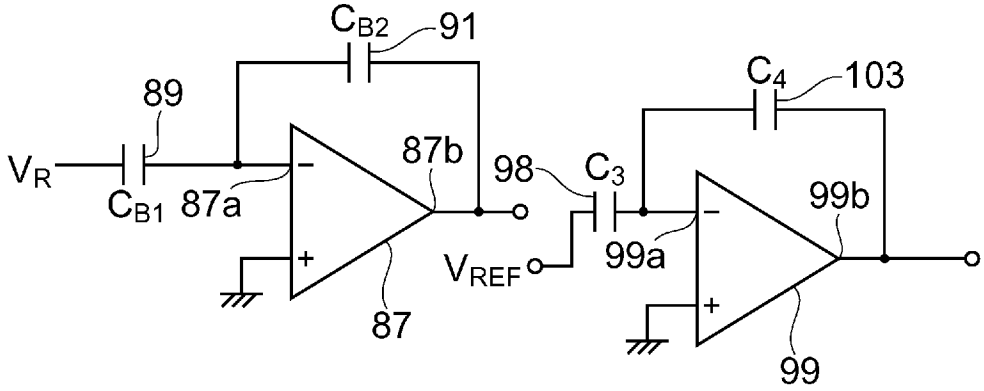
(b)


C_{B2}
91
89
V_R
C_{B1}
87a
87b
98
C_3
99a
C_4
103
99b
87
99

(c)

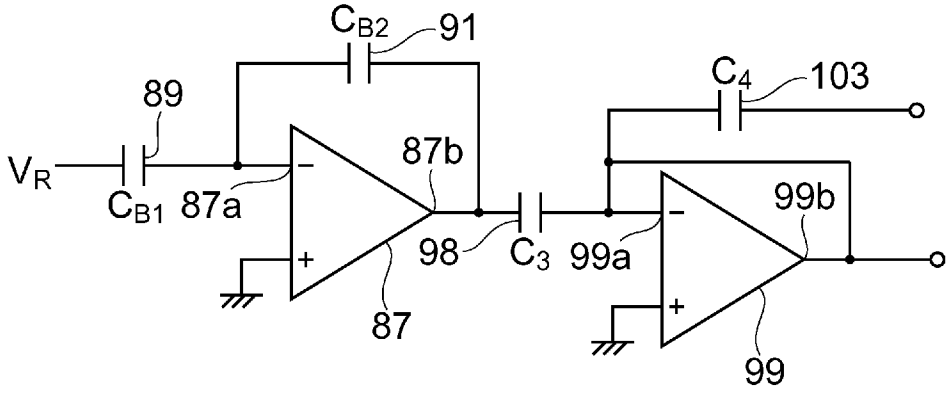

C_{B2}
91
89
V_R
C_{B1}
87a
87b
98
C_3
99a
C_4
103
99b
87
99

(d)

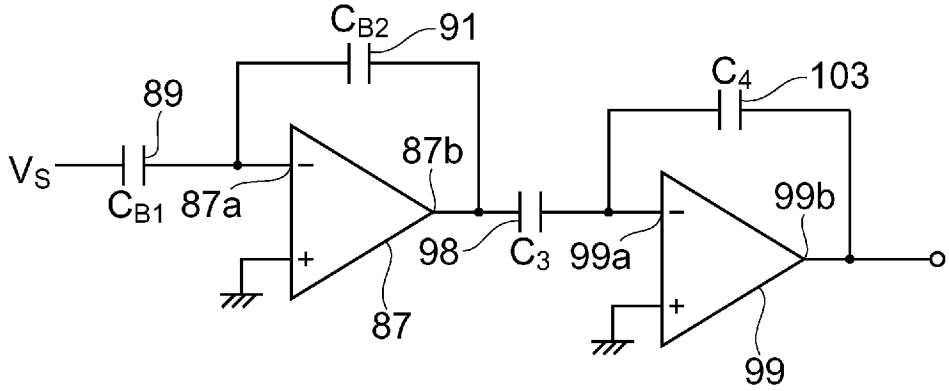

C_{B2}
91
89
V_R
C_{B1}
87a
87b
98
C_3
V_{REF}
99a
C_4
103
99b
87
99

[図15]

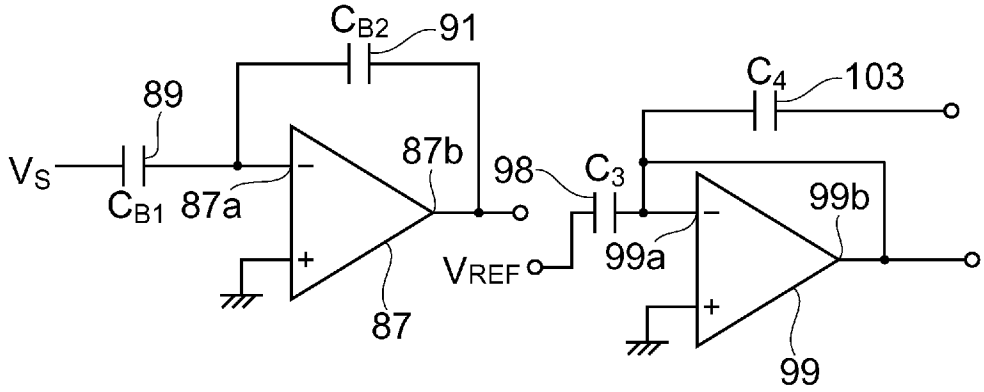
(e)


C_{B2}
91
89
C_4
103
V_R
87b
C_{B1}
87a
99b
98
C_3
99a
87
99

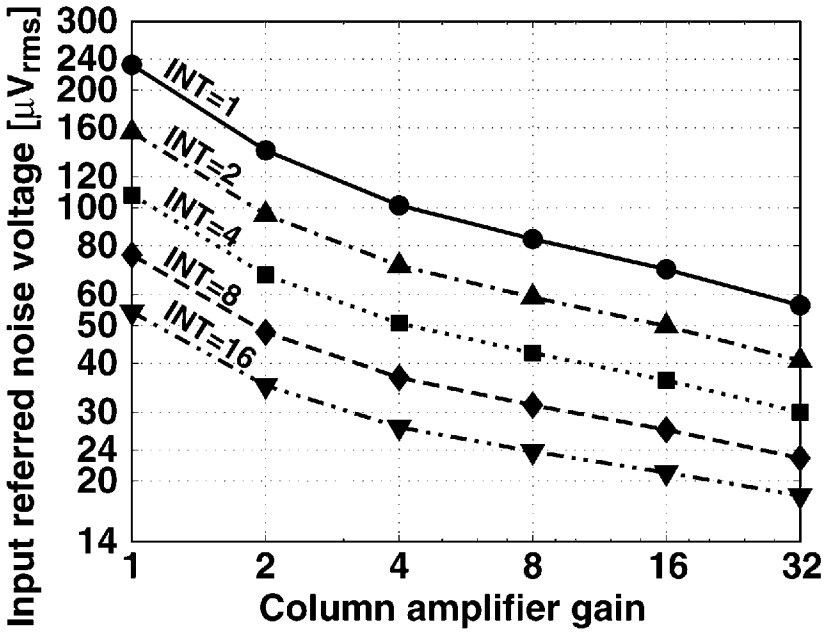
(f)


C_{B2}
91
89
C_4
103
V_S
87b
C_{B1}
87a
99b
98
C_3
99a
87
99

(g)


C_{B2}
91
89
C_4
103
V_S
87b
98
C_3
C_{B1}
87a
99b
V_{REF}
99a
87
99

[図16]


Input referred noise voltage [μVrms]
300
240
200
160
120
100
80
60
50
40
30
24
20
14
INT=1
INT=2
INT=4
INT=8
INT=16
1
2
4
8
16
32
Column amplifier gain

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/064986

A. CLASSIFICATION OF SUBJECT MATTER
H03M1/14(2006.01)i, *H03M1/08*(2006.01)i, *H04N5/335*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M1/00-1/88, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2005-269471 A (Sony Corp.), 29 September, 2005 (29.09.05), Par. Nos. [0015] to [0017], [0023] to [0043]; Figs. 2, 3; Claim 7 (Family: none)	15 1-14
A	JP 03-225284 A (NEC Corp.), 04 October, 1991 (04.10.91), Page 2, upper right column, lines 1 to 11; Fig. 1 (Family: none)	1-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search 30 August, 2007 (30.08.07)	Date of mailing of the international search report 11 September, 2007 (11.09.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０６４９８６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/14(2006.01)i, H03M1/08(2006.01)i, H04N5/335(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/00-1/88, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X A	JP 2005-269471 A (ソニー株式会社) 2005.09.29, 段落 15-17, 23-43, 第 2, 3 図, 請求項 7 参照（ファミリーなし）	15 1-14
A	JP 03-225284 A（日本電気株式会社）1991.10.04, 第 2 頁右上欄第 1-11 行, 第 1 図（ファミリーなし）	1-15

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
３０．０８．２００７	１１．０９．２００７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｘ　９５６１
柳下　勝幸
電話番号　０３－３５８１－１１０１　内線　３５９６