

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5390310号
(P5390310)

(45) 発行日 平成26年1月15日 (2014. 1. 15)

(24) 登録日 平成25年10月18日 (2013. 10. 18)

(51) Int. Cl.

F I

G 0 6 F 15/78 (2006. 01)

G 0 6 F 15/78 5 1 0 E

G 0 6 F 3/00 (2006. 01)

G 0 6 F 15/78 5 1 0 B

H 0 3 K 19/0175 (2006. 01)

G 0 6 F 3/00 X

G 1 1 C 11/401 (2006. 01)

H 0 3 K 19/00 1 0 1 J

G 1 1 C 11/34 3 6 2 Z

請求項の数 6 (全 10 頁)

(21) 出願番号 特願2009-206880 (P2009-206880)
 (22) 出願日 平成21年9月8日 (2009. 9. 8)
 (65) 公開番号 特開2011-59852 (P2011-59852A)
 (43) 公開日 平成23年3月24日 (2011. 3. 24)
 審査請求日 平成24年2月17日 (2012. 2. 17)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 光明 雅泰
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内
 (72) 発明者 飯塚 洋一
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内

審査官 清木 泰

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項 1】

データ送信回路と、
 前記データ送信回路から送信されたデータを受信するデータ受信回路と、を備え、
 前記データ送信回路は、
 前記データを出力するか、出力をハイインピーダンス状態にするか、が切り替わるデータ出力回路と、
 データ送信時には前記データを出力し、データ送信後にさらに別のデータを送信する場合には、先のデータ送信後から別のデータ送信開始までのデータ送信間隔に基づいて、当該データ送信間隔の期間中、先のデータ送信時に最後に出力したデータを出力し続けるように、前記データ出力回路に対して制御信号を出力する制御回路と、を備え、
 前記データ送信間隔は、前記データ送信回路が前記データ受信回路に対してデータ送信のコマンドを出力後さらに別のデータ送信のコマンドを出力するまでの期間に基づいて決定される、半導体集積回路。

【請求項 2】

前記制御回路は、前記データ送信回路がデータ送信後にさらに別のデータを送信する場合において、前記データ送信間隔が閾値以下である場合にのみ、当該データ送信間隔の期間中、先のデータ送信時に最後に出力したデータを出力し続けるように、前記データ出力回路に対して前記制御信号を出力する、請求項 1 に記載の半導体集積回路。

【請求項 3】

前記制御回路は、前記データ送信回路がデータ送信後にさらに別のデータを送信する場合において、前記データ送信間隔が前記閾値を超える場合、当該データ送信間隔の期間中、前記データ出力回路の出力をハイインピーダンス状態とするように前記制御信号を出力する、請求項 2 に記載の半導体集積回路。

【請求項 4】

前記データ送信間隔は、前記データ送信回路が前記データ受信回路に対してデータ送信のコマンドを出力してからデータ送信を開始するまでのレイテンシに基づいて決定される、請求項 1 ～ 3 の何れか一項に記載の半導体集積回路。

【請求項 5】

前記データ送信間隔は、前記データ送信回路が送信するデータのバースト長に基づいて決定される、請求項 1 ～ 4 の何れか一項に記載の半導体集積回路。

10

【請求項 6】

前記データ出力回路は、

P チャネル及び N チャネル MOS トランジスタからなるインバータを有し、

前記データ出力回路の出力をハイインピーダンス状態にする場合には、P チャネル及び N チャネル MOS トランジスタがオフするように制御され、前記データ出力回路から前記データを出力する場合には、当該データに応じて P チャネル及び N チャネル MOS トランジスタのいずれか一方がオンし他方がオフするように制御される、請求項 1 ～ 5 のいずれか一項に記載の半導体集積回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体集積回路に関し、特に電源ノイズ低減に関する。

【背景技術】

【0002】

半導体集積回路において、データ送信回路とデータ受信回路との間のデータ転送に用いられる各信号線上に電源ノイズが発生し、両回路間のデータ転送が正しく行われないう問題がある。

【0003】

そのため、データ受信回路がデータを受信するために用いられる信号線上には ODT (On Die Termination) 等の電源ノイズを低減する対策が施されている (非特許文献 1)。

30

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】 JEDEC STANDARD, DDR2 SDRAM SPECIFICATION JESD79-2E (Revision of JESD79-2D), April 2008, JEDEC SOLID STATE TECHNOLOGY ASSOCIATION

【発明の概要】

40

【発明が解決しようとする課題】

【0005】

従来技術では、ODT 機能のようにデータ受信回路が受ける電源ノイズを低減する対策は施されているが、データ送信回路が受ける電源ノイズを低減する対策は施されていない。通常、データ送信回路は、データ送信用にスリーステートバッファ等のデータ出力回路を有する。データ送信回路は、制御信号に基づいてデータ出力回路が送信データを出力するか否かを制御する。つまり、データ送信回路は、データ出力回路が送信データを出力するか、出力をハイインピーダンス状態 (HiZ) にするか、を制御する。

【0006】

しかし、データ送信回路がデータ出力回路の出力を HiZ にした場合、それまで電源電

50

圧が供給されていた信号線上に急に電源電圧が供給されなくなるため、電源ノイズが発生する。この電源ノイズが収束する前に、データ送信回路がさらに別のデータを送信するためにデータ出力回路の出力をH i Zからデータ送信状態に切り替えた場合、当該別のデータがこの電源ノイズの影響を受ける。そのため従来技術では、データの送信を精度良く行うことができないという問題があった。

【課題を解決するための手段】

【0007】

本発明にかかる半導体集積回路は、データ送信回路と、前記データ送信回路から送信されたデータを受信するデータ受信回路と、を備え、前記データ送信回路は、前記データを出力するか、出力をハイインピーダンス状態にするか、が切り替わるデータ出力回路と、前記データ出力回路において、データ送信時には前記データを出力し、データ送信後にさらに別のデータを送信する場合には、先の前記データ送信後から所定の期間、先の前記データ送信時に最後に出力したデータを出力し続けるように、前記データ出力回路に対して制御信号を出力する制御回路と、を備える。

10

【0008】

上述のような回路構成により、電源ノイズを低減することができるため、データの送信を精度良く行うことができる。

【発明の効果】

【0009】

本発明により、データの送信を精度良く行うことが可能な半導体集積回路を提供することができる。

20

【図面の簡単な説明】

【0010】

【図1】本発明の実施の形態1にかかる半導体集積回路を示す図である。

【図2】本発明の実施の形態1にかかる半導体集積回路を示す図である。

【図3】本発明の実施の形態1にかかる半導体集積回路の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0011】

以下では、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。説明の明確化のため、必要に応じて重複説明は省略される。

30

【0012】

実施の形態1

本発明の実施の形態1について図面を参照して説明する。なお本発明は、データ送信回路と、当該データ送信回路からのデータを受信するデータ受信回路と、を備え、制御信号によってデータ送信回路からのデータ送信が制御される回路に対して適用可能である。本実施の形態では、S o C (S y s t e m O n C h i p) 回路とS D R A M (S y n c h r o n o u s D y n a m i c R a n d o m A c c e s s M e m o r y) 回路とを備え、両回路間で双方向にデータ転送が行われる信号線（以下、単に双方向用信号線と称す）を介してデータ転送が行われる場合を例に説明する。

40

【0013】

図1は、本発明の実施の形態1にかかる半導体集積回路である。図1に示す回路は、S o C 回路（データ送信回路）100とS D R A M 回路（データ受信回路）101とを備える。これら両回路間のデータ転送は、D D R (D o u b l e d a t a r a t e) 規格によって行われている。

【0014】

まず、本実施の形態1の回路構成について説明する。S o C 回路100は、2ビット幅のクロックC K と、クロックC K の差動信号である2ビット幅のクロックC K B と、をS D R A M 回路101に対して出力する。また、S o C 回路100は、S D R A M 回路101の各アドレスに対するコマンドが含まれる16ビット幅の制御信号C M D を、当該S D

50

R A M回路 1 0 1 に対して出力する。なお、S D R A M回路 1 0 1 は、クロック C K / C K B に同期して制御信号 C M D を取り込む。

【 0 0 1 5 】

また、S o C 回路 1 0 0 と S D R A M 回路 1 0 1 との間では、3 2 ビット幅のデータ D Q と、4 ビット幅のストロープ信号 D Q S 及びその差動信号 D Q S B と、が双方向に送受信される。なお、データ受信側となる受信側回路は、ストロープ信号 D Q S / D Q S B に同期して受信データ D Q を取り込む。なお便宜上、上記の各信号名は、同時にそれぞれ信号線名も表すものとする。

【 0 0 1 6 】

図 2 は、図 1 の回路のうち、1 ビットの双方向用信号線（ストロープ信号線 D Q S [3 : 0] / D Q S B [3 : 0] , データ信号線 D Q [3 1 : 0] のうちいずれか 1 ビットの信号線）とそれに対応する周辺回路のみを図示している。ここでは、この 1 ビットの双方向用信号線がデータ信号線 D Q [0] である場合を例に説明する。データ信号線 D Q [0] は、前述のように S o C 回路 1 0 0 と S D R A M 1 0 1 との間に接続される。

【 0 0 1 7 】

S o C 回路 1 0 0 は、外部端子 2 0 1 と、バッファ 2 0 2 と、送信データを出力するデータ出力回路 2 0 3 と、O D T 機能を有するターミネーション回路 2 0 4 と、データ出力回路 2 0 3 及びターミネーション回路 2 0 4 に対して制御信号を出力する制御回路 2 0 5 と、インバータ 2 0 6 と、を備える。ターミネーション回路 2 0 4 は、抵抗 2 0 7、2 0 8 と、スイッチ 2 0 9、2 1 0 と、を有する。データ出力回路 2 0 3 は、N A N D 回路 2 5 1 と、N O R 回路 2 5 2 と、トランジスタ 2 5 3、2 5 4 と、を有する。なお、スイッチ 2 0 9、トランジスタ 2 5 3 は P チャネル M O S トランジスタであって、スイッチ 2 1 0、トランジスタ 2 5 4 は N チャネル M O S トランジスタである場合を例に説明する。

【 0 0 1 8 】

S o C 回路 1 0 0 において、データ信号線 D Q [0] は、外部端子 2 0 1 を介して、バッファ 2 0 2 の入力端子とデータ出力回路 2 0 3 の出力端子とに接続される。

【 0 0 1 9 】

また、外部端子 2 0 1 とバッファ 2 0 2 との間にターミネーション回路 2 0 4 が設けられる。ターミネーション回路 2 0 4 において、高電位側電源端子 V D D と、外部端子 2 0 1 とバッファ 2 0 2 とを接続する信号線上のノード N 1 と、の間にスイッチ 2 0 9 及び抵抗 2 0 7 とが直列に接続される。低電位側電源端子 V S S とノード N 1 との間にスイッチ 2 1 0 と抵抗 2 0 8 とが直列に接続される。より具体的には、スイッチ 2 0 9 のソース端子は高電位側電源端子 V D D に接続される。スイッチ 2 0 9 のドレイン端子は抵抗 2 0 7 の一端に接続される。抵抗 2 0 7 の他端は抵抗 2 0 8 の一端に接続される。抵抗 2 0 8 の他端はスイッチ 2 1 0 のドレイン端子に接続される。スイッチ 2 1 0 のソース端子は低電位側電源端子 V S S に接続される。抵抗 2 0 7 の他端と抵抗 2 0 8 の一端とがノード N 1 に共通接続される。なお、高電位側電源端子 V D D とノード N 1 との間に直列に接続されたスイッチ 2 0 9 及び抵抗 2 0 7 は、接続関係を入れ替えても良い。同様に低電位側電源端子 V S S とノード N 1 との間に直列に接続されたスイッチ 2 1 0 と抵抗 2 0 8 とは、接続関係を入れ替えても良い。

【 0 0 2 0 】

バッファ 2 0 2 の出力端子は、制御回路 2 0 5 のデータ入力用の入力端子 I N に接続される。制御回路 2 0 5 の出力端子 C 1 は、スイッチ 2 0 9 のゲート端子に接続されるとともに、スイッチ 2 1 0 のゲート端子にインバータ 2 0 6 を介して接続される。このような周辺回路の構成は、他の双方向用信号線にも採用されている。なお、制御回路 2 0 5 は各双方向用信号線に共通に設けられる。

【 0 0 2 1 】

制御回路 2 0 5 のデータ出力用の出力端子 O U T は、データ出力回路 2 0 3 の N A N D 回路 2 5 1 の一方の入力端子と、N O R 回路 2 5 2 の一方の入力端子と、にそれぞれ接続される。制御回路 2 0 5 の制御信号 2 3 0 出力用の出力端子 E 1 は、データ出力回路 2 0

10

20

30

40

50

3のNAND回路251の他方の入力端子に接続されるとともに、インバータ255を介してNOR回路252の他方の入力端子に接続される。NAND回路251の出力端子は、トランジスタ253のゲート端子に接続される。AND回路252の出力端子は、トランジスタ254のゲート端子に接続される。トランジスタ253, 254は、高電位側電源端子VDDと低電位側電源端子VSSとの間に直列に接続される。つまり、トランジスタ253, 254によりインバータを構成する。トランジスタ253のドレイン端子とトランジスタ254のドレイン端子とが、バッファ202と外部端子201との間の信号線上のノードに共通接続される。

【0022】

次に、本実施の形態1の動作について説明する。SoC回路100がSDRAM回路101からのデータを受信(リード)する場合について説明する。まず、SoC回路100は、SDRAM回路101に対して制御信号CMDを出力する。その後、SDRAM回路101は、例えば、制御信号CMDによって指定されたアドレスのデータDQとストロープ信号DQS/DQSBとをSoC回路100に対して送信する。このとき、SDRAM回路101から送信されるデータDQは、所定のバースト長を有する。

【0023】

SoC回路100は、対応する信号線、外部端子201、及びバッファ202を介して各信号を受信する。なお、SoC回路100は、データDQをストロープ信号DQS/DQSBに同期して受信する。SoC回路100が受信したデータは、制御回路205やその他の周辺回路(不図示)に入力される。SoC回路100が制御信号CMDを送信してからデータDQの受信を開始するまでの期間をリードレイテンシ(RL)と称す。

【0024】

SoC回路100は、SDRAM回路101からのデータ受信時において、データ信号線DQ上及びストロープ信号線DQS/DQSB上に発生する電源ノイズを抑制するために、対応するターミネーション回路204のODT機能をオンする。つまり、SoC回路100は、制御回路205からの制御信号200に基づいて各ターミネーション回路204に含まれるスイッチ209, 210をオンする。そして、SoC回路100は、対応する信号線上のノードを所定の電位(例えば、高電位側電源VDDの1/2の電位)にする。それにより、SoC回路100は、受信データに含まれる電源ノイズを低減し、データの受信を精度良く行うことができる。

【0025】

さらにSoC回路100は、制御回路205からの制御信号230に基づいて、データ出力回路203がSDRAM回路101に対して送信データを出力しないように制御する。つまりSoC回路100は、Lレベルの制御信号230により、データ出力回路203の出力をハイインピーダンス状態(HiZ)にする。ここで、制御信号230がLレベルの場合、トランジスタ253, 254はいずれもオフに制御されるため、データ出力回路203の出力はHiZを示す。それによりSoC回路100は、データ出力回路203から出力されるデータに影響されることなく、SDRAM回路101から送信されたデータの受信を精度良く行うことができる。

【0026】

SoC回路100がSDRAM回路101に対してデータを送信(ライト)する場合について説明する。まず、SoC回路100は、SDRAM回路101に対して制御信号CMDを出力する。その後、SoC回路100は、データDQ及びストロープ信号DQS/DQSBをSDRAM回路101に対して送信する。このとき、SoC回路100から送信されるデータDQは、所定のバースト長を有する。

【0027】

そして、SDRAM回路101は、データDQをストロープ信号DQS/DQSBに同期して受信する。データDQは、例えば、制御信号CMDによって指定されたアドレスに書き込まれる。なお、SoC回路100が制御信号CMDを送信してからデータDQの送信を開始するまでの期間をライトレイテンシ(WL)と称す。

【 0 0 2 8 】

S o C回路 1 0 0は、S D R A M回路 1 0 1へのデータ送信時において、対応するターミネーション回路 2 0 4のO D T機能をオフする。つまり、S o C回路 1 0 0は、制御回路 2 0 5からの制御信号 2 0 0に基づいて各ターミネーション回路 2 0 4に含まれるスイッチ 2 0 9, 2 1 0をオフし、データ出力回路 2 0 3及び外部端子 2 0 1を介してS D R A M回路 1 0 1に対して送信するデータの電位を減衰させないようにする。それにより、S o C回路 1 0 0は、S D R A M回路 1 0 1へのデータの送信を精度良く行うことができる。

【 0 0 2 9 】

そしてS o C回路 1 0 0は、制御回路 2 0 5からの制御信号 2 3 0に基づいて、データ出力回路 2 0 3がS D R A M回路 1 0 1に対して送信データを出力するように制御する。つまりS o C回路 1 0 0は、Hレベルの制御信号 2 3 0により、データ出力回路 2 0 3が送信データを出力するように制御する。ここで、制御信号 2 3 0がHレベルの場合、トランジスタ 2 5 3, 2 5 4は、制御回路 2 0 5から出力される送信データに応じてオンオフが制御される。それによりS o C回路 1 0 0は、S D R A M回路 1 0 1に対してデータの送信を行う。

【 0 0 3 0 】

このようにS o C回路 1 0 0は、S o C回路 1 0 0がS D R A M回路 1 0 1からのデータを受信するリードモードと、S o C回路 1 0 0がS D R A M回路 1 0 1に対してデータを送信するライトモードと、を制御信号C M Dによって切り替える。また、S o C回路 1 0 0は、1クロックC K周期分のデータ長を有する制御信号C M Dを所定の間隔で出力する。

【 0 0 3 1 】

例えば、S o C回路 1 0 0は、リード/ライトモードでデータを受信/送信し、その後所定の間隔において、再び同じモードで別のデータを送受信する。あるいは、S o C回路 1 0 0は、リード/ライトモードでデータを受信/送信し、その後所定の間隔において、当該モードと異なるモードで別のデータを送受信する。このようなデータの送受信が繰り返される。

【 0 0 3 2 】

ここで本実施の形態では、S o C回路 1 0 0がライトモードでデータを送信し、その後所定の間隔において、再びライトモードで別のデータを送信する場合に特徴を有する。このときの動作について、図 3を用いて説明する。

【 0 0 3 3 】

まず、S o C回路 1 0 0は、S D R A M回路 1 0 1に対して制御信号C M D (図 3のA; 以下、単に「ライトコマンドA」と称す)を出力する。S o C回路 1 0 0は、ライトレイテンシW L (図 3のC)の期間を経て、所定のバースト長を有するデータD Q (図 3のD)と、それに対応するストローク信号D Q S / D Q S Bと、をS D R A M回路 1 0 1に対して送信する。

【 0 0 3 4 】

ここでS o C回路 1 0 0は、データを送信する場合、対応するデータ出力回路 2 0 3から送信データを出力する。

【 0 0 3 5 】

S o C回路 1 0 0は、ライトコマンドAを出力後、所定の間隔 (図 3のB)において、ライトコマンドE (図 3のE)を出力する。S o C回路 1 0 0は、ライトレイテンシW L (図 3のF)の期間を経て、所定のバースト長を有するデータD Q (図 3のG)と、それに対応するストローク信号D Q S / D Q S Bと、をS D R A M回路 1 0 1に対して送信する。

【 0 0 3 6 】

このとき、制御回路 2 0 5は、ライトコマンド (A, E)の間隔Bと、ライトレイテンシW L (C, F)と、データD Qのバースト長 (D, G)と、に基づいて、データD Qが

10

20

30

40

50

転送されていない期間(H)を算出する。それにより、制御回路205は、データDQが転送されていない期間(H)、データ出力回路203から送信データを出力するか否かを判定する。そして制御回路205は、その判定結果に基づいてデータ出力回路203に対して制御信号230を出力する。

【0037】

期間(H)が予め設定されたしきい値以下の場合には、期間(H)中、データ出力回路203はデータDQ(D)の最後のデータ(図3のデータ03)を出し続ける。一方、期間(H)が予め設定されたしきい値を超える場合には、期間(H)中、データ出力回路203は出力をHiZに切り替える。

【0038】

ライトモードが連続する場合において、データ転送が行われない期間(例えば、図3のH)中、データ出力回路203が最後に出力したデータを出し続けた場合、データ出力回路203の出力側の信号線には、データ出力回路203が出力をHiZへ切り替えることによる電源ノイズは発生しない。そのためSOC回路100は、従来問題となっていた電源ノイズの影響を低減し、データの送信を精度良く行うことができる。

【0039】

一方、ライトモードが連続する場合において、データ転送が行われない期間(例えば、図3のH)がしきい値を超える場合、データ転送が行われない期間中、データ出力回路203は出力をHiZに切り替える。ここで、データ転送が行われない期間が長いため、データ出力回路203の出力状態が切り替わることによって発生する信号線上の電源ノイズは収束する。そのため、SOC回路100は、この電源ノイズの影響を受けることなく、再びデータ出力回路203から送信データを出力することができる。つまり、SOC回路100は、電源ノイズの影響を低減し、データの送信を精度良く行うことができる。なお、データ出力回路203の出力をHiZに切り替えるタイミングは、次のデータ送信が開始されるまでに電源ノイズが収束するのであればいつでも良い。

【0040】

このように、本実施の形態にかかる半導体集積回路は、データ送信回路(例えばSOC回路100)が連続してデータを送信する場合において、データ送信の間隔に応じて当該データ送信回路に備えられたデータ出力回路(例えばデータ出力回路203)の出力を制御する。つまり、データ送信の間隔に応じて、データ出力回路203が送信データを出し続けるか、出力をHiZに切り替えるか、を制御する。それにより、本実施の形態にかかる半導体集積回路は、電源ノイズの影響を低減し、データの送信を精度良く行うことができる。

【0041】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。上記実施の形態では、SOC回路100がSDRAM回路101に対してデータを送信する場合について説明したが、これに限られない。SDRAM回路101がSOC回路100に対してデータを送信する場合にも本発明を適用可能である。その場合、上記実施の形態で示したデータ出力回路203の場合と同様に、SDRAM回路101に備えられたデータ出力回路を制御する必要がある。

【0042】

また上記実施の形態では、データ送信回路(例えばSOC回路100)が連続してデータを送信する場合において、制御回路205が、アドレスコマンド間隔、ライトレイテンシWL、データDQのバースト長、に基づいて制御信号(例えば制御信号230)を出力する場合について説明したが、これに限られない。データ送信間隔に基づいてデータ出力回路203の制御が可能であれば、上記情報のうち少なくとも1つの情報(例えばアドレスコマンド間隔)に基づいて制御信号(例えば制御信号230)を出力するような回路構成にも適宜変更可能である。

【0043】

また上記実施の形態では、データ出力回路203の出力側の信号線が双方向用信号線で

10

20

30

40

50

ある場合を例に説明したが、これに限られない。データ出力回路 2 0 3 の出力側の信号線が、データ送信用の信号線である場合にも適用可能である。

【 0 0 4 4 】

また、ターミネーション回路は上記実施の形態に示す回路に限られない。所定の電位（例えば、高電位側電源 V D D の 1 / 2 の電位）を有する電源端子と、対応する信号線上のノードと、の間に直列に接続された抵抗及びスイッチを有する回路構成にも適宜変更可能である。さらに上記実施の形態では、ターミネーション回路を備えた場合を例に説明したが、ターミネーション回路を備えない回路構成にも適宜変更可能である。

【 0 0 4 5 】

また上記実施の形態では、半導体集積回路が 1 つの S D R A M 回路を備えた場合について説明したが、これに限られない。半導体集積回路が複数の S D R A M 回路を備えた回路構成にも適宜変更可能である。

10

【符号の説明】

【 0 0 4 6 】

- 1 0 0 S o C 回路
- 1 0 1 S D R A M 回路
- 2 0 0 制御信号
- 2 0 1 外部端子
- 2 0 2 バッファ
- 2 0 3 データ出力回路
- 2 0 4 ターミネーション回路
- 2 0 5 制御回路
- 2 0 6 インバータ
- 2 0 7 抵抗
- 2 0 8 抵抗
- 2 0 9 スイッチ
- 2 1 0 スイッチ
- 2 3 0 制御信号
- 2 5 1 N A N D 回路
- 2 5 2 N O R 回路
- 2 5 3 トランジスタ
- 2 5 4 トランジスタ
- 2 5 5 インバータ

20

30

フロントページの続き

(56)参考文献 特開平04 - 085791 (JP, A)
特開2009 - 129522 (JP, A)
特開平07 - 182078 (JP, A)
特開2000 - 295087 (JP, A)
特開2006 - 040318 (JP, A)
特開2007 - 193431 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F15/78
G06F 3/00
H03K19/00 - 19/082
H03K19/094 - 19/096
G11C11/401 - 11/56
G11C14/00
G06F12/00 - 12/06
G06F13/16 - 13/18