(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년01월28일
(11) 등록번호 10-1227210
(24) 등록일자 2013년01월22일

(51) 국제특허분류(Int. Cl.)
H01L 21/44 (2006.01) *G01R 31/26* (2006.01)
(21) 출원번호 10-2006-7027716
(22) 출원일자(국제) 2005년05월19일
심사청구일자 2010년05월19일
(85) 번역문제출일자 2006년12월28일
(65) 공개번호 10-2007-0083395
(43) 공개일자 2007년08월24일
(86) 국제출원번호 PCT/US2005/017702
(87) 국제공개번호 WO 2006/007141
국제공개일자 2006년01월19일
(30) 우선권주장
10/879,242 2004년06월29일 미국(US)
(56) 선행기술조사문헌
US06187114 B1
전체 청구항 수 : 총 5 항

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리암 캐논 드라이브 웨스트 6501
(72) 발명자
버네트, 데리, 이.
미국 78130 텍사스주 뉴 브라운펠스 레이크크릭 드라이브 264
코시미더, 토마스, 에이치.
미국 78703 텍사스주 오스틴 피스 로드 넘버5 1605
(74) 대리인
백만기, 이중희, 주성민

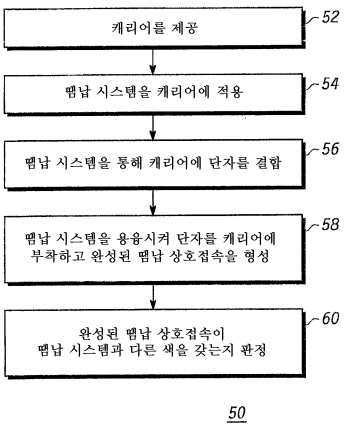
심사관 : 최상원

(54) 발명의 명칭 **리드 땜납 표시자 및 그 방법**

(57) 요 약

땜납 시스템(14)은 리드(Pb) 표시자 및 땜납 플럭스를 포함한다. 반도체 디바이스를 형성하기 위한 방법은 캐리어(52)를 제공하는 단계, 땜납 시스템을 캐리어(54)에 적용하는 단계, 땜납 시스템(56)을 통해 단자를 캐리어에 결합하는 단계, 땜납 시스템을 용융시켜 단자를 캐리어에 부착하고 완성된 반도체 디바이스(58)를 형성하는 단계, 및 완성된 반도체 디바이스가 땜납 시스템(60)과 상이한 소정의 속성을 갖는지 판정하는 단계를 포함한다.

대 표 도 - 도9



특허청구의 범위

청구항 1

단자(terminal)를 캐리어(carrier)에 연결하기 위한 땜납 시스템으로서,

리드(Pb)의 존재를 검출하기 위한 리드(Pb) 표시자; 및

상기 리드(Pb) 표시자를 담는(carry) 땜납 플럭스(flux)

를 포함하는 땜납 시스템.

청구항 2

제1항에 있어서,

상기 캐리어는 상기 땜납 시스템으로 코팅되는 땜납 시스템.

청구항 3

제2항에 있어서,

상기 캐리어는 인쇄회로보드 및 볼 그리드 어레이(ball grid array) 기판으로 구성되는 그룹으로부터 선택되는 땜납 시스템.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

반도체 디바이스를 형성하기 위한 방법으로서,

캐리어를 제공하는 단계;

땜납 시스템을 상기 캐리어에 도포하는(apply) 단계 - 상기 땜납 시스템은 리드(Pb) 표시자 및 땜납 플럭스를 포함함-;

상기 땜납 시스템을 통해 단자를 상기 캐리어에 연결하는 단계;

상기 땜납 시스템을 용융하여 상기 단자를 상기 캐리어에 부착하고, 완성된 반도체 디바이스를 형성하는 단계; 및

상기 완성된 반도체 디바이스가 상기 땜납 시스템과 다른 소정의 속성을 갖는지 판정하는 단계

를 포함하는 반도체 디바이스 형성 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

제13항에 있어서,

상기 땜납 시스템을 도포하는 단계는, 상기 리드(Pb) 표시자로서 시각적 리드(Pb) 표시자를 포함하는 땜납 시스템을 도포하는 단계를 더 포함하는 반도체 디바이스 형성 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

명 세 서

기 술 분 야

[0001] 본 발명은 일반적으로 반도체 디바이스에 관한 것으로, 더욱 특히 리드-프리 땜납을 이용하는 반도체 디바이스에 관한 것이다.

배 경 기 술

[0002] 일본 및 유럽연합 정부는 제품에서 환경 유해 물질을 제거하여 "그린(green)" 제품을 만들기 위해 산업계에 요구하는 정책들이 있다. 타겟이 되는 한 물질은 리드(Pb)로서, 보드에 컴포넌트를 부착시키는데 역사적으로 사용되던 땜납 페이스트 및 플라스틱 볼 그리드 어레이(PBGA) 땜납 볼의 주요 구성요소이다. 통상 사용되는 리드 함유 땜납 페이스트는 공정(eutectic) 주석-리드(63wt%Sn/37wt%Pb)이며, 볼은 통상 공정 주석 리드이거나 또는 2% Ag(62wt%Sn/36wt%Pb/2wt%Ag)를 포함한다. 이런 규정의 결과, 반도체 업계는 리드-프리(lead-free) 땜납으

로 이동하고 있다. 산업계에서 연구중인 리드-프리 땜납은 통상 주석(Sn), 은(Ag), 구리(Cu), 인듐(In), 안티몬(Sb), 및 비스무스(Bi)와 같은 원소를 포함한다.

[0003] 이런 규정에 따르기 위하여, 회사들은 리드-프리와 리드 함유 물질들 간을 용이하게 구별할 필요가 있다. 예컨대, 조립자는 특히 단자의 화합물이 미지인 경우, 인쇄회로기판(PCB)에 반도체 디바이스를 땜납하기 이전에 반도체 디바이스가 리드-프리되었는지 검증하길 원한다. 또한, 이들을 BGA(ball grid array) 기판에 부착할 때 리드-프리(Pb-프리) 및 리드 함유(Pb-함유) 볼이 혼합되는 리스크가 존재하게 되어, 화합물의 테스팅은 이런 리스크를 회피하는데 바람직할 수 있다. 리드가 존재하는지를 판정하는 테스팅 일 방법은 분석적 테스팅을 수행하는 단계를 포함하나, 이는 비용, 시간, 및 제조 복잡성을 증가시킨다.

[0004] 페인트 및 도자기 접시를 테스트하기 위해 가정에서 아주 빈번히 사용되는, 다른 리드-테스팅(Pb-테스팅) 방법은 테스트 스왑(swap), 예컨대 LeadCheck®에서 파는 리드-테스트 키트에서 상용가능한 것을 이용한다. 그러나, 테스트 스왑은 각각의 물질의 수동 테스팅을 요구한다. 이는 비용 및 사이클 시간의 증가를 초래한다.

발명의 상세한 설명

[0005] 따라서, 물질이 사이클 및 비용의 증가없이 리드-프리인지 여부를 검출하는 방식에 대한 필요가 존재하게 되었다.

실 시 예

[0017] 반도체 제품에서 리드를 감소시키기 위한 규정에 따르고 있는지를 결정하기 위하여, 회사는, 리드를 검출하는 용이한 방법을 필요로 한다(각 부품을 수동으로 체크하는 것은 실현불가능하다). 단자, 단자 코팅, 캐리어, 캐리어 코팅, 일부분이 캐리어에 연결된 땜납 시스템, 땜납 시스템의 코팅 등에 화학물을 둘 수 있다. 단자는 볼(또는 스피어(sphere)), 리드(예컨대, J-리드), 무리드(no-lead), 핀, 엔드 캡, 패드 등일 수 있다. 단자는 패키지의 일부이거나 독립형(stand alone)일 수 있다. 단자는 QFP(quad flat package) 상의 J-리드, BGA 기판에 부착된 볼, 또는 BGA 기판에 부착되지 않은 볼 등일 수 있다. 캐리어는 PCB, BGA 기판, 임의의 다른 기판, 또는 임의의 지지 구조일 수 있다. 땜납 시스템은 땜납 플럭스, 땜납 페이스트 등일 수 있다.

[0018] 일 실시예에서 산 또는 염인 리드(Pb) 표시자는 캐리어, 단자, 또는 땜납 시스템에 부가될 수 있거나, 캐리어 상의 코팅, 단자 또는 도전성 재료로서 형성될 수 있다. 온도가 상승시, 리드(Pb) 표시자는 리드가 존재한다면 이에 반응하며, 땜납 시스템의 속성을 변경시킨다. 일례에서, 리드(Pb) 표시자는 반응하지 않은 리드(Pb) 표시자에서의 재료색과 다른 색, 예컨대 핑크 또는 블랙을 형성한다. 일 실시예에서, 반응은 리플로우 프로세스 동안 일어나며, 이는 땜납 시스템을 녹이고 땜납 상호접속을 형성하는데 사용된다.

[0019] 땜납 시스템내의 리드(Pb) 표시자는 많은 구조에 적용될 수 있다. 도 1-8은 리드(Pb) 표시자의 사용으로부터 이득이 되는 일부 다른 구조를 도시한다. 도 9는 도 2, 4, 6 및 8의 땜납 시스템 모두를 형성하는 방법(50)을 도시한다.

[0020] 방법(50)의 제1 프로세스(52)에서, 캐리어가 제공된다. 캐리어는 이전에 논의된 임의의 캐리어, 예컨대 BGA 기판 또는 PCB일 수 있다. 땜납 시스템은 제2 프로세스(54) 동안 캐리어에 적용된다. 일 실시예에서, 땜납 시스템은 리드(Pb) 표시자, 땜납 플럭스 및 도전성 재료를 포함한다. 도전성 재료는 주석(Sn) 및 리드(Pb)의 공정 화합물을 포함하는 땜납 파우더일 수 있으며, 땜납 플럭스는 로진-기저(rosin-based) 또는 디터젠트-기저(detergent-based)의 액체일 수 있다. 제3 프로세스(56)에서, 단자는 땜납 시스템을 통해 캐리어에 연결된다. 다음으로, 제4 프로세스(58)에서, 땜납 시스템은 단자를 캐리어에 부착하도록 용융되며, 완성된 땜납 상호접속을 형성한다. 일 실시예에서 용융은 리플로우 프로세스 동안 일어난다. 제5 프로세스(60)에서는 완성된 땜납 상호접속이 미리결정된 속성, 예컨대 땜납 시스템과는 다른 색을 갖는지 결정한다. 갖는다면, 리드는 존재한다.

[0021] 도 1은 용융 프로세스 이전에 QFP 상의 리드(16)를 나타내는 반도체 디바이스(10)의 단면도이다. 반도체 디바이스(10)는 도전성 패드(11) 상에 형성되는 땜납 시스템(14)에 놓이는 리드(16)를 포함한다. 도전성 패드(11)는 이를 전기적으로 분리시키는 비도전성 재료(13)의 리세스 내에 형성된다. 비도전성 재료(13) 및 도전성 패드(11)는 캐리어(12)를 형성한다. 일 실시예에서, 캐리어(12)는 PCB 기판이며, 여기서 비도전성 재료(13)는 땜납 마스크와 같은 유기 재료이며, 도전성 패드는 구리 또는 구리 합금을 포함한다. 일 실시예에서, 도전성 패드(11)는 캐리어(12)의 도전성 라인의 일부이며, 하나의 층 또는 재료, 또는 다층 또는 재료일 수 있다. 캐리

어(12)는 비도전성 재료(13) 및 도전성 패드(11) 위의 OSP(organic surface protectant) 코팅을 구비한다. 일 실시예에서, OSP는 리드(Pb) 표시자를 포함한다.

[0022] 리드(16)는 L형 리드(도 1에 도시됨)와 같은 임의의 리드일 수 있다. 일 실시예에서, 리드(16)는 캐리어(12)에 실질적으로 평행한 풋(foot)(18)을 가진다. 풋은 수동으로, 혹은 기계 등에 의해 땜납 시스템(14) 위에 배치된다. 단지 하나의 리드가 도 1에 도시된다 할지라도, 리드(16)는 모든 도면에서 각각의 리드에서 진실한 패키지상의 복수의 리드중 하나일 수 있다.

[0023] 땜납 시스템(14)은 스크린 인쇄와 같은 임의의 적당한 프로세스에 의해 캐리어(12)에 적용될 수 있다. 일 실시예에서, 땜납 시스템(14)은 땜납 플럭스 및 땜납 파우더를 포함한다. 다른 실시예에서, 땜납 시스템(14)은 땜납 플럭스 및 리드(Pb) 표시자를 포함한다. 또 다른 실시예에서, 땜납 시스템(14)은 또한 파우더일 수 있는 땜납 페이스트를 포함한다. 일 실시예에서, 땜납 페이스트는 리드(Pb), 예컨대 63wt%주석(Sn) 및 37wt% 리드(Pb) 페이스트를 포함한다. 다른 실시예에서, 땜납 페이스트는 95.5wt%주석(Sn), 4wt%은(Ag) 및 0.5wt%구리(Cu) 페이스트와 같은 리드-프리(Pb-프리)이다. 땜납 플럭스는 로진-기저(예컨대, 백색 파인 로진) 또는 디터전트-기저 유기산일 수 있다. 종래에는, 땜납 플럭스는 산화물 레벨을 감소시키고 리플로우 이전에 땜납 파우더를 임시로 바인딩하는데 도움이 되도록 사용되었다. 그러나, 땜납 플럭스는 또한 리드(Pb) 표시자를 위한 캐리어가 될 수 있다. 도시된 바와 같이, 땜납 시스템(14)은 땜납 합금의 다수의 개별적인 입자로 형성된다.

[0024] 리드(Pb) 표시자는 땜납 시스템(14)에 부가될 수 있고, 캐리어(12)상에 또는 그 안에 설치될 수 있거나, 리드(16), 특히 풋(18)상에 또는 그 안에 설치될 수 있다. 즉, 땜납 시스템(14), 캐리어(12), 또는 리드(16)는 리드(Pb) 표시자를 위한 캐리어가 될 수 있다. 리드 표시자(Pb)는 프로세스 중에 이미 존재하거나 부가적인 코팅으로서 적용되는 액체와 같은 합성물로 혼합될 수 있다. 리드(Pb) 표시자 자체는 액체가 될 수 있다. 리드(Pb) 표시자가 캐리어상에 있으면, 이는 캐리어(12)상의 OSP 코팅내에 있을 수 있다. 본 실시예에서, 캐리어(12) 제조자 또는 OSP 제조자는 리드(Pb) 표시자를 캐리어(12)에 적용하기 이전에 OSP 코팅에 혼합할 수 있다. 리드(Pb) 표시자가 리드(16)상에 또는 그 안에 설치되면, 이것은 각각 리드상에 코팅이 될 수 있거나, 리드를 구성하는데 이용되는 도전성 재료에 혼합될 수 있다. 리드(Pb) 표시자는 땜납 시스템의 제조자 또는 땜납 시스템의 추후 구매자에 의해 땜납에 혼합될 수 있다.

[0025] 리드(Pb) 표시자는, 반도체 패키징 프로세스에서 존재하는 임의의 조건동안 리드(Pb)와 반응할 때, 색과 같은 속성이 변하는 임의의 재료가 될 수 있다. 일 실시예에서, 리드(Pb) 표시자는 열이 가해질 때 땜납 시스템에서 임의의 리드(Pb)와 반응하고, 임의의 리드(Pb)가 존재하면, 리드(Pb) 표시자는, 색을 변화시키거나 새로운 케미컬(chemical)을 생성하는 것과 같이, 땜납의 속성을 변화시킨다. 양호한 실시예에서, 리드(Pb) 표시자는 시각적 리드 표시자이고, 시각적 검사에 의해 검출될 수 있다. 일 실시예에서, 시각적 검사는 수동(예컨대, 인간의 눈)이고, 다른 실시예에서, 시각적 검사는 자동(예컨대, 기계)이다. 일 실시예에서, 자동 시각적 검사는 백색광 또는 레이저를 이용한다. 일 실시예에서, 기계는 리드(Pb) 표시자가 리드와 반응할 때 존재하는 케미컬의 존재를 검출한다. 일 실시예에서, 리드(Pb) 표시자는 염(salt) 또는 산(acid)이다. 예컨대, 리드(Pb) 표시자는, 리드와 반응할 때 불그스레한 핑크색을 나타내는 로디조닉 산 디소디엄 염(rhodizonic acid disodium salt)이거나, 리드(Pb)와 반응하여 리드(Pb) 황화물, 검은색 침전물을 형성하는 황화 나트륨이 될 수 있다.

[0026] 일 실시예에서, 리드(Pb) 표시자는 땜납 시스템에 열이 인가될 때 반응한다. 일 실시예에서, 땜납 시스템이 운반되거나 땜납 리플로우 노(furnace)를 통해 처리될 때, 열이 인가된다. 땜납 시스템(14)이 리드 프리(Pb-free)이면, 최소 온도는 대략 섭씨 217도가 될 수 있다. 땜납 시스템(14)이 리드(Pb)를 포함하면, 최소 온도는 대략 섭씨 183도가 될 수 있다.

[0027] 도 2는 땜납 상호접속이 형성될 때 리플로우후의 반도체 디바이스(10)를 도시한다. 땜납 상호접속은 리드(16)를 캐리어(12)에 연결하는 땜납을 포함한다. 리플로우에 수반되는 물리적 현상으로 인해, 필렛(fillet)(2)이 땜납(17)의 단부에 존재할 수 있다. 게다가, 잔여물(residue)(19)이 리드(16)의 풋(18)상에 존재할 수 있다. 잔여물(19)은 땜납 리플로우 프로세스의 결과이고, 왁스와 같은 경도(consistency)를 가질 수 있다. 잔여물(19)은 리드(Pb) 표시자를 포함할 수 있다. 리드(Pb) 표시자가 존재하지 않으면, 잔여물(19)은 통상적으로 약한 호박색(amber) 또는 백색 톤이다. 리드(Pb) 표시자가 로디조닉 산 또는 황화 나트륨이고, 리드가 존재하면, 잔여물(19)은, 리드(Pb) 표시자가 이용되는 것에 기초하여, 각각 핑크 또는 검정색이 될 수 있다. 잔여물(19)은 땜납(17)위에 존재하고, 땜납(17)과 오버랩될 수 있다. 잔여물(19)의 상부는 명확화를 위해 점선으로 표시된다.

[0028] 잔여물은 테르펜(terpene) 또는 워터 세정과 같은 종래의 세정 프로세스를 이용하여 제거될 수 있다. 잔여물

(19)(또는 땜납(17))내의 리드(Pb) 표시자의 존재는, 잔여물 및 잔여물내에 존재하는 임의의 리드(Pb) 표시자를 제거하는 종래의 세정 프로세스를 이용하는 능력에 영향을 주지않는 것으로 여겨진다. 즉, 세정 프로세스는 리드(Pb) 표시자의 존재로 인해 더 곤란해지지 않는 것으로 여겨진다.

[0029] 리드(Pb) 표시자는, 도 3 및 4에 도시된 바와 같이, 반도체 디바이스(20)를 형성하기 위해, (BGA) 기판에 볼(또한 "구"로도 명칭됨)을 부착할 때 유용하다. 도 3의 반도체 디바이스(20)는 볼(26), 캐리어(22), 및 땜납 시스템(24)을 포함한다. 캐리어(22)는 도전성 패드(21) 및 비도전성 재료(23)를 포함한다. 캐리어(22)는 BGA 기판 또는 LGA(land grid array)가 될 수 있고, 이것은 정사각형, 직사각형 또는 다른 형상의 패드를 갖는 캐리어이다. 도전성 패드(21)는 구리와 같은 임의의 도전성 재료 또는 재료들의 층이 될 수 있다. 땜납 시스템(24)은 도 1 및 도 2에서 땜납 시스템(14)으로 기술된 임의의 재료가 될 수 있다. 도 3에 도시된 실시예에서, 땜납 시스템(24)은 입자가 없는 플럭스를 포함한다.(땜납 시스템(24)은 땜납 합금의 각각의 입자를 갖지 않는 것으로 도시됨.) 그러나, 임의의 적절한 땜납 시스템도 이용될 수 있다.

[0030] 일 실시예에서, 기계는 플랫폼 또는 캐리어(22)상의 격자로부터 볼(26)을 집어서 위치시킨다. 캐리어(22)상에 위치하는 볼(26)이 리드(Pb)를 포함하는지 아는 것이 바람직하다. 예컨대, 이것이 상용 리드 프리(Pb-free) 부분이면, 제조사는 BGA 패키지를 버리지 않기를 원하는데, 그 이유는 볼(26)의 단지 하나 또는 일부만이 리드(Pb)를 포함하기 때문이다. 일반적으로, 제품을 생산하는데 소모되는 금액이 프로세스의 각 단계에서 증가하기 때문에, 제품이 더 완성되어 갈수록 제품을 폐기하는 것이 덜 바람직하게 된다. 일 실시예에서, 볼(26)은 황화 나트륨을 포함하고, 고온 프로세스(예컨대, 섭씨 179도 보다 높음)와 같은 프로세싱을 거치고, 이에 따라 황화 나트륨은 임의의 기존 리드와 반응한다. 백색광 또는 레이저를 이용하여, 리드를 포함하는 볼(26)은 검은색으로 나타나게 되고, 따라서 픽-앤-플레이스(pick-and-place) 기계는 볼이 존재하는지 인식하지 못하게 된다. 즉, 리드(Pb)를 갖는 볼의 위치는 기존의 볼이 없는 위치와 동일하게 보여, 기계는 리드(Pb)를 갖는 볼을 스킵(skip)하게 된다.

[0031] 대안적으로, 리드(Pb) 표시자는 캐리어(22)상의 땜납 시스템(24)에 존재할 수 있고, 볼(26)을 캐리어(22)에 부착할 때의 리플로우 동안 임의의 리드(Pb)와 반응한다. 도 4에 도시된 바와 같이, 리플로우후에, 땜납 시스템(24)은 땜납 상호접속을 형성한다. 도 1 및 2에서의 리플로우와 동일한 프로세싱이 이용될 수 있다. 리플로우 동안, 땜납 시스템(24)은 볼(26)과 함께 병합되고, 볼(26)을 변형시킨다. 볼(26)은 반구가 되거나, 직경이 확장하여 구형상이 변형되고, 땜납 시스템(24)과 병합될 때 볼(26)과 도전성 패드(21)간의 계면에서 평평한 것처럼 보인다. 본 명세서에서 이용된 것과는 무관하게, 볼(26)은 그 변형된 형상과는 관계없이 볼(26)로 명칭된다. 다시 말해, 프로세싱의 상이한 단계에서 볼(26)은 상이한 형상을 가질 수 있고, 심지어 완전한 구형이 되지 않을 수 있다. 도 2에서와 유사하게, 잔여물(28)이 존재할 수 있고, 리드(Pb) 표시자를 포함할 수 있다. 도 2에서 설명된 동일한 세정 프로세스가 도 4의 반도체 디바이스(20)에 이용될 수 있다.

[0032] 캐리어(22)가 볼(26)과 같은 볼과 파퓰레이팅(populate)된 후, 반도체 디바이스(20)를 포함하는 패키지가 형성된다. (반도체 디바이스(20)의 단지 일부분만이 도 5 및 6에 도시된다.) 패키지는 다음에 다른 캐리어에 부착될 수 있다. 패키지 및 캐리어의 일부가 반도체 디바이스(30)로서 도 5에 도시된다. 땜납(도시되지 않음)에 의해 도전성 패드(21)에 연결된 볼(26)은 땜납 시스템(34)상에 위치되고(예컨대, 수동 또는 기계에 의해), 이것은 이전에 기술된 임의의 땜납 시스템이 될 수 있다. 땜납 시스템(34)은 비도전성 재료(33)의 리세스(recess)에서 도전성 패드(31)위에 놓인다. 도전성 패드(31) 및 비도전성 재료(33)는 캐리어(32)를 형성한다. 반도체 디바이스(30)의 이들 일부는 도 1 및 2의 도전성 패드, 비도전성 재료(13) 및 캐리어(12)와 동일할 수 있다. 실제로, 도 5 및 6은, 전자로 단자가 BGA 패키지의 볼이라는 것과 후자로 단자가 QFP의 리드라는 것을 제외하고 도 1 및 2와 매우 유사하다.

[0033] 반도체 디바이스(30)는 도 2에서 이전에 기술된 리플로우 프로세스를 이용하여 리플로우되고, 이에 따라 땜납 시스템(34)은 땜납 상호접속이 된다. 리플로우동안, 땜납 시스템(34)은 볼(26)과 병합되고, 볼(26)을 변형시킬 수 있다. 볼(26)은 변형된 구형이 되거나, 원통 형상이 될 수 있는데, 그 이유는 캐리어(22)에 연결될 때 이전에 변형되었으며 캐리어(32)에 연결될 때 다시 변형되기 때문이다. 그 형상과는 무관하게, 엘리먼트(26)는 여전히 볼로 명칭된다.

[0034] 이전에 기술된 다른 리플로우 프로세스와 유사하게, 잔여물(36)이 존재한다. 잔여물(36)은 리드(Pb) 표시자를 포함할 수 있다. 리드가 볼(26) 또는 땜납 시스템(34)에 존재하면, 리드(Pb) 표시자는 땜납의 속성(예컨대 색상)을 변화시킨다. 전술한 바와 같이, 임의의 종래의 세정이 잔여물(36)을 제거하기 위해 수행될 수 있다.

[0035] 도 5 및 6과 유사하게, 도 7 및 8은 볼(26) 및 캐리어(22)를 리드리스(leadless) 패키지 또는 리드리스 캐리어

인 캐리어(44)와 교체한다. 반도체 디바이스(40)에서, 캐리어(44)는 QFN(quad flat no lead) 패키지, 리드리스 LGA등이 될 수 있다. 리드리스 캐리어(44)는 기판(46) 및 도전성 패드(48)를 포함한다. 도전성 패드(48)는 도 7에 도시된 바와 같이, 정사각형 또는 직사각형 또는 원형과 같은 형상이 될 수 있다. 도전성 패드(48)는 틴-리드(Sn-Pb) 합금, 니켈 팔라듐등과 같은 임의의 도전성 재료가 될 수 있다. 도전성 패드(48)는 땜납 시스템(49)위에 위치하고, 이것은 이전에 기술된 땜납 시스템(14, 24 및 34)을 위한 임의의 재료가 될 수 있다. 땜납 시스템(49)은 도전성 패드(41)위에 형성되고, 이것은 비도전성 재료(43)의 트렌치에 형성된다. 도전성 패드(41) 및 비도전성 재료(43)은 캐리어(42)의 일부이고, 이것은 캐리어(12 및 22)와 유사하다. 유사하게, 도전성 패드(41)는 도전성 패드(21 및 31)과 유사하고, 비도전성 재료(43)은 비도전성 재료(23 및 33)와 유사하다.

[0036] 이전에 기술된 임의의 리플로우가 될 수 있는, 리플로우 프로세스후에, 땜납 시스템(49)은 땜납 상호접속이 된다. 반도체 디바이스(40)는 땜납(50)을 통해, 리드리스 캐리어가 될 수 있는 캐리어(44)를 PCB가 되는 캐리어(42)에 연결한다. 도 2의 땜납(17)과 같이, 땜납(50)은, 리플로우 동안 적용가능한 물리적 현상으로 인해, 반대 편에 필렛(51)을 가질 수 있다. 땜납(50), 도전 패드(48) 또는 도전 패드(41)가 리드(Pb) 표시자를 포함하면, 리플로우 이후에, 땜납(50), 도전 패드(48) 또는 도전 패드(41)가 리드(Pb)를 포함하는 경우, 땜납(50)은 변경된 소정의 속성(예를 들어, 색상)을 가질 것이다. 도시되지는 않았지만, 잔여물이 남아 있고, 이는 리드(Pb) 표시자를 포함할 수 있다. 잔여물은 임의의 통상의 세정 프로세스를 이용하여 제거될 수 있다.

[0037] 상기 상세한 설명에서는, 본 발명이 특정 실시예를 참조하여 기술되었다. 그러나, 당업자는, 이하의 청구범위에 기재되는 본 발명의 범주를 벗어남이 없이도, 다양한 변경 및 변형이 이루어질 수 있음을 이해할 것이다. 따라서, 명세서 및 도면은 한정적인 의미보다는 설명적인 의미로 간주되어야 하며, 그러한 모든 변형들은 본 발명의 범주 내에 포함된다.

[0038] 이득, 다른 이익, 및 문제들에 대한 해결책이 특정 실시예에 대하여 상술되었다. 그러나, 이득, 이익, 문제점에 대한 해결책, 및 임의의 이득, 이익, 문제에 대한 해결책이 보다 진술되도록 야기할 수 있는 임의의 요소(들)는 청구항의 일부 또는 전부에 대해, 임계적, 필수적, 또는 본질적 특징 또는 요소로 해석되지 아니한다. 여기서 사용되는 "포함한다", "포함하는", 또는 그와 유사한 임의의 다른 말은, 요소의 리스트를 포함하는 프로세스, 방법, 아티클, 또는 장치가 이들 요소만 포함하는 것이 아니라 상기 프로세스, 방법, 아티클, 또는 장치에 명백히 리스트되지 않은 다른 요소들도 포함하는, 비배타적 내포나 포함을 포괄하는 말이다. 여기에 사용된 관사는 하나 또는 하나 이상으로 정의된다. 또한, 상세한 설명 및 청구항에 사용된 "전", "후", "상", "하", "위". "아래" 등의 용어는, 만약 사용된 경우, 설명의 목적을 위해서 사용된 것이며, 반드시 영구적으로 상대적인 위치를 나타내고자 사용된 것은 아니다. 그렇게 사용된 용어는, 여기에 기술된 본 발명의 실시예가, 가령, 여기서 설명되거나 기술된 것과는 다른 방향으로 동작할 수 있도록, 적절한 환경 하에서 교환될 수 있음이 이해될 것이다. 여기에 사용된 "복수"는 둘 이상을 의미한다. 여기서 사용된 "또 다른"이라는 용어는 적어도 2번째 이상을 의미한다. 여기에 사용된 "결합"이라는 용어는 반드시 직접적으로나 기계적은 아니다 하더라도, 접속을 의미한다.

도면의 간단한 설명

[0006] 본 발명은 예시적인 것으로, 첨부된 도면에 의해 제한되지 않고, 도면에서 유사한 구성요소에는 동일 도면 부호가 사용된다.

[0007] 도 1은 본 발명의 일 실시예에 따르는, 리플로우 프로세스 이전에 땜납 시스템에 의해 PCB 기판에 접속된 단자를 갖는 반도체 디바이스의 일부분의 단면도를 도시한다.

[0008] 도 2는 본 발명의 일 실시예에 따르는, 리플로우 후 도 1의 반도체 디바이스를 도시한다.

[0009] 도 3은 본 발명의 일 실시예에 따르는, 제1 리플로우 프로세스 이전에 땜납 시스템을 통해 BGA 기판에 접속된 볼을 갖는 반도체 디바이스의 일부분의 단면도를 도시한다.

[0010] 도 4는 본 발명의 일 실시예에 따르는, 제1 리플로우 프로세스 이후 도 3의 반도체 디바이스를 도시한다.

[0011] 도 5는 본 발명의 일 실시예에 따르는, 제2 리플로우 프로세스 이전에 PCB 기판에 접속된 도 4의 반도체 디바이스를 도시한다.

[0012] 도 6은 본 발명의 일 실시예에 따르는 제2 리플로우 프로세스 이후 도 5의 볼을 도시한다.

[0013] 도 7은 본 발명의 일 실시예에 따르는, 리플로우 프로세스 이전에 땜납 시스템에 의해 PCB 기판에 접속된 리드

가 없는 반도체 디바이스의 일부분의 단면도이다.

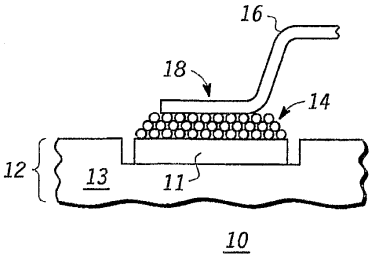
[0014] 도 8은 본 발명의 일 실시예에 따르는 리플로우 이후 도 7의 반도체 디바이스를 도시한다.

[0015] 도 9는 본 발명의 일 실시예에 따르는 반도체 디바이스를 형성하는 프로세스를 도시한다.

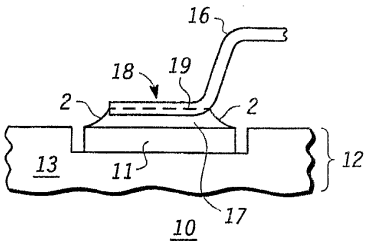
[0016] 당업자는 본 도면의 구성요소가 단순함과 명료함을 위해 도시된 것으로 실제 크기로 도시될 필요가 없음을 이해할 것이다. 예컨대, 도면에서 일부 구성요소의 치수는 본 발명의 실시예의 이해를 도모하고자 다른 구성요소에 비해 과장되게 도시될 수 있다.

도면

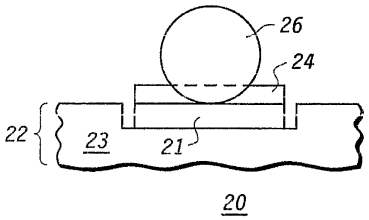
도면1



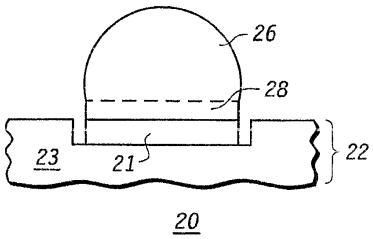
도면2



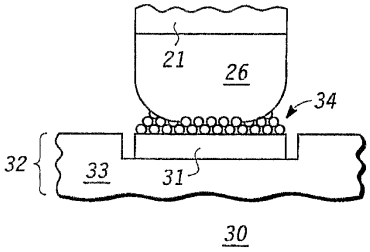
도면3



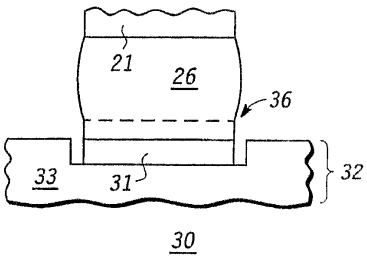
도면4



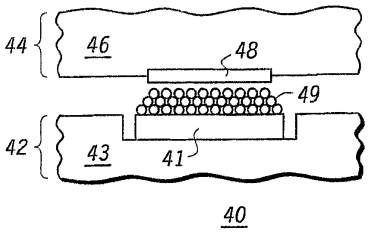
도면5



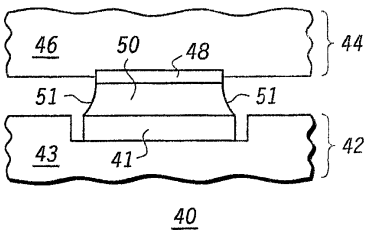
도면6



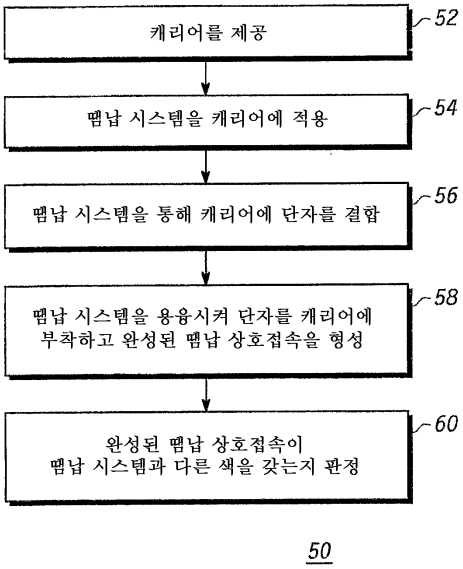
도면7



도면8


46
50
48
44
51
51
43
41
42
40

도면9


캐리어를 제공
52
땜납 시스템을 캐리어에 적용
54
땜납 시스템을 통해 캐리어에 단자를 결합
56
땜납 시스템을 용융시켜 단자를 캐리어에 부착하고 완성된 땜납 상호접속을 형성
58
완성된 땜납 상호접속이 땜납 시스템과 다른 색을 갖는지 판정
60
50