



[12] 发明专利说明书

[21] ZL 专利号 90101776.0

[51]Int.Cl⁵

H04L 5/20

[45]授权公告日 1994 年 2 月 16 日

[24]颁证日 93.12.11

[21]申请号 90101776.0

[22]申请日 90.3.10

[30]优先权

[32]89.3.10 [33]GB[31]8905533.9

[73]专利权人 GPT有限公司

地址 英国英格兰

[72]发明人 斯蒂芬·帕特里克·弗格森

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 何关元 程天正

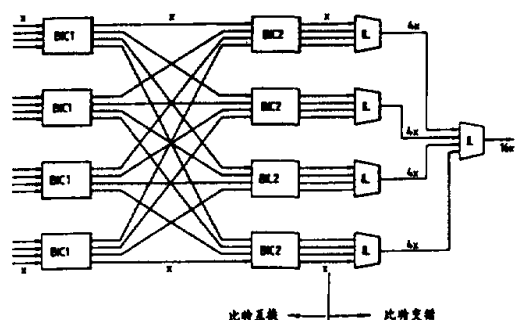
说明书页数:

附图页数:

[54]发明名称 PCM通信系统

[57]摘要

一数字通信装置，它有多个第一级单元 (BIC1)，其每单元接收同一速率、有一预定长度的多比特序列的多个并行数字输入数据流，并输出同比特速率但进入数据信号的比特已互换的同数目数据流；多个第二单元 (BIC2)，其每单元通过一独立数据流接到一第一单元，以使诸第二级单元将比特已互换的输入信号互换而产生多个输出数据流。



1. 一种数字通信装置, 用于接收多个同一速率的并行的数字输入信号($IN1, \dots, IN16$), 还用于使每一输入数据流中预定长度的多比特序列交错成一个具有更高速度的数据流, 该装置包括多个第一级单元($BIC1$), 每一单元用于接收多个输入数据流, 并且输出相似数目的数据流, 这些数据流具有同一比特速率, 但其比特是被互换后的输入数据信号的比特, 其特征还在于还包括:

多个第二级单元($BIC2$), 每一个第二级单元($BIC2$)与所述第一级单元($BIC1$)相连, 用以接收来自第一级单元的输出数据流, 其接收方式是每一个第二级单元通过单一的数据流连接到一个第一级单元上, 从而该第二级单元产生多个数字输出数据流并且该输出数据流的比特又进一步被互换; 和

一个用于交错第二级单元($BIC2$)的输出数据流以产生所述具有较高速率的输出数据流的装置(IL)。

2、根据权利要求1所述的装置, 其特征还在于每个第一级单元($BIC1$)包括多个第一存储装置($20, \dots, 23$), 每个存储装置连接一个输入数据信号($IN1, \dots, IN4$), 并且顺序地存储该信号的连续的比特; 还包括一种装置, 用于将存储于所述存储装置($20, \dots, 23$)中的每一个比特序列并行地送入多个第二存储装置($24 \dots 27$)中, 以便所述的被存储序列的比特被互换; 还含一种装置(28), 用于连续读出所述第二存储装置的内容, 并从该单元中提供比特互换输出信号。

3、根据权利要求2所述的装置, 其特征还在于每个第一和第二存储装置($20 \dots 27$)都包含串接着的双稳态装置, 在每一级中串连的双稳态装置的数目等于所述多比特序列中比特的数目。

4、根据权利要求3所述的装置, 其特征还在于每个所说的第二存储装置阵列($24 \dots 27$)通过第一组门与其相关的第一存储装置阵列($20 \dots 23$)

0...23) 相连，每个第一组门包括一对NOR门，其输出连接到第三个NOR门上，第三个NOR门的输出与下一个双稳态装置(在第二存储装置阵列中)的输入端相连。

5、根据权利要求4所述的装置，其特征不在于每一组门的NOR门对在其各自的输入端接收所述第一存储装置阵列中各个双稳态的输出，还接收所述第二存储装置阵列的最后一个双稳态装置的输出，以及定时信号，定时信号(CC)在一对NOR门中的一个门的一个输入端接收，在另一个门的输入端接收定时信号(CC)的反向信号。

6、根据权利要求5所述的装置，其特征不在于每个单元(BIC1, BIC2)有4个第一存储装置，每一存储装置与一个个输入数据信号相连，4个第二存储装置与第一存储装置相连，每一单元都执行4个输入数据信号比特的互换，其方式是靠该单元使4个输出数据流中的每一个都含有各个输入数据信号的比特。

7、根据权利要求6所述的装置，其特征不在于装置(IL)用于使一个单元输出的已互换比特的数据信号发生交错，该装置包括多个串联连接的双稳态装置，其数目等于数据信号数目；还有一种装置，用于将数据信号的基本比特速率除以数据信号的数目，并通过该除法装置使每一组门与所述被交错的数据信号相连。

8、根据权利要求8所述装置，其特征不在于每一组门含三个门，每一组的两个门与不同的被交错比特流相连，其输出连接到串联双稳态装置中一个的输入上。

9、根据权利要求6所述的装置，其特征不在于有一个装置，用于将每个单元输出的比特互换数据信号交错起来，它含有一个除法器，用于将数据信号的基本比特速率除以数据信号的比特数目，门装置

与每个比特交错数据信号相连，并由所述除法器控制，还有一个独立的门与所有所述的门装置相连。

10、根据前述任一权利要求所述的装置，其特征在于有多于两级的所述单元(BIC)用于比特互换信号， 有所述第三级和任何顺序的级，它们所含单元数与第一级(BIC)相同。

PCM通信系统

本发明涉及数字数据传输系统。

在数字通信领域中，普通采用的是二进制数字，通常称作"比特"，其中，每一个字符用以表示仅有的两个值中的一个。对某些应用来说，八个比特的序列集合在一起，称作"位组"。

为了在一个单独的、较高速率的载体上传送几个相同信道，一般采取将来自每个信道的比特实行"比特交错"的方法，尽管近来某些国家的和国际的标准已经提议采用"位组交错"的方法。在"位组交错"的情况下，高速率载体载着来自第一个输入信道的八个顺序相连的比特，然后，来自第二个输入信道的八个顺序相连的比特紧随其后，依此类推。显然，对于同样的基本操作而言，位组交错所使用的存储是比特交错的八倍(例如D型双稳态)。

本发明涉及减小进行位组交错操作量的问题，该操作具有较高速率。

本发明包括数字通信装置，所述的数字通信装置用于接收多个同一速率的并行的数字输入信号，还用于使每一输入数据流中预定长度的多比特序列交错成一个具有更高速度的数据流，该装置包括多个第一级单元，每一单元用于接收多个输入数据流，并且输出相似数目的数据流，这些数据流具有同一比特速率，但其比特是被互换后的输入数据信号的比特，其特征在于还包括：

多个第二级单元，每一个第二级单元与所述第一级单元相连，用以接收来自第一级单元的输出数据流，其接收方式是每一个第二

级单元通过单一的数据流连接到一个第一级单元上，从而该第二级单元产生多个数字输出数据流并且该输出数据流的比特又进一步被互换；和

一个用于交错第二级单元的输出数据流以产生所述具有较高速率的输出数据流的装置。

一般所论及的多比特序列即为位组。

为了更清楚地理解本发明，下面将参照附图描述一个实施例。

图1和图2是框图，用以说明两种已知的比特交错方式。

图3是已知的位组交错的框图。

图4是用于位组交错的装置的一个已知实施例。

图5是图4的简化图。

图6是与图5有关的定时图。

图7是本发明的比特交错装置框图。

图8是图7实施例的操作说明。

图9表示图8实施例是如何扩展的。

图1和图2显示了两种已知的比特交错方法。

图1显示出4个输入数据流IN1, ……，IN4，其中每一个导引向一个双稳态Q1, Q2, Q3, Q4，双稳态Q1—Q4由一个4分计数器10定时，而10又是由时钟信号C1驱动的。触发器Q4的输出导引到下一个触发器Q5 (Q5已由时钟信号C1来定时)，Q5的输出导引到三组NOR门11、12、13中的第一个(11)。每一组NOR门由一对门组成，每一个门接收来自触发器Q1—Q4中的一个的输入，并且分别由来自计数器10的时钟信号CC定时，或者由互补信号CC定时、每一对门的输出导引到该组的第三个门上，第三个NOR门的输出分别导引到触发器Q6、Q

7、Q8上，它们全部由C1定时。Q8的输出即为最后的比特交错信号。

图2显示出用于比特交错的第二种方法。从图2的方法可以看出，相对于图1所示的方法而言，图2所示的方法有一个优点，即采用较少的双稳态；但也有一个缺点，即在输出端要采用一个4输入端的门。在一般有N个输入的情形下，假如图2所示的方法可行，则在输出端要采用一个有N个输入端的门。但是以采用更多的门和更多的双稳态为条件，是有可能减少每个门的输入端的。附在图1和图2下面的定时曲线仅显示一个微小的时间，用作说明。

图3显示出用于位组交错的一个已知方法。其原理与图1所示方法相似。其中假定输入数据流IN1……IN4是同步位组，从图3中可以看出，触发器Q1，……，Q4分别被含八个相似的触发器的序列所代替；而且除四电路10连接到一个除八电路20上，并且它来控制NOR门组。除八电路20也与位组定时同步。与IN1相关联的触发器为Q1—Q8。在上述情形中，各种方法可用4输入信道作为例子来说明。用于位组交错的另一方法（其原理类似于图2所示方法）在此不作详细说明。

用于进行图示实施例的逻辑处理电路的实示实现过程包括正确限制各种逻辑元件的定时延迟，包括D型双稳态的建立的持续时间的容差。更特别的是，所有上述电路的容差要求显示于图中的所有元件的可允许延迟与输出符号的速率相关，即与最短重复周期相关。

在位组交错的情况下，假如能够减小用于满足上述标准的操作量，那将具有明显的优越性。图4说明如何达到上述目的，即采用逻辑处理（其定时容差仅与输入速率有关）互换输入信道的比特，在最后的比特交错之前，采用如图1或2一样的简单电路。在位组存储

级采用反向顺序计数，以说明在每一输入信道和输出信道中比特的序列。

如图4所示，输入信号IN1—IN4分别被送入有8个D型双稳态的一个单元中，这些单元分别记为20、21、22、23，然后，每一个单元存储一个位组，由信道IN1所携带的第一比特为Q1，第二比特为Q2，依此类推。类似地，IN2的第一比特为Q9。这些单元中的每一个均与图3中的Q1—Q8结构一致。然而在本实施例中，单元20—23的内容被并行地送入4个另外的8D型双稳态单元24—27中。图中仅详细说明了单元24，单元25—27与单元24一致。操作的结果是单元24保持Q1、Q5、Q9、Q13、Q17、Q21、Q25和Q29，单元25保持Q2、Q6、Q10……，这样4个输入信道的比特就被互换了，然后，4个单元24—27的内容被读出，且由电路28进行交错，电路28对应于图1和图2中的NOR门结构。

参照图5，它是图4的一个简化图，其中，图4中的比特交错部分(即单元28)用IL表示，比特互换电路(图4中的其余部分)用BIC表示。

如图6所示，单元BIC接收速率为X的4个数据输入，并将它们按已讲述过的方式交错起来。

图7说明了单元BIC和电路IC这种基本结构如何用于更大数目输入的位组交错。

图7表示16个输入，比特速率均为X，它们的位组/帧部分是对准的。在图7中有4个一级单元BIC1，每一单元接收4个速率为X的输入；还有相同数目的二级单元BIC2，每一单元接收一个一级单元的一个输出。可以看出，每一个一级单元BIC1的四个比特互换了输

出被展开，以便一个输出能送入一个二级单元中。二级单元与一级单元在功能上等同，这样输入的数据流还可以进一步互换。

二级单元BIC2的每一单元的4个输出提供给一个IL1电路(即4个一级IL电路中的一个)，在其中，互换的比特被交错，部分地还原到初始的位组方向。每一个一级IL1电路输出一个速率为4X的数据流，这样产生的4个数据流被送到最后的IL2电路上，它完成交错，产生一个比特速率为16X的输出信号，该信号由16个输入数据流位组交错而成。

图8说明了当信号通过一级和二级单元BIC时的比特互换方式。从图8中可以看出，BIC单元100在其101端输出一个数据流，它包含输入IN1的第1比特和第5比特，IN2的第1比特和第5比特，依此类推。

在二级单元BIC 102的输出端103上输出来自输出端101的数据流的第1比特和第5比特，一级单元BIC 105的104端输出数据流的第1比特和第5比特，等等。

事实上，单元102的输入包含所有输入数据流IN1—IN6的比特，BIC 102的4个输出提供给一个IL电路110，在这里它们被交错成一个单独的输出数据流1，5，9，13等。这个输出数据流与其它三个输出数据流一起被提供给最后的输出单元IL，以111表示，在这里4个数据流被交错以提供最后的位组交错输出信号。方框120、121、123、124显示了通过二级IL单元中的一个的第一个4比特输出，如图所示，第一个4个并行的比特从IN1的第1个4比特的第二级IL'电路输出，第二个4个并行的比特由在后的4个比特构成。

如上所述，最后的IL电路111的输出包含交错的16个数据流IN1—IN6的位组。

图7和图8的实施例说明了速率为 X 的16个输入数据流被交错，形成一个速率为 $16X$ 的单个输出数据流，显然上述方法能够被推广到处理有更多数目的输入数据流。

图9概括地说明了上述推广的基本概念， 假如有几个输入数据流要进行位组交错， 形成速率为 nx 的单个输出数据流， 则在最后的IL之前要求有 n 的平方根级BIC单元。

在上述例子中， 每一个单元BIC处理4个输入数据流， 对电路IL的第一级50而言， 每一个IL电路用于4个输入数据流， 在第二级51， 每个一级IL的一个输出送入一个二级IL的一个输入， 这样每4个一级IL的输出数据流有1个二级IL。 级与级之间电路的比率显然取决于每个BIC所处理的输入的数目。可以理解每个BIC单元和IL级不必连到4个输入端和4个输出端上。

在图9中， 各种BIC单元之间的连接没有显示出， 因为随单元数目增加这将变得十分复杂， 然而对于一个有32个输入的系统来说， 可以把它看成有8个单元BIC1、BIC2的两个组(如图7所示)相互连接， 形成两组相似的8方框， 可标为BIC3、BIC4。然而第一单元BIC2的第一输出(这列的头一个)被直接送到正对的单元BIC3时， 则它的第二输出导向BIC3的第三个单元； 第三个输出导向BIC3的第五个单元； 第4个输出导向BIC3的第七个单元， 相似地， BIC2这一列的第二个单元的第一输出引向BIC3的第二个单元， 第二输出引向BIC3的第4单元， ……， 直到所有单元相互连接， 重要的因素是原来进行的数据流要以这种方式互换， 即假如有 N 个输入流将被交错， 则施加到一个IL电路的互换了比特的数据流首先是1， $N+1$ 、 $2N+1$ 的形式， 然后是2， $N+2$ ， $2N+2$ ， 等等， 这意味着IL电路能够按简单的方式交错

已互换的信号，从而达到所希望的位组交错输出。

说明书附图

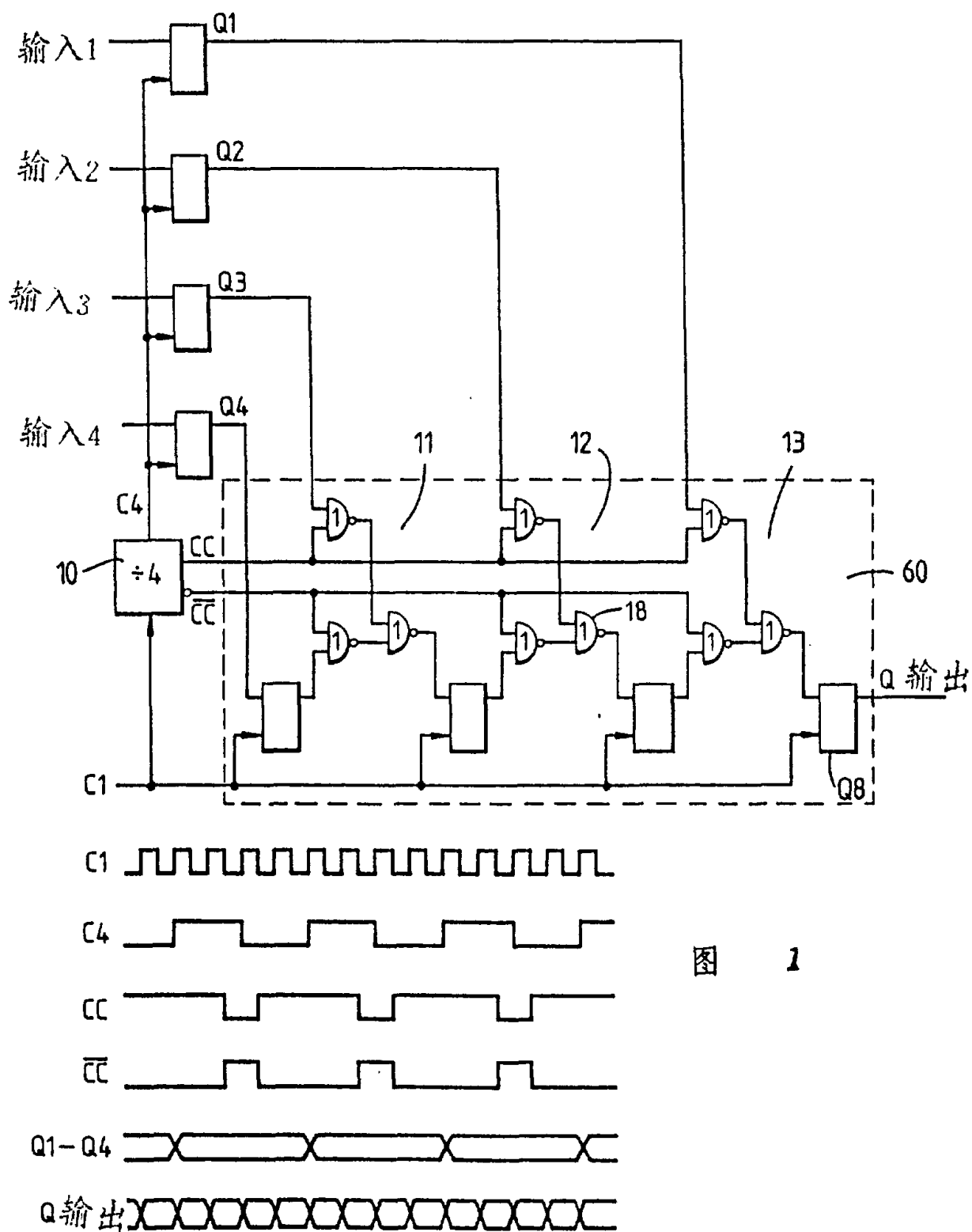


图 1

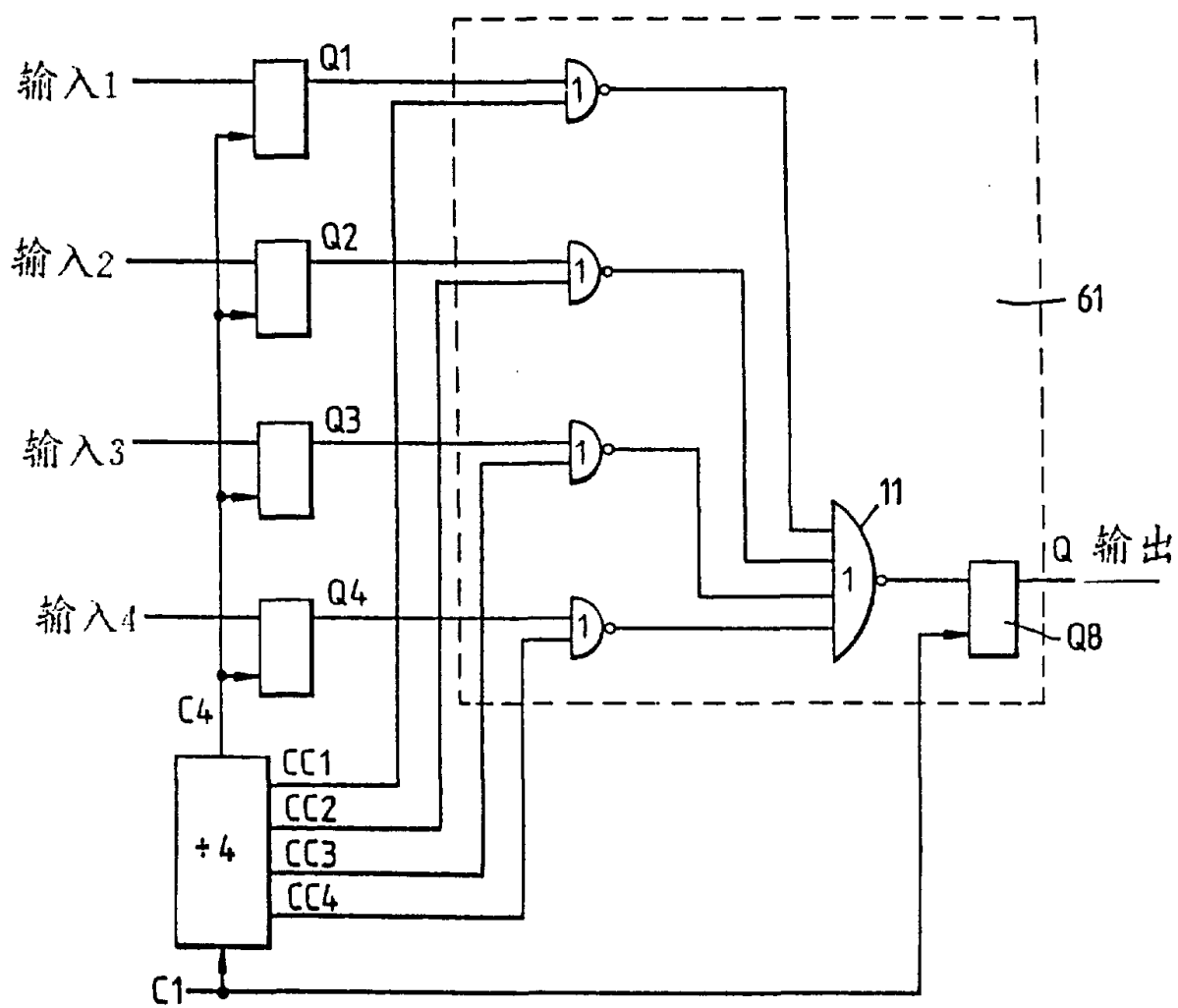


图 2

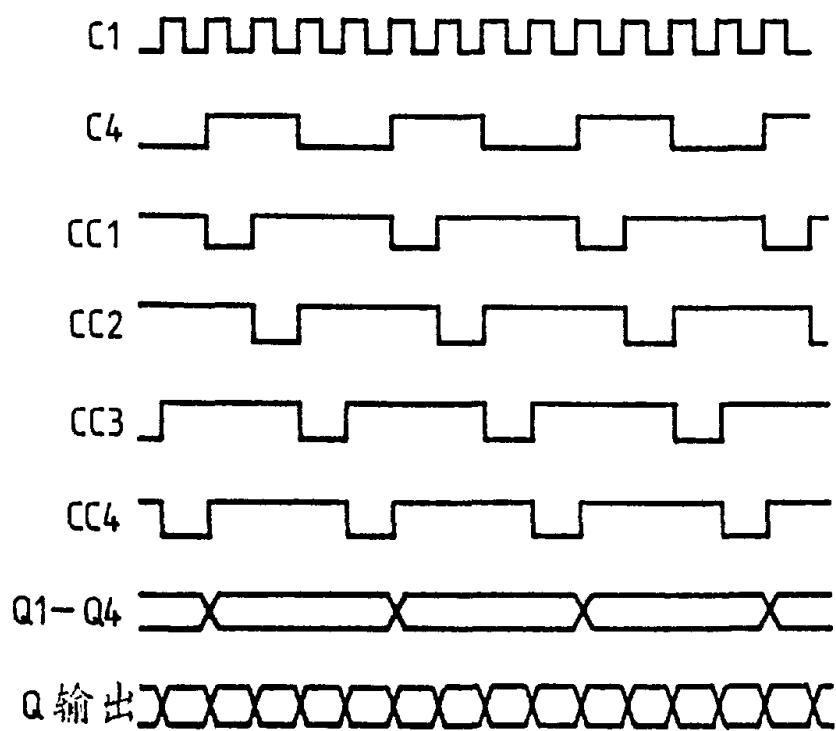
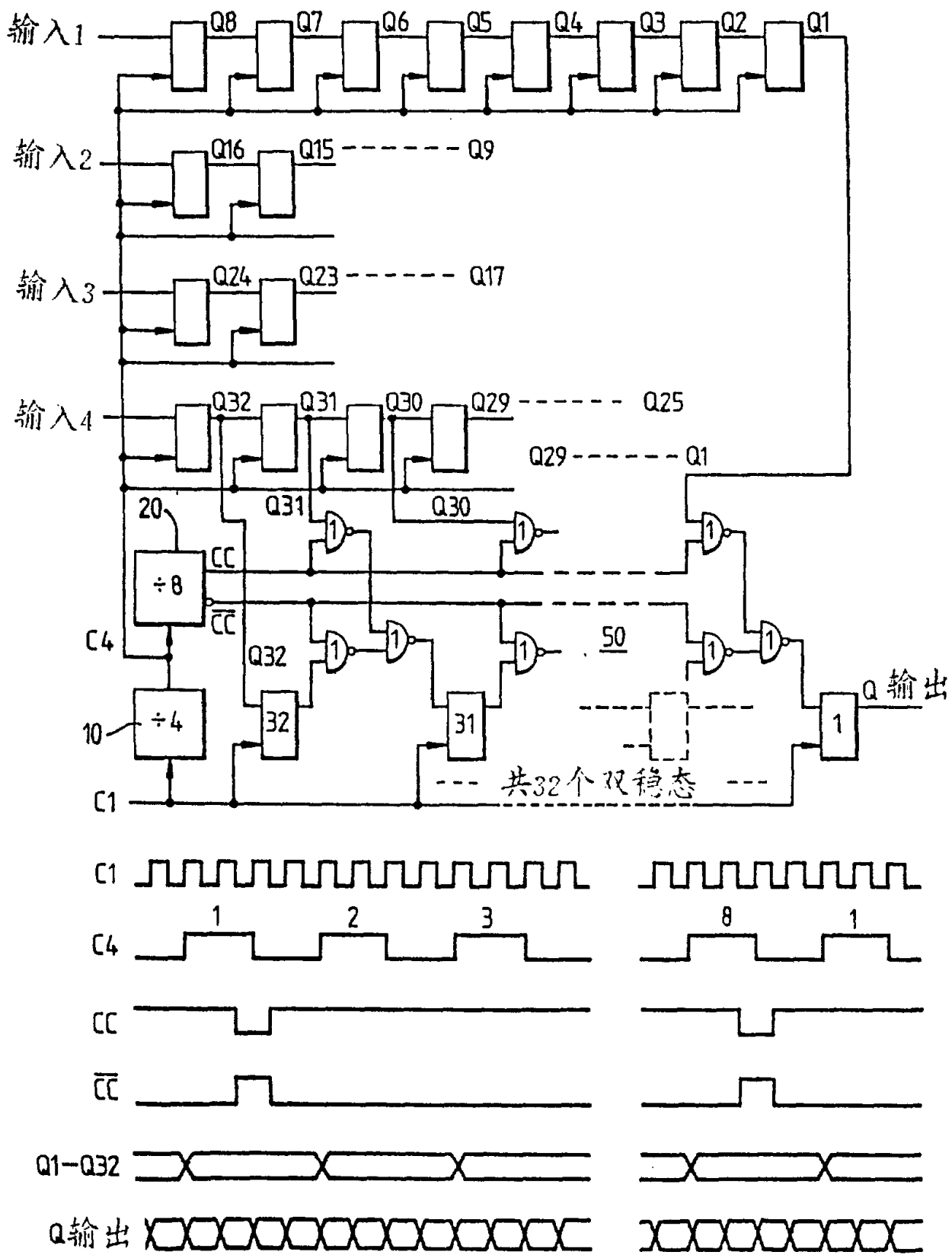


图 3



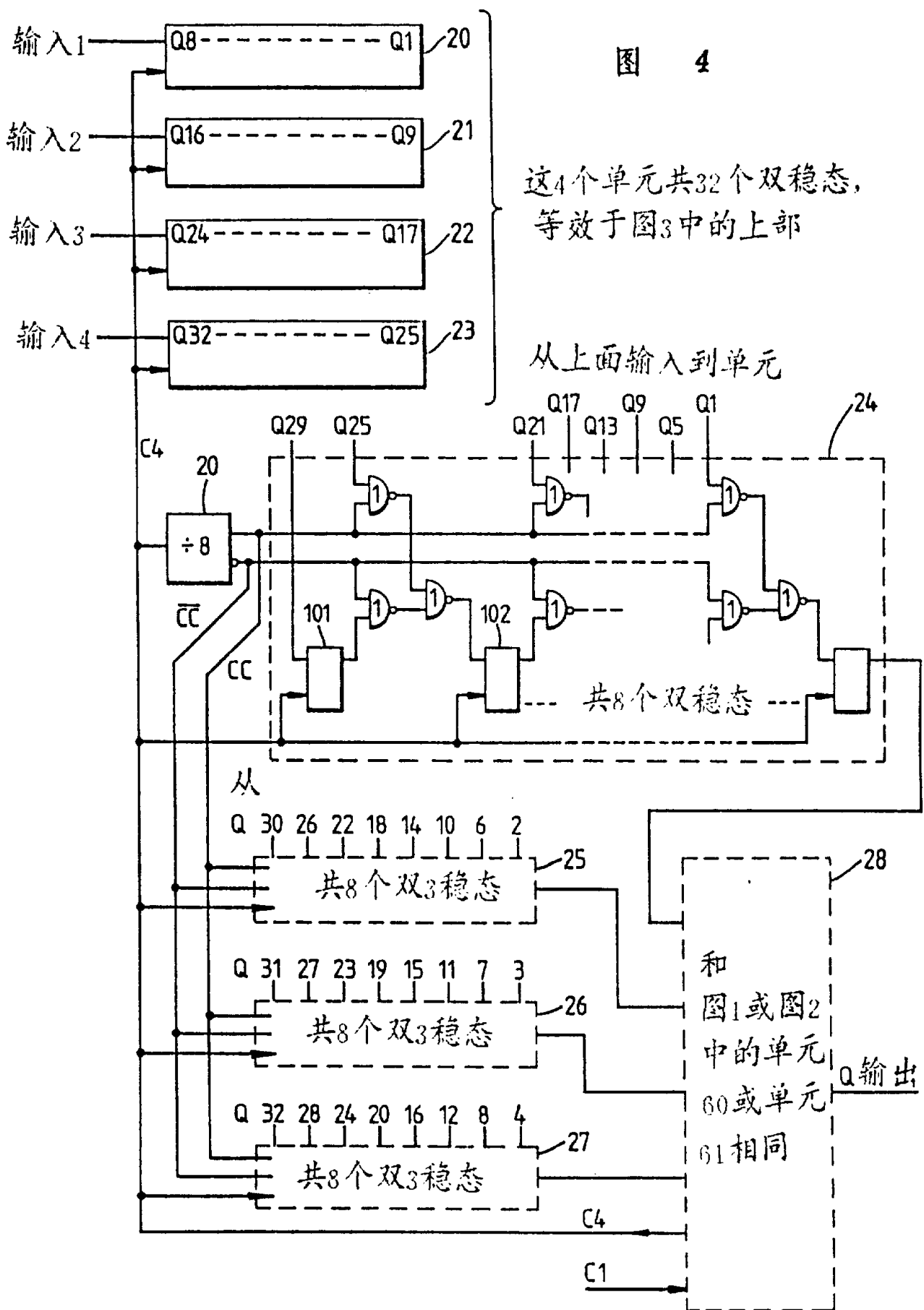
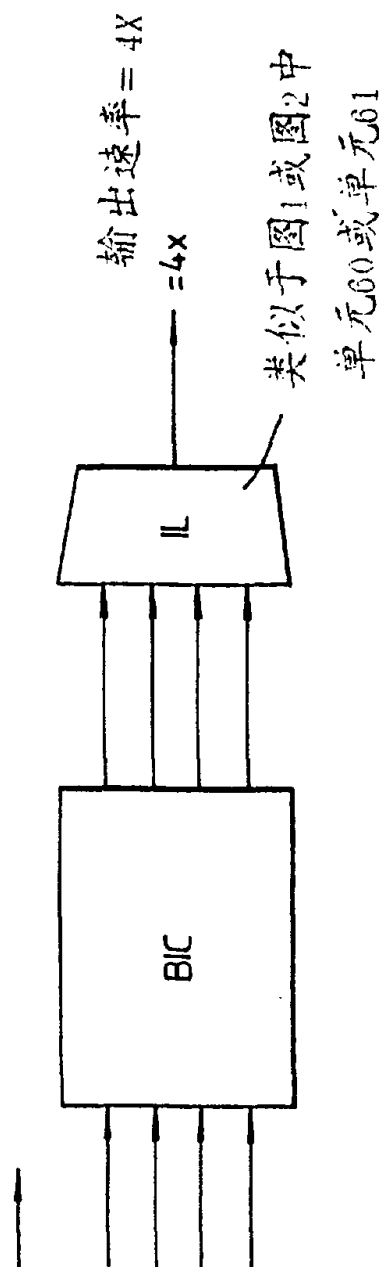


图 5



每个数据流的输入速率 = x

图 6

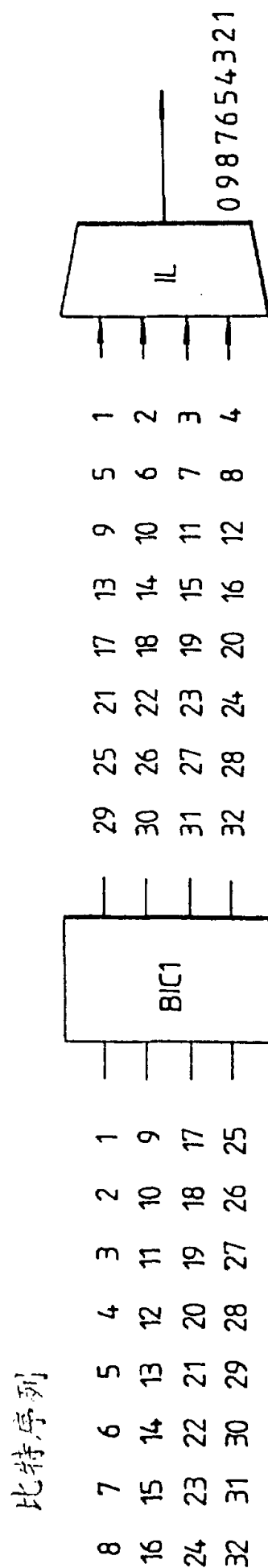


图 7

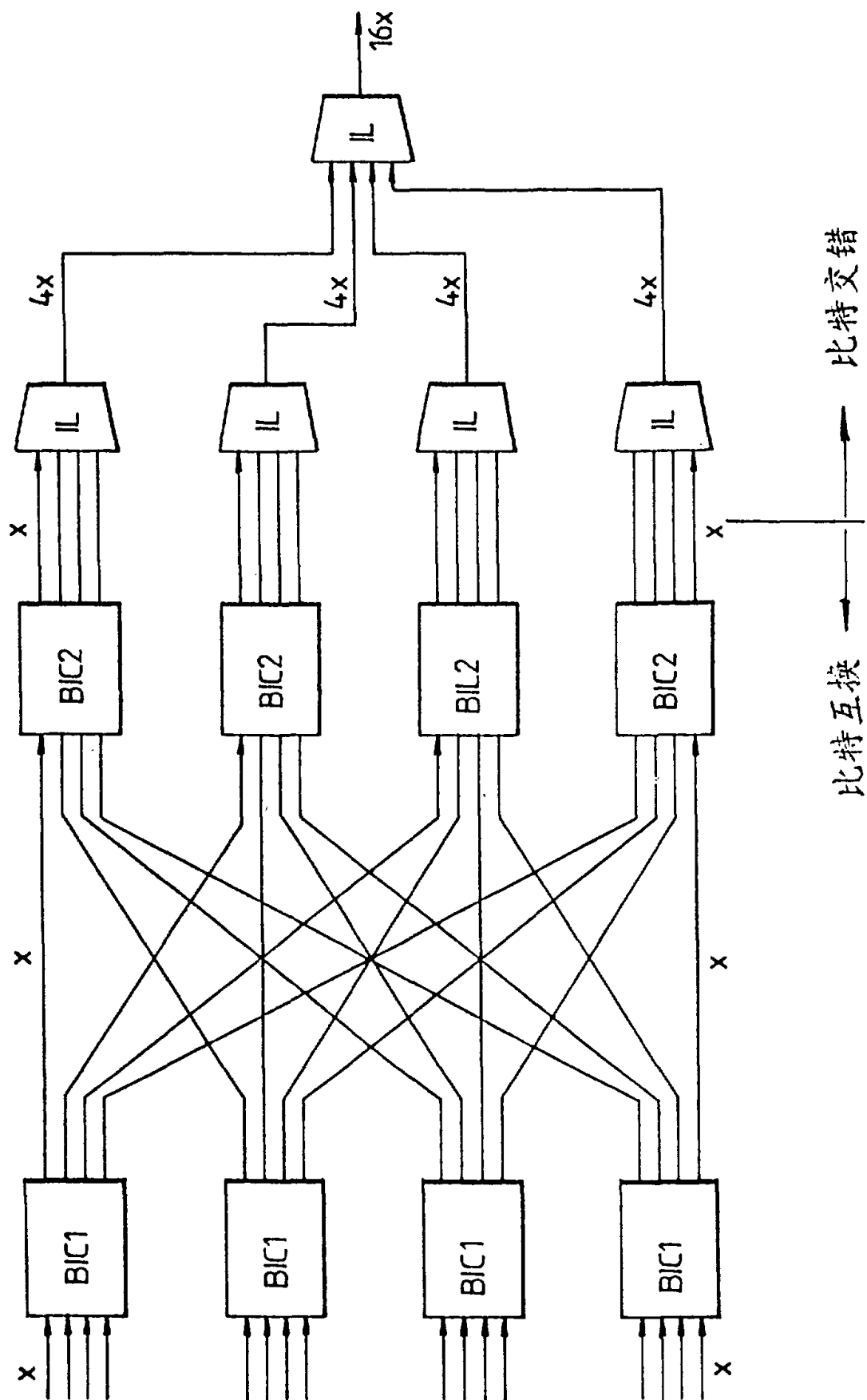
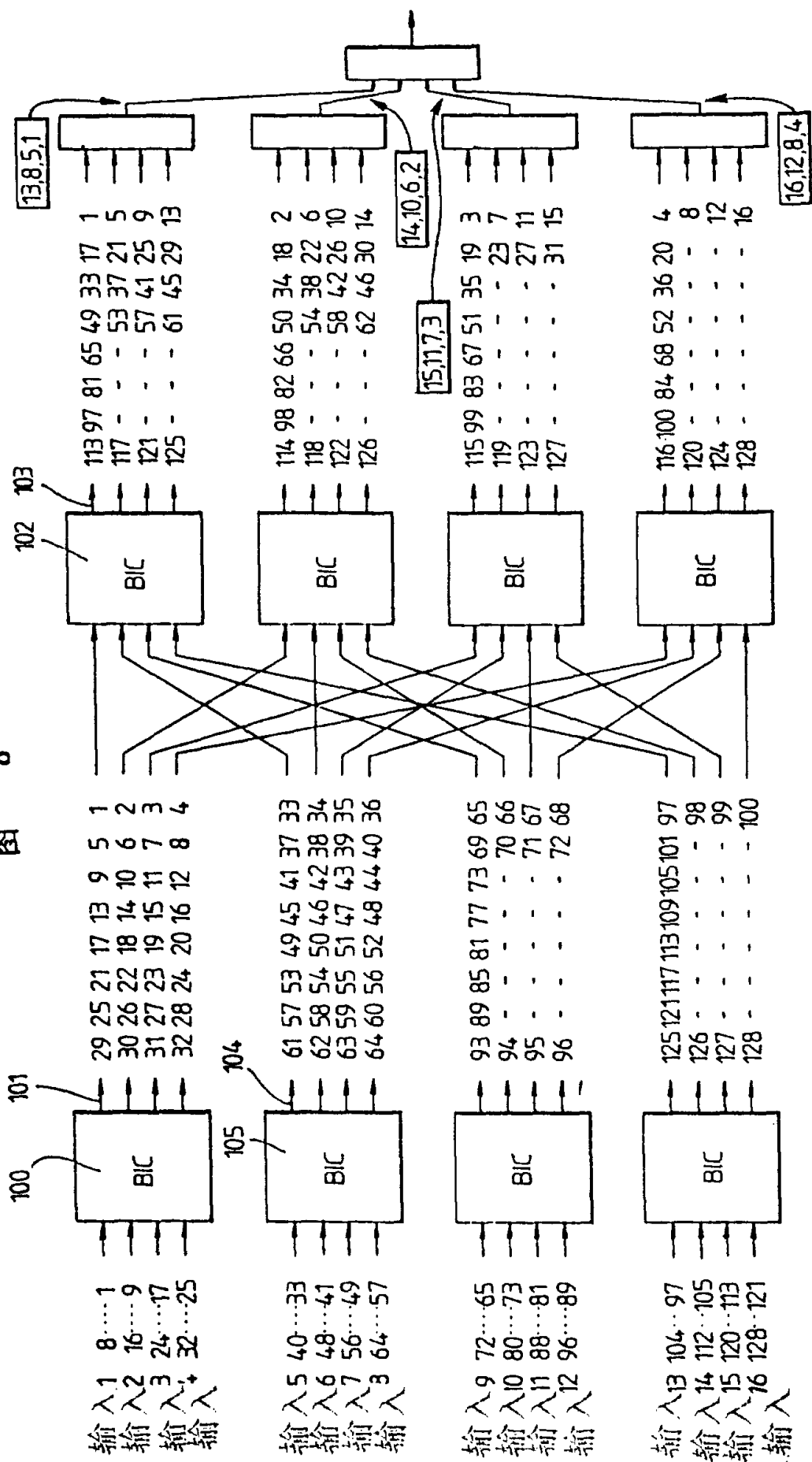


图 8



等于达到最后输入速率所需的各步骤

图 9

