

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-41091

(P2011-41091A)

(43) 公開日 平成23年2月24日(2011.2.24)

(51) Int.Cl.

H04N 5/335 (2011.01)

F I

H04N 5/335

Z

テーマコード(参考)

5C024

H04N 5/335

E

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願2009-187834 (P2009-187834)
 (22) 出願日 平成21年8月13日 (2009.8.13)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

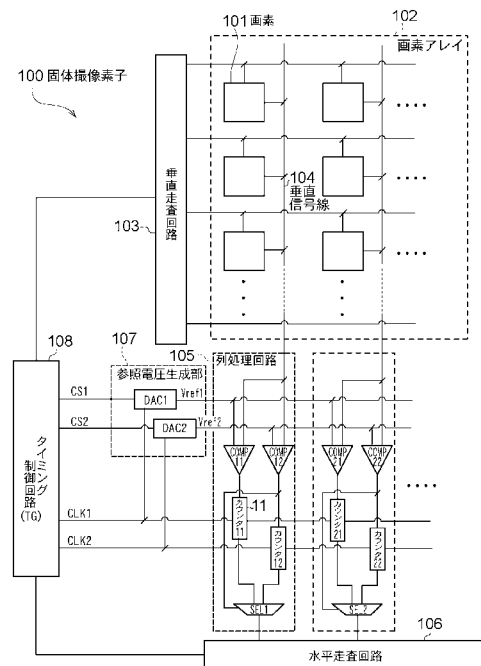
(54) 【発明の名称】 固体撮像素子及び撮像システム

(57) 【要約】

【課題】 比較部の周波数帯域特性を切り替えることにより、列毎にA/D変換回路を搭載した固体撮像素子及び撮像装置を、A/D変換速度を維持しながらも低ノイズ化することを可能とする。

【解決手段】 光電変換部を含む複数の画素を2次元に配列した画素アレイ部と、前記画素アレイ部からの画素信号を列毎に読み出す読み出し回路とを有し、前記読み出し回路の各々が前記画素アレイ部からのアナログの画素信号をデジタルの画素信号に変換するA/D変換回路を有し、前記A/D変換回路が前記画素アレイ部からのアナログの画素信号の信号レベルと時間的に変化する参照レベルとを比較部で比較することによりA/D変換を行う固体撮像素子において、前記比較部の周波数帯域特性を、前記画素アレイ部からのアナログの画素信号の信号レベルに応じて切り替える。

【選択図】 図1A



【特許請求の範囲】**【請求項 1】**

光電変換部を含む複数の画素を 2 次元に配列した画素アレイ部と、前記画素アレイ部からの画素信号を列毎に読み出す読み出し回路とを有する固体撮像素子であって、前記読み出し回路の各々が前記画素アレイ部からのアナログの画素信号をデジタルの画素信号に変換する A D 変換回路を有し、前記 A D 変換回路が前記画素アレイ部からのアナログの画素信号の信号レベルと時間的に変化する参照レベルとを比較部で比較することにより A D 変換を行う、前記固体撮像素子において、

前記比較部の周波数帯域特性を、前記画素アレイ部からのアナログの画素信号の信号レベルに応じて切り替える制御手段を有することを特徴とする固体撮像素子。

10

【請求項 2】

前記制御手段は、前記画素アレイ部からのアナログの画素信号の信号レベルが閾値より低い場合には第 1 の周波数帯域特性を用いて前記比較部で比較を行い、前記画素アレイ部からのアナログの画素信号の信号レベルが前記閾値より高い場合には前記第 1 より広い第 2 の周波数帯域特性を用いて前記比較部で比較を行うことを特徴とする請求項 1 に記載の固体撮像素子。

【請求項 3】

前記 A D 変換回路は異なる周波数帯域特性を有する複数の比較部を有し、前記制御手段は、前記画素アレイ部からのアナログの画素信号の信号レベルに応じて前記複数の比較部を選択することを特徴とする請求項 1 または 2 に記載の固体撮像素子。

20

【請求項 4】

前記 A D 変換回路は容量部を有し、前記制御手段は、前記比較部の出力端子と前記容量部とを接続するスイッチにより、前記比較部の周波数帯域特性を切り替えることを特徴とする請求項 1 または 2 に記載の固体撮像素子。

【請求項 5】

前記 A D 変換回路は、前記比較部の比較の結果、前記画素アレイ部からのアナログの画素信号の信号レベルが時間的に変化する参照レベルを越えている間のクロックをカウントして、そのカウント値をデジタルの画素信号とするカウンタを有することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の固体撮像素子。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の固体撮像素子と、
前記固体撮像素子によって得られた信号を処理する信号処理部と、
を備えることを特徴とする撮像システム。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、固体撮像素子及び撮像システムに関し、特に、二次元に配列した画素の画素信号を列ごとにアナログ/デジタル変換する列 A D 変換回路を搭載した固体撮像素子とそれを使用する撮像システムに関する。

【背景技術】

40

【0002】

近年、CMOS センサのような X - Y アドレス型の固体撮像素子の内部に、列毎にアナログ/デジタル変換（以下、A D 変換）を行う回路を搭載した固体撮像素子が報告されている。このような固体撮像素子には、画素からのアナログ信号を信号経路の早い段階でデジタルに変換することで、信号へのノイズ重畳を防いで S / N を向上させることができる。また、列並列で A D 変換処理を行えるため高速な信号読み出しが可能になる。

【0003】

列 A D 変換回路は、回路規模や処理速度や分解能などの観点から複数の方式が提案されている。その中のひとつに、画素信号とカウントによってランブ波として変化する参照電圧とを比較し、比較処理が終了した時のカウント値をデジタル信号として取得するシング

50

ルスローブ積分型 A D 変換回路がある（特許文献 1 参照）。シングルスローブ積分型 A D 変換回路は、簡単な構成で A D 変換回路を構成できるため、並列に回路を搭載しても規模が大きくなれないという特徴がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開昭 62 - 154981 公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、上記特許文献 1 においては、A D 変換回路を構成している比較回路が発生させるノイズについては考慮されていない。列並列で A D 変換をするので比較的遅い変換レートであるといっても、読み出しの高速化や多階調の要求に応えるために、実際には比較回路は数百 MHz の周波数帯域が必要となるが、一般に広帯域の回路はノイズが大きい。これは、広い周波数帯域に分布するノイズも伝播させてしまうためである。

【0006】

数百 MHz の周波数帯域をもった比較器の場合、実際に回路を設計するとノイズは数 100 μ V もの大きさになることがある。たとえば、1 V の入力レンジを持つ、12 bit の A D 変換回路であれば、量子化誤差は $1\text{V}/4096 = 244\ \mu\text{V}$ であるので、比較回路に起因するノイズ（以下、回路ノイズと称する）は量子化誤差と比べて無視できない大きさである。この場合、これ以上 A D 変換の分解能を上げて、回路ノイズが支配的となり下位ビットはノイズばかりとなる。従って、S/N で決定される実質的な分解能は 12 bit 程度ということになってしまう。特に、入射する光が弱い場合、すなわち信号出力レベルが低い場合に、回路ノイズが相対的に大きな影響を与えるので対策が必要である。その一方で、入射光が強い場合には、光ショットノイズが支配的になるため、回路ノイズの影響は相対的に小さい。この場合、比較回路には低ノイズという要件よりも、むしろ高速性など他の要求を満たすことが求められる。従って、従来の構成では、高速の A D 変換速度を維持しながらも低ノイズ化することが困難であるという課題があった。

【0007】

本発明は、上記問題点に鑑み、比較部の周波数帯域特性を切り替えることにより、列毎に A D 変換回路を搭載した固体撮像素子及び撮像システムを、A D 変換速度を維持しながらも低ノイズ化することを目的とする。

【課題を解決するための手段】

【0008】

本発明は上記の課題を鑑みてなされたもので、本発明の固体撮像素子は、光電変換部を含む複数の画素を 2 次元に配列した画素アレイ部と、前記画素アレイ部からの画素信号を列毎に読み出す読み出し回路とを有する固体撮像素子であって、前記読み出し回路の各々が前記画素アレイ部からのアナログの画素信号をデジタルの画素信号に変換する A D 変換回路を有し、前記 A D 変換回路が前記画素アレイ部からのアナログの画素信号の信号レベルと時間的に変化する参照レベルとを比較部で比較することにより A D 変換を行う、前記固体撮像素子において、前記比較部の周波数帯域特性を、前記画素アレイ部からのアナログの画素信号の信号レベルに応じて切り替える制御手段を有することを特徴とする。

【発明の効果】

【0009】

本発明の固体撮像素子及び撮像システムによれば、A D 変換速度を維持しながらも低ノイズ化することが可能となる。

【図面の簡単な説明】

【0010】

【図 1 A】実施例 1 の固体撮像素子 100 の概略構成例を示す図である。

【図 1 B】実施例 1 の比較回路 COM P x1 および COM P x2 の等価回路の例を示す図であ

10

20

30

40

50

る。

【図2】図2(a)は実施例1の固体撮像素子100における、画素信号レベルが比較的低い場合のAD変換動作の説明図であり、図2(b)は画素信号レベルが比較的高い場合のAD変換動作の説明図である。

【図3】比較回路COMPx1およびCOMPx2の周波数帯域の違いを説明する図である。

【図4】実施例2の固体撮像素子500の概略構成例を示す図である。

【図5】図5(a)は実施例2の固体撮像素子500における、画素信号レベルが比較的高い場合のAD変換動作の説明図であり、図5(b)は画素信号レベルが比較的低い場合のAD変換動作の説明図である。

【図6】本実施例の固体撮像素子100または500を有する撮像システムの構成例を示す図である。

10

【発明を実施するための形態】

【0011】

以下、本発明の実施例を、添付図面を用いて詳細に説明する。

【0012】

[実施例1]

<実施例1の固体撮像素子の構成例> 図1Aは、本発明の実施例1の固体撮像素子100の構成例を示す図である。本実施例1では、AD変換回路に周波数帯域の異なる2つの信号比較器を有する構成を示す。図1Aに示すように、固体撮像素子100は、画素アレイ部102、垂直走査回路103、垂直信号線104、列処理回路105、水平走査回路106、参照電圧生成部107、タイミング制御回路108(以下、TG108)によって構成されている。画素アレイ102は、画素101が2次元に多数配列して構成されているものである。画素101は、不図示であるが、フォトダイオードなど光電変換部、転送トランジスタ、リセットトランジスタ、増幅トランジスタ、画素選択トランジスタを含む。行単位で画素からの信号の読み出しや画素のリセットを行うため、1行の画素は、垂直走査回路103からの制御線と共通に接続される。また、同一列の画素は、画素信号Vsigを読み出すための共通の垂直信号線104に接続されている。

20

【0013】

垂直走査回路103は、読み出し行やリセット行の制御を行うため、順次画素行の選択を行う回路である。走査のタイミングはTG108によって制御する。通常、まず、先頭の画素行から順次リセット走査をおこない、その後、所定期間に渡って電荷の蓄積を行ったあと、再度先頭の画素行から順次読み出し走査を行う回路である。先述の所定期間とは、例えばタイミング制御回路108からの信号を受けて制御されるもので、被写体の光量などの撮像条件に応じて可変とすることができる。列処理回路105は、画素アレイ102の各列に設けられた回路であって、読み出された垂直信号線104上の画素信号Vsigを、デジタル信号に変換していくAD変換回路として動作する。

30

【0014】

<実施例1のAD変換の処理例> アナログ/デジタル変換(AD変換)の方式は、本実施例ではシングルスロープ積分型AD変換である。このAD変換の動作を図2(a)および図2(b)を用いて説明する。図2(a)は、画素信号Vsigが比較的小さい場合である。図2(b)は、画素信号Vsigが比較的大きい場合である。ここでAD変換の速度はAD変換期間で決まる。要求されるAD変換速度、読み出し速度を満たすように、このAD変換期間を決定している。

40

【0015】

(画素信号Vsigが比較的小さい場合) 図2(a)中の時間的に変化する参照電圧レベルVref1およびVref2は、図1Aの参照電圧生成部107で生成される、スロープ状に変化する参照電圧である。参照電圧生成部107は、TG108からのクロックCLK1、2および制御信号CS1、2によって制御される。生成される参照電圧Vref1はVref2と時間軸に対する電圧変化の傾きが異なる。本実施例ではVref1の傾きがVref2に比べて4倍である。画素信号Vsigは比較的信号の電圧レベルが小さいため、AD変換期間中にVr

50

ef1と図3中a点で、Vref2と図3中b点で交差する。COMPx1およびCOMPx2("x"は列の番号を示す。以後同様)は各列の列処理回路に備わっている比較回路である。COMPx1はVref1と画素信号Vsigを、COMPx2はVref2と画素信号Vsigの信号レベルを比較する。どちらも参照電圧Vrefが画素信号Vsigを上回るとHigh信号を出力する。図2(a)中では、図中a点でCOMPx1の出力がHighに、図中b点でCOMPx2の出力がHighに変化している。

【0016】

<比較回路の周波数帯域例> 本実施例1の特徴は、COMPx1とCOMPx2では比較回路の周波数帯域が異なることである。そのイメージを図3(a)および(b)に示す。本実施例1では、COMPx1がCOMPx2の4倍広い帯域を有しているものとしている。実際には、これらの周波数帯域は、異なる回路の駆動電流によって設定している。設定の方法は以下のとおりである。比較回路の回路内部は電流源や抵抗、容量などによって等価回路で表現することができ、信号はこの等価回路中を電荷の充放電として伝達していく。この回路において、駆動電流を小さくすることで、ある一定時間内に移動できる電荷量を小さくすることになるので、信号伝達のための充放電に必要な時間が長くなる。周波数帯域は信号の伝達時間の逆数であるので、この場合は周波数帯域を狭く設定することになる。逆に駆動電流を大きくすれば周波数帯域を大きくすることができる。なお、ここでは説明を簡単にするために、単純に、任意の駆動電流を設定することで周波数帯域を変えられるとしているが、実際には回路面積や発熱など種々のトレードオフとのバランスを考慮しなければならない。設計には十分な配慮が必要である。また、別の方法として、電荷を充放電する容量値を異ならせてもよい。同じ駆動電流であっても、容量が大きければ充放電に余計な時間がかかるので周波数帯域を狭くすることができる。なお、周波数帯域を異ならせる方法としては上記2つの方式に限るものではないことも付記しておく。本例では、狭い周波数帯域を第1の周波数帯域特性、広い周波数帯域を第2の周波数帯域特性とも記載して区別する。

【0017】

(COMPx1とCOMPx2の例)

図1Bに、比較回路COMPx1及びCOMPx2の回路構成を示す。COMPx1及びCOMPx2は入力を切り替えるスイッチSW1、クランプ容量Cin、インバータINV、インバータINVの入力と出力を短絡するスイッチSW2、負荷容量CLで構成されている。更に、インバータINVはP型MOSのM1、N型MOSトランジスタM2によって構成されている。

【0018】

COMPx1及びCOMPx2の場合の動作は以下の通りである。まず、SW1をVin側に接続するとともに、SW2を短絡する。SW2によってINVの入出力がショートされるので、INVの入出力の電圧はスレッシュホールド電圧Vxに平衡する。このとき、CinにはVinとVxの電圧差に相当する電荷Qが保持される。次に、SW1をVref1側に接続するとともに、SW2を開放する。VrefがVinより低い間は、Cinを介してINVの入力にはVxより低い電圧が入力され、出力がHighとなる。しだいに、Vref1が大きくなり、Vinを越えたところで、INVの入力がVxを越え、INVの出力もLowに反転する。このとき、INVの駆動周波数は、M1およびM2のコンダクタンスgmと負荷容量CLによって決定する。コンダクタンスgmは電流の流し易さを示し、M1もしくはM2を介して負荷容量CLを充放電する際の駆動周波数は gm/CL (Hz)の計算によって得ることが出来る。つまりgmが大きくなれば駆動周波数が高く、gmが小さければ遅くなる。さらに、飽和領域でMOSを駆動するのであればコンダクタンスgmは、 $\mu \times Cox \times W/L \times (Vgs - Vth)$ から得ることが出来る。ここで、 μ は荷電粒子の移動度、Coxは単位長さあたりのMOS容量、WはMOSのゲート幅、LはMOSのゲート長、Vgsはゲート・ソース間電圧、VthはMOSのスレッシュホールド電圧である。つまり、W/Lの比によって、INVの駆動周波数を変化させることが出来る。

【0019】

COMPx1とCOMPx2では、この特性を利用して周波数を異ならせている。COMPx2ではW/Lの比をCOMPx1に比べて小さくすることで、周波数帯域を狭く設定している。なお、周波数帯

10

20

30

40

50

域を変化させる回路構成は、上記の例に限定されるものではない。

【0020】

カウンタx1およびカウンタx2は、AD変換期間中にVref1およびVref2がスロープ状に変化すると同時に、TG108からのクロックCLK1、2を受けて、カウントアップを開始する。そして対応する比較回路COMPの出力がHighになったところでカウントアップを終了する。シングルスロープ積分型AD変換では、このカウント値が画素信号Vsigをデジタル変換した結果となる。

【0021】

図2(a)では、a点でカウンタx1はカウントアップを終了している。もし、COMPx1の出力がHighにならなかった場合は、AD変換期間中に階段状点線でしめしたように0から15までカウントアップをする。カウンタx2についても同様で、b点でカウントアップを終了しており、もしCOMPx2の出力がHighにならなかった場合には階段状点線で示したようにカウントアップを行う。ここで、カウンタx2に供給されるCLK2は、CLK1の1/4以下の周期である。これは、上述したようにCOMPx2の周波数帯域をCOMPx1の1/4としたので、COMPx2の周波数帯域に入るように、CLK2をCOMPx1に対して1/4以下の低速に設定する必要があるためである。つまりCLK2を低速にする分、COMPx2の周波数帯域を制限できる。本実施形態では、CLK2はCLK1の1/4の周期として説明を行う。COMPx2は帯域が狭いので、参照電圧Vref2の変化を参照電圧Vref1の1/4に遅くしている。本発明においては高速なAD変換を行うために、AD変換期間はある時間に決めているこのときCOMPx2では、参照電圧Vref2と画素信号Vsigを比較できる信号レベルは1/4に狭くなる。この場合ではCOMPx1が0~15の16階調を比較動作するのに対して、COMPx2では0から3の4階調に限られる。ただし、COMPx1とCOMPx2の階調の幅(分解能)は同じである。よって最終的な出力から見るとAD変換の分解能は変わらない。ここでは説明の簡単化のため、COMPx1の階調を16階調、つまり4bitの分解能としているが、実際のAD変換では14bit分解能の場合、 2^{14} の階調となる。COMPx2の周波数帯域を狭くすることによりノイズの面でメリットがある。この図2(a)は、COMPx1およびCOMPx2にはノイズが影響しない理想的な表現になっている。上述のようにCOMPx1でもCOMPx2でも分解能は同じ設定となっているので、出力がHighになったときのカウンタx1およびカウンタx2の値は共に"2"になっており、理想的なVsigのデジタル変換した値を示している。

10

20

30

【0022】

しかし、実際の回路では比較回路COMPにはノイズ成分が存在する。そのため、本来はデジタル変換した値が"2"になるべきところが、ノイズによって"1"や"3"になってしまうことがある。特に、要求されるAD変換の分解能が高くなり量子化誤差が小さくなると、ノイズの影響がダイレクトにデジタル変換結果に観測されるようになる。COMPx2では周波数帯域が狭く制限されているので、カットオフ周波数帯以上のノイズを除去することができる。つまり、COMPx2では、AD変換可能な信号レベル範囲は狭くなる代わりに、その信号レベル範囲では低ノイズな読み出しを行うことができるようになる。本実施例においてはCOMPx2のAD変換可能な信号レベル範囲で、ノイズが問題となる画素信号レベルのAD変換を行うところが特徴の一つである。

40

【0023】

なお、COMPx2の周波数帯域がCOMPx1のその1/4であるとして、仮にCLK2をCLK1の1/4以下、たとえば1/5などで駆動する場合は、参照電圧Vrefの変化も1/5にする。この場合、定められた時間内でAD変換できる信号レベルは、先述の1/4から1/5に低下する。しかし、ノイズの観点ではCOMPx2の帯域は1/4のままなので変化がない。つまりCOMPx1とCOMPx2の周波数帯域の比と、CLK1とCLK2との比を等しいときが、定められた時間内でAD変換できる信号レベルが最大となる。なお、定められた時間とは、被写体の輝度などの条件に応じて任意に定めることができるものである。

50

【 0 0 2 4 】

図 1 A の S E L x はセレクタで、C O M P x1 と C O M P x2 でデジタル変換された信号は最終的には S E L x によってどちらの A D 変換結果を読み出すかが決定される。S E L x の選択スイッチには C O M P x2 の出力信号が与えられ、C O M P x2 の出力が H i g h の時 C O M P x2 によるデジタル変換データを読み出し、L o w の時 C O M P x1 の変換データを読み出すように動作する。よって、図 2 (a) の場合のように画素信号 V sig が V ref2 の最大値以下では、C O M P x2 側のカウンタ値をデジタル信号として使うことになる。S E L x で選択されたデジタル信号は、最終的に図 1 A の水平走査回路 1 0 6 で、水平方向に順次読み出される。

【 0 0 2 5 】

(画素信号 V sig が比較的大きい場合) 次に、画素信号 V sig の電圧レベルが V ref2 の最大値 (閾値) より大きい場合の動作を、図 2 (b) で説明する。図 2 (b) に示すように、A D 変換期間中に V ref1 とは図 4 中 c 点で交差し、V ref2 とは交差ししない。その結果、C O M P x1 は H i g h になったカウンタ値 " 1 3 " でカウンタアップがストップするが、C O M P x2 は変化せず、カウンタアップを続ける。C O M P x2 が変化しないので、S E L x は C O M P x1 を選択し、最終的に C O M P x1 側のカウンタ値が水平走査回路 1 0 6 を介して水平方向に順次読み出される。画素信号が V ref2 の最大値より大きい場合、比較的ノイズが多い C O M P x1 からの読み出しを行う。この場合のノイズは多くの場合は問題にならない。なぜならば、画素信号レベルがある程度まで大きくなると、回路が発生するノイズとは別の、光ショットノイズがノイズ支配的要因になるためである。光ショットノイズは光量の平方根に比例する物理原理によるノイズで、このノイズが回路ノイズを上回る信号レベルでは、回路ノイズを低減しても実質的な意味は無くなってしまふ。そこで、光ショットノイズが主要因となるような信号レベル領域では、回路的なノイズの低減よりも高速の信号比較を優先させた C O M P x1 による A D 変換を行う。

【 0 0 2 6 】

< 実施例 1 の効果 > 以上のように、本実施例 1 では固体撮像素子 1 0 0 は A D 変換に用いる比較部に、周波数帯域特性の異なる複数の比較回路を備え、それを画素信号 V sig の信号レベルに応じて切り替えて適用する構成となっている。この構成によれば、実質的に回路ノイズが影響する信号レベルが低い場合には回路ノイズが少ない A D 変換を行い、信号レベルが高い場合は高速な信号比較の A D 変換を行う。従って、高速かつ高精度なデジタル信号出力が可能な固体撮像素子を提供できる。

【 0 0 2 7 】

[実施例 2]

< 実施例 2 の固体撮像素子の構成例 > 図 4 は、本発明の実施例 2 の固体撮像素子 5 0 0 の構成例を示すブロック図である。図 4 では、図 1 A と同等の部分については同一符号を付している。本実施例では A D 変換回路内に 1 つの信号比較器を有し、その周波数帯域を切り替えて使う構成を示す。図 4 において、図 1 A に加え、新たに S E L 5x1、S W x1、S W x2、C 1、カウンタ 5x1 が追加されている。S E L 5x1 は、高速に信号比較ができるが比較的ノイズの大きい A D 変換を行うか、低速の信号比較でノイズの少ない A D 変換を行うかを選択する A D 選択回路である。この回路は、画素信号 V sig の信号レベルを基準電圧、ここでは V r e f の最大値と比較し、それより大きければ H i g h を、小さければ L o w を出力する。基準電圧との比較のために比較回路 (不図示) を用いるが、ここで使用する比較回路は前述の C O M P x1 や C O M P x2 ほどの精度は要求はされない。少なくとも基準電圧の信号レベルより大きい場合に、高速だが比較的ノイズの多い A D 変換を行うように選択が切り替わればよい。この理由は、A D 変換の選択を行う画素信号レベルがばらついて回路的なノイズとなったとしても、ノイズの支配要因である光ショットノイズに比べて十分小さいため、どちらの A D 変換を選択してもノイズの結果は同じになるからである。

【 0 0 2 8 】

S W x1 は、S E L 5x1 が H i g h の場合に C O M P x1 で比較する参照電圧に V ref1 を選

10

20

30

40

50

択し、Lowの場合にはVref2を選択するスイッチ回路である。第1実施例と同様に、Vref1では多少ノイズは多いが高速な信号比較のAD変換が行える動作となり、Vref2では低速の信号比較で低ノイズなAD変換が行える動作となる。SWx2は、SEL5x1がHighの場合に容量部C1をCOMPx1の出力端子から切り離し、Lowの場合には容量部C1を付加するスイッチ回路である。C1が切り離されている場合、COMPx1の周波数帯域は回路そのものの帯域となるので、多少ノイズは大きいが参照電圧の速い変化に追従して高速な比較動作ができ、高分解能なAD変換が可能である。一方、C1が出力に付加された場合はC1の容量負荷がCOMPx1の周波数帯域を制限するように働くので、比較動作は低速になる。しかし低ノイズのAD変換を行うことが出来る。カウンタ5x1は、SEL5x1内の論理演算によってカウント値をデジタル信号として出力する際のビット選択

10

【0029】

<実施例2のAD変換の処理例> 図5(a)および図5(b)は、固体撮像素子500のAD変換の動作を説明する図である。

【0030】

(画素信号Vsigが比較的大きい場合) 図5(a)は、画素信号Vsigの電圧レベルがVref2の最大値(閾値)より高い場合である。固体撮像素子500では、参照電圧をランプ波形状に変化させ始める前にAD変換選択期間が設けられており、この期間にSEL5x1でAD変換選択を行っている。図5(a)では、画素信号VsigがSEL5x1の基準電圧であるVref2の最大値よりも大きいので、SEL5x1の出力がHighとなっている。SEL5x1の出力を受け参照電圧はVref1が選択され、C1が切り離される。カウンタ5x1は毎クロックに1カウント、カウントアップ動作し、COMPx1がHighに切り替わったところでカウントアップ動作を停止する。カウンタ5x1のカウント値は、ビットシフトされることなく出力するように設定される。このように、画素信号VsigのレベルがVref2の最大値より高い場合は、多少ノイズは大きいが高速な比較動作が行え高分解能なAD変換が行われる。

20

30

【0031】

(画素信号Vsigが比較的小さい場合) 一方、図5(b)は、画素信号Vsigの電圧レベルがVref2の最大値(閾値)より低い場合である。図5(a)と同様にAD変換選択期間が設けられており、この期間に前述のSEL5x1でAD変換選択を行っている。図5(b)では、画素信号VsigがSEL5x1の基準以下であったので、SEL5x1の出力がLowのままである。その結果、参照電圧はVref2が選択され、C1は接続されてCOMPx1の周波数帯域を制限するように機能する。カウンタ5x1は上述の動作と同様に、1クロック毎に1カウントだけカウントアップ動作し、COMPx1がHighになったところでカウントアップを停止する。しかし、COMPx1のカウント値は、カウンタ5x1の下位2ビットを無視して、下から3ビット目を最下位ビットとして出力するビットシフトを行うことで、

40

【0032】

なお、カウンタ5x1を制御する別の方法として、CLK1に加えてCLK2もカウンタ5x1に入力し、SEL5x1の論理演算によってCLK1とCLK2の接続を切り替えてもよい。具体的には、SEL5x1の出力がHighであれば、CLK1で、SEL5x1の出力がLowであればCLK2でカウントアップを行うことが考えられる。この構成の利点は、SEL5x1の出力にかかわらず、ビットシフト動作を行う必要はない点である。

【0033】

<実施例2の効果> 以上、実施例2によれば、固体撮像素子500は、AD変換に用

50

いる比較回路COMPx1の周波数帯域特性および参照電圧その他の周辺回路の動作を、画素信号Vsigの出力レベルに基づき簡易に切り替えることが可能な構成となっている。この構成により、回路ノイズが影響する信号レベルが低い画素信号には回路ノイズが少なくなるAD変換を、ある程度画素信号レベルが大きい場合には高速な信号比較のAD変換を行うことができる。従って、高速かつ高精度なデジタル信号出力が可能な固体撮像素子を提供できる。

【0034】

<本実施例の撮像システムの構成例> 実施例1及び2の固体撮像素子は、デジタルカメラやデジタルビデオカメラ、その他産業用カメラなどの撮像素子に利用可能である。本発明を利用することで、高速読み出しが可能で、且つ、回路ノイズの影響が顕著に現れる低光量(信号レベルが低い)個所のノイズを改善した撮像が出来る。

10

【0035】

図6は、実施例1及び2の固体撮像素子を有する撮像システムの概略構成を示す図である。撮像システム400は、実施例1または2の固体撮像素子100、500に代表される固体撮像装置4を備える。なお、本実施例では、固体撮像装置4がA/D変換器6を含んでいる。

【0036】

被写体の光学像は、レンズ2によって固体撮像装置4の撮像面に結像する。レンズ2の外側には、レンズ2のプロテクト機能とメインスイッチを兼ねるバリア1が設けられうる。レンズ2には、それから出射される光の光量を調節するための絞り3が設けられうる。固体撮像装置4から複数チャンネルで出力されるA/D変換器6でデジタルに変換された撮像信号は、撮像信号処理回路5によって各種の補正、クランプ等の処理が施される。撮像信号処理回路5から複数チャンネルで出力される画像データは、信号処理部7によって各種の補正、データ圧縮などがなされる。固体撮像装置4、A/D変換器6、撮像信号処理回路5及び信号処理部7は、タイミング発生部8が発生するタイミング信号にしたがって動作する。ブロック5~8は、固体撮像装置4と同一チップ上に形成されてもよい。撮像システム400の各ブロックは、全体制御・演算部9によって制御される。撮像システム400は、その他、画像データを一時的に記憶するためのメモリ部10、記録媒体への画像の記録又は読み出しのための記録媒体制御インターフェース部11を備える。記録媒体12は、半導体メモリ等を含んで構成され、着脱が可能である。撮像システム400は、外部コンピュータ等と通信するための外部インターフェース(I/F)部13を備えてもよい。

20

30

【0037】

次に、図6に示す撮像システム400の動作について説明する。バリア1のオープンに応じて、メイン電源、コントロール系の電源、A/D変換器6等の撮像系回路の電源が順にオンする。その後、露光量を制御するために、全体制御・演算部9が絞り3を開放にする。固体撮像装置4からA/D変換器6を介して出力された信号は、撮像信号処理回路5をスルーして信号処理部7に出力する。信号処理部7は、そのデータを処理して全体制御・演算部9に提供し、全体制御・演算部9において露出量を決定する演算を行う。全体制御・演算部9は、決定した露出量に基づいて絞りを制御する。次に、全体制御・演算部9は、固体撮像装置4から出力され信号処理部7で処理された信号の中から高周波成分を取り出して、高周波成分に基づいて被写体までの距離を演算する。その後、レンズ2を駆動して、合焦か否かを判断する。合焦していないと判断したときは、再びレンズ2を駆動し、距離を演算する。そして、合焦が確認された後に本露光が始まる。露光が終了すると、固体撮像装置4からA/D変換器6でA/D変換されて出力された撮像信号は、撮像信号処理回路5において補正等がされ、信号処理部7で処理される。信号処理部7で処理された画像データは、全体制御・演算部9によりメモリ部10に蓄積される。その後、メモリ部10に蓄積された画像データは、全体制御・演算部9の制御により記録媒体制御I/F部を介して記録媒体12に記録される。また、画像データは、外部I/F部13を通してコンピュータ等に提供されて処理されうる。

40

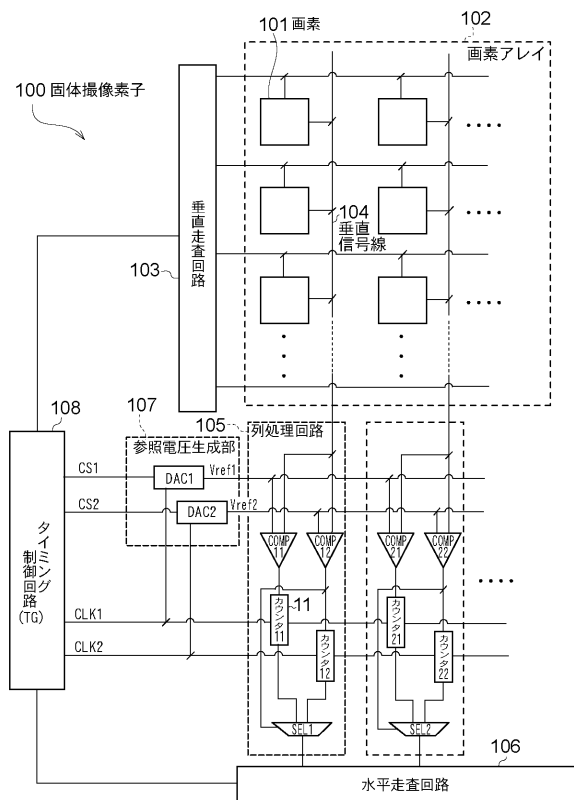
50

【符号の説明】

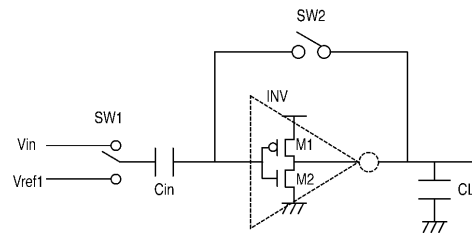
【0038】

100 実施例1の固体撮像素子、101 画素、102 画素アレイ、103 垂直走査回路、104 垂直信号線、105 列処理回路、106 水平走査回路、107 参照電圧生成部、108 タイミング制御回路(TG)、Vsig 画素信号、DAC1、2 デジタル/アナログ変換回路、CS1、2 制御信号、CLK1、2 クロック、Vref1、Vref2 参照電圧、COMP11~22 比較回路、カウンタ11~22 カウンタ回路、SEL セレクタ回路、500 実施例2の固体撮像素子、SEL511、521 AD変換選択回路、SW11~21 スイッチ、カウンタ511~521 カウンタ回路、C1 帯域制限容量、801 ホワイトノイズレベル

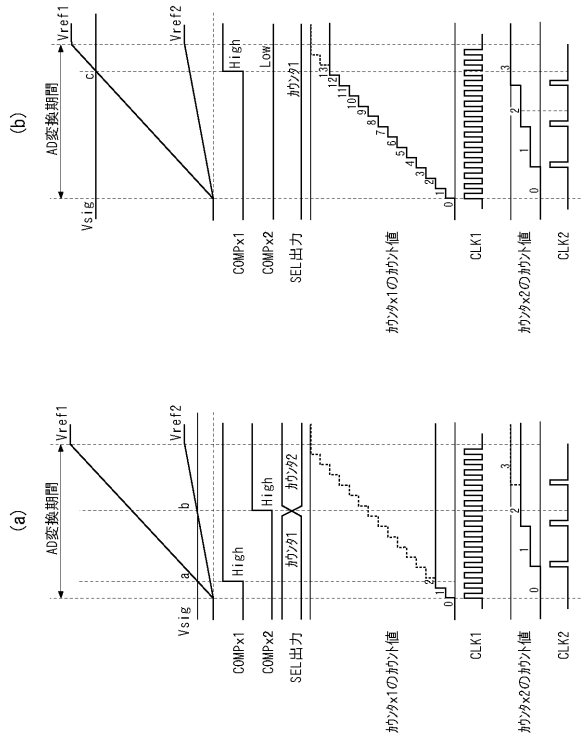
【図1A】



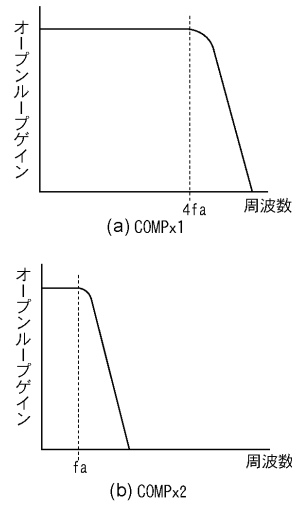
【図1B】



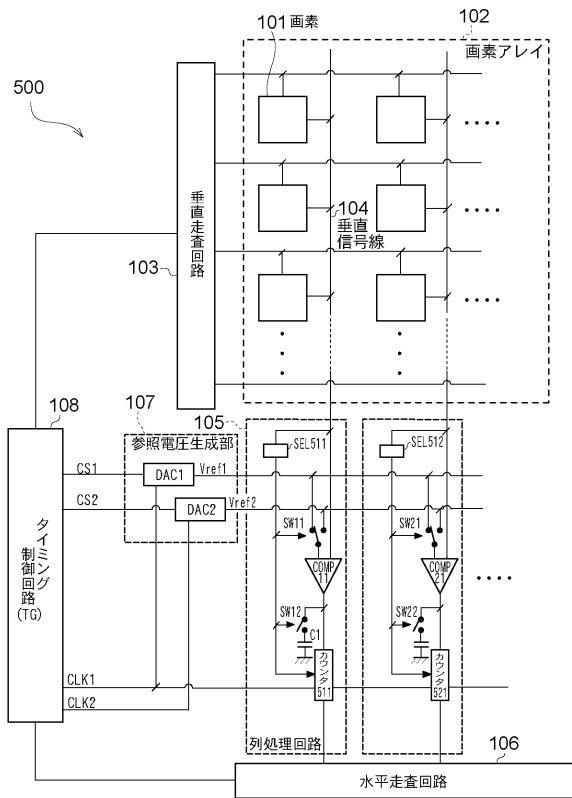
【図2】



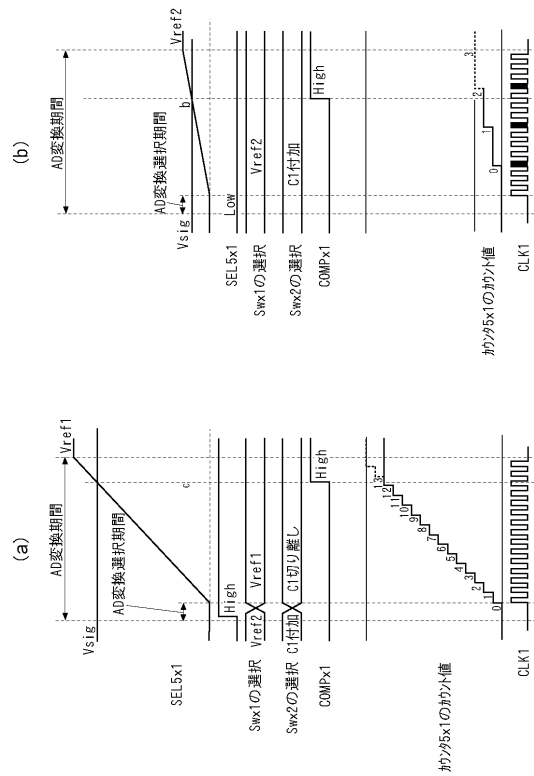
【図3】



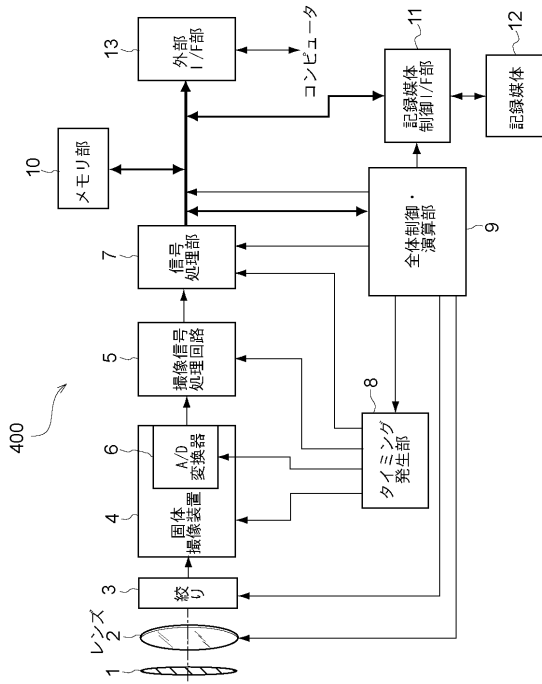
【図4】



【図5】



【 図 6 】



フロントページの続き

(72)発明者 太田 径介

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 5C024 AX01 BX01 CX03 GY31 HX23 HX29 HX35