

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年6月24日(24.06.2021)



(10) 国際公開番号

WO 2021/124653 A1

(51) 国際特許分類:

H01L 23/38 (2006.01)

(21) 国際出願番号:

PCT/JP2020/038148

(22) 国際出願日:

2020年10月8日(08.10.2020)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2019-229289 2019年12月19日(19.12.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 藤永 陽一郎 (FUJINAGA Yoichiro);

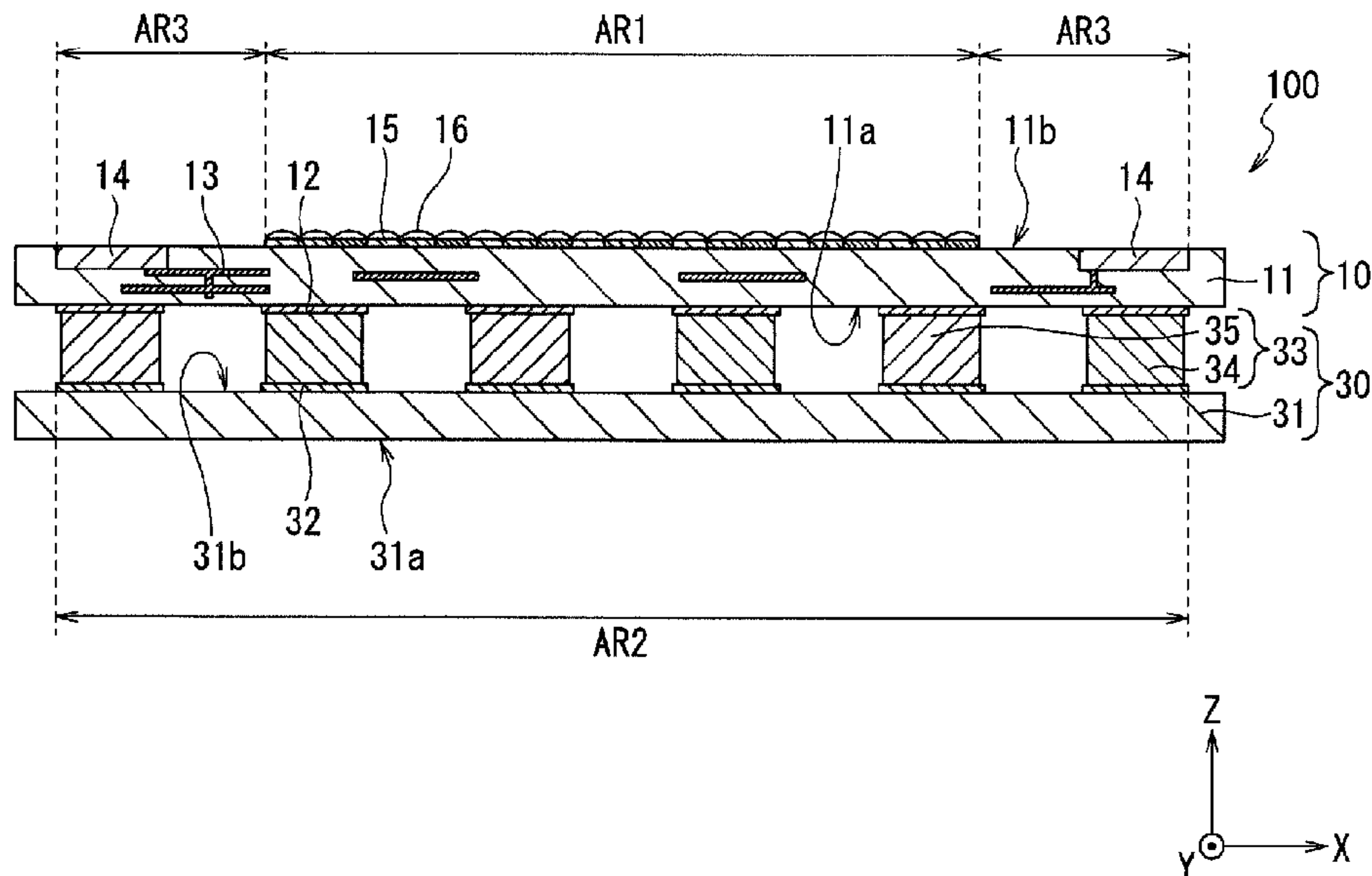
〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 鈴木 優美(SUZUKI Masami); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大上 丞(OGAMI Tasuku); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA

Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Provided is a semiconductor device that can be reduced in size and comprises a Peltier element. The semiconductor device comprises a semiconductor substrate, and a Peltier element that is disposed facing the semiconductor substrate. The Peltier element has a first substrate, and a thermoelectric semiconductor that is disposed between the first substrate and the semiconductor substrate. The semiconductor substrate has a first electrode that is provided to the first substrate-facing surface side thereof. The first substrate has a second electrode that is provided to the semiconductor substrate-facing surface side thereof. The first electrode and the second electrode are each connected to the thermoelectric semiconductor.

[続葉有]

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 小型化が可能な、ペルチェ素子を備える半導体装置を提供する。半導体装置は、半導体基板と、半導体基板と向かい合って配置されるペルチェ素子と、を備える。ペルチェ素子は、第1基板と、第1基板と半導体基板との間に配置される熱電半導体と、を有する。半導体基板は、第1基板と向かい合う面側に設けられた第1電極を有する。第1基板は、半導体基板と向かい合う面側に設けられた第2電極を有する。第1電極と第2電極はそれぞれ熱電半導体に接続される。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 固体撮像素子を冷却する手段として、ペルチェ素子を内蔵した気密封止パッケージが知られている（例えば、特許文献 1 参照）。特許文献 1 に開示された気密封止パッケージでは、固体撮像素子とベース表面の突出部との間に、ペルチェ素子が配置されている。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2 0 0 3－2 5 8 2 2 1 号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献 1 に開示された気密封止パッケージのように、固体撮像素子の一方の面側にペルチェ素子が配置された半導体装置は、ペルチェ素子が配置されない半導体装置と比べて、厚さ方向の寸法が増大する。ペルチェ素子を備える半導体装置において、厚さ方向の寸法の低減（以下、小型化という）が望まれている。

[0005] 本開示はこのような事情に鑑みてなされたもので、小型化が可能な、ペルチェ素子を備える半導体装置を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様は、半導体基板と、前記半導体基板と向かい合って配置されるペルチェ素子と、を備え、前記ペルチェ素子は、第 1 基板と、前記第 1 基板と前記半導体基板との間に配置される熱電半導体と、を有し、前記半導体基板は、前記第 1 基板と向かい合う面側に設けられた第 1 電極を有し、前記第 1 基板は、前記半導体基板と向かい合う面側に設けられた第 2 電極を有

し、前記第 1 電極と前記第 2 電極はそれぞれ前記熱電半導体に接続される、半導体装置である。

[0007] これによれば、ペルチェ素子の第 2 基板（熱電半導体を挟んで第 1 基板の反対側に配置される基板であり、第 1 基板との間で熱電半導体を挟持する基板）として、半導体基板を兼用することができる。ペルチェ素子を半導体基板と一体化することができ、半導体装置の部品点数を減らすことができる。これにより、半導体装置の厚みを低減する（低背化する）ことができ、半導体装置の小型化が可能である。また、半導体基板とペルチェ素子とが一体化することによって、半導体基板からペルチェ素子への排熱効率が向上する。これにより、ペルチェ素子は、半導体基板に対する冷却性能を高めることができる。

[0008] 本開示の別の態様は、半導体基板と、前記半導体基板と向かい合う配線基板と、前記半導体基板と前記配線基板との間に配置されるペルチェ素子と、を備え、前記ペルチェ素子は、第 2 基板と、前記配線基板と前記第 2 基板との間に配置される熱電半導体と、を有し、前記第 2 基板は、前記配線基板と向かい合う面側に設けられた第 1 電極を有し、前記配線基板は、前記第 2 基板と向かい合う面側に設けられた第 2 電極を有し、前記第 1 電極と前記第 2 電極はそれぞれ前記熱電半導体に接続される、半導体装置である。

[0009] これによれば、ペルチェ素子の第 1 基板（熱電半導体を挟んで第 2 基板の反対側に配置される基板であり、第 2 基板との間で熱電半導体を挟持する基板）として、配線基板を兼用することができる。ペルチェ素子を配線基板と一体化することができ、半導体装置の部品点数を減らすことができる。これにより、半導体装置の厚みを低減する（低背化する）ことができ、小型化が可能である。また、ペルチェ素子と配線基板とが一体化することによって、ペルチェ素子から配線基板への排熱効率が向上する。これにより、ペルチェ素子は、半導体基板に対する冷却性能を高めることができる。

[0010] 本開示のさらに別の態様は、半導体基板と、前記半導体基板と向かい合う配線基板と、前記半導体基板と配線基板との間に配置されるペルチェ素子と

、を備え、前記ペルチェ素子は、前記半導体基板と前記配線基板との間に配置される熱電半導体を有し、前記半導体基板は、前記配線基板と向かい合う面側に設けられた第 1 電極を有し、前記配線基板は、前記半導体基板と向かい合う面側に設けられた第 2 電極を有し、前記第 1 電極と前記第 2 電極はそれぞれ熱電半導体に接続される、半導体装置である。

[0011] これによれば、ペルチェ素子の第 1 基板として配線基板を兼用し、ペルチェ素子の第 2 基板として半導体基板を兼用することができる。半導体基板と、ペルチェ素子と、配線基板とを一体化することができ、半導体装置の部品点数を減らすことができる。これにより、半導体装置の厚みを低減する（低背化する）ことができ、小型化が可能である。また、半導体基板とペルチェ素子とが配線基板とが一体化することによって、半導体基板から配線基板への排熱効率が向上する。これにより、ペルチェ素子は、半導体基板に対する冷却性能を高めることができる。

図面の簡単な説明

[0012] [図1]図 1 は、本開示の実施形態 1 に係る半導体装置の構成例を示す平面図である。

[図2]図 2 は、本開示の実施形態 1 に係る半導体装置の構成例を示す断面図である。

[図3]図 3 は、本開示の実施形態 1 に係るペルチェ素子の構成例を示す断面図である。

[図4A]図 4 A は、本開示の実施形態 1 に係る半導体装置の製造方法を示す断面図である。

[図4B]図 4 B は、本開示の実施形態 1 に係る半導体装置の製造方法を示す断面図である。

[図4C]図 4 C は、本開示の実施形態 1 に係る半導体装置の製造方法を示す断面図である。

[図4D]図 4 D は、本開示の実施形態 1 に係る半導体装置の製造方法を示す断面図である。

[図4E]図 4 E は、本開示の実施形態 1 に係る半導体装置の製造方法を示す断面図である。

[図5]図 5 は、本開示の実施形態 1 の変形例 1 に係る半導体装置の構成を示す断面図である。

[図6A]図 6 A は、本開示の実施形態 1 の変形例 1 に係る半導体装置の製造方法を工程順に示す断面図である。

[図6B]図 6 B は、本開示の実施形態 1 の変形例 1 に係る半導体装置の製造方法を工程順に示す断面図である。

[図6C]図 6 C は、本開示の実施形態 1 の変形例 1 に係る半導体装置の製造方法を工程順に示す断面図である。

[図6D]図 6 D は、本開示の実施形態 1 の変形例 1 に係る半導体装置の製造方法を工程順に示す断面図である。

[図6E]図 6 E は、本開示の実施形態 1 の変形例 1 に係る半導体装置の製造方法を工程順に示す断面図である。

[図7]図 7 は、本開示の実施形態 1 の変形例 2 に係る半導体装置の構成を示す断面図である。

[図8A]図 8 A は、本開示の実施形態 1 の変形例 2 に係る半導体装置の製造方法を工程順に示す断面図である。

[図8B]図 8 B は、本開示の実施形態 1 の変形例 2 に係る半導体装置の製造方法を工程順に示す断面図である。

[図8C]図 8 C は、本開示の実施形態 1 の変形例 2 に係る半導体装置の製造方法を工程順に示す断面図である。

[図8D]図 8 D は、本開示の実施形態 1 の変形例 2 に係る半導体装置の製造方法を工程順に示す断面図である。

[図9]図 9 は、本開示の実施形態 1 の変形例 3 に係る半導体装置の構成を示す断面図である。

[図10A]図 10 A は、本開示の実施形態 1 の変形例 3 に係る半導体装置の製造方法を工程順に示す断面図である。

[図10B]図 1 0 B は、本開示の実施形態 1 の変形例 3 に係る半導体装置の製造方法を工程順に示す断面図である。

[図10C]図 1 0 C は、本開示の実施形態 1 の変形例 3 に係る半導体装置の製造方法を工程順に示す断面図である。

[図10D]図 1 0 D は、本開示の実施形態 1 の変形例 3 に係る半導体装置の製造方法を工程順に示す断面図である。

[図11]図 1 1 は、本開示の実施形態 1 の変形例 4 に係る半導体装置の構成を示す断面図である。

[図12A]図 1 2 A は、本開示の実施形態 1 の変形例 4 に係る半導体装置の製造方法を工程順に示す断面図である。

[図12B]図 1 2 B は、本開示の実施形態 1 の変形例 4 に係る半導体装置の製造方法を工程順に示す断面図である。

[図12C]図 1 2 C は、本開示の実施形態 1 の変形例 4 に係る半導体装置の製造方法を工程順に示す断面図である。

[図12D]図 1 2 D は、本開示の実施形態 1 の変形例 4 に係る半導体装置の製造方法を工程順に示す断面図である。

[図12E]図 1 2 E は、本開示の実施形態 1 の変形例 4 に係る半導体装置の製造方法を工程順に示す断面図である。

[図12F]図 1 2 F は、本開示の実施形態 1 の変形例 4 に係る半導体装置の製造方法を工程順に示す断面図である。

[図13]図 1 3 は、本開示の実施形態 1 の変形例 5 に係る半導体装置の構成を示す断面図である。

[図14]図 1 4 は、本開示の実施形態 1 の変形例 5 に係る導電体の配置を示す平面図である。

[図15]図 1 5 は、本開示の実施形態 1 の変形例 6 に係る半導体装置の構成を示す断面図である。

[図16]図 1 6 は、本開示の実施形態 1 の変形例 7 に係る半導体装置の構成を示す断面図である。

[図17]図 1 7 は、本開示の実施形態 1 の変形例 8 に係る半導体装置の構成を示す断面図である。

[図18]図 1 8 は、本開示の実施形態 1 の変形例 9 に係る半導体装置の構成を示す断面図である。

[図19]図 1 9 は、本開示の実施形態 1 の変形例 1 0 に係る半導体装置の構成を示す断面図である。

[図20]図 2 0 は、本開示の実施形態 1 の変形例 1 1 に係る半導体装置の構成を示す断面図である。

[図21]図 2 1 は、本開示の実施形態 2 に係る半導体装置の構成例を示す断面図である。

[図22A]図 2 2 A は、本開示の実施形態 2 に係る半導体装置の製造方法を示す断面図である。

[図22B]図 2 2 B は、本開示の実施形態 2 に係る半導体装置の製造方法を示す断面図である。

[図22C]図 2 2 C は、本開示の実施形態 2 に係る半導体装置の製造方法を示す断面図である。

[図22D]図 2 2 D は、本開示の実施形態 2 に係る半導体装置の製造方法を示す断面図である。

[図23]図 2 3 は、本開示の実施形態 2 の変形例 1 に係る半導体装置の構成を示す断面図である。

[図24A]図 2 4 A は、本開示の実施形態 2 の変形例 1 に係る半導体装置の製造方法を工程順に示す断面図である。

[図24B]図 2 4 B は、本開示の実施形態 2 の変形例 1 に係る半導体装置の製造方法を工程順に示す断面図である。

[図24C]図 2 4 C は、本開示の実施形態 2 の変形例 1 に係る半導体装置の製造方法を工程順に示す断面図である。

[図24D]図 2 4 D は、本開示の実施形態 2 の変形例 1 に係る半導体装置の製造方法を工程順に示す断面図である。

[図25]図25は、本開示の実施形態2の変形例2に係る半導体装置の構成を示す断面図である。

[図26]図26は、本開示の実施形態3に係る半導体装置の構成例を示す断面図である。

[図27]図27は、本開示の実施形態3の変形例に係る半導体装置の構成を示す断面図である。

発明を実施するための形態

[0013] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0014] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれることは勿論である。

[0015] また、以下の説明では、X軸方向、Y軸方向及びZ軸方向の文言を用いて、方向を説明する場合がある。例えば、Z軸方向は、後述する半導体基板11の厚さ方向であり、半導体基板11の下面11aの法線方向である。X軸方向及びY軸方向は、Z軸方向と直交する方向である。X軸方向、Y軸方向及びZ軸方向は、互いに直交する。また、以下の説明において、「平面視」とは、Z軸方向から見ることを意味する。

[0016] <実施形態1>

(構成)

図1は、本開示の実施形態1に係る半導体装置100の構成例を示す平面図である。図2は、本開示の実施形態1に係る半導体装置100の構成例を

示す断面図である。図2は、図1をX1-X'1線で切断した断面を示している。図1及び図2に示す半導体装置100は、例えばセンサ装置であり、センサ素子10と、ペルチェ素子30と、を備える。

[0017] センサ素子10は、例えば、CMOS (Complementary Metal Oxide Semiconductor) イメージセンサ又はCCD (Charge Coupled Device) イメージセンサである。センサ素子10を、センサチップと呼んでもよい。センサ素子10は、半導体基板11と、半導体基板11の下面11a側に設けられた第1電極12と、半導体基板11の上面11b側に設けられた外部接続端子14と、半導体基板11の内部に多層に設けられた複数の配線13と、半導体基板11の上面11b上に設けられたカラーフィルタ層15と、カラーフィルタ層15上に設けられたマイクロレンズ層16と、を備える。半導体基板11は、例えばシリコン基板である。第1電極12は、例えば銅(Cu)又は、Cuを主成分とするCu合金で構成されている。

[0018] センサ素子10は、カラーフィルタ層15及びマイクロレンズ層16が配置された画素領域AR1において、光電変換により光を検出する。センサ素子10が検出する光は、可視光に限定されず、例えば赤外線又は紫外線であってもよい。

[0019] 外部接続端子14は、画素領域AR1の外側に設けられている。外部接続端子14は、例えばボンディングパッドであり、金線等のワイヤーが接続される。外部接続端子14は、半導体基板の内部に設けられた配線13を介して、ペルチェ素子30に接続されている。例えば、センサ素子10は、一对の外部接続端子14を有する。一对の外部接続端子14のうち、一方の外部接続端子14はペルチェ素子30に正電位を印加する正極側端子として用いられ、他方の外部接続端子14はペルチェ素子30に接地電位又は負電位を印加する負極側端子として用いられる。一对の外部接続端子14間に電圧が印加されると、一方の外部接続端子14から、ペルチェ素子30の後述する熱電半導体33を通して、他方の外部接続端子14へ電流が流れる。

- [0020] ペルチェ素子 30 は、下側基板 31（本開示の「第 1 基板」の一例）と、下側基板 31 と半導体基板 11 との間に配置される熱電半導体 33 と、を有する。下側基板 31 は、例えばセラミック基板である。下側基板 31 は、半導体基板 11 と向かい合う上面 31b 側に設けられた第 2 電極 32 を有する。熱電半導体 33 が配置される領域 AR2 は、画素領域 AR1 と平面視で重なる。例えば、熱電半導体 33 が配置される領域 AR2 は、画素領域 AR1 とその周辺領域 AR3 と平面視で重なる。第 2 電極 32 は、例えば Cu 又は Cu 合金で構成されている。
- [0021] 半導体装置 100 では、半導体基板 11 の第 1 電極 12 と、下側基板 31 の第 2 電極 32 とが、それぞれ熱電半導体 33 に接続されている。半導体基板 11 は、半導体装置 100 の基板として用いられるだけでなく、ペルチェ素子 30 の上側基板（熱電半導体 33 を挟んで下側基板 31 の反対側に配置される基板であり、下側基板 31 との間で熱電半導体 33 を挟持する基板）としても用いられている。
- [0022] 図 3 は、本開示の実施形態 1 に係るペルチェ素子 30 の構成例を示す断面図である。図 3 に示すように、熱電半導体 33 は、複数の P 型熱電半導体 34 と、複数の N 型熱電半導体 35 と、を有する。P 型熱電半導体 34 及び N 型熱電半導体 35 は、半導体基板 11 と下側基板 31 との間にそれぞれ配置されている。P 型熱電半導体 34 及び N 型熱電半導体 35 は、一方向に間隔を置いて交互に並んで配置されている。
- [0023] 半導体基板 11 の第 1 電極 12 は、P 型熱電半導体 34 の上端部と N 型熱電半導体 35 の上端部とに接続している。下側基板 31 の第 2 電極 32 は、P 型熱電半導体 34 の下端部と N 型熱電半導体 35 の下端部とに接続している。P 型熱電半導体 34 及び N 型熱電半導体 35 は、半導体基板 11 の第 1 電極 12 と下側基板 31 の第 2 電極 32 とを介して、交互に直列に接続されている。
- [0024] 図 3 に示すように、ペルチェ素子 30 では、N 型熱電半導体 35 の方から直流電流が流されると、半導体基板 11 は熱 T1 を吸収し（吸熱し）、下側

基板 31 は熱 T2 を放出する（放熱する）。ペルチェ素子 30 は、センサ素子 10 で生じた熱を、下側基板 31 を介して、半導体装置 100 の外部へ逃がすことができる。

[0025] 次に、図 1 及び図 2 に示した半導体装置 100 の製造方法について説明する。なお、半導体装置 100 の製造には、第 1 電極 12 を形成する装置、熱電半導体 33 を取り付ける装置、ワイヤーボンディング装置など、種々の装置を使用する。本開示の実施形態では、これらの装置を製造装置と総称する。また、製造装置が行う作業の少なくとも一部は、作業員が行ってもよい。

[0026] （製造方法）

図 4 A から図 4 E は、本開示の実施形態 1 に係る半導体装置 100 の製造方法を示す断面図である。図 4 A に示すように、製造装置は、センサウエハ 10' を製造する。センサウエハ 10' は、センサ素子 10 が多面付けで形成された、ダイシング前の基板である。なお、図 4 A の工程において、第 1 電極 12（図 2 参照）は未形成である。第 1 電極 12 は、後述の図 4 C の工程で形成される。

[0027] 次に、図 4 B に示すように、製造装置は、半導体基板 11 の上面 11 b 側に支持基板 21 を貼り合わせる。支持基板 21 によって、カラーフィルタ層 15 及びマイクロレンズ層 16 を含む半導体基板 11 の上面 11 b 側は保護される。

[0028] 次に、図 4 C に示すように、製造装置は、半導体基板 11 の下面 11 a 側が上方を向くように半導体基板 11 を上下反転させ、半導体基板 11 の下面 11 a 側に第 1 電極 12 を形成する。例えば、製造装置は、蒸着法、スパッタ法又は CVD 法を用いて、半導体基板 11 の下面 11 a 側に銅（Cu）膜を形成する。次に、製造装置は、フォトリソグラフィを用いて、Cu 膜上に所定形状のレジストパターンを形成する。次に、製造装置は、レジストパターンをマスクを用いて、Cu 膜をエッチングする。これにより、製造装置は、Cu 膜から第 1 電極 12 を形成する。あるいは、製造装置は、リフトオフ法を用いて、Cu 膜から第 1 電極 12 を形成してもよい。製造装置は、任意

の方法で、第1電極12を形成してよい。

[0029] 次に、図4Dに示すように、製造装置は、第1電極12上にP型熱電半導体34とN型熱電半導体35とを取り付ける。例えば、製造装置は、P型熱電半導体34とN型熱電半導体35とが予め貼付されたシートを半導体基板11の下面11a側に押し当て、第1電極12にP型熱電半導体34とN型熱電半導体35とをそれぞれ接合させ、その後、シートのみを除去することによって、第1電極12上にP型熱電半導体34とN型熱電半導体35とを取り付ける。また、これ以外の方法で、製造装置は、第1電極12上にP型熱電半導体34とN型熱電半導体35とを取り付けてもよい。例えば、P型熱電半導体34とN型熱電半導体35とを第1電極12上に1個ずつ取り付けてもよい。

[0030] 次に、図4Eに示すように、製造装置は、下側基板31の上面31b側を下方に向け、下側基板31の第2電極32をP型熱電半導体34とN型熱電半導体35とにそれぞれ接合する。次に、製造装置は、センサウエハ10'と下側基板31とをダイシングして、半導体装置100を個片化する。その後、製造装置は、半導体基板11の上面11b側から支持基板21を脱離させる。以上の工程を経て、図1及び図2に示した半導体装置100が完成する。

[0031] 以上説明したように、本開示の実施形態1に係る半導体装置100は、半導体基板11と、半導体基板11と向かい合って配置されるペルチェ素子30と、を備える。ペルチェ素子30は、下側基板31と、下側基板31と半導体基板11との間に配置される熱電半導体33と、を有する。半導体基板11は、下側基板31と向かい合う下面11a側に設けられた第1電極12を有する。下側基板31は、半導体基板11と向かい合う上面31b側に設けられた第2電極32を有する。第1電極12と第2電極32はそれぞれ熱電半導体33に接続されている。例えば、熱電半導体33は、複数のP型熱電半導体34と、複数のN型熱電半導体35と、を有する。P型熱電半導体34とN型熱電半導体35は、第1電極12及び第2電極32を介して、交

互に直列に接続されている。

[0032] これによれば、ペルチェ素子 30 の上側基板（熱電半導体 33 を挟んで下側基板 31 の反対側に配置される基板であり、下側基板 31 との間で熱電半導体 33 を挟持する基板）として、半導体基板 11 を兼用することができる。ペルチェ素子 30 を半導体基板 11 と一体化することができ、半導体装置 100 の部品点数を減らすことができる。これにより、半導体装置 100 の厚みを低減する（低背化する）ことができ、半導体装置 100 の小型化が可能である。

[0033] また、半導体基板 11 とペルチェ素子 30 とが一体化することによって、半導体基板 11 からペルチェ素子 30 への排熱効率が向上する。半導体基板 11 とペルチェ素子 30 との間には、熱電半導体 33 を支持するための基板（上側基板）がないため、半導体基板 11 からペルチェ素子 30 への排熱は効率よく行われる。これにより、ペルチェ素子 30 は、半導体基板 11 に対する冷却性能を高めることができる。

[0034] また、ペルチェ素子 30 への電流の入力及び出力は、半導体基板 11 の外側へ引き出されるペルチェ素子専用の引出し配線ではなく、外部接続端子 14 に接続される金線等の配線を介して行われる。ペルチェ素子専用の引出し配線が不要となるため、さらにスペースを削減することができる。これにより、半導体装置 100 のさらなる小型化が可能である。

[0035] また、ペルチェ素子 30 の上側基板や、ペルチェ素子専用の引出し配線、上側基板と半導体基板とを接合する接着剤が不要となり、部品点数を減らすことができる。これにより、半導体装置 100 の低コスト化を図ることができる。

[0036] また、半導体基板 11 と熱電半導体 33 との間に接着用の樹脂や上側基板がないため、半導体基板 11 の反りを抑制することができる。すなわち、一般的な樹脂は、接着基材、デバイスよりも線膨張係数が大きいいため、温度により伸縮したり弾性率が変化したりする。このため、半導体基板 11 の反りの原因となり易い。しかしながら、半導体装置 100 では、半導体基板 11

と熱電半導体 3 3 との間に接着用の樹脂がないため、半導体基板 1 1 の反りを抑制することができる。

[0037] (変形例 1)

図 5 は、本開示の実施形態 1 の変形例 1 に係る半導体装置 1 0 0 A の構成を示す断面図である。図 5 に示すように、半導体装置 1 0 0 A の半導体基板 1 1 には、半導体基板 1 1 を厚さ方向に貫く貫通電極 2 2 (本開示の「第 1 貫通電極」の一例) が設けられていてもよい。貫通電極 2 2 は、半導体基板 1 1 の下面 1 1 a と上面 1 1 b との間を貫いている。貫通電極 2 2 は、例えば Cu 等の金属で構成されている。

[0038] また、貫通電極 2 2 は、ペルチェ素子 3 0 に電位を印加する外部接続端子として用いられてもよい。例えば、センサ素子 1 0 は、画素領域 AR 1 (図 1 参照) の外側に位置する周辺領域 AR 3 (図 1 参照) に設けられた一对の貫通電極 2 2 を有する。貫通電極 2 2 の上端部は、半導体基板 1 1 の上面 1 1 b 側に露出したボンディングパッドとして用いられる。ボンディングパッドには、金線等のワイヤーが接続される。貫通電極 2 2 の下端部は、センサ素子 1 0 の第 1 電極 1 2 に接続している。このような構成であっても、半導体装置 1 0 0 A は、上記の半導体装置 1 0 0 と同様の効果を奏する。

[0039] なお、図 5 に示す半導体装置 1 0 0 A においても、貫通電極 2 2 とは別に、図 2 に示したような外部接続端子 1 4 が設けられていてもよい。また、図 5 には示さないが、半導体基板 1 1 の内部に配線 1 3 が設けられてもよい。

[0040] 次に、図 5 に示した半導体装置 1 0 0 A の製造方法を説明する。図 6 A から図 6 E は、本開示の実施形態 1 の変形例 1 に係る半導体装置 1 0 0 A の製造方法を工程順に示す断面図である。図 6 A において、半導体基板 1 1 の上面 1 1 b 側に支持基板 2 1 を貼り合わせる工程までは、図 4 A 及び図 4 B を参照しながら説明した製造方法と同じである。

[0041] 支持基板 2 1 を貼り合わせた後、図 6 B に示すように、製造装置は、半導体基板 1 1 の下面 1 1 a 側が上方を向くように半導体基板 1 1 を上下反転させる。そして、製造装置は、半導体基板 1 1 の下面 1 1 a と上面 1 1 b との

間を貫く貫通孔（ビア）H 1 を、半導体基板 1 1 の下面 1 1 a 側から形成する。次に、製造装置は、貫通孔 H 1 の内側に貫通電極 2 2 を形成する。次に、図 6 C に示すように、製造装置は、半導体基板 1 1 の下面 1 1 a 側に第 1 電極 1 2 を形成する。貫通電極 2 2 の下端部（図 6 C では、上側の端部）は、第 1 電極 1 2 で覆われる。

[0042] これ以降の工程は、図 4 D 及び図 4 E を参照しながら説明した製造方法と同じである。図 6 D に示すように、製造装置は、第 1 電極 1 2 上に P 型熱電半導体 3 4 と N 型熱電半導体 3 5 とを取り付ける。次に、図 6 E に示すように、製造装置は、下側基板 3 1 の上面 3 1 b 側を下方に向け、下側基板 3 1 の第 2 電極 3 2 に P 型熱電半導体 3 4 と N 型熱電半導体 3 5 とにそれぞれ接合する。次に、製造装置は、センサウエハ 1 0' と下側基板 3 1 とをダイシングして、半導体装置 1 0 0 A を個片化する。その後、製造装置は、半導体基板 1 1 の上面 1 1 b 側から支持基板 2 1 を脱離させる。以上の工程を経て、図 5 に示した半導体装置 1 0 0 A が完成する。

[0043] （変形例 2）

図 7 は、本開示の実施形態 1 の変形例 2 に係る半導体装置 1 0 0 B の構成を示す断面図である。図 7 に示すように、半導体装置 1 0 0 B は、パッケージ本体 5 0 と、パッケージ本体 5 0 の上面側に取り付けられたリッド 6 0 とを備える。パッケージ本体 5 0 とリッド 6 0 とによって、センサ素子 1 0 とペルチェ素子 3 0 とを収容して気密に封止するパッケージ 7 0 が構成されている。

[0044] 半導体装置 1 0 0 B において、半導体基板 1 1 の上面 1 1 1 b 側には、センサ素子 1 0 に接続するボンディングパッド P 1 が設けられている。ボンディングパッド P 1 には、ワイヤー 2 3 が接合されている。センサ素子 1 0 は、ボンディングパッド P 1 及びワイヤー 2 3 を介して、電源や信号の入出力が可能となっている。

[0045] 下側基板 1 1 の上面 1 1 1 b 側には、ペルチェ素子 3 0 への電流の入力及び出力を行うためのボンディングパッド P 2 が設けられている。ボンディン

グパッドP 2は、下側基板1 1の上面1 1 1 b側に設けられた第2電極3 2に接続している。また、ボンディングパッドP 2には、ワイヤー1 2 3が接合されている。ワイヤー1 2 3及びボンディングパッドP 2を介して、ペルチェ素子3 0に電流が印加される。

[0046] ボンディングパッドP 1、P 2は、例えばアルミニウム（A l）若しくはA lを主成分とするA l合金、又は、銅（C u）若しくはC uを主成分とするC u合金で構成されている。ワイヤー3 2、1 3 2は、例えば金線である。

[0047] パッケージ本体5 0は、ダイボンド材2 4を介してペルチェ素子3 0の下側基板3 1が取り付けられる底部5 1と、底部5 1の周囲に配置された壁部5 2とを有する。例えば、底部5 1と壁部5 2は一体に形成されている。底部5 1と壁部5 2とで囲まれた、パッケージ7 0の内側の空間5 3に、センサ素子1 0とペルチェ素子3 0とが配置されている。半導体装置1 0 0 Bにおいて、パッケージ本体5 0は例えばセラミックで構成されている。

[0048] リッド6 0は、センサ素子1 0が検出する光を透過する材料で構成されており、例えば透光性のガラス材、又は、透光性の樹脂で構成されている。リッド6 0は、パッケージ本体5 0の壁部に隙間なく接合される枠体（図示せず）を有してもよい。枠体は、例えばセラミック又は金属で構成されている。

[0049] 底部5 1の上面5 1 b側には、金線等のワイヤー2 3、1 2 3の各一端がそれぞれ接続されるボンディングパッド（図示せず）が設けられている。ワイヤー2 3が接続するボンディングパッドと、ワイヤー1 2 3が接続するボンディングパッドは、互いに離れており、互いに電氣的に分離されている。また、底部5 1の内部には、複数の配線（図示せず）が多層に設けられている。これらの配線は、底部の上面5 1 b側に設けられたボンディングパッドと、底部5 1の下面5 1 a側に設けられた複数の端子（図示せず）とに接続している。底部5 1の下面5 1 a側に設けられた複数の端子は、下面5 1 aの法線方向に突き出たピン状端子でもよいし、ボール状端子でもよい。セン

サ素子 10 の貫通電極 22 は、ワイヤー 23 と、底部 51 の上面 51b 側に設けられたボンディングパッドと、底部 51 の内部に設けられた配線と、底部の下面 51a 側に設けられた端子とを介して、パッケージ 70 の外側へ引き出されている。

[0050] 半導体装置 100B では、パッケージ 70 の内側の空間 53 にセンサ素子 10 とペルチェ素子 30 とが配置され、気密に封止される。これにより、半導体装置 100B は、センサ素子 10 に異物が付着することを抑制することができ、異物が原因でセンサ素子 10 の動作に影響が出る可能性を低減することができる。

[0051] 次に、図 7 に示した半導体装置 100B の製造方法を説明する。図 8A から図 8D は、本開示の実施形態 1 の変形例 2 に係る半導体装置 100B の製造方法を工程順に示す断面図である。図 8A において、半導体基板 11 の下面 11a 側に熱電半導体 33 を取り付け、ダイシングにより半導体装置 100A を個片化し、その後、支持基板 21 を脱離させる工程までは、図 6A から図 6E を参照しながら説明した製造方法と同じである。支持基板 21 の脱離工程と前後して、図 8B に示すように、製造装置は、パッケージ本体 50 の底部 51 の上面 51b 側にダイボンド材 24 を塗布する。

[0052] 次に、図 8C に示すように、製造装置は、底部 51 の上面 51b 側にダイボンド材 24 を介して下側基板 31 を取り付ける。次に、製造装置は、センサ素子 10 のボンディングパッド P1 と、底部 51 の上面 51b 側に設けられたボンディングパッド（図示せず）とをワイヤー 23 で接続する。また、下側基板 31 の上面 31b 側に設けられたボンディングパッドと、底部 51 の上面 51b 側に設けられたボンディングパッド（図示せず）とをワイヤー 123 で接続する。次に、図 8D に示すように、製造装置は、リッド 60 とパッケージ本体 50 とを互いに位置合わせした状態で、例えばシーム溶接などの手段により、リッド 60 をパッケージ本体 50 の壁部 52 に取り付ける。これにより、リッド 60 とパッケージ本体 50 との間の空間 53 が気密に封止される。

[0053] シーム溶接とは、抵抗溶接の１種であり、ローラー電極を用いて、加圧、通電しながら電極を回転させて、連続的に溶接する方法である。この工程は、シーム溶接装置に設けられたチャンバー内をドライエア、窒素又は真空などの雰囲気にする事で、パッケージ内部（すなわち、空間５３）の雰囲気もドライエア、窒素又は真空に保つことが可能となる。なお、本開示の実施形態において、リッド６０とパッケージ本体５０との接合はシーム溶接に限定されるものではない。リッド６０とパッケージ本体５０との接合は、例えば、接着剤を用いた接合であってもよい。以上の工程を経て、図７に示した半導体装置１００Ｂが完成する。

[0054] （変形例３）

図９は、本開示の実施形態１の変形例３に係る半導体装置１００Ｃの構成を示す断面図である。図９に示す半導体装置１００Ｃにおいて、図７に示した半導体装置１００Ｂとの違いは、パッケージ本体５０の構造にある。半導体装置１００Ｃが有するパッケージ本体５０は、ダイボンド材２４を介してペルチェ素子３０の下側基板３１が取り付けられる底部５１と、底部５１の周囲に配置された壁部５２Ａとを有する。底部５１と壁部５２Ａは別々に形成されており、例えば互いに異なる材料で構成されている。一例を挙げると、底部５１はセラミックで構成されているのに対して、壁部５２Ａは樹脂又は金属で構成されている。底部５１と壁部５２Ａは、例えば、接着剤（図示せず）などを介して互いに接合されている。

[0055] 半導体装置１００Ｃは、半導体装置１００Ｂと同様の効果を奏する。また、後述の製造方法で説明するように、底部５１の周囲に壁部５２Ａを取り付ける前に、底部５１の上面５１ｂ側にペルチェ素子３０とセンサ素子１０とを取り付けたり、ワイヤーボンディングを行ったりすることができる。パッケージ本体５０に対するセンサ素子１０の取り付けの際に、底部５１の上面５１ｂ側には壁部５２Ａは無く、底部５１の上面５１ｂは平坦であるため、ペルチェ素子３０とセンサ素子１０の取り付けや、ワイヤーボンディングが容易である。このため、半導体装置１００Ｃは、半導体装置１００Ｂと比べ

て、生産性を向上できる可能性がある。

[0056] 次に、図9に示した半導体装置100Cの製造方法を説明する。図10Aから図10Dは、本開示の実施形態1の変形例3に係る半導体装置100Cの製造方法を工程順に示す断面図である。図10Aにおいて、パッケージ本体50Aの底部51の上面51b側にダイボンド材24を塗布する工程までは、図8A及び図8Bを参照しながら説明した製造方法と同じである。

[0057] ダイボンド材24を塗布した後、図10Bに示すように、製造装置は、底部51の上面51b側にダイボンド材24を介して下側基板31を取り付ける。次に、図10Cに示すように、製造装置は、センサ素子10のボンディングパッドP1と、底部51の上面51b側に設けられたボンディングパッド（図示せず）とをワイヤー23で接続する（第1のワイヤーボンディング工程）。また、製造装置は、下側基板31のボンディングパッドP2と、底部51の上面51b側に設けられたボンディングパッド（図示せず）とをワイヤー123で接続する（第2のワイヤーボンディング工程）。次に、製造装置は、底部51の上面51b側に接着剤などを介して壁部52Aを取り付ける。なお、本開示の実施形態では、壁部52Aの取り付け工程を行った後で、第1のワイヤーボンディング工程や、第2のワイヤーボンディング工程を行ってもよい。

[0058] 次に、図10Dに示すように、製造装置は、リッド60をパッケージ本体50の壁部52Aに取り付け、リッド60とパッケージ本体50との間の空間53を気密に封止する。以上の工程を経て、図9に示した半導体装置100Cが完成する。

[0059] （変形例4）

図11は、本開示の実施形態1の変形例4に係る半導体装置100Dの構成を示す断面図である。図11に示すように、半導体装置100Dのパッケージ形式は、ウェハレベルチップサイズパッケージである。半導体装置100Dにおいて、半導体基板11と下側基板31との間であって、熱電半導体33が配置される領域AR2の外側には、絶縁性の第1スペーサ25が設け

られている。第1スペーサ25は、熱電半導体33が配置される領域AR2を平面視で隙間なく囲む絶縁性の枠体である。第1スペーサ25は絶縁性の樹脂で構成されていてもよいし、セラミックで構成されていてもよい。第1スペーサ25の上端は半導体基板11の下面11aに接合され、第1スペーサ25の下端は下側基板31の上面31bに接合されている。

[0060] 第1スペーサ25の内部には、第1スペーサ25をZ軸方向（半導体装置100の厚さ方向）に貫く貫通配線26が設けられている。貫通配線26は、例えばCuなどの金属で構成されている。貫通配線26は、半導体基板11の内部に設けられた配線13と、下側基板31の下面31aと上面31bとの間を貫通する貫通電極36とにそれぞれ接続されている。貫通電極36は、例えばCuなどの金属で構成されている。

[0061] 下側基板31において、半導体基板11と向かい合う面の反対側である下面31a側には、再配線層37（本開示の「第2再配線層」の一例）が設けられている。再配線層37は、例えば、多層に設けられた配線38と、一の層の配線38と他の層の配線38との間を絶縁する絶縁層39とを有する。配線38は、例えばCuなどの金属で構成されている。絶縁層39は、例えばソルダーレジストで構成されている。再配線層37の最下面には、複数のバンプ電極40が設けられている。バンプ電極40は、配線38に接続している。バンプ電極40は、例えばはんだボールで構成されている。

[0062] 半導体基板11の上面11bとリッド60との間であって、カラーフィルタ層15及びマイクロレンズ層16が配置される領域の外側には、第2スペーサ45が設けられている。第2スペーサ45は、カラーフィルタ層15及びマイクロレンズ層16が配置される領域を平面視で隙間なく囲む絶縁性の枠体である。例えば、第2スペーサ45は、半導体基板11を介して第1スペーサ25とZ軸方向で重なるように設けられている。第2スペーサ45は絶縁性の樹脂で構成されていてもよいし、セラミックで構成されていてもよい。第2スペーサ45の上端はリッド60に接合され、第2スペーサ45の下端は半導体基板11の上面11bに接合されている。

[0063] 半導体装置 100D では、半導体基板 11 と下側基板 31 との間の空間は、枠状の第 1 スペース 25 で気密に封止されている。また、半導体基板 11 とリッド 60 との間の空間は、枠状の第 2 スペース 45 で気密に封止されている。半導体基板 11 と下側基板 31 との間の電氣的接続は、金線などのワイヤーでなく、第 1 スペース 25 内の貫通配線 26 を介して行われる。半導体装置 100D は、ウェハレベルチップサイズパッケージであり、ワイヤーが不要であるため、さらなる薄型、小型化が可能である。

[0064] なお、半導体基板 11 とリッド 60 との間であって、第 2 スペース 45 で囲まれた空間は、中空であってよいし、透光性を有する樹脂（すなわち、透明樹脂）で充填されていてもよい。

[0065] 次に、図 11 に示した半導体装置 100D の製造方法を説明する。図 12A から図 12F は、本開示の実施形態 1 の変形例 4 に係る半導体装置 100D の製造方法を工程順に示す断面図である。図 12A において、センサ素子 10 が多面付けで形成されたセンサウェハ 10' を形成し、センサウェハ 10' に貫通電極 22 を形成する工程までは、図 6A 及び図 6B を参照しながら説明した製造方法と同じである。

[0066] 貫通電極 22 の形成後、製造装置は、センサウェハ 10' の上面 11b 側に第 2 スペース 45 を形成する。製造装置は、ウェハプロセスを用いて第 2 スペース 45 を形成してもよいし、予め用意された第 2 スペース 45 を、接着剤などを介して上面 11b 側に取り付けてもよい。次に、図 12B に示すように、製造装置は、第 2 スペース 45 上にリッド 60 を取り付ける。これにより、半導体基板 11 とリッド 60 との間の空間は気密封止される。

[0067] 次に、図 12C に示すように、製造装置は、リッド 60 が下方を向くように半導体基板 11 を上下反転させ、半導体基板 11 の下面 11a 側（図 12C では、上側）に第 1 電極 12 を形成する。次に、製造装置は、半導体基板 11 の下面 11a 側に第 1 スペース 25 を形成し、第 1 スペース 25 の内部に位置する貫通配線 26 と半導体基板 11 の貫通電極 22 とを接合する。

[0068] 次に、図 12D に示すように、製造装置は、第 1 電極 12 上に P 型熱電半

導体 3 4 と N 型熱電半導体 3 5 とを取り付ける。次に、図 1 2 E に示すように、製造装置は、下側基板 3 1 の上面 3 1 b 側を下方に向け、下側基板 3 1 の第 2 電極 3 2 を P 型熱電半導体 3 4 と N 型熱電半導体 3 5 とにそれぞれ接合するとともに、下側基板 3 1 の貫通電極 3 6 を第 1 スペーサ 2 5 の内部に位置する貫通配線 2 6 に接合する。

[0069] 次に、図 1 2 F に示すように、製造装置は、下側基板 3 1 の下面 3 1 a 側には再配線層 3 7 を形成する。製造装置は、例えばセミアディティブ法又はサブトラクティブ法を用いて、再配線層 3 7 を形成する。また、再配線層 3 7 の形成に際し、製造装置は、下側基板 3 1 の貫通電極 3 6 に配線 3 8 を接続させる。その後、製造装置は、再配線層 3 7 の最下面（図 1 2 F では、最上面）に複数のバンプ電極 4 0（図 1 1 参照）を形成する。その後、センサウエハ 1 0' を下側基板 3 1 と共にダイシングする。以上の工程を経て、図 1 1 に示した半導体装置 1 0 0 E が完成する。

[0070] （変形例 5）

図 1 3 は、本開示の実施形態 1 の変形例 5 に係る半導体装置 1 0 0 E の構成を示す断面図である。図 1 4 は、本開示の実施形態 1 の変形例 5 に係る導電体 8 0 の配置を示す平面図である。図 1 3 及び図 1 4 に示すように、半導体装置 1 0 0 E は、P 型熱電半導体 3 4 と N 型熱電半導体 3 5 との間に配置され、P 型熱電半導体 3 4 及び N 型熱電半導体 3 5 からそれぞれ電氣的に分離された導電体 8 0 を備える。導電体 8 0 は、P 型熱電半導体 3 4 及び N 型熱電半導体 3 5 とそれぞれ間隔を置いて隣り合って配置されている。

[0071] 導電体 8 0 は、半導体基板 1 1 と再配線層 3 7 とを接続する接続端子である。導電体 8 0 は、下側基板 3 1 の上面 3 1 b と下面 3 1 a との間を貫いている。導電体 8 0 の下端は再配線層 3 7 の配線 3 8 に接続している。また、半導体基板 1 1 の下面 1 1 a 側には、電極 1 8 が設けられている。電極 1 8 は、第 1 電極 1 2 から離れた位置に設けられており、第 1 電極 1 2 とは電氣的に分離されている。導電体 8 0 の上端は、電極 1 8 に接続している。導電体 8 0 は、電極 1 8 を介して、半導体基板 1 1 と再配線層 3 7 とを接続して

いる。

[0072] 半導体装置 100E では、半導体基板 11 と再配線層 37 との間の信号線や電源線として、導電体 80 が用いられる。導電体 80 は、ペルチェ素子 30 を迂回せず、半導体基板 11 と再配線層 37 とを接続する。半導体装置 100E は、半導体基板 11 と再配線層 37 との間の配線長を短くすることができるので、低インピーダンス化が可能である。

[0073] なお、半導体装置 100E において、半導体基板 11 と下側基板 31 との間には、絶縁性の樹脂が充填されていてもよい。半導体基板 11 と下側基板 31 との間の樹脂によって、導電体 80 は水平方向（X-Y 平面に平行な方向）から支持されるので、半導体基板 11 及び下側基板 31 に対する導電体 80 の接合強度が向上する。

[0074] また、半導体装置 100G と同様に、半導体装置 100E においても、半導体基板 11 とリッド 60 との間であって、第 2 スペース 45 で囲まれた空間は、中空であってよいし、透明樹脂で充填されていてもよい。

[0075] （変形例 6）

上記の実施形態 1 とその変形例 1 から 5 では、半導体装置が、カラーフィルタ層 15 及びマイクロレンズ層 16 を備えるセンサ装置である場合を説明した。しかしながら、本開示の第 1 実施形態において、半導体装置はセンサ装置に限定されない。第 1 実施形態に係る半導体装置は、任意の機能を実行する集積回路（IC）又は大規模集積回路（LSI）であってもよい。

[0076] 図 15 は、本開示の実施形態 1 の変形例 6 に係る半導体装置 100F の構成を示す断面図である。図 15 に示す半導体装置 100F は、IC 又は LSI であり、IC 素子 10A と、ペルチェ素子 30 と、を備える。IC 素子 10A を、IC チップと呼んでもよい。IC 素子 10A は、半導体基板 11 と、半導体基板 11 の下面 11a 側に設けられた第 1 電極 12 と、半導体基板 11 の上面 11b 側に設けられた外部接続端子 14 と、半導体基板 11 の内部に多層に設けられた複数の配線 13 と、を備える。ペルチェ素子 30 は、下側基板 31 と、下側基板 31 と半導体基板 11 との間に配置される熱電半

導体 3 3 と、を有する。

[0077] 図 1 及び図 2 に示した半導体装置 1 0 0 と同様に、半導体装置 1 0 0 F においても、半導体基板 1 1 の第 1 電極 1 2 と、下側基板 3 1 の第 2 電極 3 2 とが、それぞれ熱電半導体 3 3 に接続されている。半導体基板 1 1 は、半導体装置 1 0 0 F の基板として用いられるだけでなく、ペルチェ素子 3 0 の上側基板としても用いられている。

[0078] 半導体装置 1 0 0 F においても、ペルチェ素子 3 0 の上側基板として、半導体基板 1 1 が兼用される。ペルチェ素子 3 0 は半導体基板 1 1 と一体となり、部品点数を減らすことができる。これにより、半導体装置 1 0 0 F は、厚みを低減することができ、小型化が可能である。

[0079] (変形例 7)

図 1 6 は、本開示の実施形態 1 の変形例 7 に係る半導体装置 1 0 0 G の構成を示す断面図である。図 1 6 に示すように、半導体装置 1 0 0 G では、半導体基板 1 1 の中央部の下方には熱電半導体 3 3 が配置されているが、半導体基板 1 1 の外周部の下方には熱電半導体 3 3 は配置されていない。熱電半導体 3 3 は、半導体基板 1 1 の中央部の下方に偏って配置されている。

[0080] このような構成であっても、半導体基板 1 1 がシリコン基板の場合は、シリコンは熱伝導性に優れるため、十分な冷却効果を得ることができる。また、熱電半導体 3 3 を半導体基板 1 1 の中央部の下方に偏って配置することによって、半導体基板 1 1 の外周部の下方には、空きスペースが生まれる。この空きスペースに、例えば図 1 3 に示した導電体 8 0 を設けてもよい。空きスペースを有効に利用することによって、半導体装置 1 0 0 G の大型化を回避しつつ、信号線を増やすことができるなど、高性能化も可能である。

[0081] (変形例 8)

図 1 7 は、本開示の実施形態 1 の変形例 8 に係る半導体装置 1 0 0 H の構成を示す断面図である。図 1 7 に示す半導体装置 1 0 0 H は、図 1 5 に示した半導体装置 1 0 0 F に再配線層 3 7 とバンプ電極 4 0 とを設けた態様である。図 1 7 に示すように、半導体装置 1 0 0 H では、半導体基板 1 1 におい

て、下側基板 3 1 と向かい合う面の反対側である上面 1 1 b 側に、再配線層 1 3 7（本開示の「第 1 再配線層」の一例）が設けられている。再配線層 1 3 7 は、例えば、多層に設けられた配線 1 3 8 と、一の層の配線 1 3 8 と他の層の配線 1 3 8 との間を絶縁する絶縁層 1 3 9 とを有する。また、再配線層 1 3 7 の最上面には、複数のバンプ電極 1 4 0 が設けられている。バンプ電極 1 4 0 は、配線 1 3 8 に接続している。バンプ電極 1 4 0 は、例えばはんだボールで構成されている。半導体装置 1 0 0 H では、バンプ電極 1 4 0 を介してペルチェ素子 3 0 に電流を流すことができる。

[0082]（変形例 9）

図 1 8 は、本開示の実施形態 1 の変形例 9 に係る半導体装置 1 0 0 I の構成を示す断面図である。図 1 8 に示すように、半導体装置 1 0 0 I では、半導体基板 1 1 と下側基板 3 1 との間に絶縁性の樹脂 6 1 が充填されている。樹脂 6 1 によって、半導体基板 1 1 と下側基板 3 1 との間は隙間なく封止されている。樹脂 6 1 は、熱電半導体 3 3 の側面と密着しており、熱電半導体が外気や水分に晒されることを防いでいる。また、樹脂 6 1 は、熱電半導体 3 3 を水平方向（X－Y 平面に平行な方向）から支持している。これにより、半導体基板 1 1 及び下側基板 3 1 に対する熱電半導体 3 3 の接合強度の向上が図られている。

[0083]（変形例 1 0）

図 1 9 は、本開示の実施形態 1 の変形例 1 0 に係る半導体装置 1 0 0 J の構成を示す断面図である。図 1 9 に示す半導体装置 1 0 0 J は、図 1 8 に示した半導体装置 1 0 0 I に再配線層 1 3 7 とバンプ電極 1 4 0 とを設けた態様である。半導体装置 1 0 0 J では、バンプ電極 1 4 0 を介してペルチェ素子 3 0 に電流を流すことができる。

[0084]（変形例 1 1）

図 2 0 は、本開示の実施形態 1 の変形例 1 1 に係る半導体装置 1 0 0 K の構成を示す断面図である。図 2 0 に示すように、半導体装置 1 0 0 K は、パッケージ本体 5 0 と、パッケージ本体 5 0 の上面側に取り付けられたリッド

60とを備える。パッケージ本体50とリッド60とによって、パッケージ70が構成されている。

[0085] 半導体装置100Kでは、パッケージ70の内側の空間53にIC素子10Aとペルチェ素子30とが配置され、気密に封止される。これにより、半導体装置100Kは、IC素子10Aに異物が付着することを抑制することができ、異物が原因でIC素子10Aの動作に影響が出る可能性を低減することができる。

[0086] <実施形態2>

上記の実施形態1とその変形例では、センサ素子又はIC素子が形成された半導体基板を、ペルチェ素子の上側基板に兼用する態様を示した。しかしながら、本開示の実施形態はこれに限定されない。本開示の実施形態では、配線基板をペルチェ素子の下側基板に兼用してもよい。

[0087] (構成)

図21は、本開示の実施形態2に係る半導体装置200の構成例を示す断面図である。図21に示す半導体装置200は、例えばセンサ装置であり、センサ素子10と、ペルチェ素子130と、パッケージ70と、を備える。上述したように、センサ素子10は、例えば、CMOSイメージセンサ又はCCDイメージセンサである。

[0088] ペルチェ素子130は、上側基板111（本開示の「第2基板」の一例）と、上側基板111と配線基板との間に配置された熱電半導体33と、を有する。上側基板111は、例えばセラミック基板である。半導体装置200では、上側基板111の下面111a側に、第1電極12が設けられている。

[0089] 上側基板111の上面111bは、ダイボンド材124を介して半導体基板11の下面11aに固定されている。半導体基板11の上面111b側には、センサ素子10に接続するボンディングパッドP1が設けられている。ボンディングパッドP1には、ワイヤー23が接合されている。センサ素子10は、ボンディングパッドP1及びワイヤー23を介して、電源や信号の

入出力が可能となっている。

[0090] パッケージ70は、パッケージ本体50と、パッケージ本体50の上面側に取り付けられたリッド60とを備える。パッケージ本体50とリッド60とによって、センサ素子10とペルチェ素子130とが気密封止されている。パッケージ本体50は、ペルチェ素子130の熱電半導体33が取り付けられる底部51（本開示の「配線基板」の一例）と、底部51の周囲に配置された壁部52とを有する。例えば、底部51と壁部52は一体に形成されている。底部51と壁部52とで囲まれた、パッケージ70の内側の空間53に、センサ素子10とペルチェ素子130とが配置されている。

[0091] 半導体装置200では、パッケージ本体50の底部51の上面51b側に、第2電極32が設けられている。上側基板111に設けられた第1電極12と、底部51に設けられた第2電極32とが、それぞれ熱電半導体33に接続されている。底部51は、パッケージ本体50の一部として用いられるだけでなく、ペルチェ素子30Aの下側基板（熱電半導体33を挟んで上側基板111の反対側に配置される基板であり、上側基板111との間で熱電半導体33を挟持する基板）としても用いられている。

[0092] また、底部51の上面51b側には、ペルチェ素子130への電流の入力及び出力を行うための配線（図示せず）が設けられている。この配線は、第2電極32に接続している。この配線は、例えば第2電極32と同一プロセスで同時に形成される。

[0093] （製造方法）

次に、図21に示した半導体装置200の製造方法について説明する。図22Aから図22Dは、本開示の実施形態2に係る半導体装置200の製造方法を示す断面図である。図22Aに示すように、製造装置は、パッケージ本体50の底部51の上面51b側に第2電極32と、ペルチェ素子130への電流の入力及び出力を行うための配線（図示せず）とを形成する。次に、製造装置は、第2電極32上にP型熱電半導体34とN型熱電半導体35とを取り付ける。

- [0094] 次に、図 2 2 B に示すように、製造装置は、P 型熱電半導体 3 4 と N 型熱電半導体 3 5 上に上側基板 1 1 1 を取り付ける。上側基板 1 1 1 の取り付け工程では、上側基板 1 1 1 の下面 1 1 1 a 側に設けられた第 1 電極 1 2 を、P 型熱電半導体 3 4 と N 型熱電半導体 3 5 とにそれぞれ接合する。
- [0095] 次に、図 2 2 C に示すように、製造装置は、カラーフィルタ層 1 5 及びマイクロレンズ層 1 6 と、ボンディングパッド P 1 が上面 1 1 b 側に形成された半導体基板 1 1 を用意する。そして、製造装置は、半導体基板 1 1 の下面 1 1 a 側を、ダイボンド材 1 2 4 を介して上側基板 1 1 1 の上面 1 1 1 b 側に取り付ける。次に、製造装置は、センサ素子 1 0 のボンディングパッド P 1 と、底部 5 1 の上面 5 1 b 側に設けられたボンディングパッド（図示せず）とをワイヤー 2 3 で接続する。
- [0096] 次に、図 1 2 D に示すように、製造装置は、リッド 6 0 をパッケージ本体 5 0 の壁部 5 2 に取り付ける。これにより、リッド 6 0 とパッケージ本体 5 0 との間の空間 5 3 が気密に封止される。以上の工程を経て、図 2 1 に示した半導体装置 2 0 0 が完成する。
- [0097] 以上説明したように、本開示の実施形態 2 に係る半導体装置 2 0 0 は、半導体基板 1 1 と、半導体基板 1 1 と向かい合って配置されるペルチェ素子 1 3 0 と、を備える。ペルチェ素子 1 3 0 は、上側基板 1 1 1 と、パッケージ本体 5 0 の底部 5 1 と上側基板 1 1 1 との間に配置された熱電半導体 3 3 と、を有する。上側基板 1 1 1 は、パッケージ本体 5 0 の底部 5 1 と向かい合う下面 1 1 1 a 側に設けられた第 1 電極 1 2 を有する。パッケージ本体 5 0 の底部 5 1 は、上側基板 1 1 1 と向かい合う上面 1 1 1 b 側に設けられた第 2 電極 3 2 を有する。第 1 電極 1 2 と第 2 電極 3 2 はそれぞれ熱電半導体 3 3 に接続されている。
- [0098] これによれば、ペルチェ素子 1 3 0 の下側基板（熱電半導体を挟んで上側基板 1 1 1 の反対側に配置される基板であり、上側基板 1 1 1 との間で熱電半導体を挟持する基板）として、パッケージ本体 5 0 の底部 5 1 を兼用することができる。ペルチェ素子 1 3 0 を底部 5 1 と一体化することができ、半

導体装置 200 の部品点数を減らすことができる。これにより、半導体装置 200 の厚みを低減する（低背化する）ことができ、半導体装置 200 の小型化が可能である。

[0099] また、ペルチェ素子 130 と底部 51 とが一体化することによって、ペルチェ素子 130 から底部 51 への排熱効率が向上する。ペルチェ素子 130 と底部 51 の間には、熱電半導体 33 を支持するための基板（下側基板）がないため、ペルチェ素子 130 から底部 51 への排熱は効率よく行われる。これにより、ペルチェ素子 130 は、半導体基板 11 に対する冷却性能を高めることができる。

[0100] また、ペルチェ素子 130 への電流の入力及び出力は、半導体基板 11 の外側へ引き出されるペルチェ素子専用の引出し配線ではなく、底部 51 に設けられた配線を介して行われる。ペルチェ素子専用の引出し配線が不要となるため、さらにスペースを削減することができる。これにより、半導体装置 200 は、さらなる小型化が可能である。

[0101] また、ペルチェ素子 30 の下側基板や、ペルチェ素子専用の引出し配線、下側基板と底部とを接合する接着剤が不要となり、部品点数を減らすことができる。これにより、半導体装置 200 の低コスト化を図ることができる。

[0102] また、熱電半導体 33 と底部 51 との間に接着用の樹脂や下側基板がないため、半導体基板 11 の反りを抑制することができる。すなわち、一般的な樹脂は、接着基材、デバイスよりも線膨張係数が大きいいため、温度により伸縮したり弾性率が変化したりする。このため、半導体基板 11 の反りの原因となり易い。しかしながら、半導体装置 200 では、熱電半導体 33 と底部 51 の間に接着用の樹脂がないため、半導体基板 11 の反りを抑制することができる。

[0103] （変形例 1）

図 23 は、本開示の実施形態 2 の変形例 1 に係る半導体装置 200 A の構成を示す断面図である。図 23 に示す半導体装置 200 A において、図 19 に示した半導体装置 200 との違いは、パッケージ本体 50 の構造にある。

半導体装置 200A が有するパッケージ本体 50 は、ダイボンド材 24 を介してペルチェ素子 30 の下側基板 31 が取り付けられる底部 51 と、底部 51 の周囲に配置された壁部 52A とを有する。底部 51 と壁部 52A は別々に形成されており、例えば互いに異なる材料で構成されている。一例を挙げると、底部 51 はセラミックで構成されているのに対して、壁部 52A は樹脂又は金属で構成されている。底部 51 と壁部 52A は、例えば、接着剤（図示せず）などを介して互いに接合されている。

[0104] 半導体装置 200A は、半導体装置 200 と同様の効果を奏する。また、後述の製造方法で説明するように、底部 51 の周囲に壁部 52A を取り付ける前に、底部 51 の上面 51b 側にペルチェ素子 30A とセンサ素子 10 とを取り付けることができる。センサ素子 10 の取り付けの際に、底部 51 の上面 51b 側には壁部 52A は無く、底部 51 の上面 51b は平坦であるため、ペルチェ素子 30A とセンサ素子 10 の取り付けが容易である。このため、半導体装置 200A は、半導体装置 200 と比べて、生産性を向上できる可能性がある。

[0105] 次に、半導体装置 200A の製造方法を説明する。図 24A から図 24D は、本開示の実施形態 2 の変形例 1 に係る半導体装置 200A の製造方法を工程順に示す断面図である。図 24A に示すように、製造装置は、底部 51 の上面 51b 側に第 2 電極 32 と、ペルチェ素子 130 への電流の入力及び出力を行うための配線（図示せず）とを形成する。次に、製造装置は、第 2 電極 32 上に P 型熱電半導体 34 と N 型熱電半導体 35 とを取り付ける。

[0106] 次に、図 24B に示すように、製造装置は、P 型熱電半導体 34 と N 型熱電半導体 35 上に上側基板 111 を取り付けする。上側基板 111 の取り付け工程では、上側基板 111 の下面 111a 側に設けられた第 1 電極 12 を、P 型熱電半導体 34 と N 型熱電半導体 35 とにそれぞれ接合する。

[0107] 次に、図 24C に示すように、製造装置は、カラーフィルタ層 15 及びマイクロレンズ層 16 が上面 11b 側に形成された半導体基板 11 を用意する。そして、製造装置は、半導体基板 11 の下面 11a 側をダイボンド材 12

4 を介して上側基板 1 1 1 の上面 1 1 1 b 側に取り付ける。次に、製造装置は、センサ素子 1 0 のボンディングパッド P 1 と、底部 5 1 の上面 5 1 b 側に設けられたボンディングパッド（図示せず）とをワイヤー 2 3 で接続する。

[0108] 次に、図 2 4 D に示すように、製造装置は、底部 5 1 の上面 5 1 b 側に接着剤などを介して壁部 5 2 A を取り付ける。なお、本開示の実施形態では、壁部 5 2 A の取り付け工程を行った後で、ワイヤーボンディング工程を行ってもよい。その後、製造装置は、リッド 6 0 をパッケージ本体 5 0 の壁部 5 2 A に取り付け、リッド 6 0 とパッケージ本体 5 0 との間の空間 5 3 を気密に封止する。以上の工程を経て、図 2 3 に示した半導体装置 2 0 0 A が完成する。

[0109] （変形例 2）

図 2 5 は、本開示の実施形態 2 の変形例 2 に係る半導体装置 2 0 0 B の構成を示す断面図である。図 2 5 に示す半導体装置 2 0 0 B において、パッケージ本体 5 0 は、底部 5 1 A（本開示の「配線基板」の一例）と、底部 5 1 A の周囲に配置された壁部 5 2 A とを有する。底部 5 1 A は、セラミック以外の材料で構成された配線基板であり、例えば、有機材料で構成された有機基板、ガラス基板、モールド樹脂で構成されたモールド基板、L C P（液晶ポリマー）で構成された L C P 基板、フレキシブル P I（ポリイミド）基板、又は、リジッド F P C（Flexible printed circuits）基板、などで構成されている。このような構成であっても、半導体装置 2 0 0 B は、半導体装置 2 0 0 A と同様の効果を奏する。

[0110] ＜実施形態 3＞

本開示の実施形態では、センサ素子又は I C 素子が形成された半導体基板をペルチェ素子の上側基板に兼用し、配線基板をペルチェ素子の下側基板に兼用してもよい。つまり、ペルチェ素子の上下基板を、ペルチェ素子以外の他の基板で兼用してもよい。

[0111] 図 2 6 は、本開示の実施形態 3 に係る半導体装置 3 0 0 の構成例を示す断

面図である。図 26 に示す半導体装置 300 は、例えばセンサ装置であり、センサ素子 10 と、ペルチェ素子 230 と、パッケージ 70 と、を備える。上述したように、センサ素子 10 は、例えば、CMOS イメージセンサ又は CCD イメージセンサである。

[0112] ペルチェ素子 230 は、半導体基板 11 とパッケージ本体 50 の底部 51（本開示の「配線基板」の一例）との間に配置された熱電半導体 33、を有する。半導体基板 11 の下面 11a 側に第 1 電極 12 が設けられている。パッケージ本体 50 の底部 51 の上面 51b 側に第 2 電極 32 が設けられている。第 1 電極 12 と第 2 電極 32 は、熱電半導体 33 にそれぞれ接続されている。

[0113] これによれば、ペルチェ素子 230 の上側基板として半導体基板 11 が兼用することができ、ペルチェ素子 230 の下側基板としてパッケージ本体 50 の底部 51 を兼用することができる。ペルチェ素子 230 を半導体基板 11 及び底部 51 と一体化することができ、半導体装置 300 の部品点数を減らすことができる。これにより、半導体装置 300 の厚みを低減する（低背化する）ことができ、半導体装置 300 の小型化が可能である。

[0114] また、半導体基板 11 とペルチェ素子 230 と底部 51 とが一体化することによって、半導体基板 11 から底部 51 への排熱効率が向上する。半導体基板 11 とペルチェ素子 30 との間には、熱電半導体 33 を支持するための基板（上側基板）がないため、半導体基板 11 からペルチェ素子 230 への排熱は効率よく行われる。また、ペルチェ素子 130 と底部 51 の間には、熱電半導体 33 を支持するための基板（下側基板）がないため、ペルチェ素子 230 から底部 51 への排熱も効率よく行われる。これにより、ペルチェ素子 230 は、半導体基板 11 に対する冷却性能を高めることができる。

[0115] また、半導体装置 300 は、半導体装置 100、200 と同様に、ペルチェ素子専用の引出し配線を不要とすることによる小型化、部品点数の削減による低コスト化、排熱性の向上による半導体基板 11 の反りの抑制など、各種の効果を奏する。

[0116] (変形例)

図 27 は、本開示の実施形態 3 の変形例に係る半導体装置 300A の構成を示す断面図である。図 27 に示すように、半導体装置 300A は、P 型熱電半導体 34 と N 型熱電半導体 35 との間に配置され、P 型熱電半導体 34 及び N 型熱電半導体 35 からそれぞれ電氣的に分離された導電体 80 を備える。

[0117] 導電体 80 は、半導体基板 11 の下面側に設けられた電極 18 と、パッケージ本体 50 の底部 51 に設けられた電極 58 とを接続する接続端子である。電極 18 は、第 1 電極 12 から離れた位置に設けられており、第 1 電極 12 とは電氣的に分離されている。電極 58 は、第 2 電極 32 から離れた位置に設けられており、第 2 電極 32 とは電氣的に分離されている。導電体 80 は、電極 18、58 を介して、半導体基板 11 とパッケージ本体 50 の底部 51 とを接続している。

[0118] 半導体装置 300A では、半導体基板 11 と底部 51 との間の信号線や電源線として、導電体 80 が用いられる。導電体 80 は、ペルチェ素子 230 を迂回せず、半導体基板 11 と底部 51 との間を接続する。半導体装置 300A は、半導体基板 11 と底部 51 との間の配線長を短くすることができるので、低インピーダンス化が可能である。

[0119] なお、半導体装置 300A において、半導体基板 11 と底部 51 との間には、絶縁性の樹脂（図示せず）が充填されていてもよい。半導体基板 11 と底部 51 との間の樹脂によって、導電体 80 は水平方向（X-Y 平面に平行な方向）から支持されるので、半導体基板 11 及び底部 51 に対する導電体 80 の接合強度が向上する。

[0120] (その他の実施形態)

上記のように、本開示は実施形態及び変形例によって記載したが、この開示の一部をなす論述及び図面は本開示を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。本技術はここでは記載していない様々な実施形態等を

含むことは勿論である。上述した実施形態及び変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0121] なお、本開示は以下のような構成も取ることができる。

(1) 半導体基板と、

前記半導体基板と向かい合って配置されるペルチェ素子と、を備え、

前記ペルチェ素子は、

第1基板と、

前記第1基板と前記半導体基板との間に配置される熱電半導体と、を有し、

前記半導体基板は、前記第1基板と向かい合う面側に設けられた第1電極を有し、

前記第1基板は、前記半導体基板と向かい合う面側に設けられた第2電極を有し、

前記第1電極と前記第2電極はそれぞれ前記熱電半導体に接続される、半導体装置。

(2) 半導体基板と、

前記半導体基板と向かい合う配線基板と、

前記半導体基板と前記配線基板との間に配置されるペルチェ素子と、を備え、

前記ペルチェ素子は、

第2基板と、

前記配線基板と前記第2基板との間に配置される熱電半導体と、を有し、

前記第2基板は、前記配線基板と向かい合う面側に設けられた第1電極を有し、

前記配線基板は、前記第2基板と向かい合う面側に設けられた第2電極を有し、

前記第 1 電極と前記第 2 電極はそれぞれ前記熱電半導体に接続される、半導体装置。

(3) 半導体基板と、

前記半導体基板と向かい合う配線基板と、

前記半導体基板と配線基板との間に配置されるペルチェ素子と、を備え、

前記ペルチェ素子は、

前記半導体基板と前記配線基板との間に配置される熱電半導体を有し、

前記半導体基板は、前記配線基板と向かい合う面側に設けられた第 1 電極を有し、

前記配線基板は、前記半導体基板と向かい合う面側に設けられた第 2 電極を有し、

前記第 1 電極と前記第 2 電極はそれぞれ熱電半導体に接続される、半導体装置。

(4) 前記半導体基板を厚さ方向に貫く第 1 貫通電極をさらに備え、

前記第 1 貫通電極は前記第 1 電極に接続している、

前記 (1) 又は (3) に記載の半導体装置。

(5) 前記半導体基板と前記ペルチェ素子とを収容して気密に封止するパッケージ、をさらに備える、

前記 (1) から (4) のいずれか 1 項に記載の半導体装置。

(6) 前記半導体基板において前記第 1 基板と向かい合う面の反対側に設けられた第 1 再配線層、をさらに備える

前記 (1) に記載の半導体装置。

(7) 前記第 1 基板において前記半導体基板と向かい合う面の反対側に設けられた第 2 再配線層、をさらに備える前記 (1) に記載の半導体装置。

(8) 前記熱電半導体は、

複数の第 1 熱電半導体と、

前記第 1 熱電半導体とは導電型が異なる複数の第 2 熱電半導体と、を有し

、

前記第 1 熱電半導体と前記第 2 熱電半導体は、前記第 1 電極及び前記第 2 電極を介して、交互に直列に接続される、

前記（１）から（７）のいずれか 1 項に記載の半導体装置。

（９）前記第 1 熱電半導体及び前記第 2 熱電半導体とそれぞれ間隔を置いて隣り合って配置される導電体、をさらに備える

前記（８）に記載の半導体装置。

（１０）前記第 1 熱電半導体と前記第 2 熱電半導体との間に充填された絶縁性の樹脂、をさらに備える

前記（８）又は（９）に記載の半導体装置。

[0122] さらに、本開示は以下のような構成も取ることができる。

（１１）半導体基板と、

前記半導体基板の一方の面側に配置されるペルチェ素子と、を備え、

前記ペルチェ素子は、

熱電半導体と、

前記熱電半導体を挟んで前記半導体基板の反対側に配置される第 1 基板と、を有し、

前記第 1 基板との間で前記熱電半導体を挟んで支持する第 2 基板として、前記半導体基板が兼用される、半導体装置。

（１２）半導体基板と、

前記半導体基板と向かい合う配線基板と、

前記半導体基板と前記配線基板との間に配置されるペルチェ素子と、を備え、

前記ペルチェ素子は、

熱電半導体と、

前記熱電半導体を挟んで前記配線基板の反対側に配置される第 2 基板と、を有し、

前記第 2 基板との間で前記熱電半導体を挟んで支持する第 1 基板として、前記配線基板が兼用される、半導体装置。

(13) 半導体基板と、
前記半導体基板と向かい合う配線基板と、
前記半導体基板と前記配線基板との間に配置されるペルチェ素子と、を備え、
前記ペルチェ素子は、
熱電半導体を有し、
前記熱電半導体を両側から挟んで支持する一対の基板のうち、第1基板として前記配線基板が兼用され、第2基板として前記半導体基板が兼用される、半導体装置。

符号の説明

- [0123] 10 センサ素子
10' センサウエハ
10A IC素子
11 半導体基板
11a、31a、51a、111a 下面
11b、31b、51b、111b 上面
12 第1電極
13、38、138 配線
14 外部接続端子
15 カラーフィルタ層
16 マイクロレンズ層
18、58 電極
21 支持基板
22、36 貫通電極
23、123 ワイヤ
24、124 ダイボンド材
25 第1スペーサ
26 貫通配線

30、30A、130、230 ペルチェ素子

31 下側基板

32 第2電極

33 熱電半導体

34 P型熱電半導体

35 N型熱電半導体

37、137 再配線層

39、139 絶縁層

40、140 バンプ電極

45 第2スペーサ

50 パッケージ本体

50A パッケージ本体

51、51A 底部

52、52A 壁部

53 空間

60 リッド

61 樹脂

70 パッケージ

80 導電体

100、100Aから100K、200A、200B、300、300A

半導体装置

111 上側基板

AR1 画素領域

AR2 熱電半導体が配置される領域

AR3 周辺領域

H1 貫通孔

P1、P2 ボンディングパッド

請求の範囲

[請求項1]

半導体基板と、
前記半導体基板と向かい合って配置されるペルチェ素子と、を備え、
前記ペルチェ素子は、
第1基板と、
前記第1基板と前記半導体基板との間に配置される熱電半導体と、
を有し、
前記半導体基板は、前記第1基板と向かい合う面側に設けられた第1電極を有し、
前記第1基板は、前記半導体基板と向かい合う面側に設けられた第2電極を有し、
前記第1電極と前記第2電極はそれぞれ前記熱電半導体に接続される、半導体装置。

[請求項2]

半導体基板と、
前記半導体基板と向かい合う配線基板と、
前記半導体基板と前記配線基板との間に配置されるペルチェ素子と、を備え、
前記ペルチェ素子は、
第2基板と、
前記配線基板と前記第2基板との間に配置される熱電半導体と、を有し、
前記第2基板は、前記配線基板と向かい合う面側に設けられた第1電極を有し、
前記配線基板は、前記第2基板と向かい合う面側に設けられた第2電極を有し、
前記第1電極と前記第2電極はそれぞれ前記熱電半導体に接続される、半導体装置。

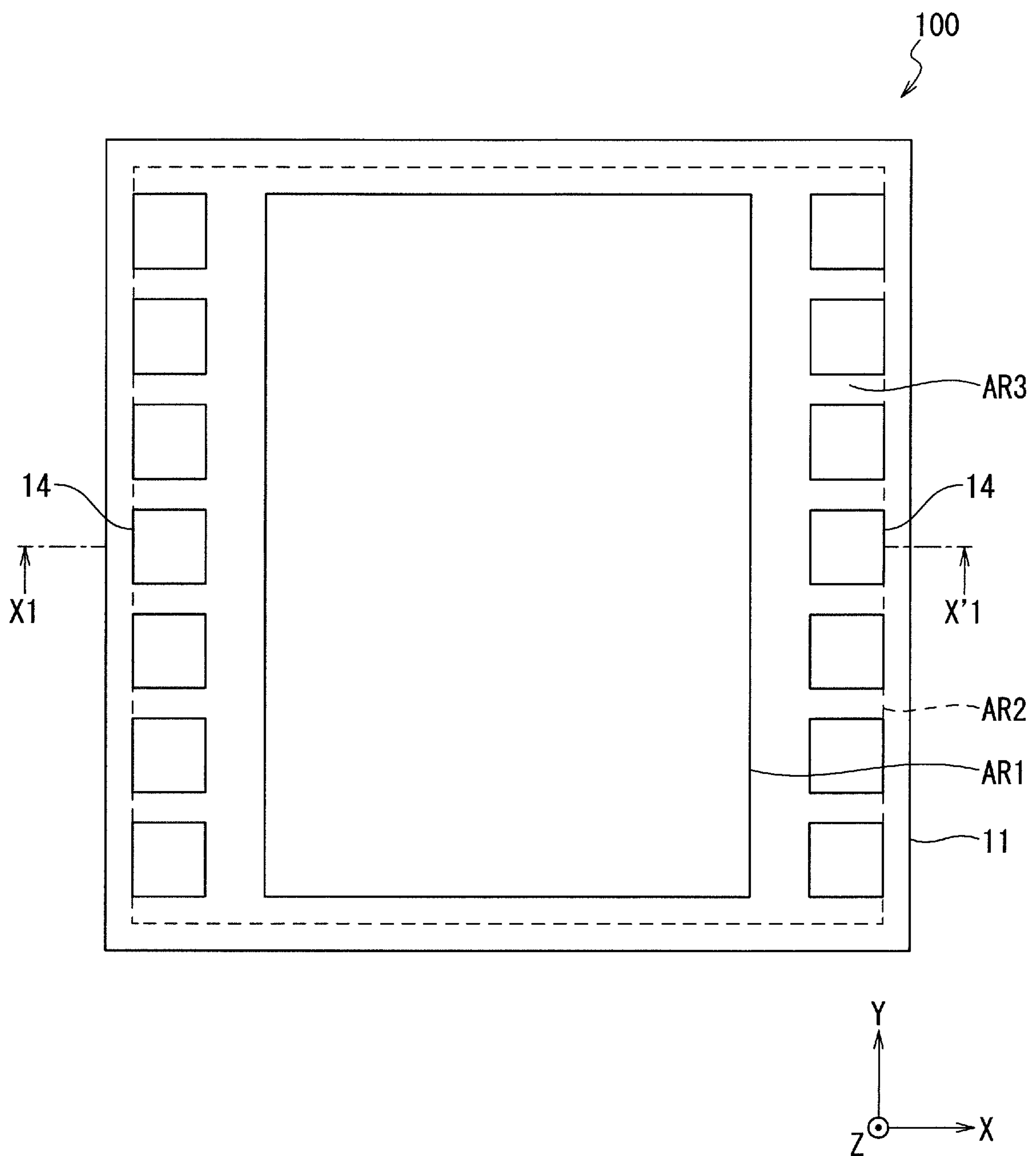
- [請求項3] 半導体基板と、
 前記半導体基板と向かい合う配線基板と、
 前記半導体基板と配線基板との間に配置されるペルチェ素子と、を
 備え、
 前記ペルチェ素子は、
 前記半導体基板と前記配線基板との間に配置される熱電半導体を有
 し、
 前記半導体基板は、前記配線基板と向かい合う面側に設けられた第
 1 電極を有し、
 前記配線基板は、前記半導体基板と向かい合う面側に設けられた第
 2 電極を有し、
 前記第 1 電極と前記第 2 電極はそれぞれ熱電半導体に接続される、
 半導体装置。
- [請求項4] 前記半導体基板を厚さ方向に貫く第 1 貫通電極をさらに備え、
 前記第 1 貫通電極は前記第 1 電極に接続している、請求項 1 に記載
 の半導体装置。
- [請求項5] 前記半導体基板と前記ペルチェ素子とを収容して気密に封止するパ
 ッケージ、をさらに備える、請求項 1 に記載の半導体装置。
- [請求項6] 前記半導体基板において前記第 1 基板と向かい合う面の反対側に設
 けられた第 1 再配線層、をさらに備える請求項 1 に記載の半導体装置
 。
- [請求項7] 前記第 1 基板において前記半導体基板と向かい合う面の反対側に設
 けられた第 2 再配線層、をさらに備える請求項 1 に記載の半導体装置
 。
- [請求項8] 前記熱電半導体は、
 複数の第 1 熱電半導体と、
 前記第 1 熱電半導体とは導電型が異なる複数の第 2 熱電半導体と、
 を有し、

前記第 1 熱電半導体と前記第 2 熱電半導体は、前記第 1 電極及び前記第 2 電極を介して、交互に直列に接続される、請求項 1 に記載の半導体装置。

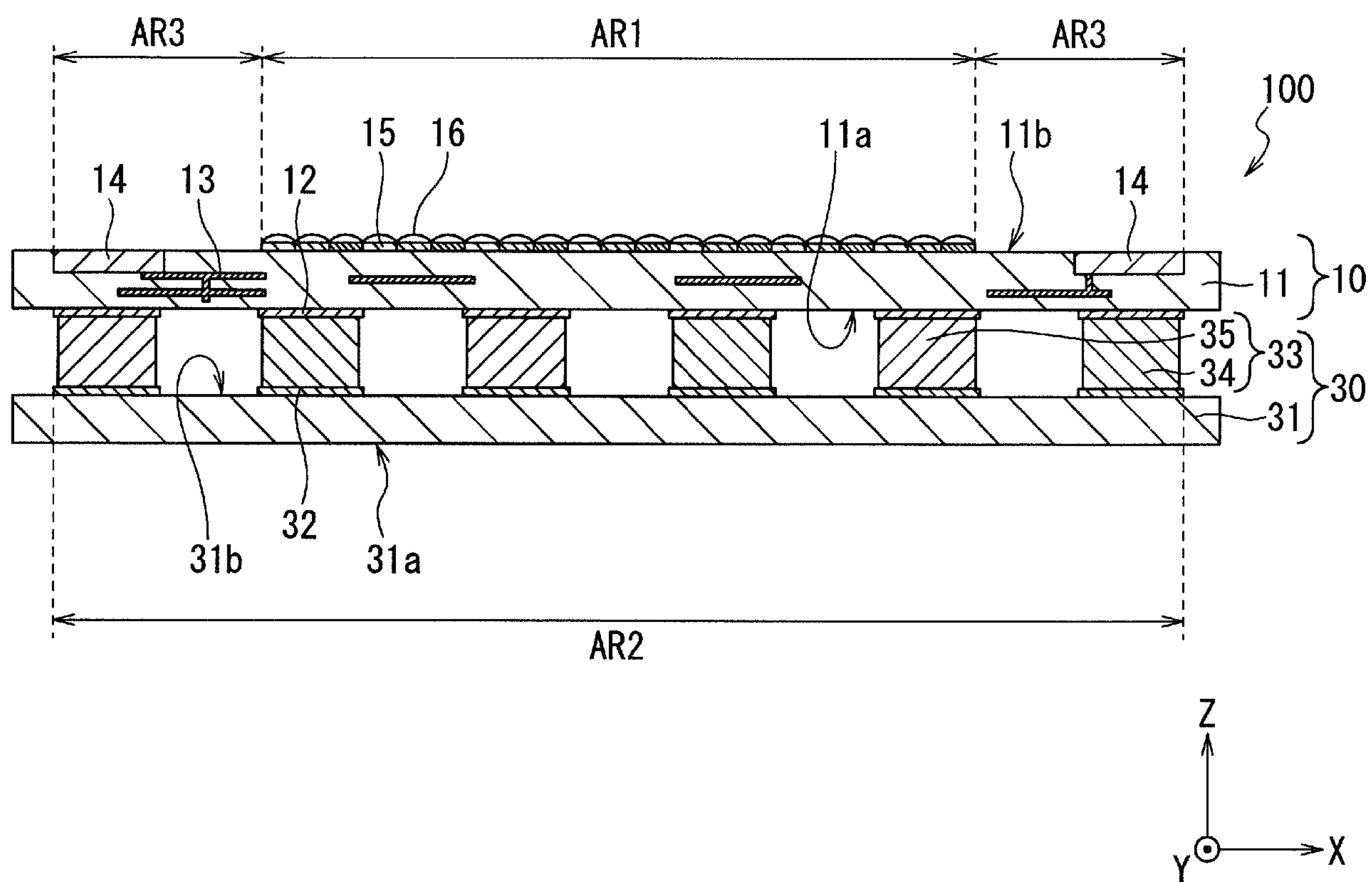
[請求項9] 前記第 1 熱電半導体及び前記第 2 熱電半導体とそれぞれ間隔を置いて隣り合って配置される導電体、をさらに備える請求項 8 に記載の半導体装置。

[請求項10] 前記第 1 熱電半導体と前記第 2 熱電半導体との間に充填された絶縁性の樹脂、をさらに備える請求項 8 に記載の半導体装置。

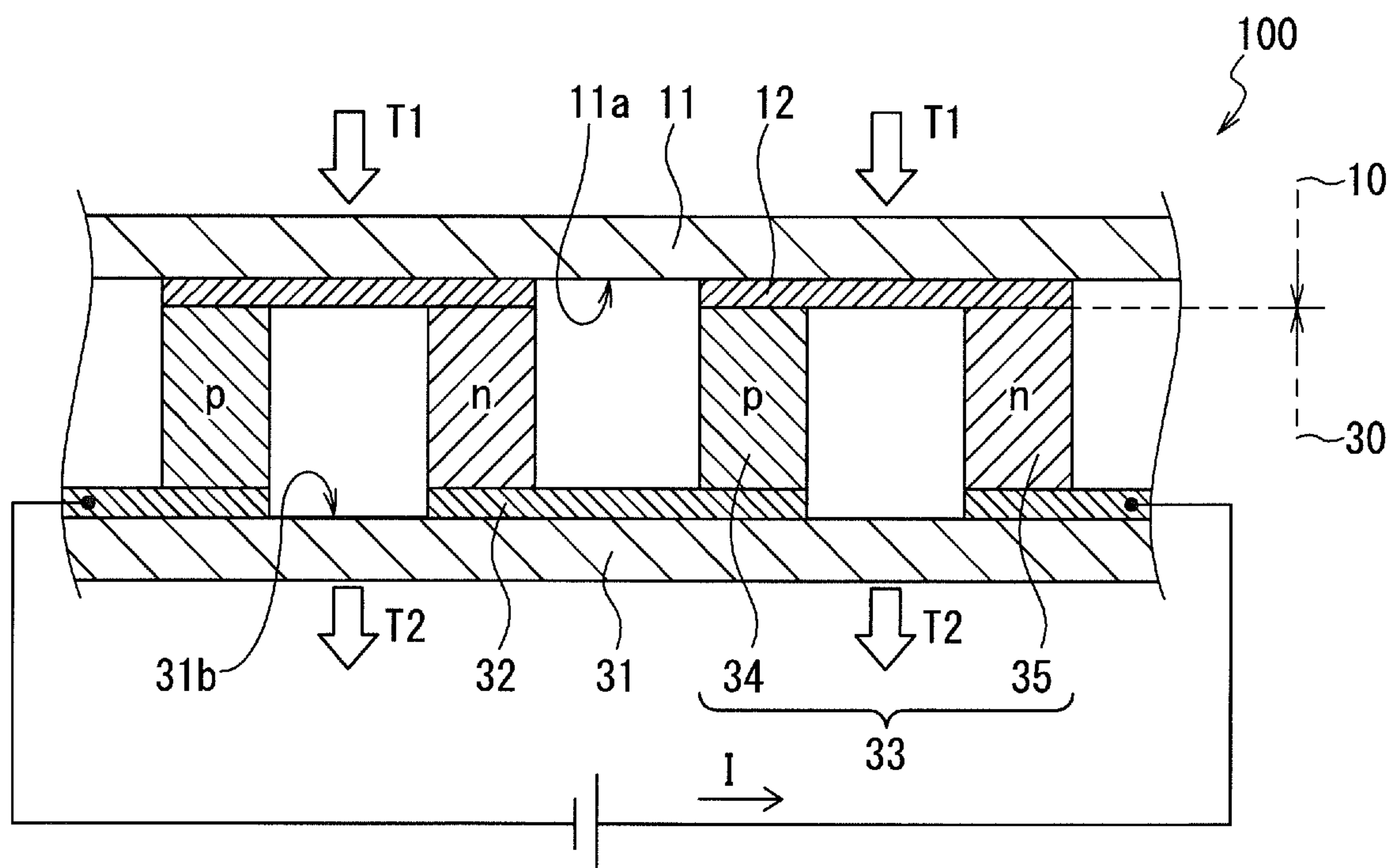
[図1]



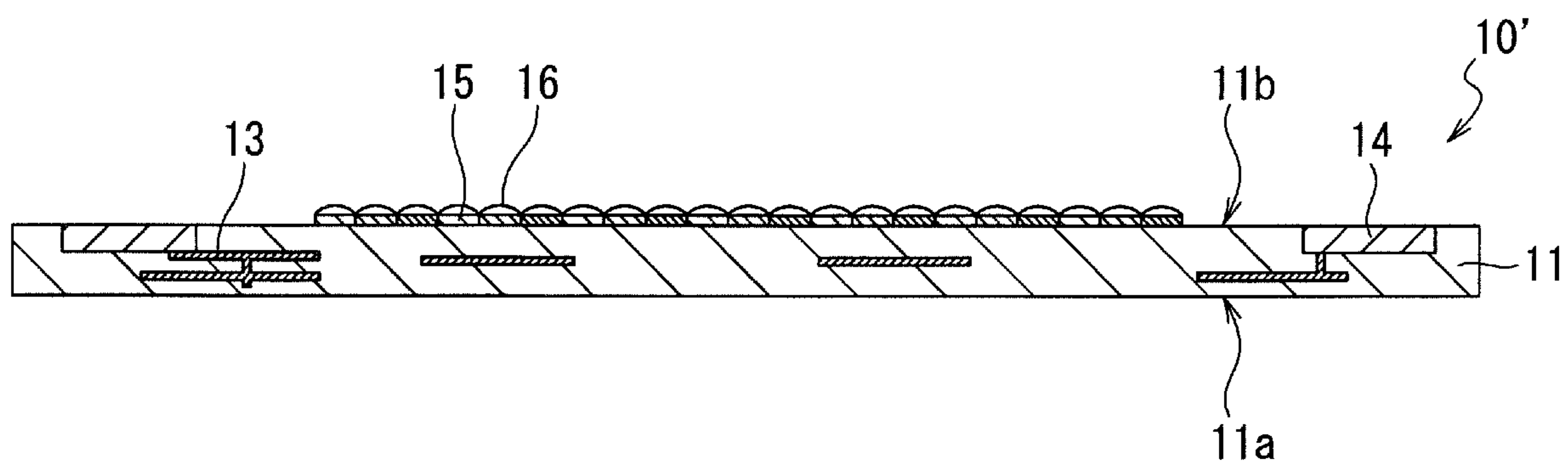
[図2]



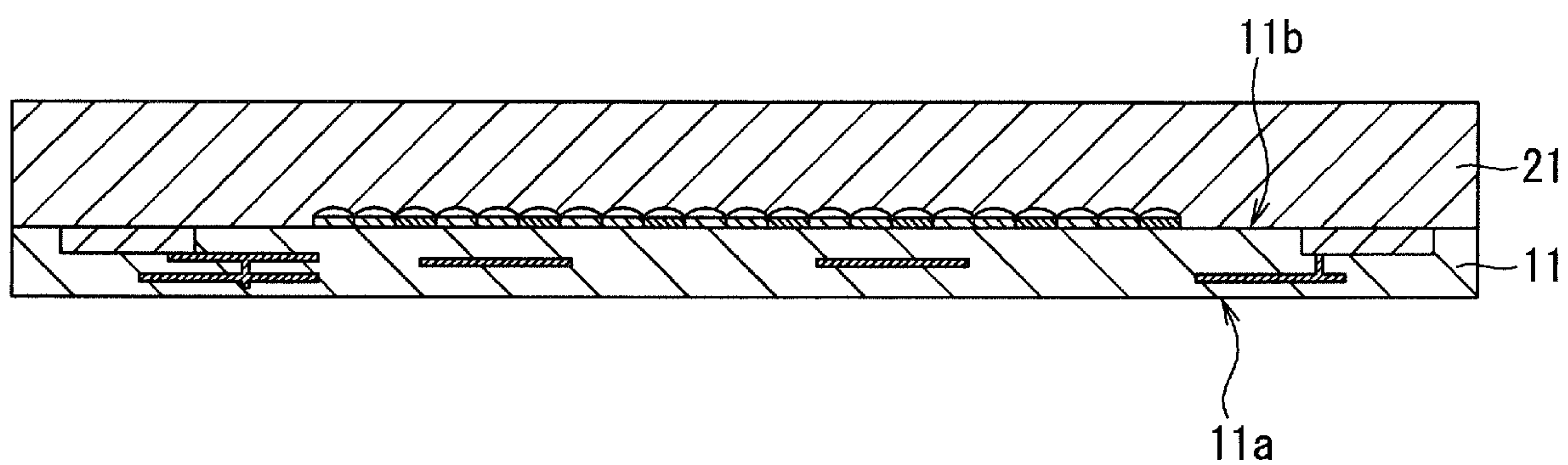
【図3】



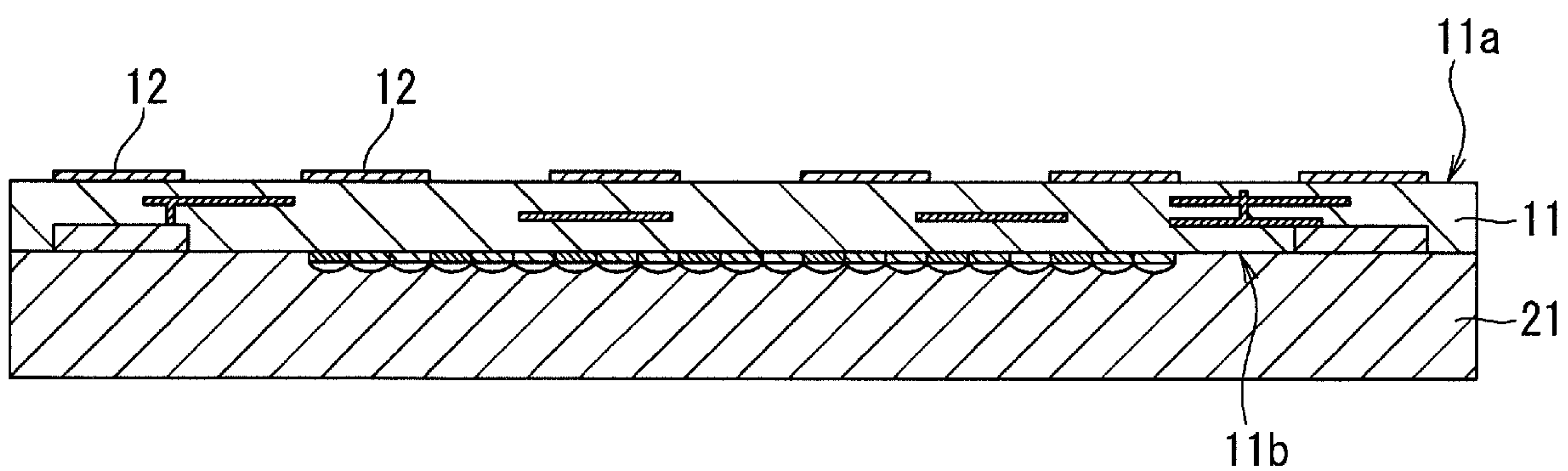
[図4A]



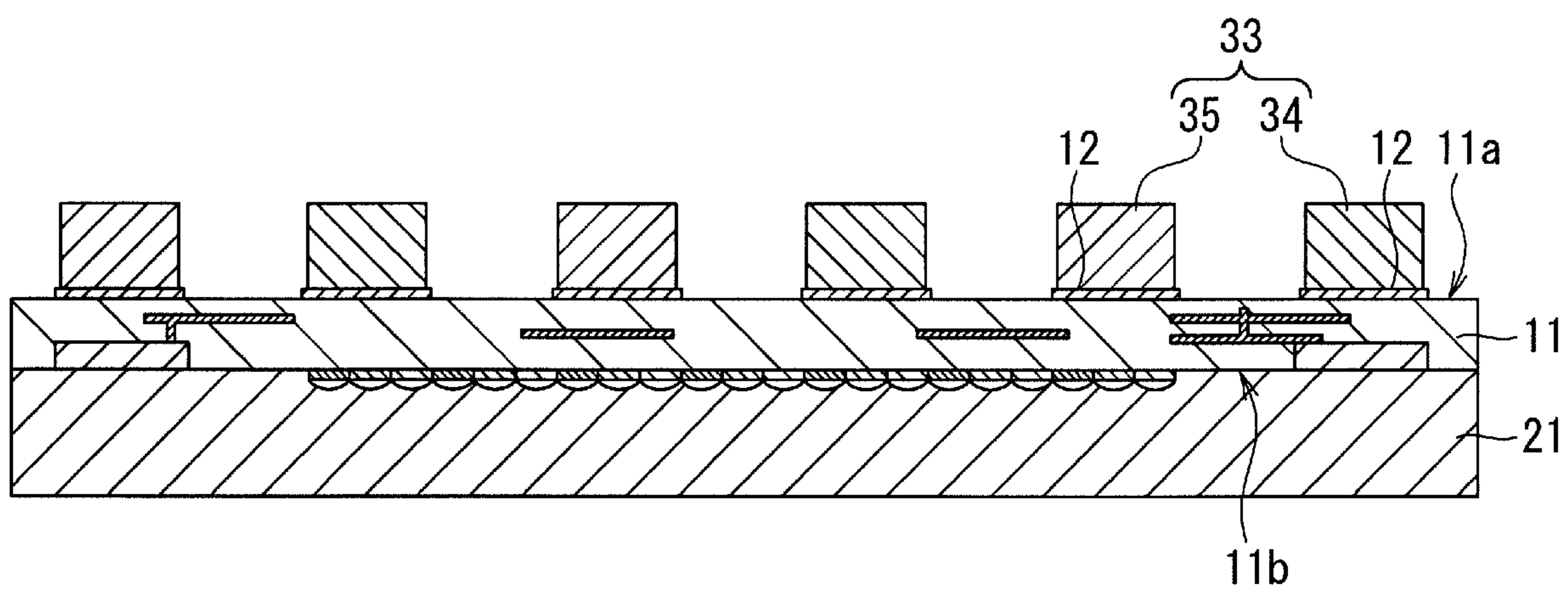
[図4B]



[図4C]

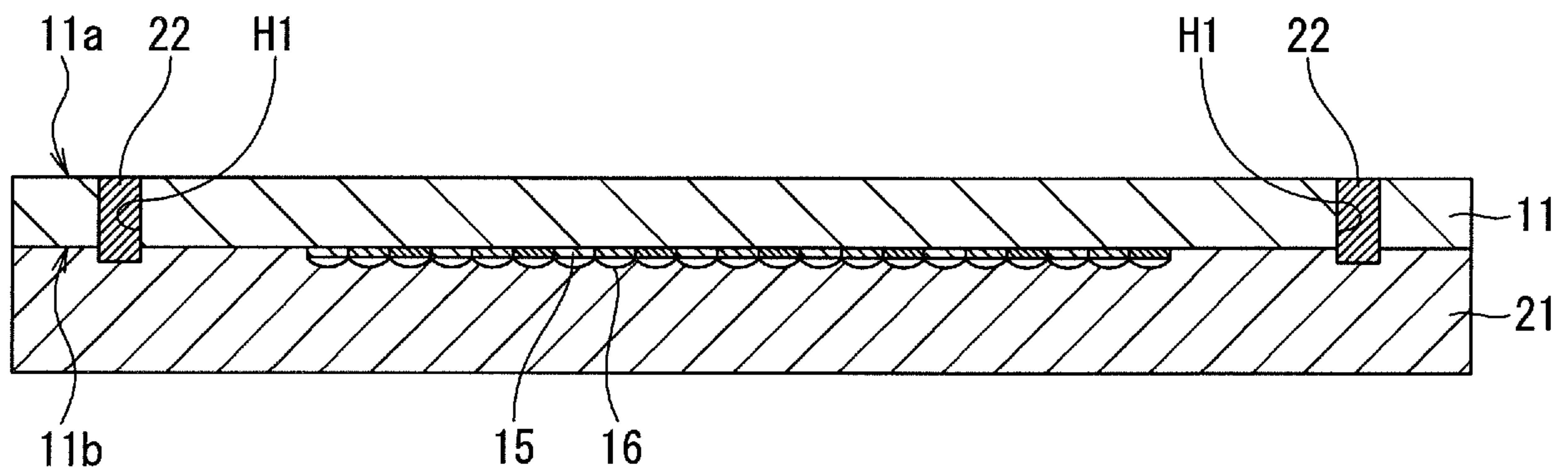


[図4D]

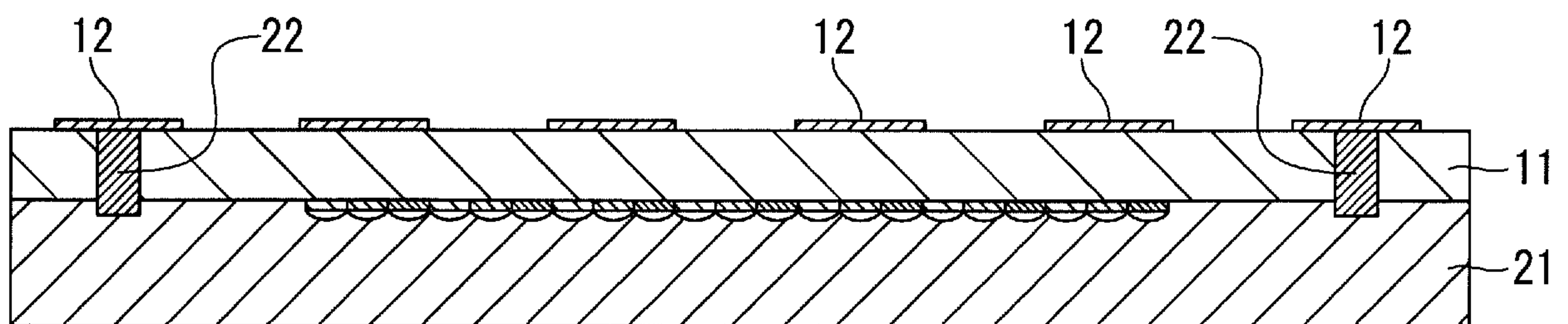


[illegible]

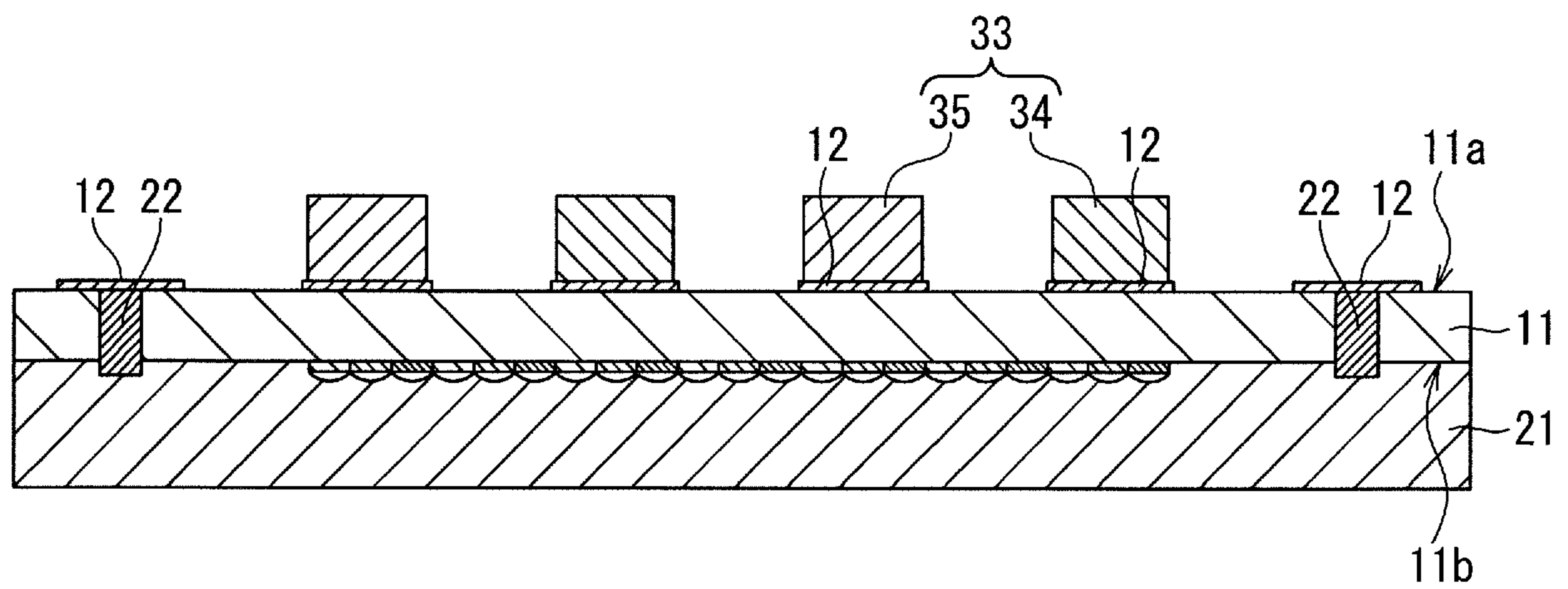
[図6B]



[図6C]

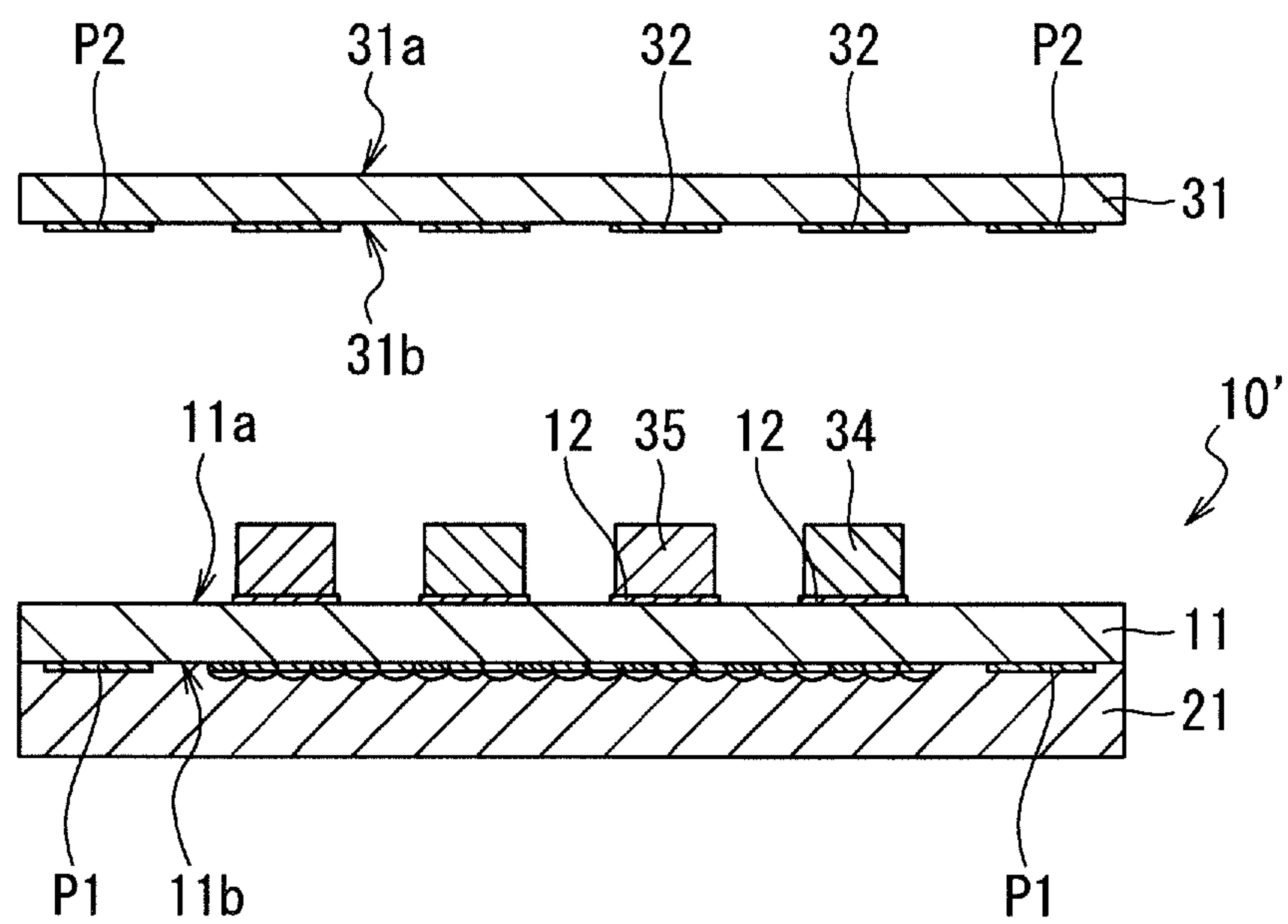


[図6D]

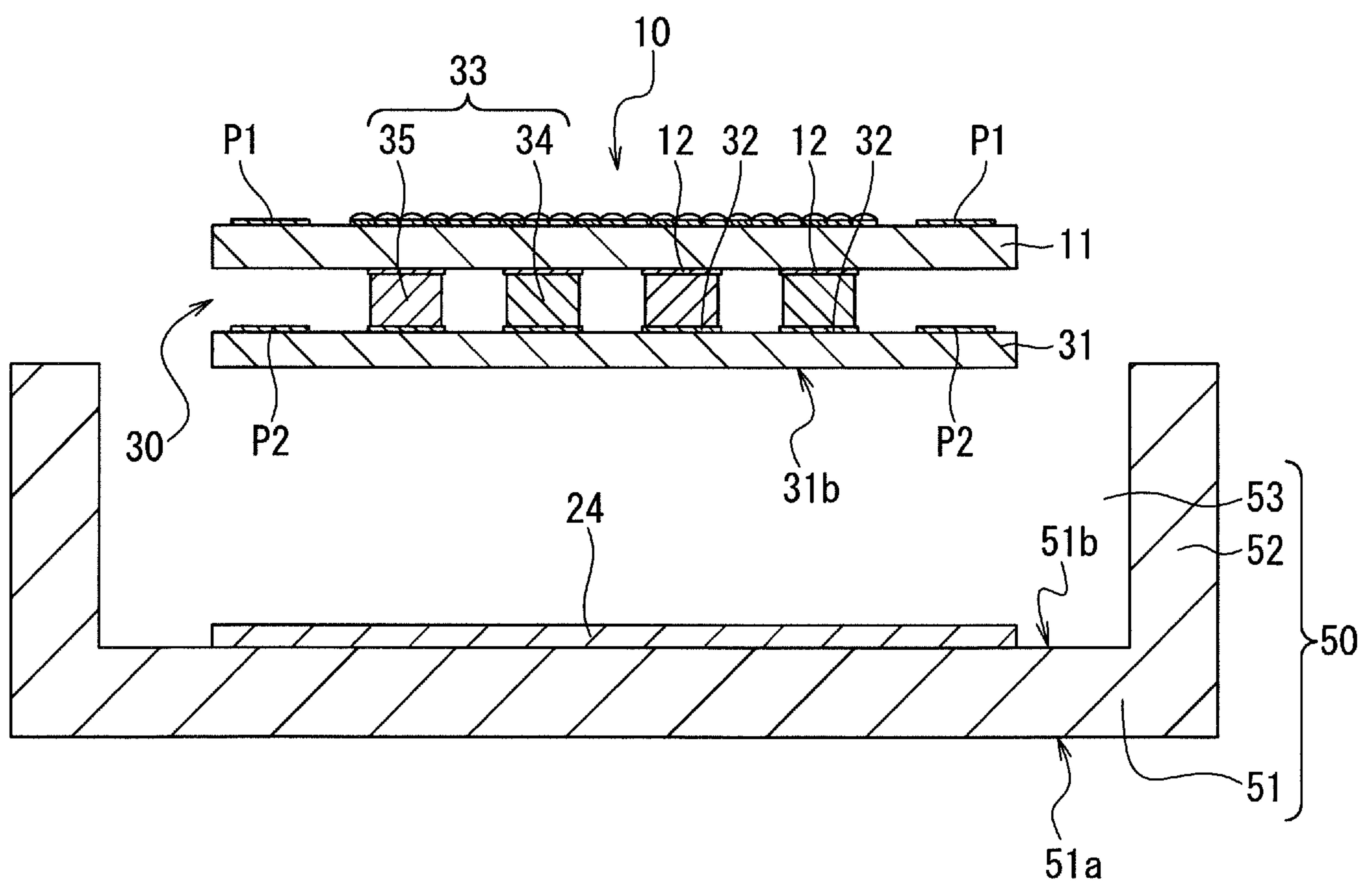


[illegible]

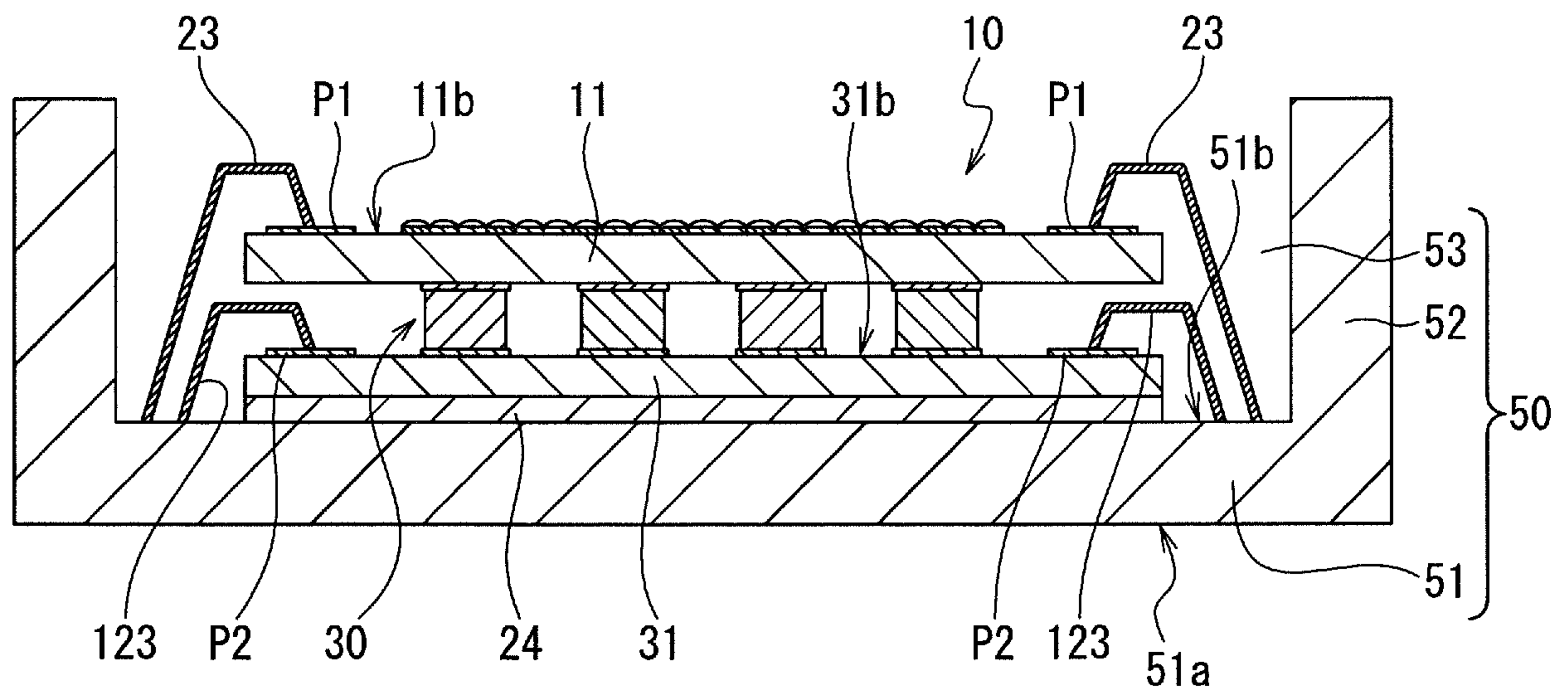
[図8A]



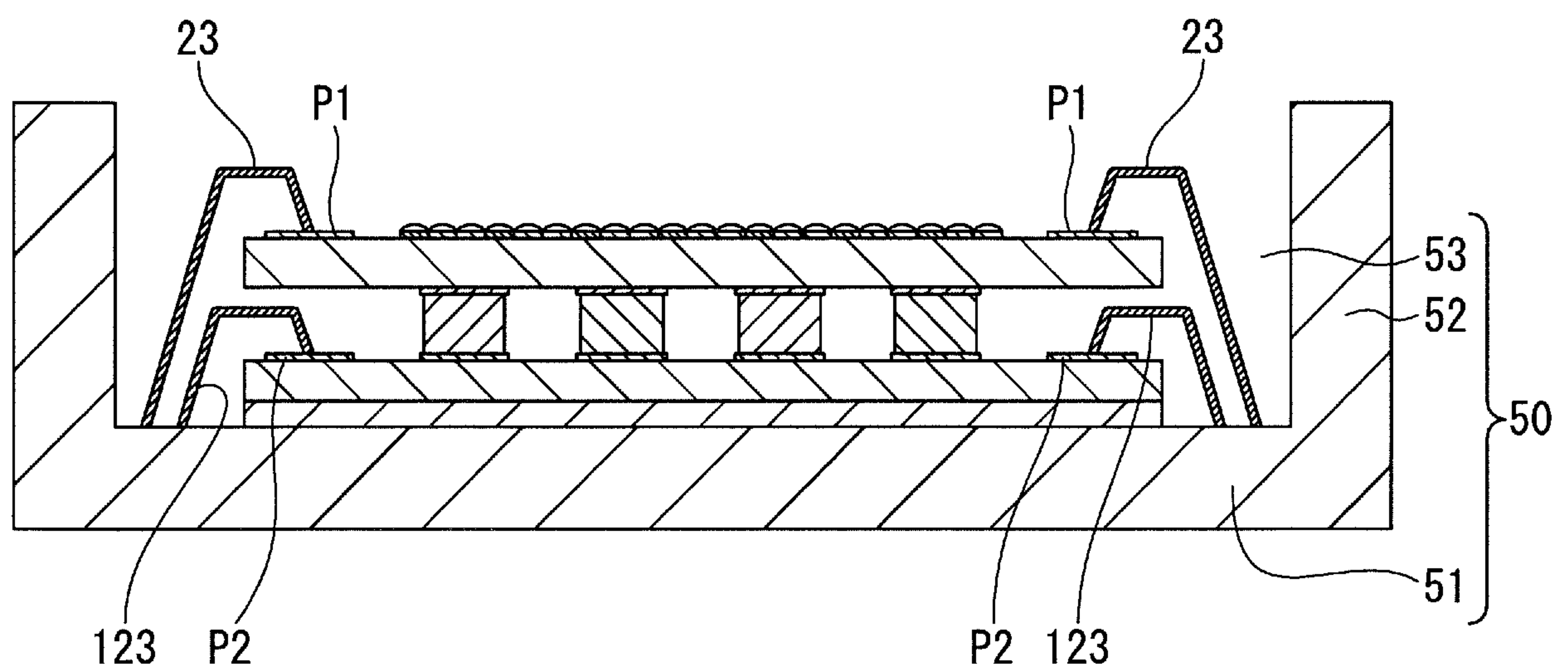
[図8B]



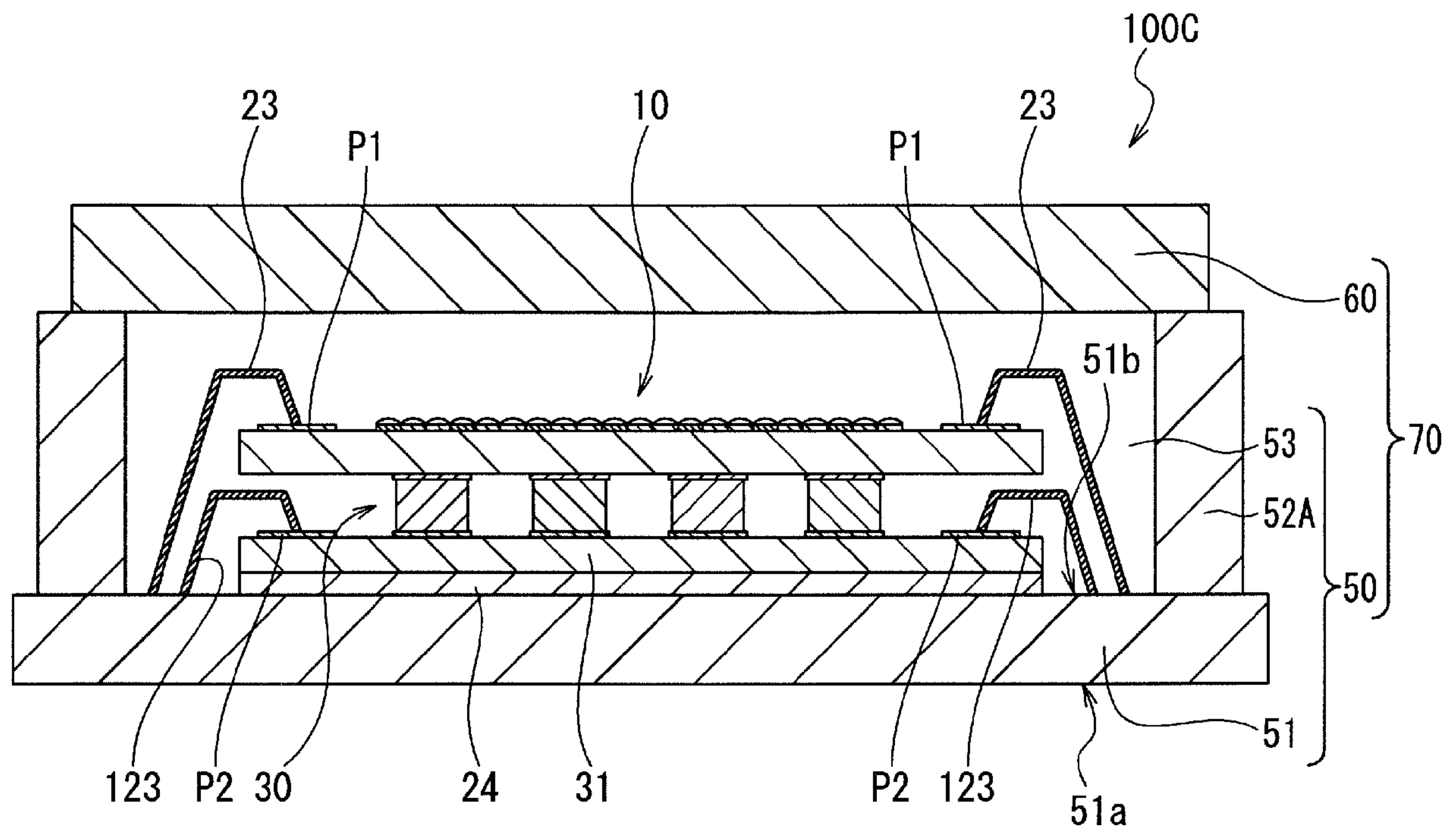
[図8C]



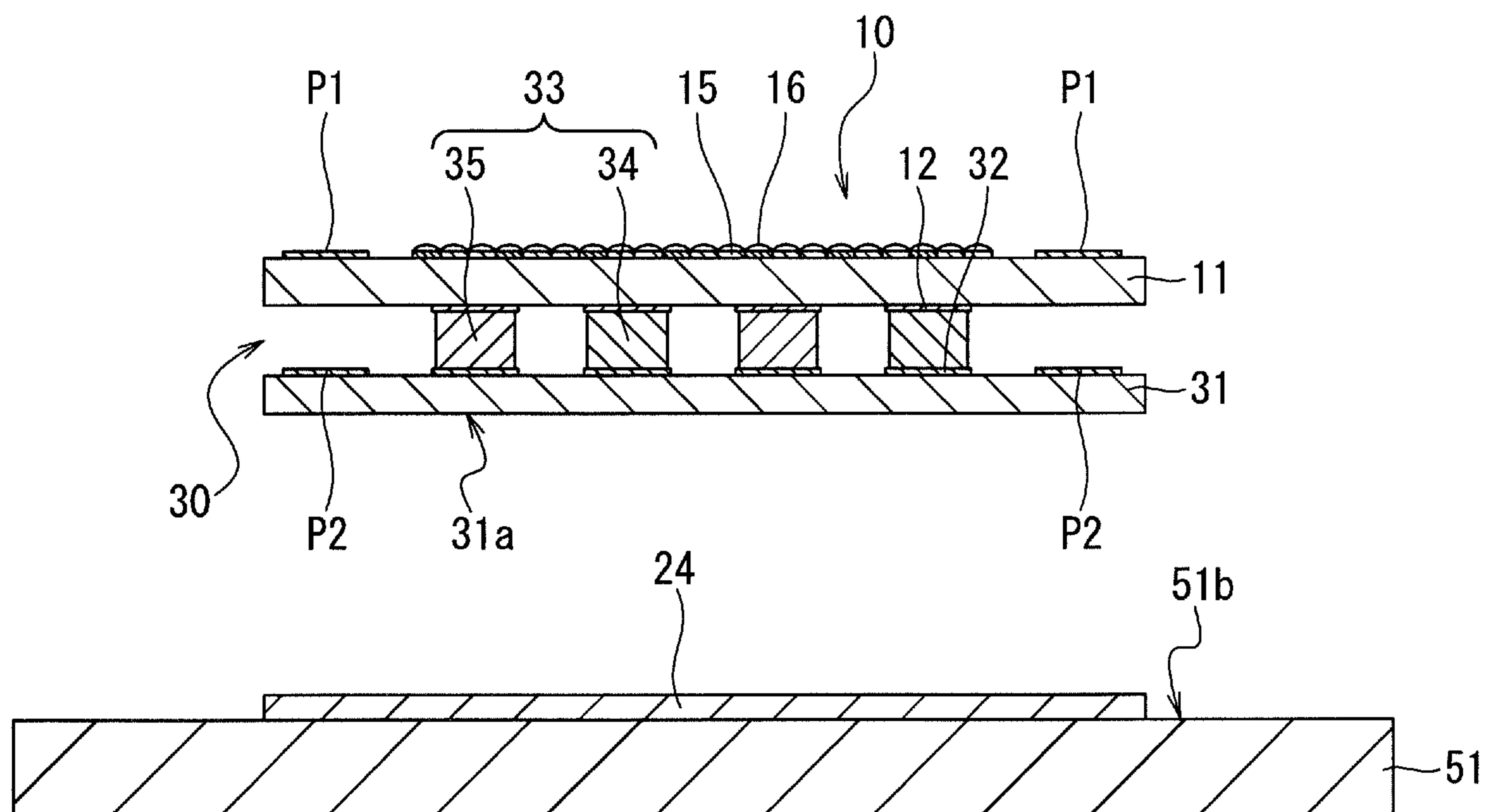
[図8D]



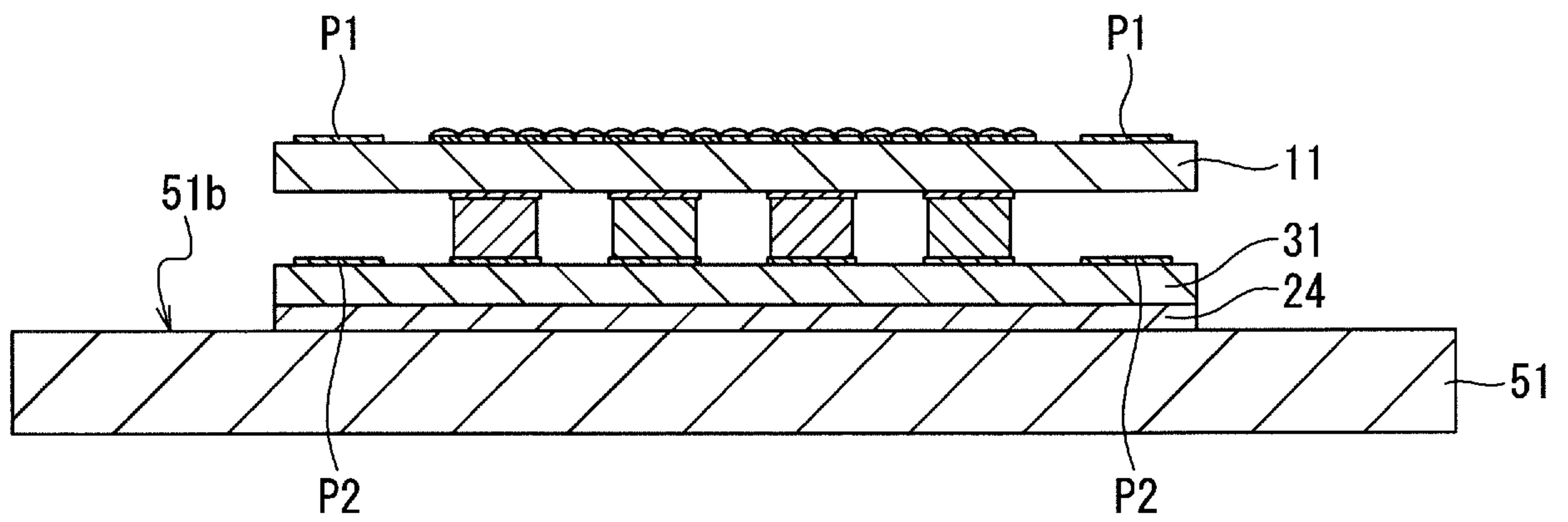
[図9]



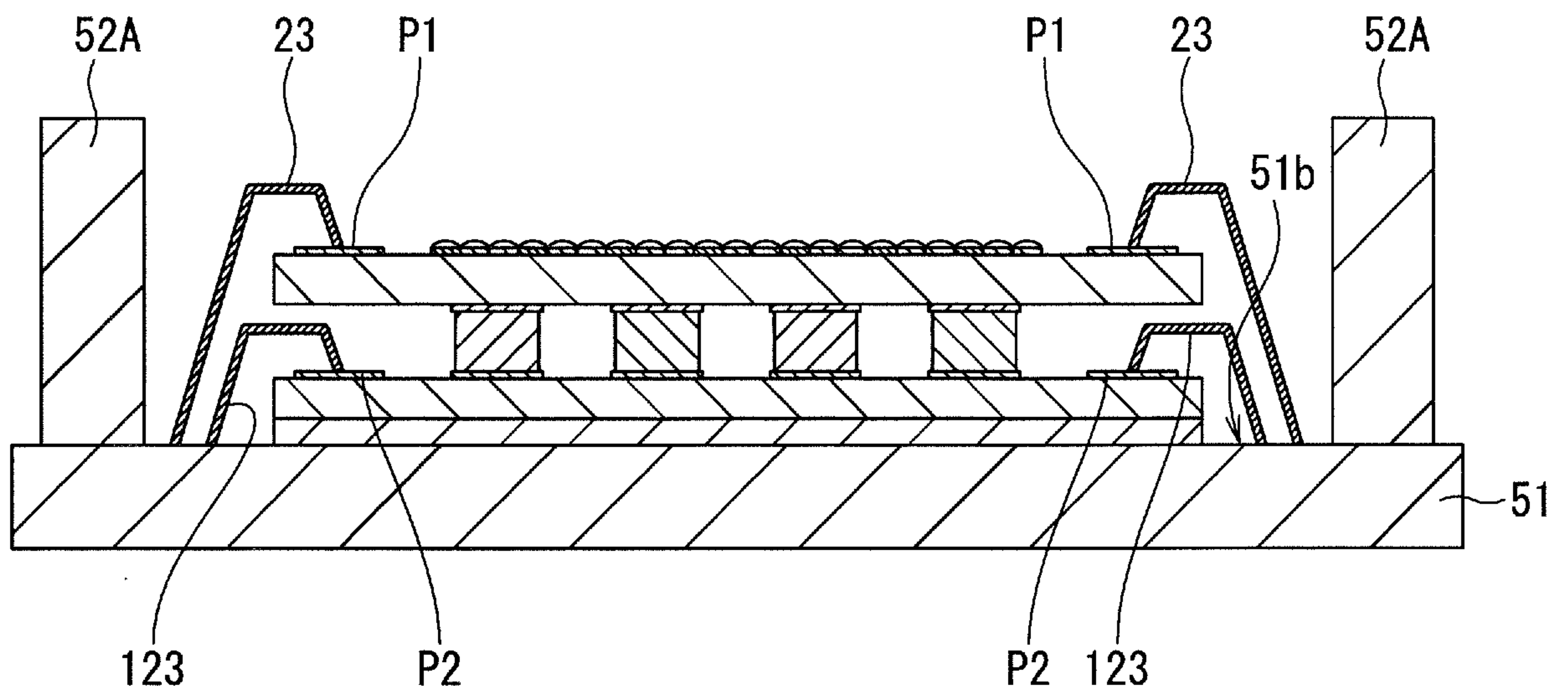
[図10A]



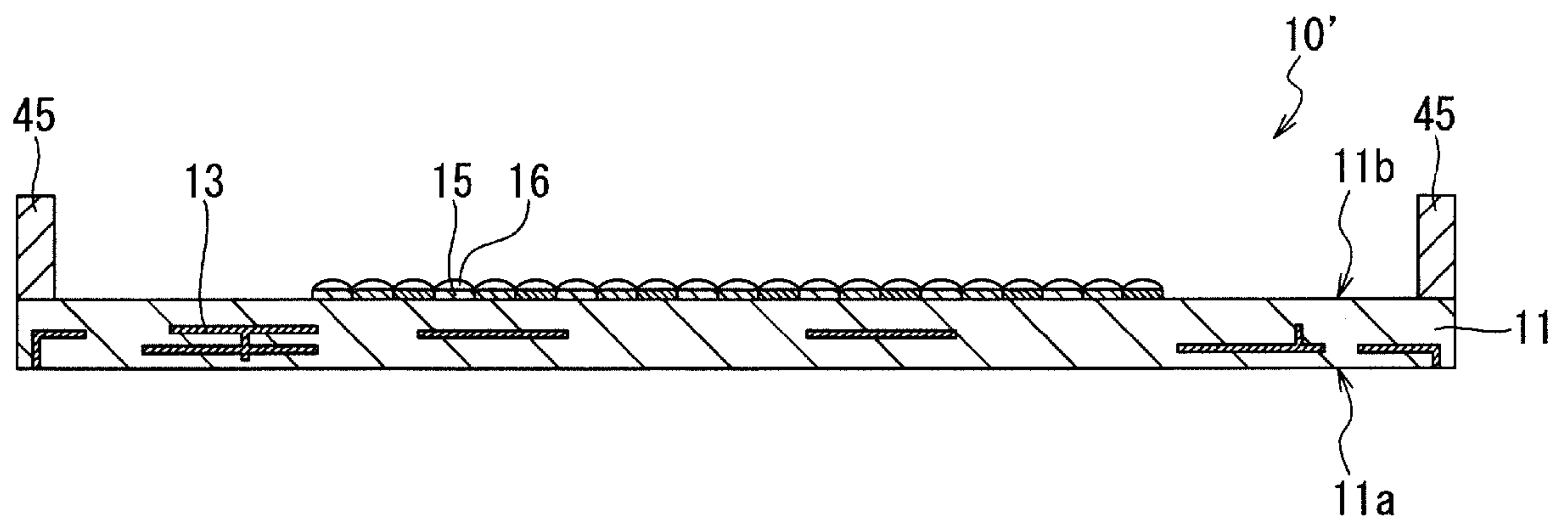
[図10B]



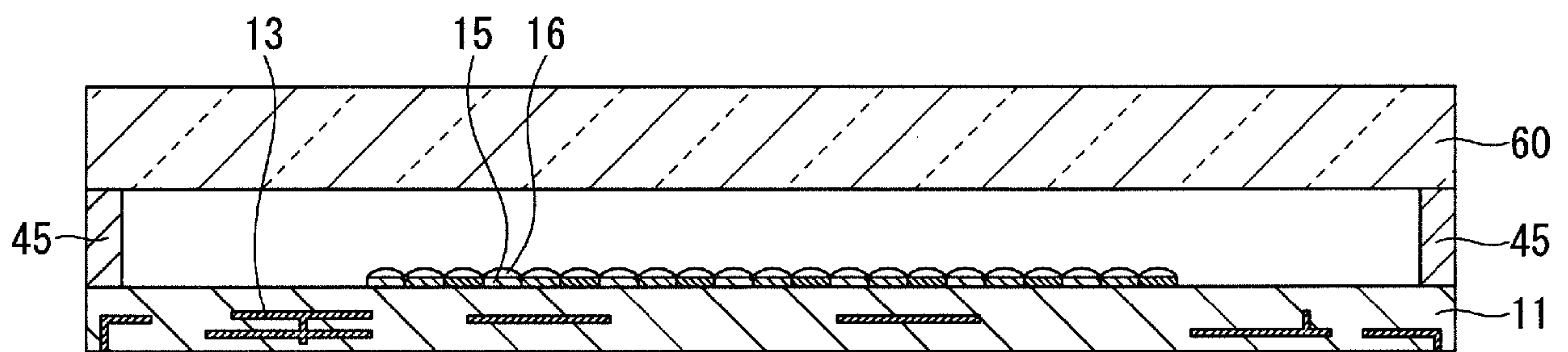
[図10C]



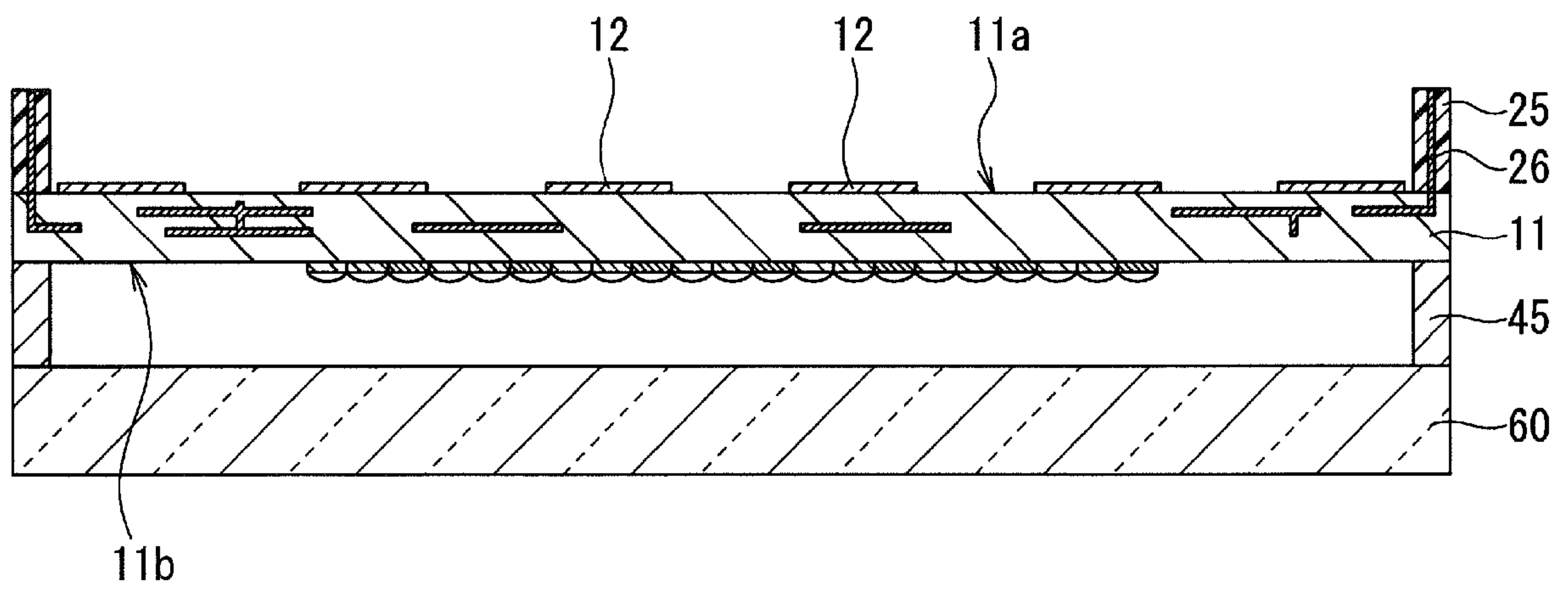
[図12A]



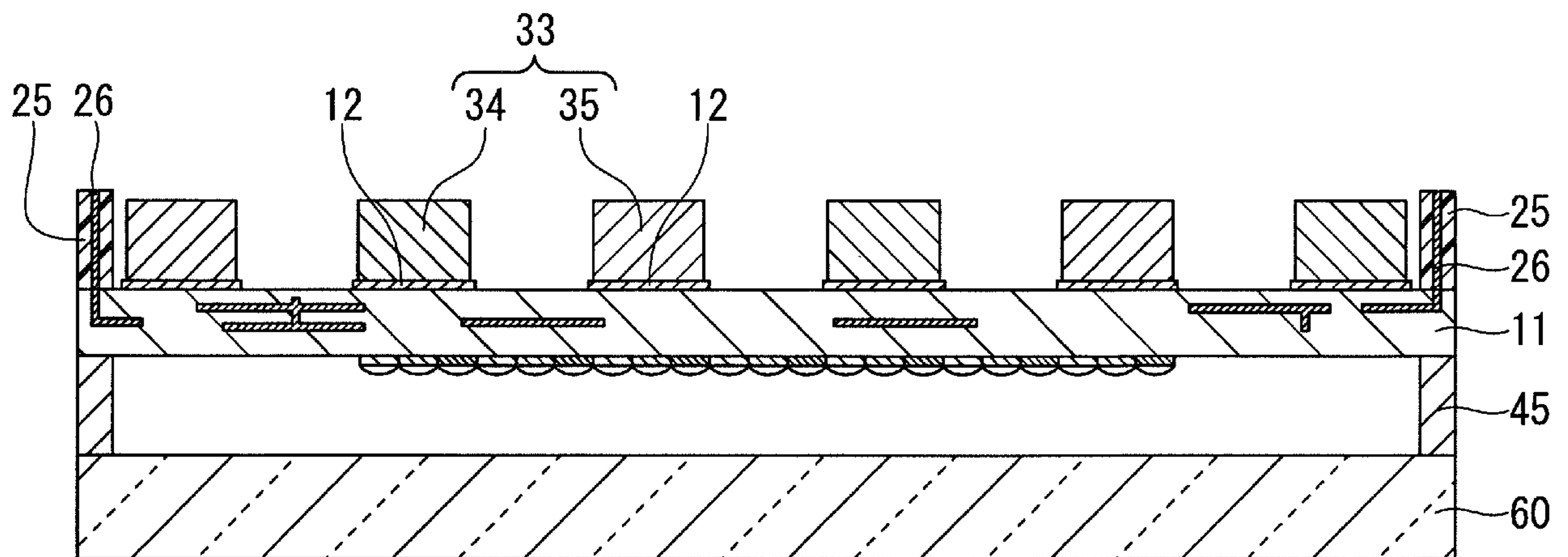
[図12B]



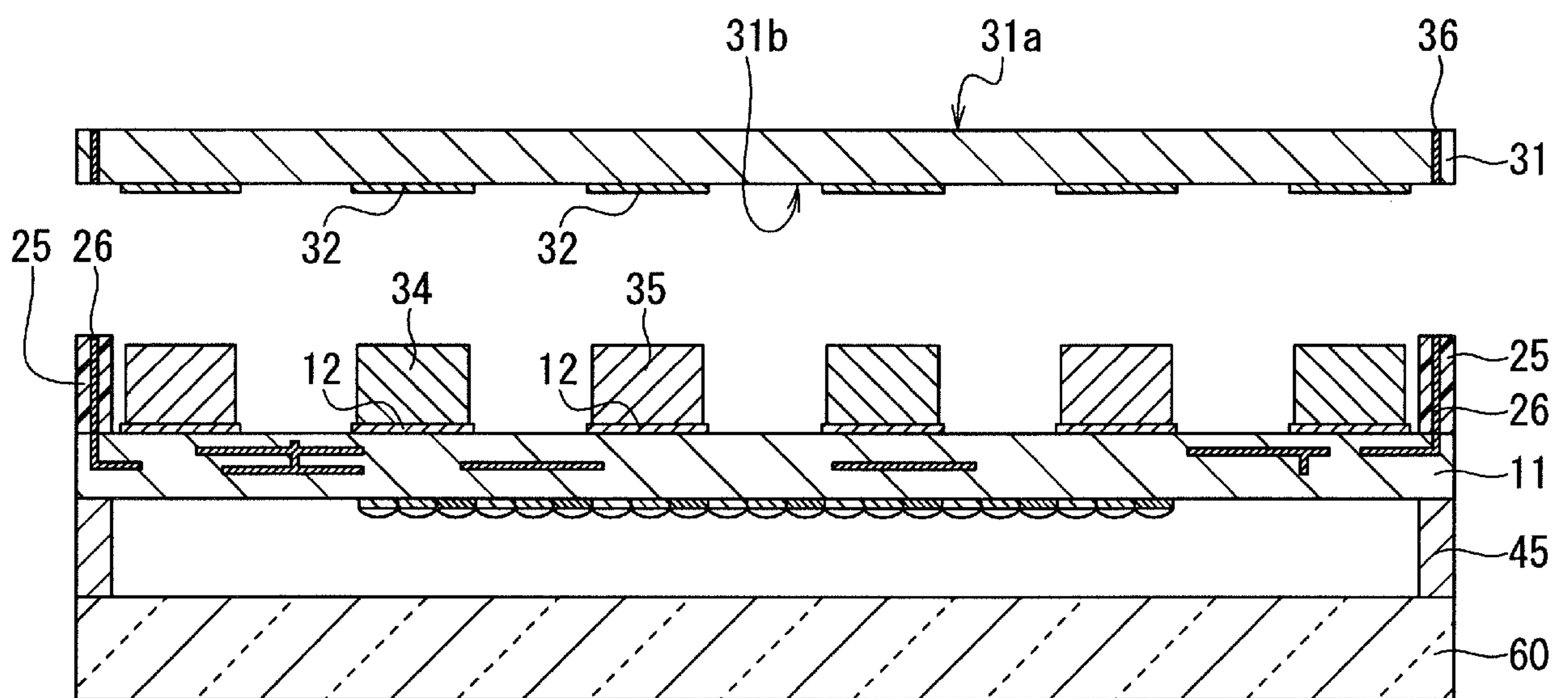
[図12C]



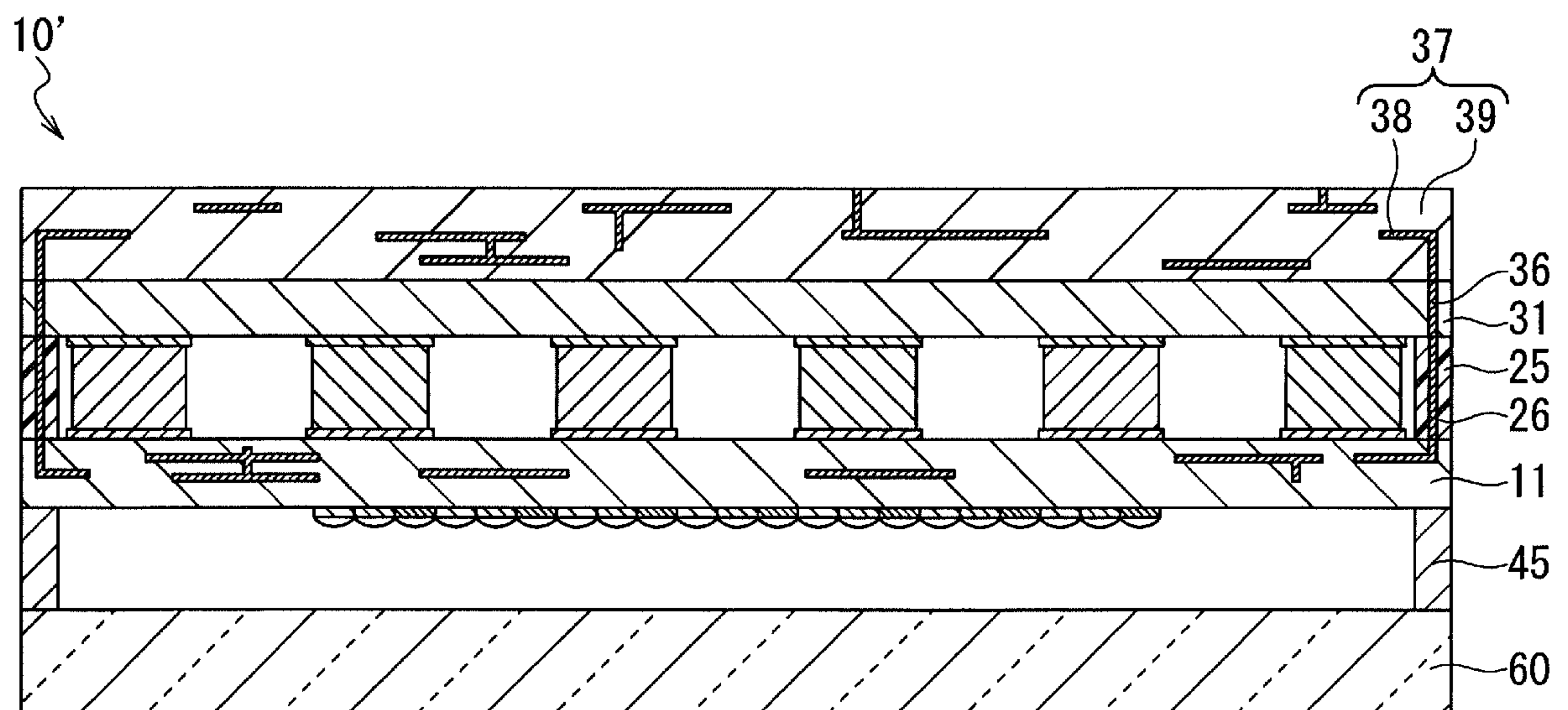
[図12D]

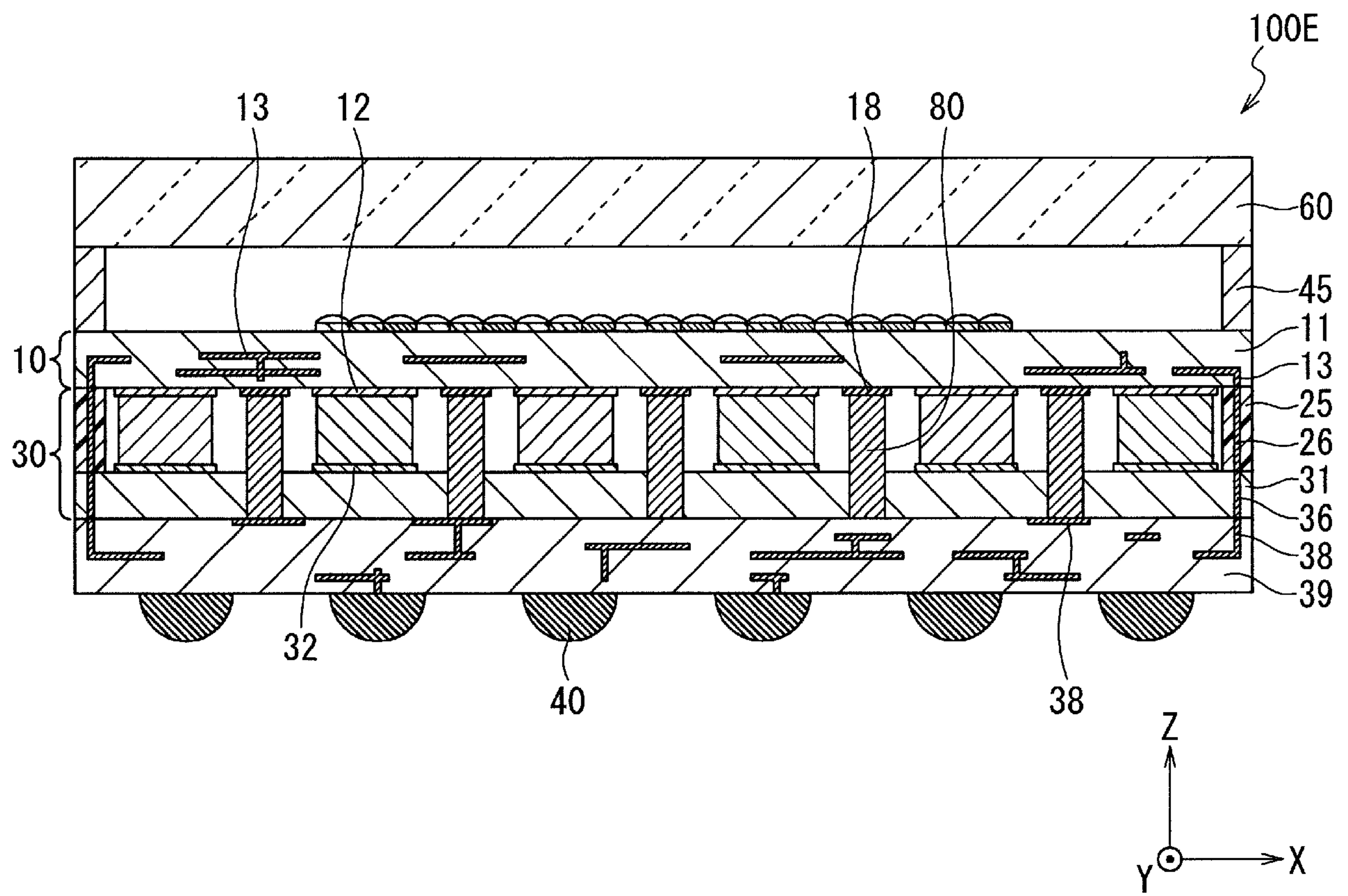


[図12E]

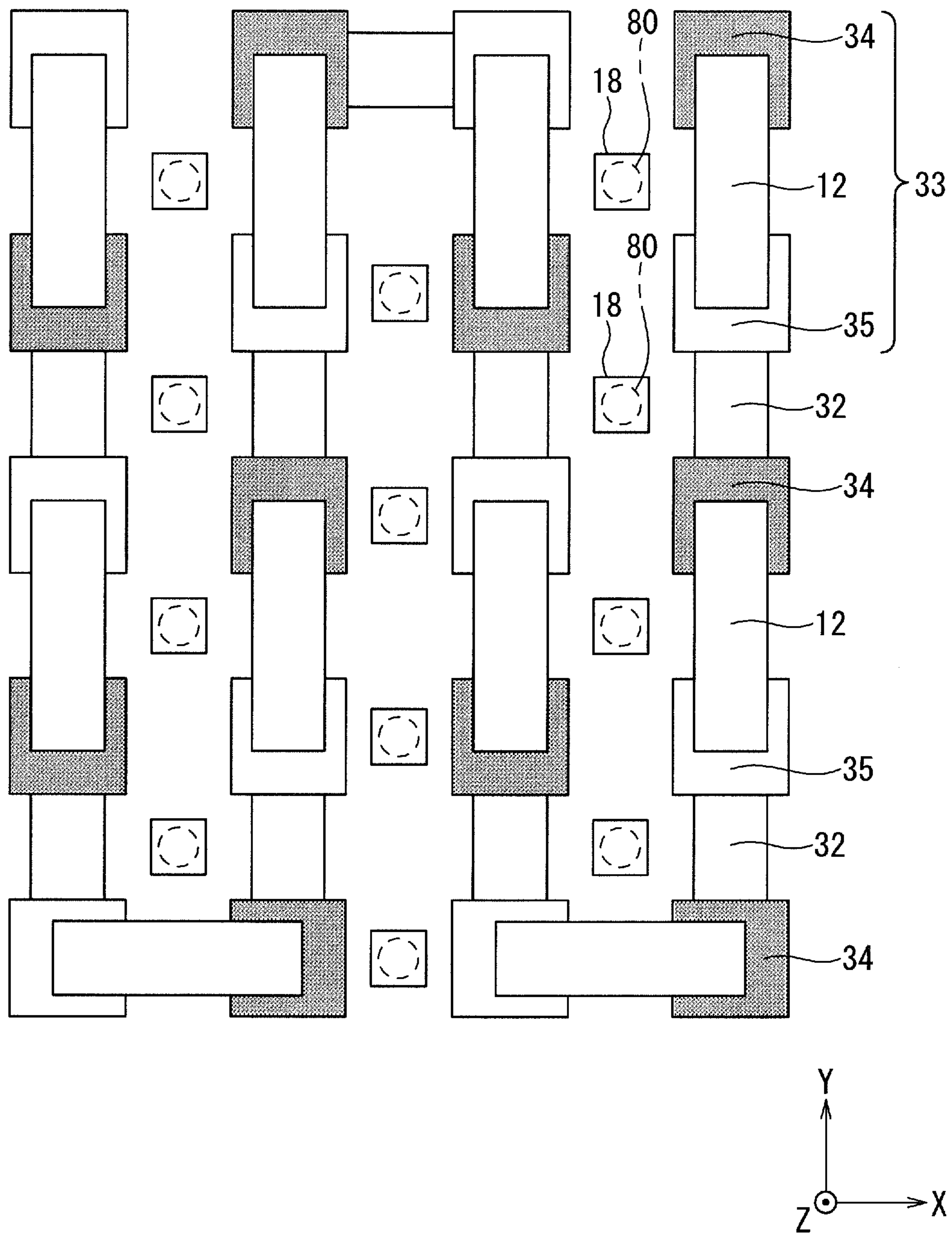


[図12F]

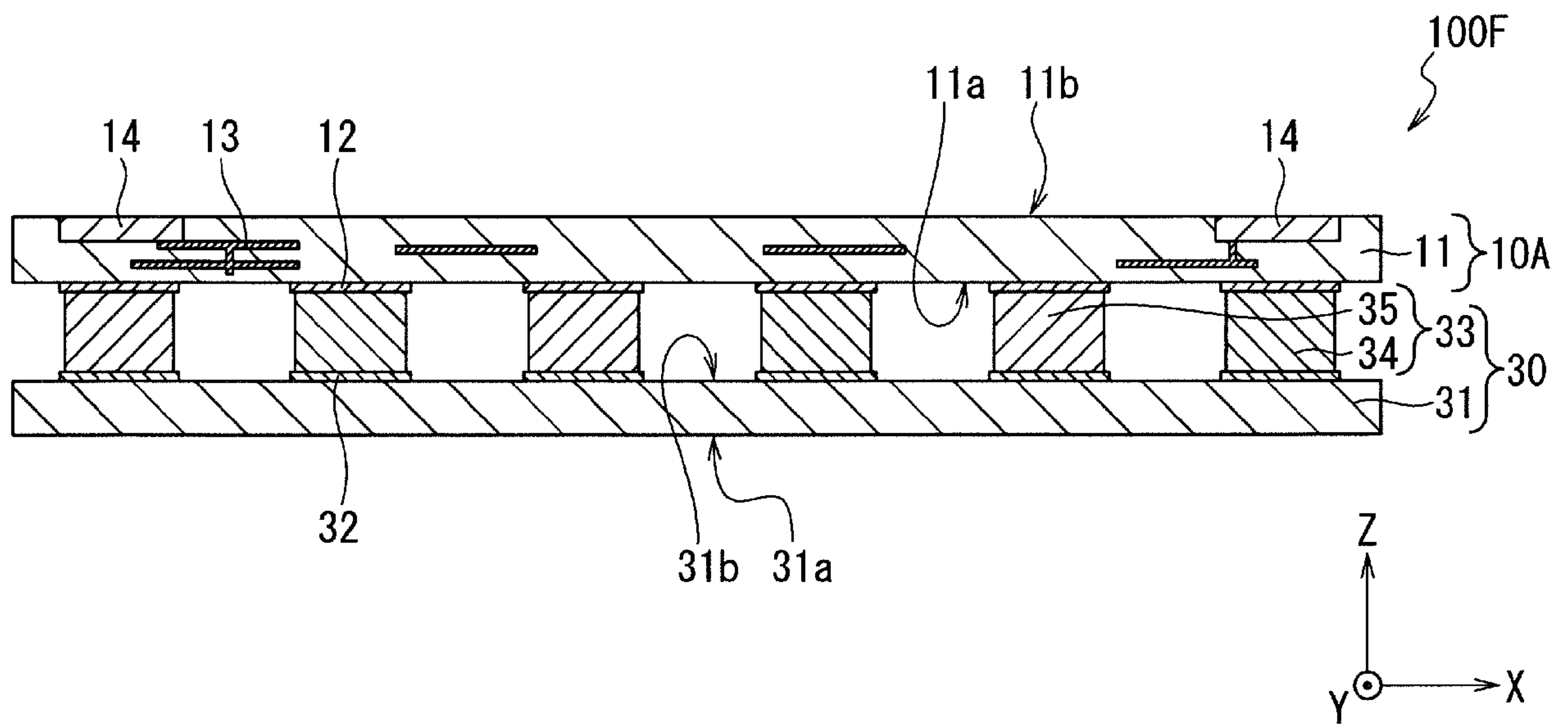




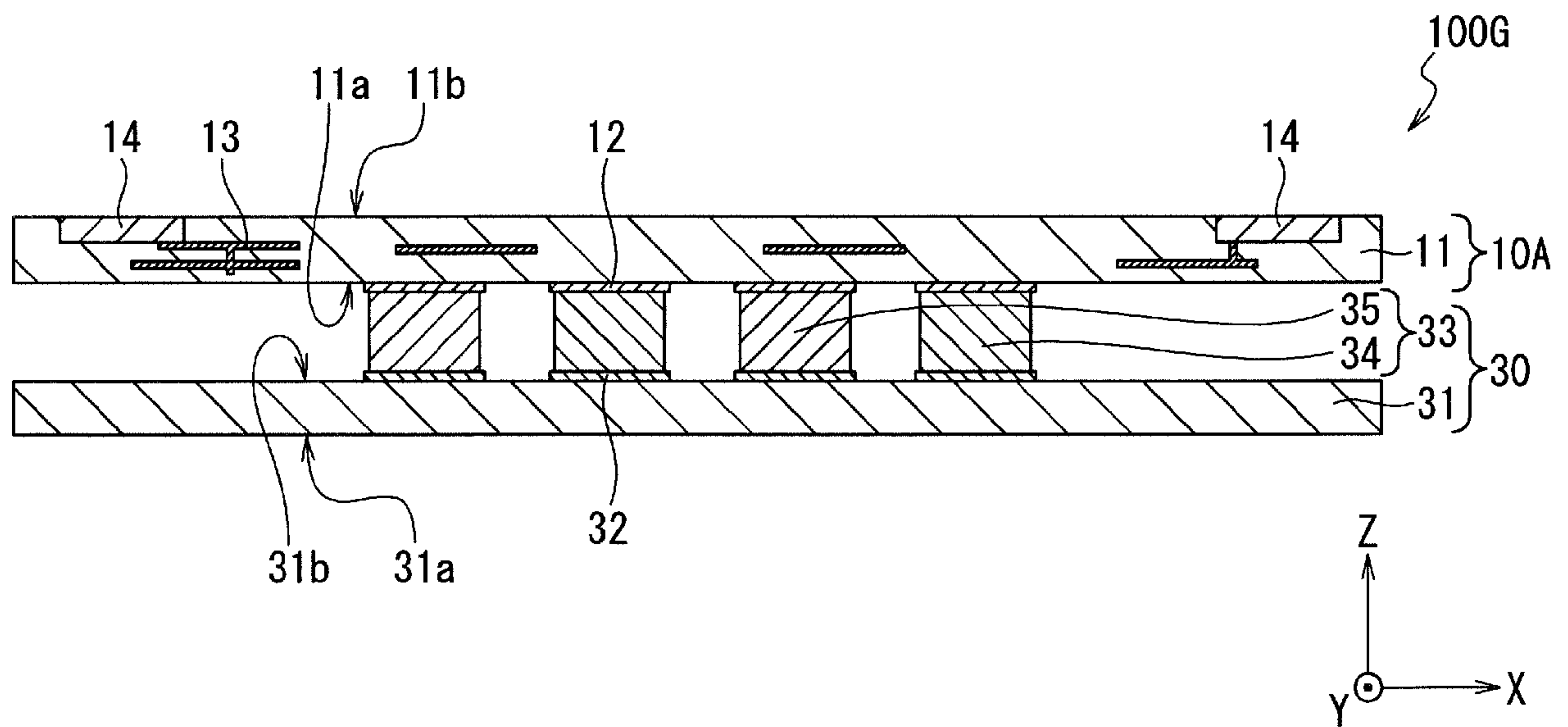
[図14]



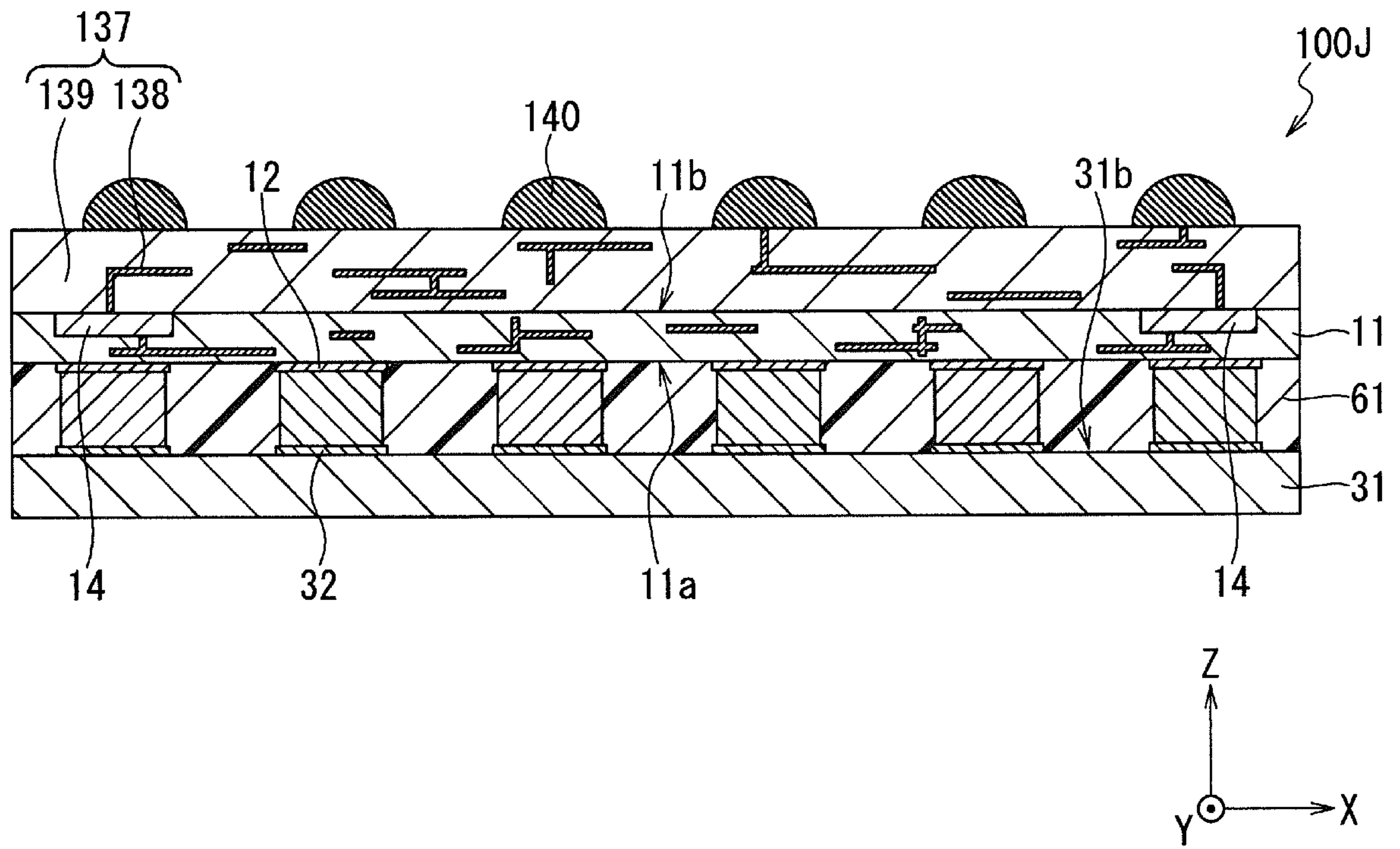
[図15]



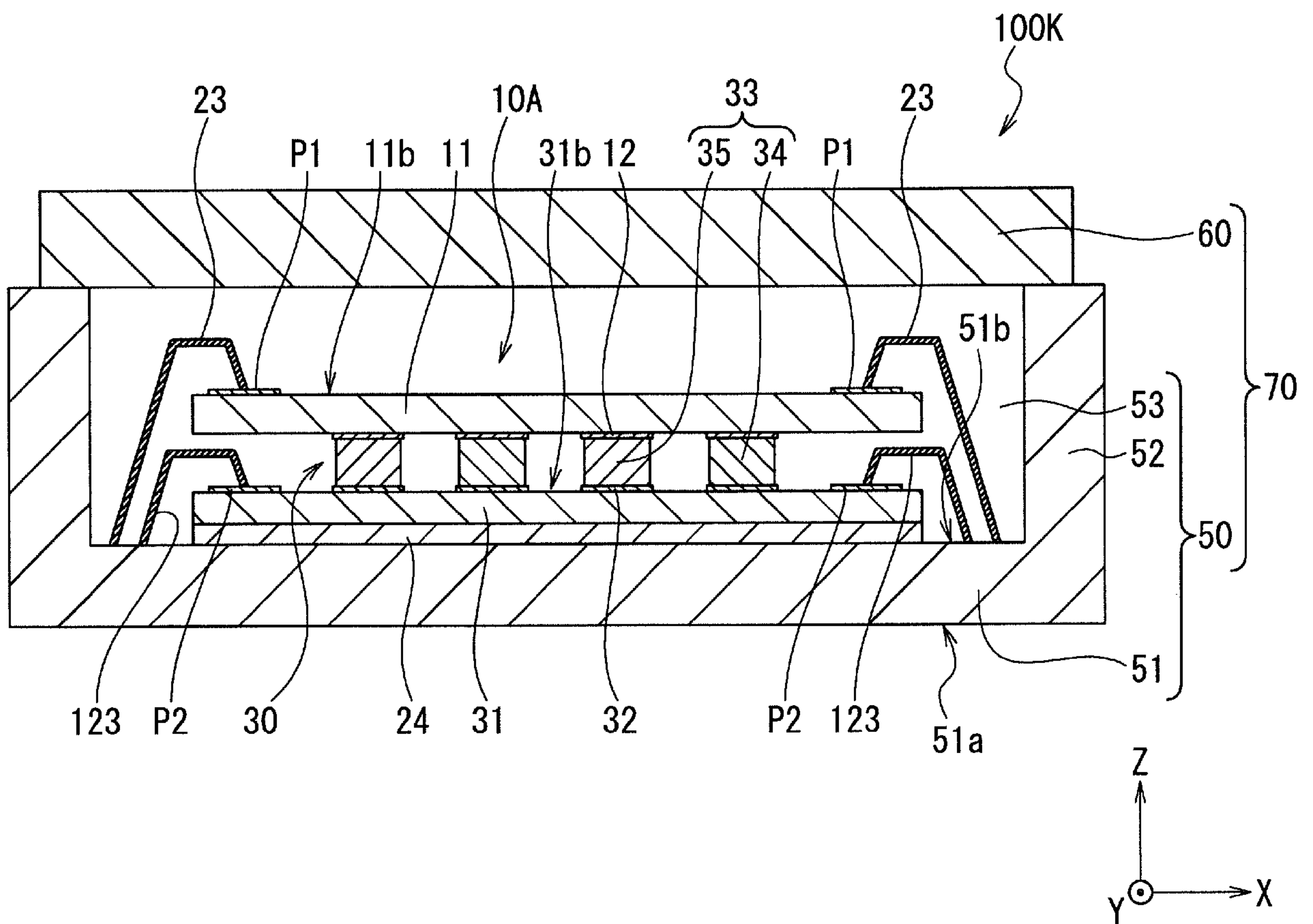
[図16]



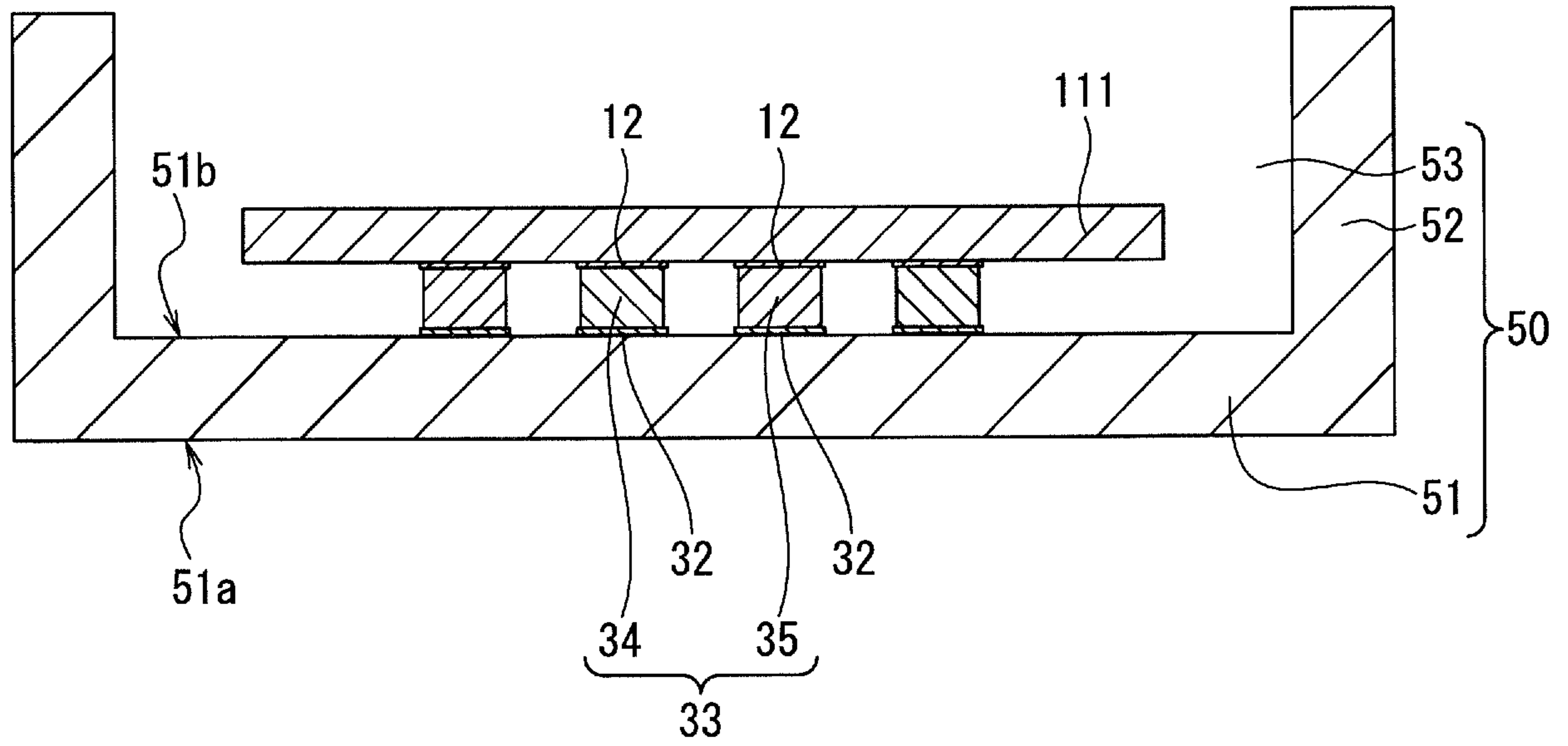
[図19]



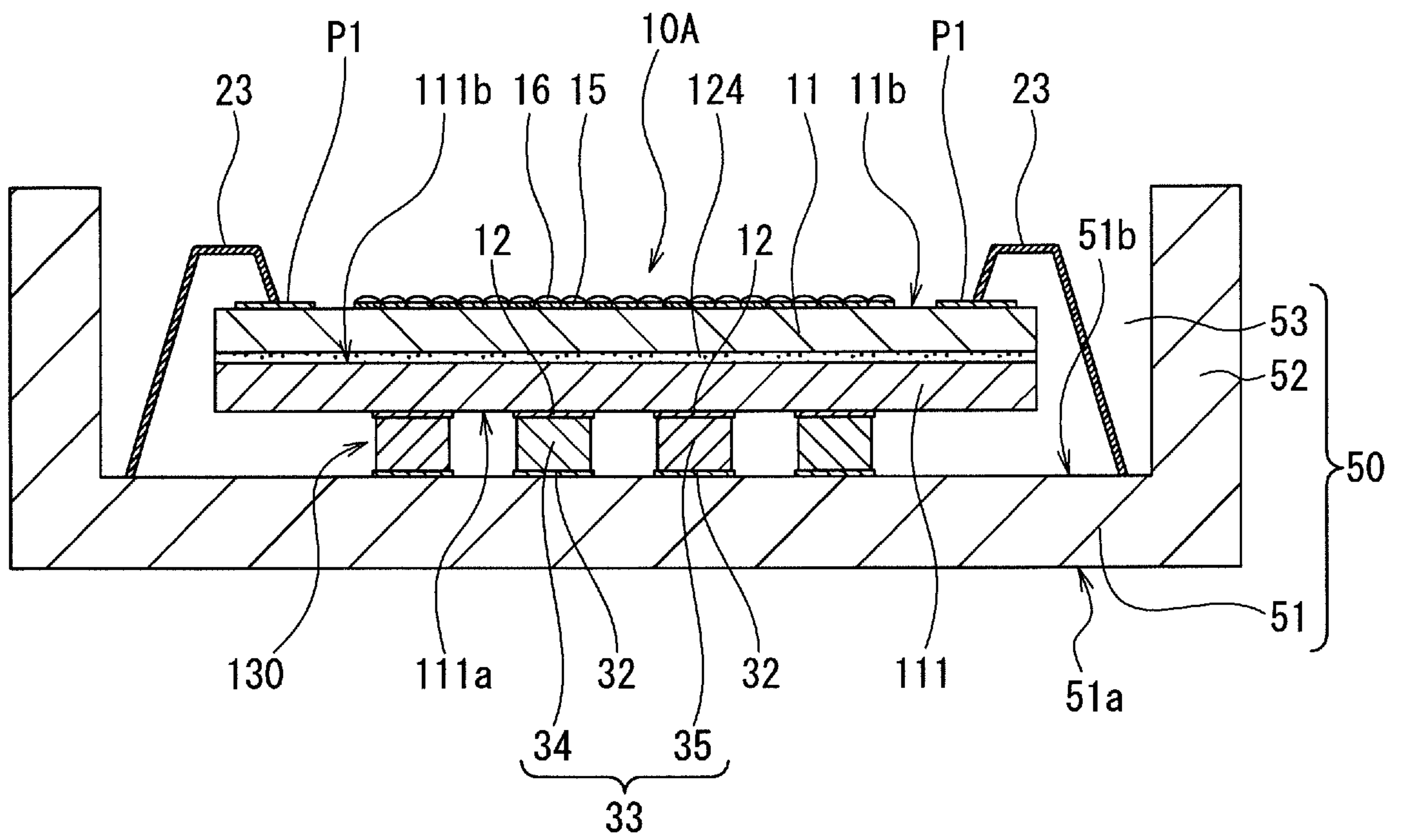
[図20]



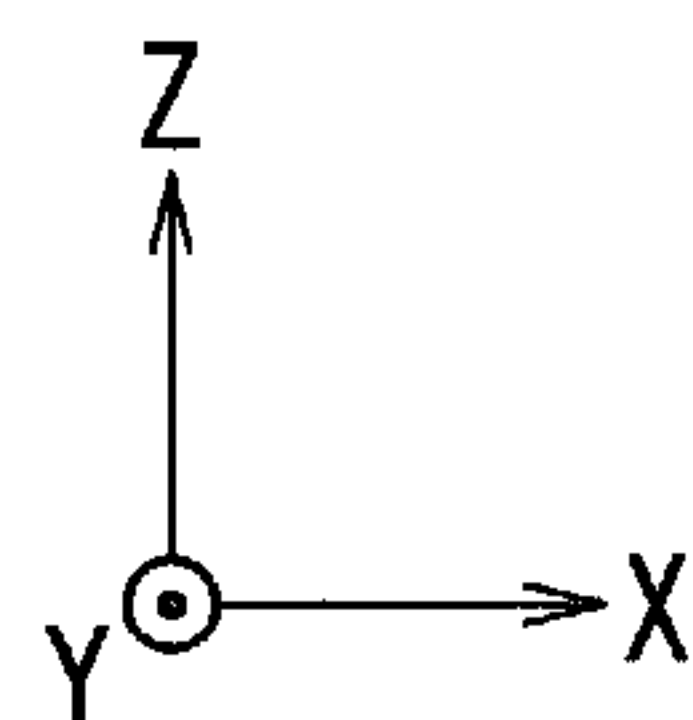
[図22B]



[図22C]



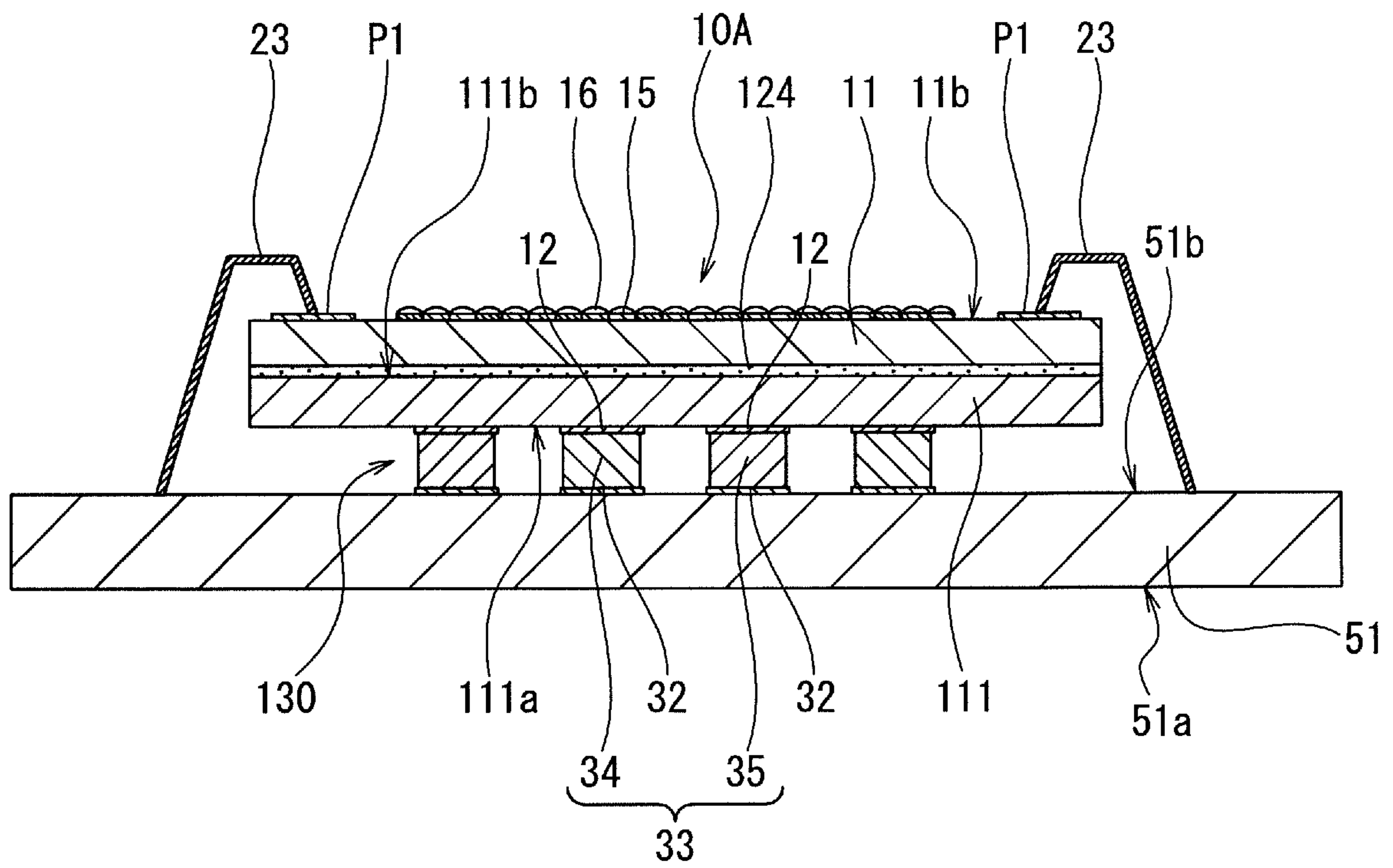
This cross-sectional view shows a substrate 60 with a central region 10A. A layer 11 is formed on the substrate, with a patterned layer 12 on top. A layer 23 is formed on the layer 12, with a patterned layer P1 on top. A layer 51 is formed on the substrate, with a patterned layer 52 on top. A layer 53 is formed on the layer 52, with a patterned layer 54 on top. A layer 55 is formed on the layer 55, with a patterned layer 56 on top. A layer 57 is formed on the layer 57, with a patterned layer 58 on top. A layer 59 is formed on the layer 59, with a patterned layer 60 on top. A layer 61 is formed on the layer 61, with a patterned layer 62 on top. A layer 63 is formed on the layer 63, with a patterned layer 64 on top. A layer 65 is formed on the layer 65, with a patterned layer 66 on top. A layer 67 is formed on the layer 67, with a patterned layer 68 on top. A layer 69 is formed on the layer 69, with a patterned layer 70 on top. A layer 71 is formed on the layer 71, with a patterned layer 72 on top. A layer 73 is formed on the layer 73, with a patterned layer 74 on top. A layer 75 is formed on the layer 75, with a patterned layer 76 on top. A layer 77 is formed on the layer 77, with a patterned layer 78 on top. A layer 79 is formed on the layer 79, with a patterned layer 80 on top. A layer 81 is formed on the layer 81, with a patterned layer 82 on top. A layer 83 is formed on the layer 83, with a patterned layer 84 on top. A layer 85 is formed on the layer 85, with a patterned layer 86 on top. A layer 87 is formed on the layer 87, with a patterned layer 88 on top. A layer 89 is formed on the layer 89, with a patterned layer 90 on top. A layer 91 is formed on the layer 91, with a patterned layer 92 on top. A layer 93 is formed on the layer 93, with a patterned layer 94 on top. A layer 95 is formed on the layer 95, with a patterned layer 96 on top. A layer 97 is formed on the layer 97, with a patterned layer 98 on top. A layer 99 is formed on the layer 99, with a patterned layer 100 on top.

[illegible]

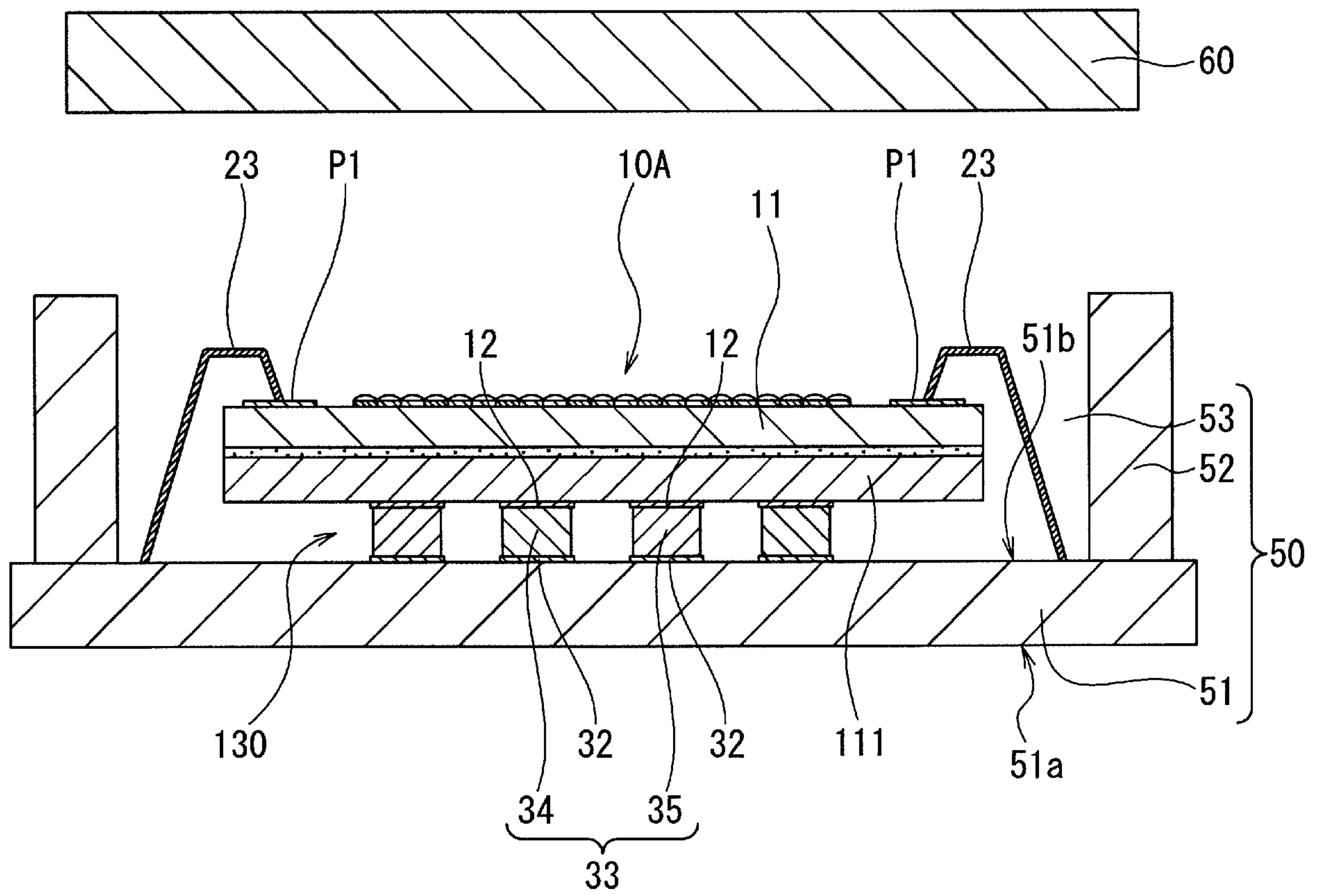
A cross-sectional view of a semiconductor device. A substrate 51 is shown with a top surface 51a and a bottom surface 51b. Four rectangular blocks 32 are mounted on the top surface 51a. A bracket 33 groups two of these blocks, with labels 34 and 35 pointing to their respective top surfaces.

Diagram illustrating a cross-sectional view of a semiconductor device. The device includes a substrate 51, which is divided into a top layer 51a and a bottom layer 51b. A gate stack 111 is formed on the top layer 51a, and a gate stack 12 is formed on the bottom layer 51b. The gate stack 12 is divided into two regions 34 and 35, which are separated by a gate stack 32. The gate stack 12 is also labeled 33.

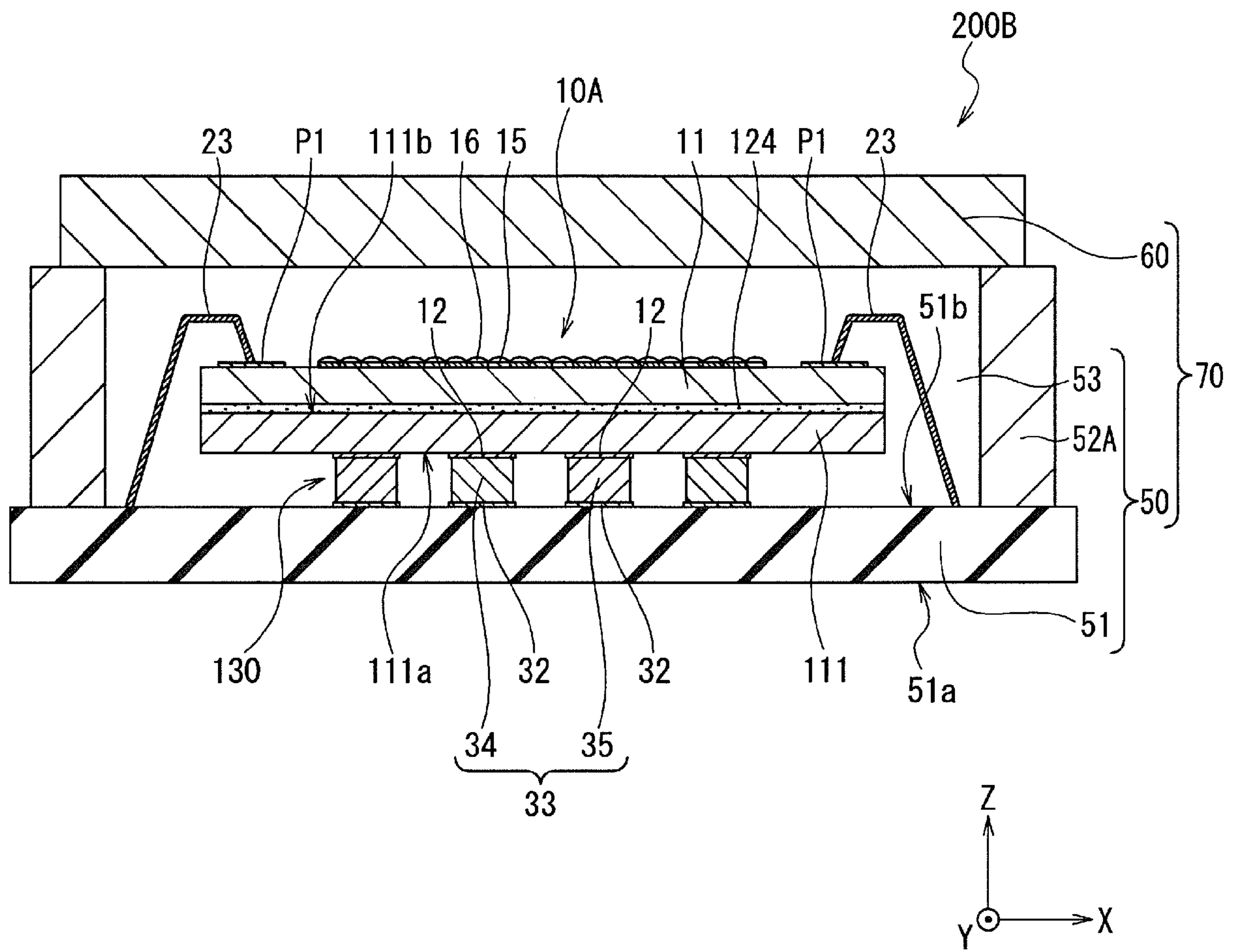
[図24C]



[図24D]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/038148

A. CLASSIFICATION OF SUBJECT MATTER Int. Cl. H01L23/38(2006.01) i FI: H01L23/38 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl. H01L23/38 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2020 Registered utility model specifications of Japan 1996-2020 Published registered utility model applications of Japan 1994-2020 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 11-289038 A (OKI ELECTRIC INDUSTRY CO., LTD.) 19 October 1999, paragraphs [0064]-[0077], fig. 9	1, 5, 8 6, 7, 9, 10 2-4
Y	JP 2019-149501 A (KYOCERA CORP.) 05 September 2019, paragraphs [0028]-[0040], fig. 3, 5, 7	6, 7
Y	JP 2006-32453 A (OKI ELECTRIC INDUSTRY CO., LTD.) 02 February 2006, paragraph [0020], fig. 5	9, 10
A	WO 2014/192199 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 04 December 2014, entire text, fig. 1	1-10
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 01.12.2020		Date of mailing of the international search report 15.12.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/038148

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 11-289038 A	19.10.1999	(Family: none)	
JP 2019-149501 A	05.09.2019	(Family: none)	
JP 2006-32453 A	02.02.2006	US 2006/0012033 A1 paragraph [0062], fig. 5	
WO 2014/192199 A1	04.12.2014	(Family: none)	

国際調査報告		国際出願番号 PCT/JP2020/038148
A. 発明の属する分野の分類（国際特許分類（I P C）） H01L 23/38(2006.01)i FI: H01L23/38		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（I P C）） H01L23/38		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 2 0 年 日本国実用新案登録公報 1 9 9 6 - 2 0 2 0 年 日本国登録実用新案公報 1 9 9 4 - 2 0 2 0 年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 11-289038 A（沖電気工業株式会社）19.10.1999（1999 - 10 - 19） 段落64-77，図 9	1, 5, 8
Y		6, 7, 9, 10
A		2-4
Y	JP 2019-149501 A（京セラ株式会社）05.09.2019（2019 - 09 - 05） 段落28-40，図3, 5, 7	6, 7
Y	JP 2006-32453 A（沖電気工業株式会社）02.02.2006（2006 - 02 - 02） 段落20、図 5	9, 10
A	W0 2014/192199 A1（パナソニック I P マネジメント株式会社）04.12.2014（2014 - 12 - 04） 全文、図 1	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献
国際調査を完了した日 01. 12. 2020	国際調査報告の発送日 15. 12. 2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目 4 番 3 号	権限のある職員（特許庁審査官） 井上 弘亘 5F 3248 電話番号 03-3581-1101 内線 3516	

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/038148

引用文献			公表日	パテントファミリー文献	公表日
JP	11-289038	A	19.10.1999	(ファミリーなし)	
JP	2019-149501	A	05.09.2019	(ファミリーなし)	
JP	2006-32453	A	02.02.2006	US 2006/0012033 A1	段落62, 図 5
WO	2014/192199	A1	04.12.2014	(ファミリーなし)	