



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월04일
 (11) 등록번호 10-1424137
 (24) 등록일자 2014년07월22일

(51) 국제특허분류(Int. Cl.)
 H01L 23/04 (2006.01)
 (21) 출원번호 10-2007-0091225
 (22) 출원일자 2007년09월07일
 심사청구일자 2012년05월08일
 (65) 공개번호 10-2009-0025982
 (43) 공개일자 2009년03월11일
 (56) 선행기술조사문헌
 KR1020000029387 A*
 KR1020070056233 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 장철용
 부산광역시 사하구 오작로 11, 동원아파트 가동
 509호 (괴정동)
 안은철
 경기 용인시 기흥구 동백2로 37, 4104동 1104호
 (중동, 어은목마을대원칸타빌)
 (뒷면에 계속)
 (74) 대리인
 리앤목특허법인

전체 청구항 수 : 총 9 항

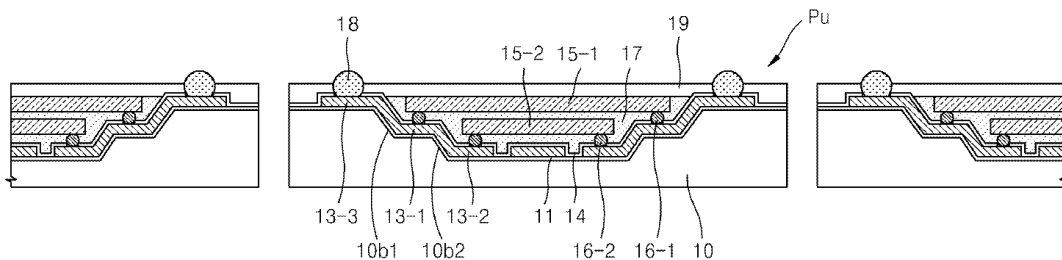
심사관 : 장기정

(54) 발명의 명칭 리세스부를 갖는 수지기판을 구비하는 반도체 패키지 및그의 제조방법

(57) 요약

반도체 패키지 및 그의 제조방법을 제공한다. 상기 반도체 패키지는 수지 기판을 구비한다. 상기 수지 기판은 제1 리세스부, 및 상기 제1 리세스부의 주변에 위치하는 주변부를 구비한다. 상기 제1 리세스부의 바닥면 상에 제1 배선부가 배치된다. 상기 제1 리세스부 내에 상부 반도체 칩이 배치된다. 상기 상부 반도체 칩은 제1 내부 전도성 돌기부를 통해 상기 제1 배선부에 전기적으로 접속한다. 상기 제1 리세스부를 채우는 언더필 수지층이 배치된다. 상기 언더필 수지층은 상기 상부 반도체 칩의 측면을 덮는다.

대표도



(72) 발명자

김평완

경기도 수원시 영통구 태장로82번길 32, 동수원엘
지빌리지1차 109동 1403호 (망포동)

이택훈

경기도 화성시 병점중앙로 192-6 (진안동)

특허청구의 범위

청구항 1

제1 리세스부, 및 상기 제1 리세스부의 주변에 위치하는 주변부를 구비하는 수지 기판;

상기 제1 리세스부의 바닥면 상에 배치된 제1 배선부;

상기 제1 리세스부 내에 위치하고, 제1 내부 전도성 돌기부를 통해 상기 제1 배선부에 전기적으로 접속하는 상부 반도체 칩; 및

상기 제1 리세스부를 채우면서, 상기 상부 반도체 칩의 측면을 덮는 언더필 수지층; 및

상기 상부 반도체 칩 상에 위치하는 패시베이션층을 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 2

제1항에 있어서,

상기 수지 기판은 상기 제1 리세스부의 바닥면의 일부 내에 형성되어 상기 제1 리세스부에 비해 폭이 좁은 제2 리세스부를 더 구비하고,

상기 제2 리세스부의 바닥면 상에 배치된 제2 배선부; 및 상기 제2 리세스부 내에 위치하고, 제2 내부 전도성 돌기부를 통해 상기 제2 배선부에 전기적으로 접속하는 하부 반도체 칩을 더 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 3

제1항에 있어서,

상기 수지 기판 상에 형성되어, 상기 제1 리세스부의 바닥면과 측면을 덮는 절연 버퍼층을 더 포함하고,

상기 제1 배선부는 상기 절연 버퍼층 상에 위치하는 것을 특징으로 하는 반도체 패키지.

청구항 4

제1항에 있어서,

상기 제1 배선부 상에 위치하고, 상기 제1 배선부의 일부를 노출시키는 콘택홀을 구비하는 층간 절연층을 더 구비하고,

상기 제1 내부 전도성 돌기부는 상기 콘택홀 내에 노출된 제1 배선부에 접속하는 것을 특징으로 하는 반도체 패키지.

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 주변부 상에 배치된 제3 배선부; 및

상기 제3 배선부 상에 접속하는 외부 전도성 돌기부를 더 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 7

제1항에 있어서,

상기 주변부 상에 배치된 제3 배선부;

상기 제3 배선부에 접속하고, 상기 수지 기판을 관통하는 관통전극을 더 포함하는 것을 특징으로 하는 반도체

패키지.

청구항 8

제7항에 있어서,

상기 수지 기관의 하부면 상에 노출된 상기 관통전극에 접속하는 외부 전도성 돌기부를 더 포함하는 것을 특징으로 하는 반도체 패키지.

청구항 9

제1 리세스부, 및 상기 제1 리세스부의 주변에 위치하는 주변부를 구비하는 수지 기관을 제조하는 단계;

상기 제1 리세스부의 바닥면 상에 제1 배선부를 형성하는 단계;

상기 제1 리세스부 내에 제1 내부 전도성 돌기부를 통해 상기 제1 배선부에 전기적으로 접속하는 상부 반도체 칩을 배치하는 단계; 및

상기 제1 리세스부를 채우면서, 상기 상부 반도체 칩의 측면을 덮는 언더필 수지층을 형성하는 단계; 및

상기 상부 반도체 칩 상에 위치하는 패시베이션층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

제9항에 있어서,

상기 수지 기관은 상기 제1 리세스부의 바닥면의 일부 내에 형성되어 상기 제1 리세스부에 비해 폭이 좁은 제2 리세스부를 더 구비하고,

상기 제1 배선부를 형성함과 동시에 상기 제2 리세스부의 바닥면 상에 제2 배선부를 형성하고,

상기 상부 반도체 칩을 배치하기 전에, 상기 제2 리세스부 내에 제2 내부 전도성 돌기부를 통해 상기 제2 배선부에 전기적으로 접속하는 하부 반도체 칩을 배치하는 단계를 더 포함하는 것을 특징으로 하는 반도체 패키지의 제조방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 패키지 및 그의 제조방법에 관한 것으로, 보다 상세하게는 리세스부를 갖는 수지기판을 구비하는 반도체 패키지 및 그의 제조방법에 관한 것이다.

배경기술

[0002] 반도체 패키지는 일반적으로 PCB(printed circuit board) 상에 반도체 칩을 실장함으로써 제조된다. 그러나, 상기 PCB와 상기 반도체 칩 사이의 열팽창 계수(Coefficient of Thermal Expansion; CTE)의 차이로 인해 열응력(thermal stress)이 발생하고, 이러한 열응력은 반도체 패키지의 신뢰성을 저하시키는 요인이 된다. 또한, 상기 PCB는 여러층의 절연층들 및 배선층들을 구비하여 두께가 비교적 두껍다. 따라서, 상기 PCB의 두께로 인해 반도체 패키지의 전체 두께를 감소시키기는 매우 어려운 실정이다.

[0003] 이러한 문제점들을 개선하기 위해 웨이퍼 레벨 패키지(wafer level package)가 제시되었다. 그러나, 웨이퍼 레벨 패키지는 반도체 칩이 외부로 노출되어 있어 외부 충격에 의해 쉽게 손상될 수 있는 문제점이 있다.

발명의 내용

해결하고자하는 과제

[0004] 본 발명이 이루고자 하는 기술적 과제는 열응력이 감소되고, 두께가 감소될 뿐 아니라 외부 충격에 의한 반도체 칩의 손상 정도가 감소될 수 있는 반도체 패키지 및 그의 제조방법을 제공함에 있다.

과제 해결수단

[0005] 상기 기술적 과제를 이루기 위하여 본 발명의 일 측면은 반도체 패키지를 제공한다. 상기 반도체 패키지는 수지 기판을 구비한다. 상기 수지 기판은 제1 리세스부, 및 상기 제1 리세스부의 주변에 위치하는 주변부를 구비한다. 상기 제1 리세스부의 바닥면 상에 제1 배선부가 배치된다. 상기 제1 리세스부 내에 상부 반도체 칩이 배치된다. 상기 상부 반도체 칩은 제1 내부 전도성 돌기부를 통해 상기 제1 배선부에 전기적으로 접속한다. 상기 제1 리세스부를 채우는 언더필 수지층이 배치된다. 상기 언더필 수지층은 상기 상부 반도체 칩의 측면을 덮는다.

[0006] 상기 기술적 과제를 이루기 위하여 본 발명의 다른 측면은 반도체 패키지의 제조방법을 제공한다. 상기 제조방법은 제1 리세스부, 및 상기 제1 리세스부의 주변에 위치하는 주변부를 구비하는 수지 기판을 제조하는 단계를 포함한다. 상기 제1 리세스부의 바닥면 상에 제1 배선부를 형성한다. 상기 제1 리세스부 내에 제1 내부 전도성 돌기부를 통해 상기 제1 배선부에 전기적으로 접속하는 상부 반도체 칩을 배치한다. 상기 제1 리세스부를 채우면서, 상기 상부 반도체 칩의 측면을 덮는 언더필 수지층을 형성한다.

효과

[0007] 상술한 바와 같이 본 발명에 따르면, 열팽창 계수의 조절이 용이한 수지 기판 상에 배선을 형성하여 회로기판으로 사용함으로써, 반도체 패키지의 열응력을 줄일 수 있다. 또한, 상기 수지 기판 내에 리세스부를 형성하고

상기 리세스부 내에 반도체 칩을 배치함으로써, 반도체 패키지의 전체 두께를 감소시킬 수 있다. 이와 더불어서, 상기 리세스부를 채우고 상기 반도체 칩의 측면을 덮는 언더필 수지층을 배치함으로써, 외부 충격에 의한 반도체 칩의 파손을 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

- [0008] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하여 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0009] 도 1a 내지 도 1e는 본 발명의 일 실시예에 따른 반도체 패키지의 제조방법을 순차적으로 나타낸 단면도들이고, 도 2는 도 1a에 도시된 수지 기판의 상부면을 나타낸 평면도이다.
- [0010] 도 1a 및 도 2를 참조하면, 다수 개의 단위 패키지 영역들을 구비하는 수지 기판(10)을 제공한다. 상기 다수 개의 단위 패키지 영역들은 상기 수지 기판 내에 형성된 그루브(10a)에 의해 정의될 수 있다. 상기 각 단위 패키지 영역에는 제1 리세스부(10b1)가 형성되며, 상기 제1 리세스부(10b1)의 주변에 상기 제1 리세스부(10b1)에 의해 정의된 주변부(10e)가 위치한다. 상기 제1 리세스부(10b1)의 바닥면의 일부 내에 형성되어 상기 제1 리세스부(10b1)에 비해 폭이 좁은 제2 리세스부(10b2)가 형성될 수 있다.
- [0011] 상기 제1 리세스부(10b1), 상기 제2 리세스부(10b2) 및 상기 그루브(10a)를 구비하는 수지 기판(10)은 몰드(mold; 20)를 사용하여 제조할 수 있다. 상기 몰드(20)는 상기 제1 리세스부(10b1)에 대응하는 제1 돌출부(20b1), 상기 제1 돌출부(20b1) 상에 위치하고 상기 제2 리세스부(10b2)에 대응하는 제2 돌출부(20b2) 및 상기 그루브(10a)에 대응하는 제3 돌출부(20a)를 구비할 수 있다.
- [0012] 이러한 수지 기판(10)은 도시된 바와 같이 웨이퍼 형상을 가질 수 있다. 이 경우, 상기 수지 기판(10)을 반도체 칩 제조용 장비 즉, 웨이퍼가 투입되는 장비에 로딩하여 후술하는 배선 형성 공정 또는 절연층 형성 공정 등을 수행할 수 있어, 장비를 따로 설치하지 않아도 되는 장점이 있다. 그러나, 상기 수지 기판(10)의 형상은 이에 한정되지 않고 사각형일 수도 있다.
- [0013] 상기 수지 기판(10)의 열팽창 계수(Coefficient of Thermal Expansion; CTE)는 용이하게 조절될 수 있다. 상기 수지 기판(10)의 열팽창 계수는 상기 수지 기판(10) 내에 함유되는 필러(filler)의 함량 또는 사이즈를 조절함으로써 용이하게 조절할 수 있다. 그 결과, 상기 수지 기판(10)과 후술하는 배선 또는 반도체 칩 사이의 열팽창 계수의 차이를 줄일 수 있어, 반도체 패키지의 열응력(thermal stress)을 감소시킬 수 있다. 상기 필러는 실리카, 흑연, 알루미늄 또는 카본블랙일 수 있다.
- [0014] 상기 수지 기판(10)은 에폭시계 수지 기판일 수 있다. 상기 에폭시계 수지는 오르소-크레졸(ortho-cresol)형 에폭시 수지, 노볼락(novolac)형 에폭시 수지 또는 비스페놀(bisphenol)형 에폭시 수지일 수 있다.
- [0015] 도 1b를 참조하면, 상기 수지 기판(10) 상에 절연 버퍼층(11)을 형성할 수 있다. 상기 절연 버퍼층(11)은 상기 제1 리세스부(10b1)의 바닥면과 측면, 상기 제2 리세스부(10b2)의 바닥면과 측면, 및 상기 주변부(10e)를 덮을 수 있다. 상기 절연 버퍼층(11)은 폴리이미드(polyimide; PI)막, 폴리벤조옥사졸(polybenzooxazole; PBO)막 또는 벤조사이클로부텐(benzocyclobutene; BCB)막일 수 있다.
- [0016] 상기 절연 버퍼층(11)을 형성하지 않는 경우, 상기 수지 기판(10)의 상부면 즉, 상기 제1 리세스부(10b1)의 바닥면과 측면, 상기 제2 리세스부(10b2)의 바닥면과 측면, 및 상기 주변부(10e)를 표면 처리(surface treatment)할 수 있다. 그 결과, 상기 수지 기판(10)의 상부면의 거칠기(roughness)를 적절하게 조절할 수 있다. 상기 표면 처리는 플라즈마 또는 레이저를 사용하여 수행할 수 있다.
- [0017] 상기 절연 버퍼층(11) 또는 상기 표면 처리된 상기 수지 기판(10) 상에 배선(13)을 형성할 수 있다. 상기 절연 버퍼층(11)은 상기 배선(13)과 상기 수지 기판(10) 사이의 응력(stress)을 완충하는 역할을 할 수 있다. 상기 표면 처리에 의해 상기 수지 기판(10)의 상부면의 거칠기가 적절하게 조절된 경우, 상기 배선(13)과 상기 수지 기판(10) 사이의 접착력이 향상될 수 있다.
- [0018] 상기 배선(13)은 시드층(미도시) 및 도금층(미도시)을 차례로 적층한 후, 이들을 패터닝하여 형성하거나, 잉크젯 프린트법(ink-jet print technique)을 사용하여 형성할 수 있다. 이러한 배선 형성시, 상기 그루브(10a)는

얼라인 키(align key)의 역할을 수행할 수 있다. 상기 배선(13)은 상기 제1 리세스부(10b1)의 바닥면에 위치한 제1 배선부(13-1), 상기 제2 리세스부(10b2)의 바닥면에 위치한 제2 배선부(13-2) 및 상기 주변부(10e) 상에 위치한 제3 배선부(13-3)를 구비할 수 있다. 상기 제1, 제2 및 제3 배선부들은 서로 연결된 것으로 도시되었으나, 이에 한정되지 않고 서로 분리될 수도 있다. 상기 배선(13)은 구리, 니켈, 또는 금을 함유할 수 있다.

- [0019] 상기 배선(13) 상에 층간 절연층(14)을 형성할 수 있다. 상기 층간 절연층(14) 내에 상기 제1, 제2 및 제3 배선부들(13-1, 13-2, 13-3)의 일부들을 각각 노출시키는 콘택홀들을 형성할 수 있다. 상기 층간 절연층(14)은 폴리이미드막, 폴리벤조옥사졸막 또는 벤조사이클로부텐막일 수 있다.
- [0020] 도 1c를 참조하면, 상기 제2 리세스부(10b2) 내에 하부 반도체 칩(15-2)을 배치한다. 상기 하부 반도체 칩(15-2)은 그의 하부면에 위치하는 내부 전도성 돌기부(16-2)를 통해 상기 제2 배선부(13-2)에 접속할 수 있다.
- [0021] 상기 제1 리세스부(10b1) 내에 상부 반도체 칩(15-1)을 배치한다. 상기 상부 반도체 칩(15-1)은 그의 하부면에 위치하는 내부 전도성 돌기부(16-1)를 통해 상기 제1 배선부(13-1)에 접속할 수 있다.
- [0022] 상기 층간 절연층(14)이 형성된 경우, 상기 내부 전도성 돌기부들(16-1, 16-2)은 상기 콘택홀들 내에 노출된 제1 및 제2 배선부들(13-1, 13-2)에 각각 접속할 수 있다.
- [0023] 그 후, 상기 제1 및 제2 리세스부들(10b1, 10b2)을 채우는 언더필 수지층(17)을 형성할 수 있다. 상기 언더필 수지층(17)은 하부 반도체 칩(15-2)과 상기 수지 기관(10) 사이의 영역, 및 상기 하부 반도체 칩(15-2)과 상기 상부 반도체 칩(15-1) 사이의 영역을 채우고, 나아가 상기 하부 반도체 칩(15-2)의 측면, 및 상기 상부 반도체 칩(15-1)의 측면을 덮는다. 따라서, 상기 반도체 칩들(15-1, 15-2)의 측면들이 외부로 노출되지 않아 외부 충격에 의한 파손이 방지될 수 있다. 또한, 상기 언더필 수지층(17)은 상기 수지 기관(10)과 반도체 칩들(15-1, 15-2)을 견고하게 접촉함과 동시에 상기 제1 및 제2 배선부들(13-1, 13-2) 및 상기 내부 전도성 돌기부들(16-1, 16-2)이 외부의 수분에 의해 부식하는 것을 방지할 수 있다. 이러한 언더필 수지층(17)은 폴리이미드 수지 (polyimide resin), 폴리우레탄 수지(polyurethane resin) 또는 실리콘 수지(silicone resin)를 함유할 수 있다.
- [0024] 도 1d를 참조하면, 상기 제3 배선부(13-3) 상에 외부 전도성 돌기부(18)를 배치하여, 상기 외부 전도성 돌기부(18)를 상기 제3 배선부(13-3)에 전기적으로 접속시킨다.
- [0025] 상기 외부 전도성 돌기부(18)를 배치하기 전 또는 후에 상기 상부 반도체 칩(15-1) 및 상기 주변부(10e) 상에 패시베이션층(19)을 형성할 수 있다. 상기 패시베이션층(19)은 상기 상부 반도체 칩(15-1)이 외부로 노출되지 않도록 보호하는 역할을 하며, 에폭시 수지층일 수 있다.
- [0026] 도 1e를 참조하면, 상기 그루브(10a)가 형성된 영역을 절단하여 단위 반도체 패키지 영역들을 분리한다. 그 결과, 반도체 패키지들(Pu)이 완성된다.
- [0027] 도 3a 내지 도 3d는 본 발명의 다른 실시예에 따른 반도체 패키지 제조방법을 순차적으로 나타낸 단면도들이다. 본 실시예에 따른 반도체 패키지 제조방법은 후술하는 것을 제외하고는 도 1a 내지 도 1e를 참조하여 설명한 반도체 패키지 제조방법과 유사하다.
- [0028] 도 3a를 참조하면, 그루브(30a)에 의해 정의된 다수 개의 단위 패키지 영역들을 구비하는 수지 기관(30)을 제공한다. 상기 수지 기관(30)은 상기 각 단위 패키지 영역에 형성된 제1 리세스부(30b1), 상기 제1 리세스부(30b1)에 의해 정의된 주변부(30e), 및 제2 리세스부(30b2)를 구비할 수 있다. 그러나, 상기 제2 리세스부(30b2)는 생략될 수도 있다.
- [0029] 상기 수지 기관(30) 상에 절연 버퍼층(31)을 형성할 수 있다. 상기 절연 버퍼층(31)은 상기 제1 리세스부(30b1)의 바닥면과 측면, 상기 제2 리세스부(30b2)의 바닥면과 측면, 및 상기 주변부(30e)를 덮을 수 있다. 상기 절연 버퍼층(31)을 형성하지 않는 경우, 상기 수지 기관(30)의 상부면을 표면 처리할 수 있다.
- [0030] 그 후, 상기 주변부(30e)의 수지 기관(30)을 관통하는 관통홀(30c)을 형성할 수 있다. 상기 관통홀(30c)을 형성하는 것은 포토리소그래피법 또는 레이저 드릴법(laser drill method)을 사용하여 형성할 수 있다.
- [0031] 도 3b를 참조하면, 상기 관통홀(30c) 내에 도전물질을 매립하여, 상기 관통홀(30c)을 채우는 관통전극(32)을 형성한다. 상기 관통전극(32)은 상기 수지 기관(30)의 하부면 상에 노출된다. 상기 도전물질은 구리, 니켈, 또는 금을 함유할 수 있으며, 상기 관통홀(30c) 내에 도전물질을 매립하는 것은 전해 도금 기술, 무전해 도금 기

술 또는 잉크젯 기술을 사용하여 수행할 수 있다.

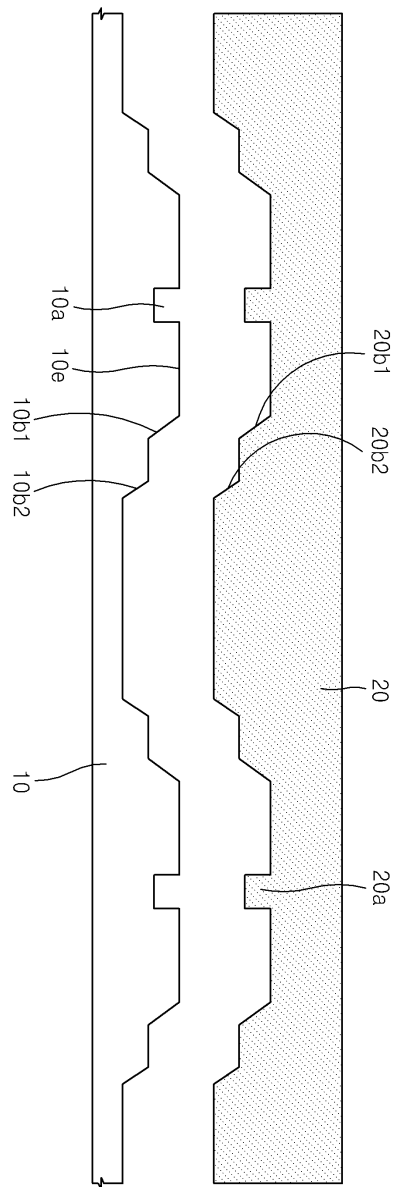
- [0032] 이 후, 상기 수지 기관(30) 상에 배선(33)을 형성할 수 있다. 상기 배선(33)은 상기 제1 리세스부(30b1)의 바닥면에 위치한 제1 배선부(33-1), 상기 제2 리세스부(30b2)의 바닥면에 위치한 제2 배선부(33-2) 및 상기 주변부(30e) 상에 위치하여 상기 관통전극(32)에 접속하는 제3 배선부(33-3)를 구비할 수 있다.
- [0033] 상기 배선(33) 상에 층간 절연층(34)을 형성할 수 있다. 상기 층간 절연층(34) 내에 상기 제1 및 제2 배선부들(33-1, 33-2)의 일부들을 각각 노출시키는 콘택홀들을 형성할 수 있다.
- [0034] 도 3c를 참조하면, 상기 제2 리세스부(30b2) 내에 하부 반도체 칩(35-2)을 배치한다. 상기 하부 반도체 칩(35-2)은 그의 하부면에 위치하는 내부 전도성 돌기부(36-2)를 통해 상기 제2 배선부(33-2)에 접속할 수 있다. 상기 제1 리세스부(30b1) 내에 상부 반도체 칩(35-1)을 배치한다. 상기 상부 반도체 칩(35-1)은 그의 하부면에 위치하는 내부 전도성 돌기부(36-1)를 통해 상기 제1 배선부(33-1)에 접속할 수 있다.
- [0035] 상기 층간 절연층(34)이 형성된 경우, 상기 내부 전도성 돌기부들(36-1, 36-2)은 상기 콘택홀들 내에 노출된 제1 및 제2 배선부들(33-1, 33-2)에 각각 접속할 수 있다.
- [0036] 그 후, 상기 제1 및 제2 리세스부들(30b1, 30b2)을 채우는 언더필 수지층(37)을 형성할 수 있다. 상기 상부 반도체 칩(35-1) 및 상기 주변부(30e) 상에 패시베이션층(39)을 형성할 수 있다. 상기 수지 기관(30)의 하부면 상에 노출된 상기 관통전극(32)에 접속하는 외부 전도성 돌기부(38)를 배치한다.
- [0037] 도 3d를 참조하면, 상기 그루브(30a)가 형성된 영역을 절단하여 단위 반도체 패키지 영역들을 분리한다. 그 결과, 반도체 패키지들(Pu)이 완성된다.
- [0038] 도 4는 본 발명의 일 실시예에 따른 적층형 반도체 패키지를 나타낸 단면도이다.
- [0039] 도 4를 참조하면, 제1, 제2 및 제3 단위 반도체 패키지들(P1, P2, P3)을 차례로 적층하여 적층형 반도체 패키지(SP)를 제조한다. 그러나, 상기 단위 반도체 패키지들(P1, P2, P3)의 개수는 이에 한정되지 않는다.
- [0040] 상기 단위 반도체 패키지들(P1, P2, P3) 중 최상부에 위치한 제3 단위 반도체 패키지(P3)는 도 3d를 참조하여 설명한 반도체 패키지와 실질적으로 동일하다. 한편, 제2 단위 반도체 패키지(P2)는 도 3d를 참조하여 설명한 반도체 패키지에서 패시베이션층(39)이 생략되었으며, 배선부(33-3) 상에 형성된 층간 절연층(34)은 상기 배선부(33-3)을 노출시키는 콘택홀을 구비한다. 상기 콘택홀 내에 노출된 배선부(33-3) 상에 상기 제3 단위 반도체 패키지(P3)의 외부 전도성 돌기부(38)이 접속된다. 상기 제1 단위 반도체 패키지(P1)은 상기 제2 단위 반도체 패키지(P2)와 실질적으로 동일하다.
- [0041] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

도면의 간단한 설명

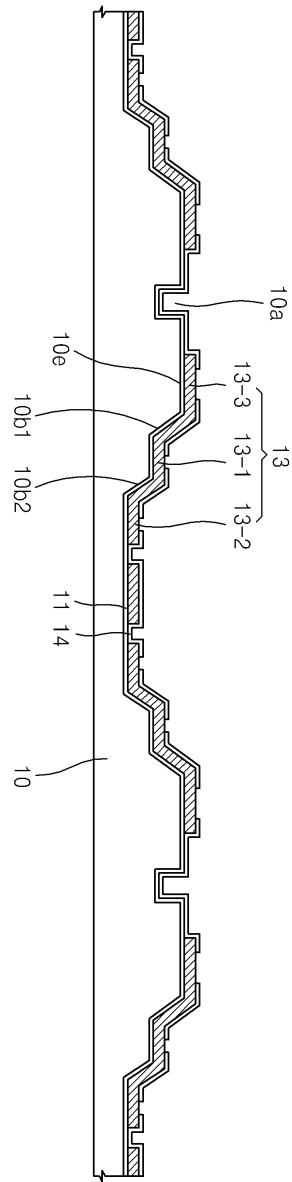
- [0042] 도 1a 내지 도 1e는 본 발명의 일 실시예에 따른 반도체 패키지의 제조방법을 순차적으로 나타낸 단면도들이다.
- [0043] 도 2는 도 1a에 도시된 수지 기관의 상부면을 나타낸 평면도이다.
- [0044] 도 3a 내지 도 3d는 본 발명의 다른 실시예에 따른 반도체 패키지 제조방법을 순차적으로 나타낸 단면도들이다.
- [0045] 도 4는 본 발명의 일 실시예에 따른 적층형 반도체 패키지를 나타낸 단면도이다.

도면

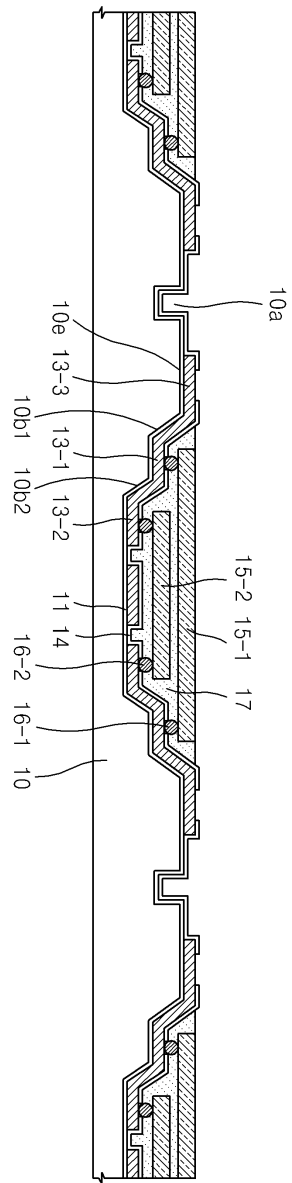
도면1a



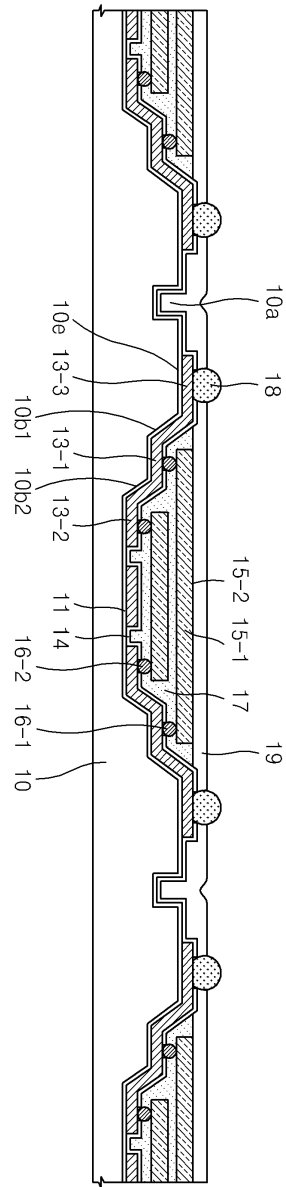
도면1b



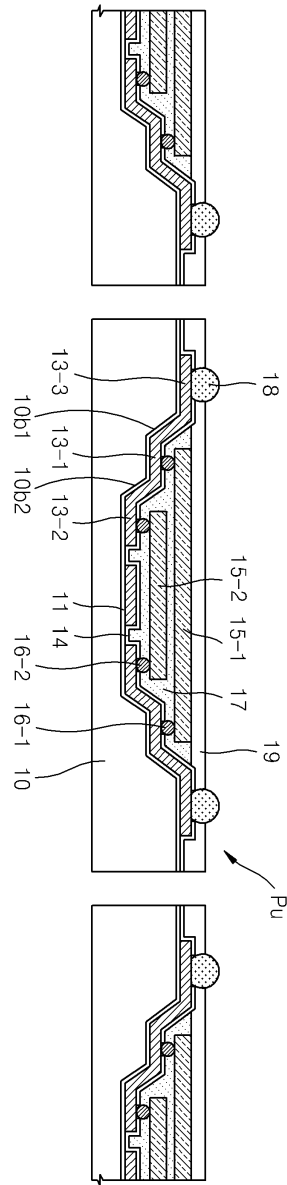
도면1c



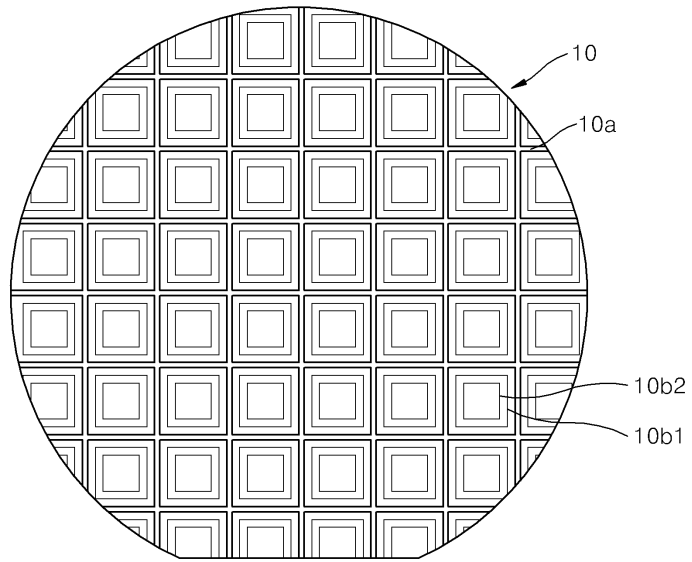
도면1d



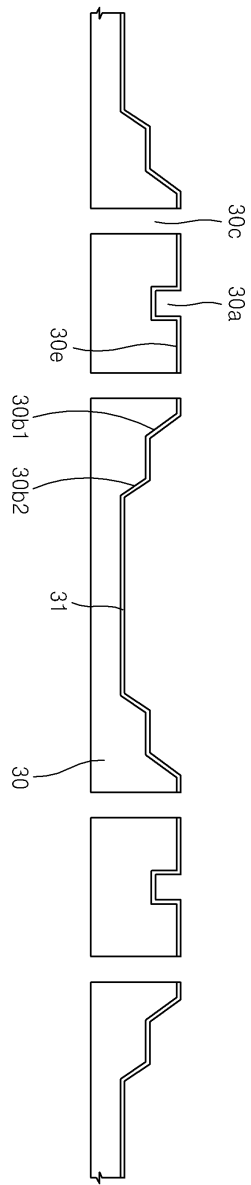
도면1e



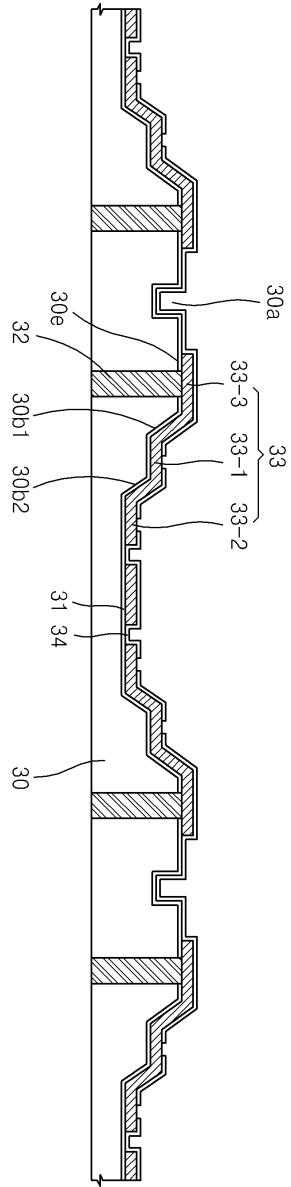
도면2



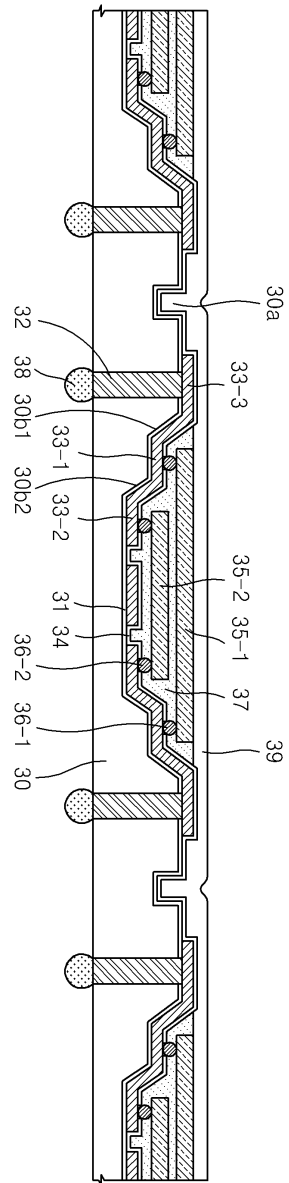
도면3a



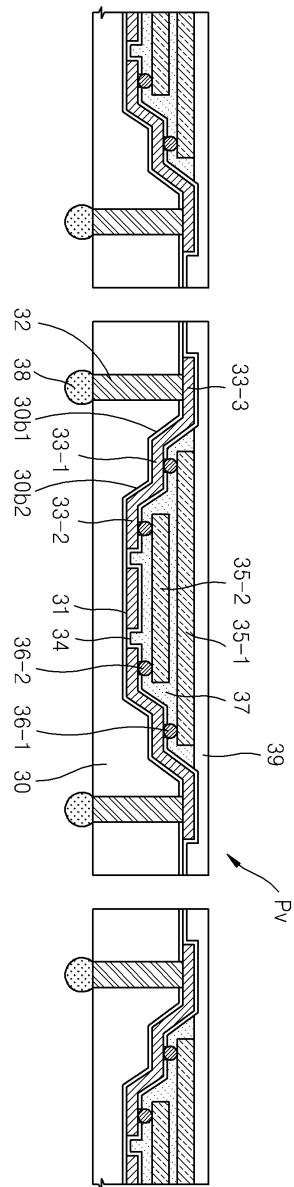
도면3b



도면3c



도면3d



도면4

