

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96117620

※申請日期：96.5.17

※IPC 分類：C30B 33/00 (2006.01)

一、發明名稱：(中文/英文)

C30B 33/10 (2006.01)

處理半導體晶圓之方法及設備 /

H01L 21/306 (2006.01)

VERFAHREN UND VORRICHTUNG ZUR BEHANDLUNG

EINER HALBLEITERSCHEIBE

二、申請人：(共1人)

姓名或名稱：(中文/英文)

世創電子材料公司 / SILTRONIC AG

代表人：(中文/英文)

1. 湯馬士 雷納 / RENNER, THOMAS

2. 渥夫甘 史陶達卻 / STAUDACHER, WOLFGANG

住居所或營業所地址：(中文/英文)

德國慕尼黑市 81737 漢斯-西德爾廣場 4 號 /

HANNS-SEIDEL-PLATZ 4, 81737 MÜNCHEN, GERMANY

國籍：(中文/英文) 德國 / GERMANY

三、發明人：(共3人)

姓名：(中文/英文)

1. 布萊恩 莫菲 / MURPHY, BRIAN

2. 迪雅歌 費胡 / FEIJÓO, DIEGO

3. 雷恩侯德 瓦利克 / WAHLICH, REINHOLD

國籍：(中文/英文)

1. 愛爾蘭 / IRELAND

2. 西班牙 / SPAIN

3. 德國 / GERMANY

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

德國 2006 年 5 月 18 日 10 2006 023 497.9

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

方毫米(mm^2)之面積。

另一個平面度參數是所謂之奈米形貌，其定義為在預定表面元件（例如 2×2 平方毫米）中峰至谷之偏差。該奈米形貌是使用諸如 ADE CR 83 SQM、ADE PhaseShift Nanomapper 或 KLA Tencor SNT 之測量單元進行量測。

半導體晶圓之邊緣區域內之平面度決定性地受所謂“邊緣下降現象 (Edge Roll off)”影響。“A New Method for the Precise Measurement of Wafer Roll off of Silicon Polished Wafer”，Jpn. J. Appl. Phys., 第 38 卷 (1999)，38-39 頁，描述了“晶圓下降現象” (= 邊緣下降現象) 之測量。該邊緣下降現象可以發生於半導體晶圓之正面和背面，其明顯地影響位於晶圓邊緣處之表面元件之 SFQR 值。邊緣下降現象尤其是在半導體晶圓之情況下進行干擾，該半導體晶圓例如用於製造 SOI 晶圓並與其他半導體晶圓相連接 (粘結)，因為相互連接之晶圓表面之邊緣下降現象對晶圓邊緣處之粘結品質有重要影響。

現在，用作製造微電子元件之基底之半導體晶圓通常按照以下常規加工順序製造：鋸、研磨和 / 或磨光、濕化學蝕刻、材料去除拋光和最終拋光 (包含“鏡面拋光”)。這表明該加工順序不能確保持續降低線寬度所需之平面度。

在 EP 798 766 A1 中，於常規加工順序中於材料去除拋光和最終拋光間插入依據 PACE 法 (“等離子輔助化學蝕刻 plasma assisted chemical etching”) 之氣相蝕刻步驟和隨後之熱處理，以改善半導體晶圓之平面度。於直徑 200 毫米之矽晶圓上加工，該加工順序能夠產生 0.2 至 0.3 微米(μm)的 GBIR 結果。該文獻沒有提供任何局部平面度之資料。此外，亦未說明用於測量平面度之邊緣排除區域之尺寸。

EP 961 314 A1 揭露一種類似方法，其中在鋸、磨光、PACE 和最終拋光之後，達到最佳 0.14 微米之 GBIR 值和最佳 0.07 微

米之 SFQRmax 值。

EP 961 314 A1 中建議之 PACE 法將導致經拋光晶圓之粗糙度變差，這可以經由於 PACE 之前立即實施額外之疏水化步驟以部分地減輕。PACE 必須在真空中實施，這使得該方法在設備技術方面較複雜。此外，如 EP 1 100 117 A2 所述，用於蝕刻之氣體之分解產物亦污染該半導體晶圓，這導致需要額外之清潔步驟。此外，該方法不是在整個表面上，而是利用掃描該半導體晶圓來實施。這一方面非常消耗時間，另一方面導致有關掃描重疊區域中奈米形貌之問題以及有關半導體晶圓中直至晶圓邊緣約 5 毫米(mm)距離之週邊區域內之平面度 (SFQRmax 及邊緣下降) 之問題。一個可能原因是由於在真空中實施而在半導體晶圓邊緣處發生增強之吸氣作用，以及由此引起減少蝕刻介質。掃描中所需之重疊在重疊位置處特別使奈米形貌變差。用於供應蝕刻介質之噴嘴之直徑越大，則該變差之情況越明顯。但出於經濟上之原因，不能任意地選擇小之噴嘴直徑。

因此，現有技術中已知之方法無法滿足等於或小於 65 奈米 (nm) 線寬度之元件之幾何要求，即 SFQRmax 值最高為 65 奈米 (nm)。在此情況下，最嚴重之問題發生在半導體晶圓之邊緣區域內，這是因為當前為 3 毫米(mm) 之邊緣排除區域 (線寬度為 90 奈米(nm) 之情況下) 在將來線寬度為 65 奈米(nm) 或更小時減小至 2 毫米(mm) 或 1 毫米(mm)，並且在評估平面度時考慮了部分位元點。

在所謂之 SOI 晶圓之情況下出現了額外之問題。這些半導體晶圓具有位於載體晶圓 (基礎晶圓或處理晶圓) 表面上之半導體層。該半導體層之厚度根據待加工之元件變化。通常，區分所謂之“薄層” (厚度小於 100 奈米(nm)) 與所謂之“厚層” (厚度為 100 奈米(nm) 至約 80 微米(μm))。載體晶圓完全由電絕緣材料 (例如玻璃、石英、藍寶石) 組成，或者例如可由半導體材料，較佳者係由矽組成，並且僅利用電絕緣層與半導體層分離。該電絕緣層例如可由氧化矽組成。

SOI 晶圓對於製造微電子元件非常重要。SOI 晶圓之半導體層直至最外部之邊緣區域都必須具有非常均勻之厚度。特別是在半導體層厚度為 100 奈米(nm)或更小時，諸如閾值電壓之電晶體特性在層厚度不均勻時變化非常顯著。具有薄半導體層和厚半導體層之 SOI 晶圓之絕對厚度公差取決於層厚度。用於測量層厚度之方法較佳者係為橢圓偏光光譜法、反射光譜法或干涉光譜法。

此外，為了能夠集成盡可能多之數量之電路，所需層厚度均勻性必須確保盡可能接近於正面之邊緣。這還意味著非常小之邊緣排除區域。

為了改善層厚度均勻性目的之 SOI 晶圓之後處理方法亦為已知。在此情況下通常是包含掃描 SOI 晶圓之局部蝕刻法，在具有更大層厚度之位置上更多地蝕刻去除材料：按照 US 2004/0063329 A1，於乾蝕刻法中利用噴嘴對 SOI 晶圓之表面進行掃描，經該噴嘴局部通入氣體蝕刻介質。EP 488 642 A2 和 EP 511 777 A1 描述了如下方法：其中 SOI 晶圓之半導體層之整個表面暴露在蝕刻介質下。然而，該蝕刻介質必須以掃描表面（光化學蝕刻）之方式利用激光束或光源利用光學系統聚焦之光束進行局部活化。

必須掃描半導體層表面以得到局部不同蝕刻去除量之所有方法都非常耗時，並因此使成本昂貴。此外，掃描一方面需要光源或噴嘴之複雜運動，或另一方面需要 SOI 晶圓之複雜運動。

此外，額外之層厚度不均勻性特別地發生在晶圓之邊緣區域內，即距離晶圓邊緣最大 5 毫米(mm)之區域內以及在掃描過程中發生重疊之區域內。在層厚度為 520 奈米(nm)時，按照 EP 488 642 A2，達到 10 奈米(nm)之層厚度均勻性，但沒有任何關於邊緣排除區域之資料。根據 EP 511 777 A1，在層厚度為 108 奈米(nm)時，可以達到 8 奈米(nm)之層厚度均勻性，但沒有任何關於邊緣排除區域之資料。

因此，儘管存在複雜之方法，但是仍然無法達到要求之層厚

式除去不同量之材料。利用局部不同之光強度而實現校正所需之局部不同之氧化速率。利用預先測定之參數之局部數值確定光強度之局部分佈。於步驟 a) 中測量應於根據本發明之方法中最佳化之參數。由此得到之測量值用於控制局部光強度。

根據本發明之方法可以應用於所有半導體晶圓，例如包含鍺，較佳者係包含矽-鍺或碳化矽。特別較佳者係應用於矽。如上所述，若要改善此類半導體晶圓之正面平面度，則相對於特定理想平面之高度偏差適合作為該方法之步驟 a) 中測得之參數。該高度偏差可以利用常規之幾何測量裝置加以測定。

若欲最佳化半導體晶圓之整體平面度 (GBIR)，則於步驟 a) 中測定相對於由晶圓背面定義之理想平面之晶圓正面之偏差，並於步驟 b) 中控制局部光強度，從而於局部較高處得到高氧化速率，而在局部凹陷位置得到低氧化速率。

相反地，若欲最佳化半導體晶圓之局部平面度 (SFQR)，則應在步驟 a) 中測定相對於參照例如尺寸為 26×8 平方毫米 (mm^2) 之特定測量窗之理想平面之晶圓正面之偏差，並於步驟 b) 中控制局部光強度，從而在局部較高處得到高氧化速率，而在局部凹陷位置得到低氧化速率。

根據本發明之方法還可應用於 SOI 晶圓，其中 SOI 晶圓之半導體層可包含例如鍺。較佳者係應用於包含矽-鍺或碳化矽之半導體層；特佳者係應用於矽。若要改善該半導體層之層厚度均勻性，則在本發明方法之步驟 a) 中測量所述的層厚度。半導體層之厚度可以與位置相依之方式，例如利用橢圓偏振計、干涉計或反射計進行測量。後續步驟 b) 中，控制局部光強度，從而於層厚度大之位置上實現高氧化速率，而於層厚度小位置上實現低氧化速率。

所需之材料去除量是根據步驟 a) 中對半導體晶圓表面上每個點之測量而確定。氧化處理所需之時間和半導體晶圓表面上每個點所需之光強度兩者均是由氧化速率計算所得，該氧化速率與光

強度有關，且係針對相關之半導體材料決定需使用之蝕刻介質，亦決定材料之去除量。

測量點之數量和位置通常取決於所期望之解析度。最大可能之測量點數量取決於測量探針之尺寸。例如，在測量裝置 ADE 9500（直徑為 200 毫米(mm)之半導體晶圓）和 ADE AFS（直徑為 300 毫米(mm)之半導體晶圓）之情況下，測量探針之尺寸為 2×2 平方毫米(mm^2)。

隨後，由測量值計算出所需之局部光強度。下面根據幾何資料，即為了最佳化 GBIR 或 SFQR，描述一種合適之方法，但該方法經過必要之修改也可應用於 SOI 晶圓情況下之半導體層奈米形貌資料或層厚度。

幾何測量裝置利用尺寸為 $A \times A$ （通常為 4×4 平方毫米(mm^2)或 2×2 平方毫米(mm^2)) 之測量探針，測量直徑為 D 之半導體晶圓之厚度 t 之完整圖。在此情況下，厚度 t 嚴格地說是相對於由半導體晶圓背面定義之理想平面之高度偏差。這些資料可以作為原始資料從幾何測量裝置輸送至電腦。若現在利用半導體晶圓之中心設置笛卡爾座標系 (Cartesian coordinates)，則對於每個點 x, y 存在厚度值 $t(x, y)$ ：在此情況下， x 和 y 在測量窗 (measurement window) 尺寸之柵格 (grid) 中變化，這意味著將 $t(x, y)$ 可被理解為厚度在由 $x - A/2$ 至 $x + A/2$ 及 $y - A/2$ 至 $y + A/2$ 確定之長方形上之平均值。曝光裝置具有 $B \times B$ 像素(pixels)之解析度，例如 1024×1024 。藉由於尺寸為 $B \times B$ 之電腦內部矩陣將來自原始之厚度矩陣之對應數值指定為各個矩陣元素 $M(a, b)$ ：

$$M(a, b) = t(|-D/2 + a \times D/B|, |-D/2 + b \times D/B|) \quad (1)$$

在此情況下， $| \quad |$ 符號表示絕對值。可以使用絕對值是因為曝光裝置之解析度通常大於原始厚度資料之解析度。在與此相反之情況下，可以簡單地進行原始資料之幾何平均。

利用該轉化，使資料平滑。以平均半徑 R 作為控制參數。座

標為 i,j 之像素指定為在圍繞點 i,j 之半徑 R 之圓中之所有像素之平均值。當滿足下列條件時，點 x,y 精確地落在圍繞點 i,j 之圓中：

$$(i-x) \times (i-x) + (j-y) \times (j-y) \leq R \times R \quad (2)$$

由所有滿足上述條件之 $M(x,y)$ 之平均值計算出新數值：

$$M_{\text{smooth}}(i,j) = \text{平均值}(M(x_1,y_1), M(x_2,y_2), M(x_3,y_3), \dots, M(x_n,y_n)) \quad (3)$$

基於原始之座標系， R 通常在 0.1 公分(cm)至 2 公分(cm)之間，並用作調節參數。

然而，除了該幾何平滑以外，還可進行 EDP 中常用於平滑之所有其他標準方法。

矩陣 M_{smooth} 之最大值 Max_M 和最小值 Min_M 產生用於曝光半導體晶圓之灰度矩陣：

$$\text{像素(pixels)}_{i,j} \text{ 之透明度分量} = (M_{\text{smooth}}(i,j) - \text{Min}_M) \times (\text{Max}_M - \text{Min}_M) \times 100\% \quad (4)$$

$$\text{像素(pixels)}_{i,j} \text{ 之黑色分量} = 100\% - (M_{\text{smooth}}(i,j) - \text{Min}_M) \times (\text{Max}_M - \text{Min}_M) \times 100\% \quad (5)$$

利用該算式來表示半導體晶圓特別厚之位置是透明的，從而對這些位置以高光強度曝光。相反地，最薄位置用黑色表示，因此不進行曝光或僅以低光強度曝光。

本發明利用了特定氧化反應之速率與入射光線之強度和波長之關係。這在下面矽實施例中具體地進行描述。然而，本發明還可應用於其他半導體材料。

矽之熱氧化速率基本上利用如下步驟加以確定：1) 形成反應性氧化物質，2) 該物質以生長進行矽晶圓中之方式從晶圓表面擴散至矽與氧化矽之間之介面，及 3) 於該介面處形成氧化矽。已知利用射入具有適當波長之光線可以加快這些反應步驟中之一個或多個以及氧化反應之速率。

Young 等人和 Kazor 等人描述了光強度和波長之影響以及基本之氧化模型(Young 等人, Applied Physic Letters(50(2)(1987), 80 頁; Kazor 等人, Applied Surface Science 54 (1992), 460-464 頁)。

步驟 b) 中所用之氧化劑較佳者係為氣態。一種特佳者係之氧化劑是氧氣 (O_2)。諸如一氧化二氮 (N_2O) 之氮氧化物亦是合適。該氣氛可以額外地含有其他之諸如氫氣 (H_2) 或氯氣 (Cl_2) 之反應性氣體以及諸如氮氣 (N_2) 或惰性氣體之非反應性氣體。其還可含有水蒸氣 (H_2O)，在此情況下稱作濕氧化。氧化還可在例如空氣中進行。

若氧化劑是氧氣，則波長小於 250 奈米(nm)之 UV 光曝光將導致氧氧鍵斷裂，從而產成反應性非常高之單原子氧 (O) 和臭氧 (O_3)。隨著波長減小該效果增強，因此若使用氧氣作為氧化劑，則較佳者係使用波長小於 200 奈米(nm)之光線。單原子氧 (O) 和臭氧 (O_3) 是比分子氧 (O_2) 明顯更強之氧化劑。因此，可以利用在上述波長範圍內之 UV 光之曝光以顯著加速氧化速率。Boyd 等人描述了該影響 (Boyd 等人, Nuclear Instruments and Methods in Physic Research B 121 (1997), 349-356 頁)。

臭氧和單原子氧具有非常短暫之壽命，隨著溫度之升高其壽命進一步縮短。步驟 b) 中之氧化處理較佳者係在攝氏 100 至 1100 度($^{\circ}C$)，更較佳者係攝氏 300 至 500 度($^{\circ}C$)之溫度下進行。在該溫度下，該反應性氧物質之壽命係短至使其於產生後不會發生明顯之擴散。

利用 UV 光之與位置相依強度，可以在不同之位置產生不同量之該反應性氧物質。因為該物質之擴散實際上不發揮作用，所以由此得到該物質與位置相依之不同濃度，因而得到與位置相依之氧化速率。

即使使用波長更長之光線，利用對氧化反應之步驟 2) 和 3)

之影響仍然可以得到氧化速率之位置相依性。然而，利用小於 250 奈米(nm)，尤其是小於 200 奈米(nm)之波長和對氧化反應之步驟 1) 之影響可以獲得最大之效果。

對於選擇適合於實施本發明之光源而言，吸收之光譜相關性是重要的。例如弧光燈之特徵在於寬光譜和高強度，其可良好地用於曝光整個半導體晶圓。使用合適之濾光片（高通 (high-pass)、低通 (low-pass)）可調節合適之波長範圍。但基本上可使用適合於實現上述效果之光線之所有光源。例如低壓汞燈或鈉蒸氣燈、氬氣燈、准分子燈、鐳射或 LED 也是合適。若欲使用氧氣作為氧化劑時，利用與位置相依之曝光主要影響反應性氧物質（如上所述）之產生，則較佳者係為發射一部分波長小於 250 奈米(nm)或者甚至小於 200 奈米(nm)光線之光源，例如氬氣燈、準分子燈或低壓汞燈。

有數種實現根據本發明方法之步驟 b) 中之曝光的可能性，該曝光係以位置相關之方式而有所差異：

例如可以使用具有單一光源之曝光裝置，曝光之位置相依性是利用具有與位置相依之透射率之濾光片或利用具有與位置相依之反應率之鏡子實現。計算灰度值之矩陣可以利用曝光裝置藉由合適之光學排列清晰地投射在半導體晶圓之表面上，從而用於控制局部光強度。若在光源和半導體晶圓間不存在具有與位置相依之透射率之濾光片或具有與位置相依之反射率之鏡子，則較佳者係以如下方式設置該光學排列：盡可能均勻地曝光在待處理之半導體晶圓之整個表面上，即較佳者係偏差小於 $\pm 10\%$ 。選擇性地，由光源或光學排列引起之曝光不均勻性可以在用於計算灰度值之算式中加以考慮，並以此方式進行補償。

在本發明之一個實施方式中，步驟 a) 中得到之半導體晶圓之測量值用於製造精確地配合該半導體晶圓之濾光片，其隨後用於曝光該半導體晶圓。濾光片之灰度值可以利用上述算式進行計

算。濾光片本身可以不同之方式製得，例如利用在印刷法中製造過濾薄膜。將用於曝光半導體晶圓而製得之濾光片以合適之方式及正確之取向設置在光源與半導體晶圓之間，從而使濾光片精確地投影在半導體晶圓上。

或者，還可使用 LCD 濾光片，其中透射率可以利用施加電壓而以位置相依之方式改變。

但原則上可以實現約 1 至 100% 之透射率且可以實現合適之局部解析度之所有類型濾光片都是合適的。

除了具有局部不同之光透射率之濾光片以外，還可使用相應製造而具有局部不同之反射率之鏡子。

在各種情況下僅可用於半導體晶圓之濾光片或鏡子之製造是非常複雜的。因此，特佳者係如波長大於 250 奈米(nm)之下列本發明之實施方案：借助於控制單元，較佳者係電腦，由步驟 a) 中測得之參數之位置相依值計算灰度圖。為此可以使用上述算式。步驟 b) 中半導體晶圓之曝光是利用將該灰度圖之圖像投影到半導體晶圓之表面上之投影裝置進行。在此情況下，曝光裝置是可將該灰度圖之圖像直接投影到半導體晶圓上而無需使用固定之濾光片或鏡子之投影裝置。該投影裝置較佳者係按照資料投影儀或視頻投影儀(所謂“光束器(Beamer)”)之原理工作。在此情況下，由可驅動之鏡子晶片(mirror chip)(在尺寸為幾個平方釐米之晶片上具有數十萬個微小鏡子之矩陣)使來自投影燈之光線轉向。此類目前可商購之投影裝置例如可以 1024 × 768 像素(pixels)之解析度控制 0 至 100% 範圍內之光線透射率。這使得在待處理之直徑 300 毫米(mm)半導體晶圓之表面上產生約為每平方毫米 6.5 點(點/mm²)之密度。

對於更短之波長，特別是小於 250 奈米(nm)之波長，更加難以發現合適之鏡子材料(material for mirrors)。在此情況下，利用許多彼此相鄰排列光源之陣列產生光強度之局部差別是特別有

利，其中該光源直接地或者利用額外之濾光片曝光半導體晶圓。單獨地或者成組地控制光源，從而使作用在半導體晶圓之表面上之各個位置上之光強度與步驟 a) 中所測參數之與位置相依值具有確定之關係。光源之陣列還可在波長更長之情況下，即波長大於 250 奈米(nm)之情況下使用。

在各個所述之實施方案中選擇光源，使得氧化速率所期望之局部差別足以在半導體材料與氧化物之間產生非常平之介面。氧化速率取決於溫度、波長、光強度以及氧化劑之種類和濃度。

氧化劑或氣氛之組成係經由與所用之光波長範圍相結合並取決於半導體材料而加以選擇，使得氧化速率與光強度和波長之間具有足夠強之相關性。Kazor 等人 (Applied Surface Science 54 (1992), 460-464 頁) 和 Ishikawa 等人 (Jpn. J. Appl. Phys. 30 (1991) L661) 描述了典型之低溫 (低於攝氏 550 度(°C)) 之氧化條件。Young 等人 (Applied Physics Letters 50(2) (1987), 12 頁) 描述了氧化速率與波長之關係。

氧化處理之合適參數集合可以利用預先之試驗加以確定 (Kazor 等人, Applied Surface Science 54(1992), 460-464 頁; Boyd 等人, Nuclear Instruments and Methods in Physics Research B 121(1997), 349-356 頁)。

在本發明方法之範疇內，為了與位置相關地使矽氧化，例如氧氣乃適合作為氧化劑。其較佳者係以每分鐘 100 至 1000 立方公分 ($\text{cm}^3/\text{分鐘}$)，更較佳者係每分鐘 150 至 600 立方公分 ($\text{cm}^3/\text{分鐘}$) 之流速通入氧化室中。較佳者係之壓力範圍取決於光波長。在波長為 185 奈米(nm)或更大時，可以在大氣壓下或低壓下工作。在波長更短時，因為氧氣提高了吸收率，所以較佳者係為低壓，更較佳者係小於 100 百帕 (hPa)。在 UV 曝光下由氧分子產生之臭氧壽命在低壓下更長；另一方面，由於更短之壽命，臭氧濃度之位置相依性在大氣壓下更容易確定。因此，可以調整具體

之條件以適應目標。

取決於氧化處理之其他參數，選擇入射光線之強度，從而達到所期望之氧化速率。可以是每平方公分 0 瓦 (W/cm^2) 至每平方公分 10 瓦 (W/cm^2) 之（鐳射）之局部強度，較佳者係為每平方公分 0 瓦 (W/cm^2) 至每平方公分 100 瓦 (W/cm^2)，更較佳者係為每平方公分 0 瓦 (W/cm^2) 至每平方公分 30 瓦 (W/cm^2)。用於使矽氧化之較佳者之光源是在 185 至 254 奈米(nm)之波長下發射之低壓汞燈。

為了達到足夠之氧化速率，在氧化處理中較佳者係為攝氏 300 至 500 度($^{\circ}C$)之溫度。在該溫度下，取決於光強度，每小時之氧化速率可能是 2 至 6 奈米(nm)。為了達到通常所需之氧化物層厚度，需要約 1 至 4 小時之處理時間。

為了進一步提高氧化速率，還可採用攝氏 500 度($^{\circ}C$)至 1100 度($^{\circ}C$)範圍內之更高溫度 (Oren 等人, *Journal of Applied Physics* 42(2) (1971), 752-756 頁; Young 等人, *Applied Physics Letters*, 50(2) (1987), 80 頁)。

可能發生氧化劑流動不均勻，導致半導體晶圓之邊緣處之材料去除量產生偏差，但這可以利用局部光強度之相應校正進行補償。

隨後在步驟 c) 中除去氧化物層。較佳者係在步驟 c) 中完全除去氧化物層。較佳者係利用合適之蝕刻法加以實施。蝕刻法可為氣相蝕刻法、濕化學蝕刻法或等離子蝕刻法。較佳者係選擇條件，使得蝕刻法僅侵蝕氧化物，而不是半導體材料本身。若該半導體材料是矽，則這可以利用使用含有氟化氫 (HF) 之水溶液實現。在不存在氧化劑時，氟化氫僅侵蝕氧化矽，而不是矽。

因為氧化反應和氧化物層之去除均是在整個表面上進行之，所以可以避免耗時之表面掃描。因此，可以低成本之方式實施根據本發明之方法。因為可以非常精細地選擇與位置相依之光強度

之等級和空間解析度，所以可以避免根據現有技術進行掃描時產生之重疊效應。

該方法具有如下優點：至半導體晶圓之邊緣進行局部校正，從而至晶圓邊緣均具有所需之品質。特別地，可以在 2 毫米(mm) 或更小之邊緣排除區域及包含部分位元點之情況下達到所要求之平面度或層厚度。

該方法適合於消除 SOI 晶圓之半導體層之不均勻性，以及消除包含邊緣下降現象之半導體晶圓之不均勻性。因此，借助於根據本發明之方法處理之半導體晶圓亦非常適合於與其他半導體晶圓相連接（粘結），因為特別是在邊緣處，粘結品質受 SFQR 值和邊緣下降現象影響。經濟上之巨大優點在於晶圓表面在製造元件方面之更高可用性。基於明顯更高之製造成本，該方法在 SOI 晶圓之情況下具有特別顯著之效果。

在 SOI 晶圓之情況下，根據本發明之方法通常僅在正面（= 載有半導體層之面）上實施，而在半導體晶圓不含層結構時，較佳者係在正面上實施根據本發明之方法。若邊緣下降現象也在背面上減少，則該方法還必須應用於背面。在此情況下，該方法可以依次應用於正面和背面，或者同時應用於兩面：

較佳者係在根據本發明之方法之後不進行拋光，從而不再次降低平面度或層厚度均勻性。特別是在 SOI 晶圓具有小於 1 微米 (μm) 之矽層厚度時，不應實施拋光。若需要用於降低表面粗糙度之後續拋光，則應盡可能少利用拋光去除材料，以保持表面之平面度或層厚度之均勻性。

在利用將半導體層從供體晶圓轉移至載體晶圓上而製得 SOI 晶圓時，該方法在連接晶圓並將層與剩餘之供體晶圓分離之後實施。在 SOI 晶圓之情況下，根據本發明之方法可與一個或更多個用於平滑表面或用於增強粘結力之熱過程及／或一個或更多個用於使半導體層變薄之氧化處理相結合。

根據本發明之方法能夠製造具有非常平整之表面之半導體晶圓以及具有優異之層厚度均勻性之 SOI 晶圓。

特別地，根據本發明之方法能夠製造如下半導體晶圓：其正面之 GBIR 最大為 0.09 微米(μm)，在邊緣排除區域為 2 毫米(mm)之情況下包含部分位元點時於 26×8 平方毫米(mm^2)之測量窗內之 SFQRmax 最大為 0.05 微米(μm)，正面上之邊緣下降現象最大為 0.2 微米(μm)，其是在距離半導體晶圓邊緣 1 毫米(mm)至 3 毫米(mm)間之範圍內測得。

較佳者係地，根據本發明製得之半導體晶圓之特徵在於：在邊緣排除區域為 2 毫米(mm)之情況下在包含部分位元點時於 26×8 平方毫米(mm^2)之測量窗內之 SFQRmax 最大為 0.03 微米(μm)。

本發明還能夠製造如下之半導體晶圓，其正面之奈米形貌(峰至谷)在邊緣排除區域為 2 毫米(mm)之情況下於 2×2 平方毫米(mm^2)之測量窗內最大為 16 奈米(nm)。

根據本發明製得之非常平整之半導體晶圓，特別是由單晶矽組成之半導體晶圓，適用於半導體工業中，特別適合於製造 65 奈米(nm)或更小線寬之電子元件。其還特別適合作為用於製造粘結之 SOI 晶圓之供體晶圓或載體晶圓，特別是因為即使在非常小之邊緣排除區域僅為 2 毫米(mm)時仍然能夠確保包含邊緣下降現象之平面度。

本發明還能夠製造如下之 SOI 晶圓，其包含半導體層和載體晶圓，其中該半導體層之厚度小於 100 奈米(nm)，而在邊緣排除區域為 2 毫米(mm)之情況下半導體層之平均厚度之相對標準偏差最高為 3%。半導體層厚度之相對標準偏差在下文中還稱作層厚度均勻性。

根據本發明製得之 SOI 晶圓在層厚度最高為 100 奈米(nm)時之特徵在於，較佳者係在邊緣排除區域為 2 毫米(mm)時之層厚度均勻性最高為 1%。

特別較佳者係首先將根據本發明之方法應用在供體晶圓和載體晶圓上，然後將它們彼此相互連接，接著將具有半導體層之載體晶圓與剩餘之供體晶圓分離，隨後對如此製得之 SOI 晶圓再次實施根據本發明之方法，以均勻化半導體層之厚度。如此製得之 SOI 晶圓之特徵在於，除了上述特性之外，GBIR 最大為 0.1 微米(μm)，在邊緣排除區域為 2 毫米(mm)時包含部分位元點之情況下於 26×8 平方毫米(mm^2)之測量窗內之 SFQRmax 最大為 53 奈米(nm)，正面上之邊緣下降現象最大為 0.25 微米(μm)，其是在距離半導體晶圓之邊緣 1 毫米(mm)至 3 毫米(mm)之間之範圍內測得。

因為根據本發明方法還可應用於具有厚半導體層之 SOI 晶圓，所以該方法還能夠製造如下之 SOI 晶圓：其包含半導體層和載體晶圓，其中半導體層厚度在 0.1 微米(μm)至 80 微米(μm)之範圍內，在邊緣排除區域為 2 毫米(mm)時半導體層之平均厚度之相對標準偏差最高為 4%。

較佳者，根據本發明製得之具有厚半導體層之 SOI 晶圓之特徵在於：在邊緣排除區域為 2 毫米(mm)時層厚度均勻性最高為 2%。

如上所述具有薄半導體層之 SOI 晶圓，若利用根據本發明之方法應用於供體晶圓和載體晶圓上並隨後應用於 SOI 晶圓上而製得該 SOI 晶圓，則較佳者係具有厚半導體層之 SOI 晶圓之特徵額外在於：GBIR 最大為 0.11 微米(μm)，在邊緣排除區域為 2 毫米(mm)時包含部分位元點之情況下於 $26 \times 8/6$ 平方毫米(mm^2)之測量窗內之 SFQRmax 最大為 55 奈米(nm)，正面上之邊緣下降現象最大為 0.3 微米(μm)，其是在距離 SOI 晶圓之邊緣 1 毫米(mm)至 3 毫米(mm)之間之範圍內測得之。

此外，根據本發明製得之具有厚或薄之半導體層之 SOI 晶圓較佳者係在邊緣排除區域為 2 毫米(mm)時於 2×2 平方毫米(mm^2)之測量窗內具有最大為 16 奈米(nm)，較佳者係最大為 8 奈米

(nm)，特別較佳者係最大為 2 奈米(nm)之奈米形貌（峰至谷）。

下面描述本發明方法之較佳實施方案，由此可以提高該方法之材料去除量：

在 SOI 晶圓之情況下，期望利用根據本發明之方法改善層厚度之均勻性並且將層厚度減小至特定之目標值。在本發明方法之範疇內，這可以利用均勻地與位置相依地提高步驟 b) 和 c) 中達到之材料去除量而實現。為此，存在更多之可能性：

例如，除步驟 b) 以外，還可以與位置無關之均勻氧化速率實施其他之氧化處理。該其他之氧化處理可以在步驟 b) 之前，在步驟 b) 和 c) 之間或者在步驟 c) 之後實施。在第一種情況下，可以去除具有類似於步驟 c) 之均勻厚度氧化物層，然後在步驟 b) 中開始與位置相依之氧化。在第二種情況下，在步驟 c) 中除去所有產生之氧化物層。在第三種情況下，後續去除具有類似於步驟 c) 之均勻厚度之額外氧化物層。還可以多次重複這些步驟。可以實施額外之氧化處理以提高例如在完全曝光半導體晶圓時之氧化速率。但還可利用將外部產生之臭氧通入氧化室內而提高氧化速率。等離子體之產生也提高氧化速率。

然而，均勻化與薄化之組合也可單獨地利用步驟 b) 和 c) 實施。在此情況下，在計算局部不同之光強度時考慮需要去除材料直至所期望之最終厚度總量。在步驟 b) 中，可以利用一般地提高光強度，利用提高溫度，利用同時通入外部產生之臭氧或者利用等離子體輔助 (plasma assistance) 而均勻地與位置無關地提高氧化速率。利用在氧化室中實施與位置相依之曝光達到所需之氧化速率之位置相依性。

【實施方式】

用於處理半導體晶圓 5 之裝置，尤其適合於實施根據本發明之方法，該裝置包含：

中。

在第 2 圖所示之裝置中，濾光片保護同樣位於該氧化室內之光源 2 不被半導體晶圓產生之熱輻射過度加熱。在第 1 圖所示之排列方式中，光源 2 之過熱還可利用適當選擇面向光源之氧化室 6 上部之材料加以避免。例如可以使用一玻璃，其係對於光源產生之輻射 4（較佳者係為 UV 輻射）是透明且可同時吸收半導體晶圓產生之 IR 輻射 12。光源 2 之過熱可以利用例如空氣或水冷卻光源而加以避免。

半導體晶圓 5 表面上之光強度取決於光源 2 之孔徑角、光源 2 與半導體晶圓 5 之間之距離以及施加在光源上之電壓。光源 2 發射之光線之傳播方向基本上應與半導體晶圓 5 之表面垂直。為了確保足夠之空間解析度，曝光裝置之單獨光源 2 較佳者係具有盡可能小之孔徑角，尤其是在光源 2 與半導體晶圓 5 之間具有更大之距離時。半導體晶圓 5 上之單獨光源 2 之錐形光束之重疊，較佳者係應限制在各個直接相鄰之光源上。為了實現該效果，可以使用合適之透鏡、反射器或光圈。這些額外之光學元件可以單獨地用於各個光源或者用於光源組。孔徑角通常為 0° 至 10° ，而光源與半導體晶圓之間之距離為 1 至 50 公分(cm)。

由單獨光源 2 發射之光強度可以利用施加在光源上之電壓加以控制。取決於幾何邊界條件，如光源與半導體晶圓間之距離或者光源之孔徑角，利用施加在單獨之光源 2 上之電壓加以控制半導體晶圓之表面上之特定位置處所需之光強度。較佳者係單獨地控制各個光源，以在曝光時達到盡可能最高之解析度（清晰度）。但也可一起控制單獨光源組。

在使用根據本發明之如第 1 和 2 圖所示之裝置時，基於本發明方法之步驟 a) 中獲得之測量值計算出之灰度矩陣對應於個光源之功率矩陣。在錐形光束輕微重疊時，單個光源之功率與灰度矩陣中相應點之透明度分量成比例。

控制單元 10 除了可以控制曝光裝置 1 及任選可控制之濾光片 3 (例如 LCD 濾光片) 以外, 還可以控制該裝置之其他功能, 例如利用機器人裝載和卸載半導體晶圓; 或者控制氧化處理之參數, 如溫度 (例如利用加熱裝置 7), 氧化處理時間以及藉用於導入氧化劑之系統 9 控制氧化劑之流速。

用於氧化處理之氧化室 6 可以接收水平或垂直放置之半導體晶圓 5。為了達到均勻之氧化速率 (除了局部不同之光強度以外), 可以移動半導體晶圓 5。例如可以旋轉半導體晶圓 5, 但必須例如利用同時旋轉曝光裝置 1 及任選之濾光片 3 而同時施行。但較佳者係不移動半導體晶圓 5。

此外, 可以使用冷卻裝置使溫度均勻化。因為氧化處理通常在較高之溫度下進行, 所以較佳者係使用加熱裝置 7, 其係利用獨立控制器 8 或者由控制單元 10 加以控制之。

將用於供應氧化劑之系統 9 連接至氧化室 6, 該系統 9 以所需之數量、計量和品質 (任選過濾) 輸送氧化劑。

可使用集成之測量系統 11 就地 (in-suit) 測量氧化物層之厚度, 其中實際之測量資料可以立即輸送至控制單元 10 並進行處理。

實施例

對利用將矽層從供體晶圓轉移至載體晶圓上而製得之直徑為 300 奈米 (nm) 之 SOI 晶圓進行處理。晶圓之厚度為 735 微米 (μm), 矽氧化物層之厚度為 80 奈米, 位於矽氧化物層上矽層之目標厚度為 20 奈米。

在步驟 a) 中, 矽層之厚度是以位置相依方式利用干涉計精確地測量。2000 個測量點之測量和 1 毫米 (mm) 之邊緣排除區域得出 21.9 奈米 (nm) 之平均層厚度, 標準偏差為 0.7 奈米 (nm), 最大層厚度與最小層厚度之差為 2.8 奈米 (nm)。第 3 圖所示為沿著直徑之厚度分佈曲線, 即以單位奈米 (nm) 測量之矽層厚度 t_{SOI} 作為以單

位毫米(mm)測量之徑向位置 r 之函數。將厚度測量值存儲在電腦中，並換算成灰度圖。在此情況下，具有更大層厚度之位置給出灰度圖上更透明之分量，從而在這些位置進行更多之曝光，因此達到更高之除去速率，反之亦然。

隨後在步驟 b) 中進行氧化處理。將利用 RCA 法清洗之 SOI 晶圓引入氧化室內，並在氮氣下加熱至攝氏 500 度($^{\circ}\text{C}$)之加工溫度。在達到加工溫度時，利用切換至大氣壓下之流速為每分鐘 0.5 升之氧氣並打開以局部不同之強度於整個面積上之 UV 曝光而開始加工。使用低壓汞燈陣列作為曝光裝置，其中所用之發射之波長為 185 奈米(nm)。光源至矽層表面之距離為 10 公分(cm)。現在將預先在步驟 a) 中計算出之灰度圖利用光源陣列投影到矽層之表面上，其中燈單獨地根據灰度圖進行控制。以此方式，以局部不同之光強度曝光矽層之表面。矽層表面上之光強度在每平方公分 1 至 30 毫瓦特 (mW/cm^2) 之間以位置相依方式變化。於氧化 60 分鐘後，在最厚位置得到 6.0 奈米(nm)之氧化物層厚度 (對應於 2.88 奈米(nm)被氧化之矽)，而在最薄位置得到 1.8 奈米(nm)之氧化物層厚度 (對應於 0.86 奈米(nm)被氧化之矽)。在氧化結束之後，以氮氣沖洗氧化室，並將晶圓從氧化室取出。隨後利用濕化學蝕刻完全除去氧化物層。為此，使用含有 0.5% 氟化氫 (HF) 並用 20% 氟化銨 (NH_3F) 緩衝之水溶液。用該溶液進行處理不會導致矽層表面之可測粗糙化。

然後，利用以與開始時相同之厚度測量方法測量矽層之與位置相依之厚度。現在平均層厚度為 20.1 奈米(nm)，標準偏差為 0.21 奈米(nm)，而最大層厚度與最小層厚度之差為 0.65 奈米(nm)。第 4 圖中沿著直徑之厚度分佈曲線清楚地顯示出矽層之平滑性。

【圖式簡單說明】

下面參考附圖描述特別適合於實施本發明方法之裝置：

第 1 圖所示為根據本發明之具有多個單獨光源之裝置之結構示意圖。

第 2 圖所示為根據本發明之另一個具有多個單獨光源之裝置之結構示意圖。

第 3 圖所示為根據現有技術製得之 SOI 晶圓矽層之徑向厚度分佈圖。

第 4 圖所示為根據本發明實施後之 SOI 晶圓矽層之徑向厚度分佈圖。

【主要元件符號說明】

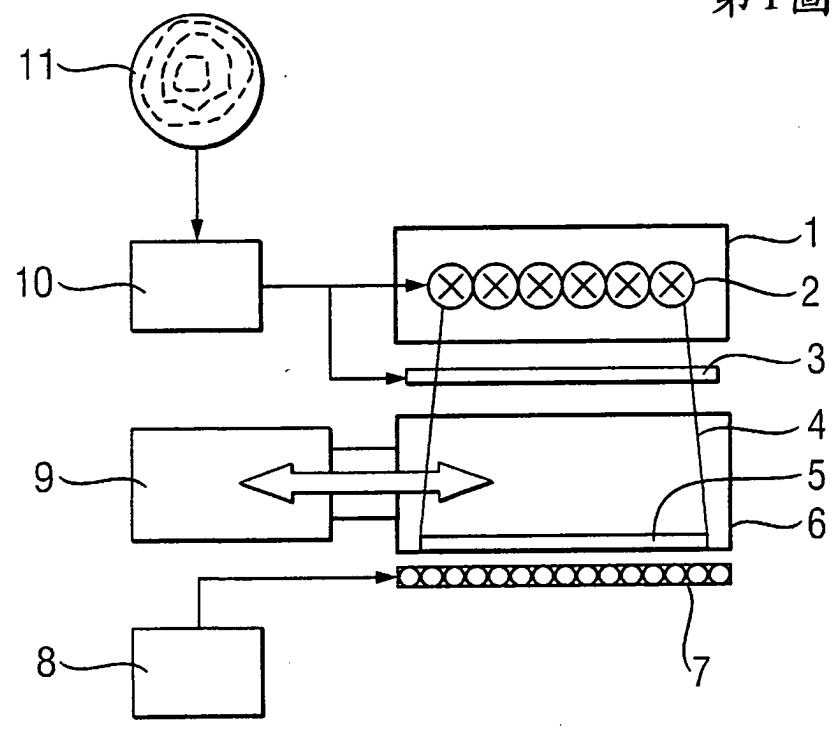
- 1 外殼
- 2 光源
- 3 濾光片
- 4 輻射
- 5 半導體晶圓
- 6 氧化室
- 7 加熱裝置
- 8 控制器
- 9 系統
- 10 控制單元
- 11 測量裝置
- 12 IR 輻射

position-dependent manner in such a way that the differences in the position-dependent values of the parameter measured in step a) are reduced by the position-dependent oxidation rate resulting from the position-dependent light intensity in step b) and the subsequent removal of the oxide layer in step c).

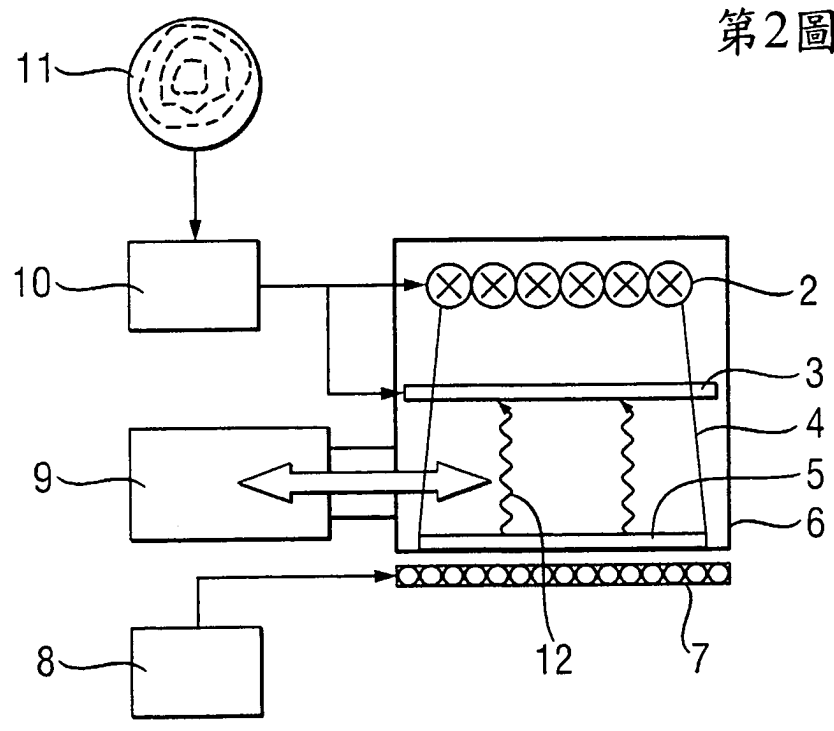
The invention also relates to an apparatus for carrying out the method according to the invention.

十一、圖式：

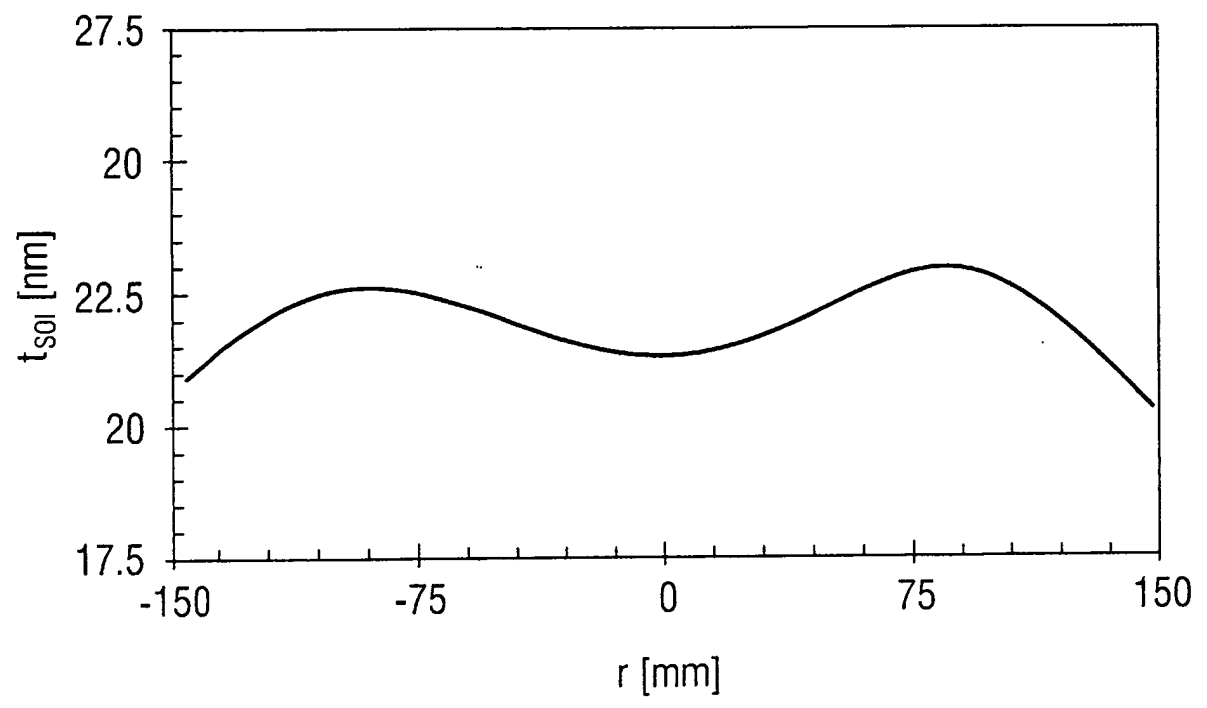
第1圖



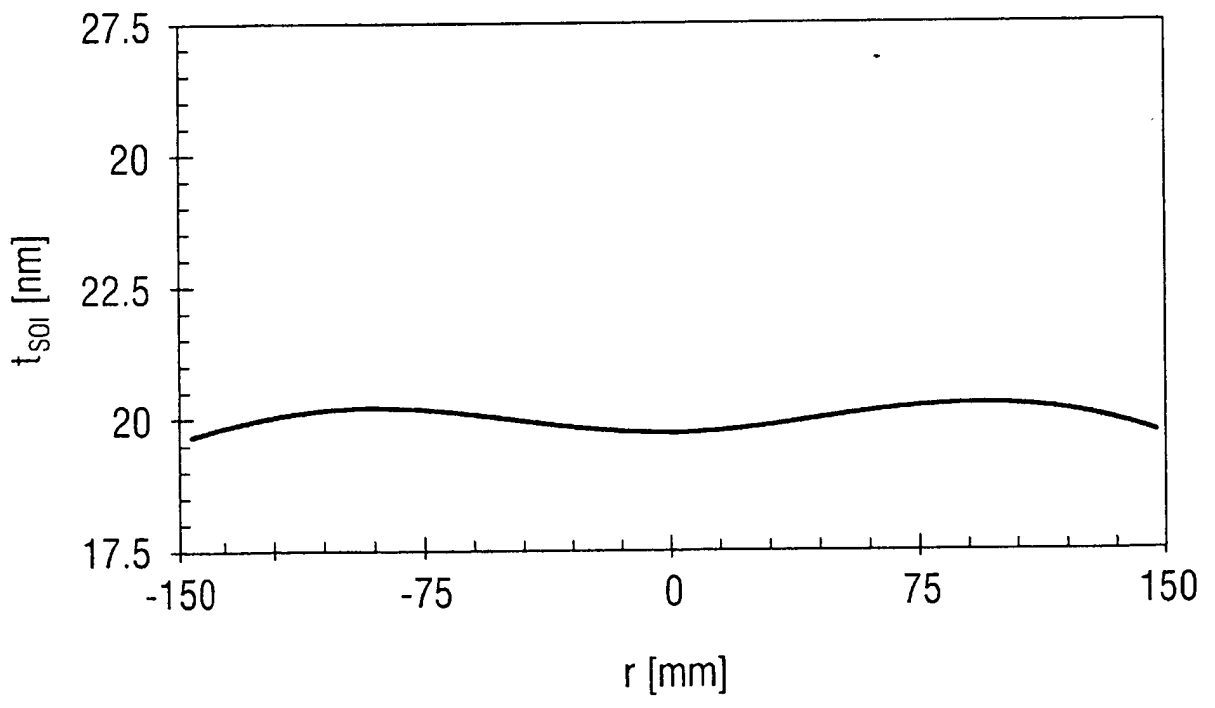
第2圖



第3圖



第4圖



七、指定代表圖：

- (一)本案指定代表圖為：第1圖。
- (二)本代表圖之元件符號簡單說明：

- 1 外殼
- 2 光源
- 3 濾光片
- 4 輻射
- 5 半導體晶圓
- 6 氧化室
- 7 加熱裝置
- 8 控制器
- 9 系統
- 10 控制單元
- 11 測量裝置

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

100年4月7日

九、發明說明：

【發明所屬之技術領域】

本發明關於一種利用具有局部不同氧化速率之氧化作用處理半導體晶圓之方法及設備。

【先前技術】

半導體晶圓，尤其是用於半導體工業中之單晶矽晶圓，必須具有高平面度，尤其是為了滿足製造積體電路之需求。據普遍認可之經驗，半導體晶圓之 $SFQR_{max}$ 值必須不大於在半導體晶圓上所製造之元件之線寬度。為能集成最多數量之電路，所要求之平面度必須特別確保盡可能地接近於正面之邊緣，其中正面被定義為於其上製造元件之面。此意味以非常小之邊緣排除區域測量平面度，所謂完全位元點 (Full Sites) 及部分位元點 (Partial Sites) 均必須滿足特定之平面度數值。(完全位元點係指可於其上製造完整元件之所有表面元件，而部分位元點係指於其上之晶圓邊緣處沒有足夠空間以供製造完整元件之表面元件。)

定義半導體晶圓平面度時，根據 SEMI 標準 M1-94 區分整體平面度和局部平面度。整體平面度係關於除去待確定之邊緣排除區域外之整個晶圓表面。其利用 GBIR (“參考理想平面之整個背面/範圍 (global backsurface referenced ideal plane/range)”) = 半導體晶圓相對於參考背面之理想平面之整個正面的正偏差和負偏差範圍) 加以描述，其對應於以前常用之術語 TTV (“總厚度變化”)。局部平面度與半導體晶圓上有限面積有關，此通常對應於設置於其上之組件面積。其通常表示為 SFQR (“參考位點正面之最小平方/範圍”) = 對於確定尺寸之面積由誤差平方最小化確定之正面之正偏差和負偏差之範圍)。變數 $SFQR_{max}$ 是指在特定半導體晶圓上之所有元件面積之最高 SFQR 值。在 SFQR 之情況下，指出關於該面積之給定值總是必要，例如關於按照 ITRS 進程之 26×8 平

度均勻性，特別是在 SOI 晶圓之邊緣區域內。

【發明內容】

因此，本發明之目的在於提供（特別是在邊緣區域內）具有改進之平面度和奈米形貌之半導體晶圓，其適用於製造 65 奈米 (nm) 或更小線寬之組件。在此，術語“半導體晶圓”還包含 SOI 晶圓。本發明之另一個目的在於提供特別是在邊緣區域內具有改進之層厚度均勻性之 SOI 晶圓。

該目的是利用用於處理半導體晶圓之方法實現之，該方法包含下列步驟：

a) 進行特徵化該半導體晶圓之參數的位置相依測量，以測定該半導體晶圓整個表面上該參數的位置相依值，

b) 於氧化劑作用及同時使該整個表面曝光之情況下氧化該半導體晶圓之整個表面，氧化速率和所得之氧化物層之厚度取決於該半導體晶圓表面上之光強度；以及

c) 去除該氧化物層，

其中，以位置相依的方式預先定義步驟 b) 中之光強度，從而經由步驟 b) 中由與位置相依之光強度所導致之位置相依之氧化速率以及步驟 c) 中該氧化物層之隨後去除，而減小步驟 a) 中測得之該參數的位置相依值間之差異。

本發明關於利用氧化半導體晶圓之至少一個表面去除氧化物層而處理半導體晶圓之方法。在該方法中，半導體晶圓之表面（在 SOI 晶圓之情況下係為半導體層）不同於現有技術，不是以點之形式或掃描之方式進行處理，而是處理其整個表面。利用步驟 b) 中氧化物層中與位置相依之生長速率（下文中也稱作氧化速率）對步驟 a) 中以位置相依之方式測得之參數進行校正。如此獲得隨位置不同而不同之氧化物層厚度，隨後在步驟 c) 中較佳者係完全除去該氧化物層。利用氧化和去除氧化物層，以與位置相依之方

一測量裝置 11，其係用於進行特徵化半導體晶圓 5 之參數的位置相依測量，

一用於接收半導體晶圓 5 之氧化室 6，其包含用於半導體晶圓 5 之支撐裝置和用於導入和導出氧化劑之系統 9，

一曝光裝置，其包含在與該半導體晶圓 5 之平面相平行之平面內彼此相鄰地排列之多個光源 2，其中能夠單獨地或者成組地控制該光源 2，且該光源 2 係經排列使其能夠以與位置相依之光強度曝光位於該氧化室 6 內之該半導體晶圓 5 之一個面，及

一控制單元 10，其係用於將該測量裝置 11 測得之參數之數值換算成用於控制該曝光裝置之指令並將該指令傳送至該曝光裝置。

可控之曝光裝置包含多個光源 2。這些單獨之光源在與半導體晶圓 5 之平面相平行之平面內彼此相鄰地排列，並且可以單獨地或者成組地加以控制，從而使其能以與位置相依之光強度針對氧化室 6 內之半導體晶圓 5 之一個面進行曝光。單獨之光源可以具有各種不同之形式，例如環形、圓形、方形或帶形。光源可以具有相同之形式或不同之形式。單獨之光源 2 發射具有特定之功率和波長之光線。

例如，發射波長為 185 奈米(nm)和 254 奈米(nm)之光線之低壓汞燈可以用作該曝光裝置之光源 2。半導體晶圓 5 之表面上與位置相依之光強度較佳為每平方公分 0 至 30 毫瓦特 (mW/cm^2) 之範圍內。

光源 2 可以直接裝入氧化室 6 中 (參見第 2 圖)，或者裝入氧化室 6 外部之專門之外殼 1 內 (參見第 1 圖)。

濾光片 3 可以設置在光源 2 與半導體晶圓 5 之間。光線之波長範圍可以利用該之濾光片進行過濾。但也可使用能夠調節與位置相依變化透射率之濾光片，如 LCD 濾光片。還可以組合使用這兩種濾光片。在第 2 圖所示之情況下，濾光片還可位於氧化室 6

100年4月7日修正替換頁

五、中文發明摘要：

本發明關於處理半導體晶圓之方法，該方法包含下列步驟：a) 進行特徵化該半導體晶圓之參數的位置相依測量，以測定該半導體晶圓整個表面上該參數的位置相依值； b) 於氧化劑作用及同時使該整個表面曝光之情況下氧化該半導體晶圓之整個表面，氧化速率和所得之氧化物層之厚度取決於該半導體晶圓表面上之光強度；以及 c) 去除該氧化物層；其中，於一位置相依方式中預先定義步驟 b) 中之光強度，從而經由步驟 b) 中由與位置相依之光強度所導致之與位置相依之氧化速率以及步驟 c) 中之該氧化物層之隨後去除，而減小步驟 a) 中測得之該參數的位置相依值間之差異。本發明亦關於用於實施根據本發明方法之裝置。

六、英文發明摘要：

The invention relates to a method for the treatment of a semiconductor wafer, comprising the following steps:

a) position-dependent measurement of a parameter which characterizes the semiconductor wafer in order to determine the position-dependent value of said parameter over an entire surface of the semiconductor wafer,

b) oxidation of said entire surface of the semiconductor wafer under the action of an oxidizing agent and simultaneous exposure of said entire surface, the oxidation rate and thus the thickness of the resulting oxide layer being dependent on the light intensity at the surface of the semiconductor wafer, and

c) removal of the oxide layer,

the light intensity in step b) being predefined in a

十、申請專利範圍：

1. 一種處理半導體晶圓之方法，包含下列步驟：
 - a) 進行特徵化該半導體晶圓之參數的位置相依測量，以測定該半導體晶圓整個表面上該參數的位置相依值；
 - b) 於含氧之氣體氧化劑作用及同時使該整個表面曝光在波長小於 250 奈米之紫外光之情況下，於 100°C 至 1000°C 之溫度下氧化該半導體晶圓整個表面，氧化速率和所得氧化物層之厚度取決於該半導體晶圓表面上之光強度；以及
 - c) 去除該氧化物層；其中，以位置相依的方式預先定義步驟 b) 中之光強度，從而經由步驟 b) 中由與位置相依之光強度所導致之與位置相依之氧化速率以及步驟 c) 中之該氧化物層之隨後去除，而減小步驟 a) 中測得之該參數的位置相依值間之差異。
2. 如請求項 1 之方法，其中係使用光源和設置於該光源與該半導體晶圓間之一濾光片以進行該半導體晶圓之曝光，該濾光片具有一與位置相依之光透射率，該光透射率與該參數之位置相依值具有特定之關係。
3. 如請求項 1 之方法，其中將步驟 a) 中測得該參數之位置相依值，經由一電腦計算出一灰度圖 (grayscale map)，並經由可將該灰度圖之圖像投影到該半導體晶圓表面上之投影裝置實施步驟 b) 中該半導體晶圓之曝光。
4. 如請求項 1 之方法，其中，經由多個與該半導體晶圓 (5) 平面相平行之平面內彼此相鄰排列之光源 (2) 實施該半導體晶圓 (5) 之曝光，其中單獨地或成組地加以控制該光源，從而使作用於該半導體晶圓 (5) 表面上各位置之光強度與該參數之位置相依值之間具有特定關係。
5. 如請求項 1 至 4 中任一項之方法，其中該氧化劑係為氧氣或氮

氧化物。

6. 如請求項 1 至 4 中任一項之方法，其中，該半導體晶圓係由選自以下群組之材料所組成：矽-鍺及碳化矽。
7. 如請求項 5 之方法，其中該半導體晶圓係包含矽。
8. 如請求項 1 至 4 中任一項之方法，其中該參數是相對於一特定理想平面之高度偏差。
9. 如請求項 1 至 4 中任一項之方法，其中該半導體晶圓係一 SOI 晶圓，其係包含於一電絕緣載體上之一半導體層。
10. 如請求項 9 之方法，其中該半導體層係包含選自以下群組之材料：矽-鍺及碳化矽。
11. 如請求項 9 之方法，其中該半導體層係包含矽。
12. 如請求項 9 之方法，其中該參數是該半導體層之厚度。