



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2004 010 840 A1** 2005.09.29

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2004 010 840.4**

(22) Anmeldetag: **05.03.2004**

(43) Offenlegungstag: **29.09.2005**

(51) Int Cl.7: **G11C 16/04**

(71) Anmelder:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

**Epping Hermann Fischer,
 Patentanwaltsgesellschaft mbH, 80339 München**

(72) Erfinder:

**Mikalo, Ricardo, 15926 Waltersdorf, DE; Isler,
 Mark, 01109 Dresden, DE; Deppe, Joachim, Dr.,
 01099 Dresden, DE; Sachse, Jens-Uwe, Dr., 01217
 Dresden, DE; Ludwig, Christoph, Dr., 01465
 Langebrück, DE; Fischer, Jan-Malte, 01277
 Dresden, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:

US 60 11 725 A

US 57 68 192 A

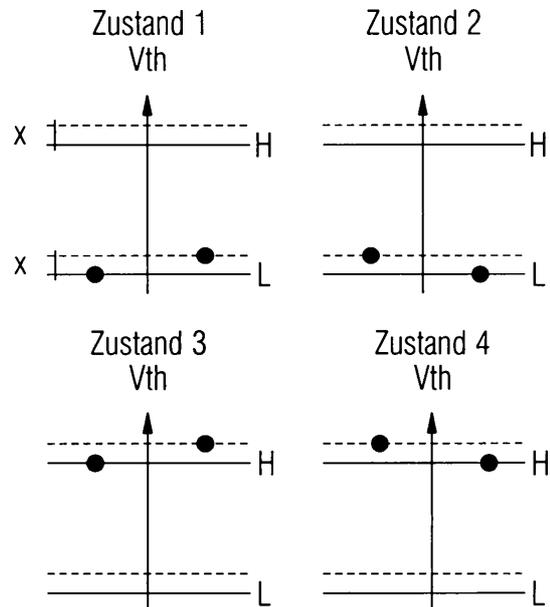
WO 99/60 631

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Verfahren zum Betreiben einer elektrischen beschreib- und löschbaren nicht flüchtigen Speicherzelle und eine Speichereinrichtung zum elektrischen nicht flüchtigen Speichern**

(57) Zusammenfassung: Es ist ein Verfahren zum Betreiben einer elektrisch beschreib- und löschbaren nicht-flüchtigen Speicherzelle vorgesehen, die einen Kanalbereich (2) aufweist, der in einer ersten und einer zweiten Richtung betreibbar ist, wobei eine Information als Differenz der Einsatzspannung (VT) des Kanalbereichs in der ersten Richtung gegenüber der Einsatzspannung (VT) des Kanalbereichs in der zweiten Richtung gespeichert wird.



Beschreibung

[0001] Verfahren zum Betreiben einer elektrischen beschreib- und löschbaren nicht flüchtigen Speicherzelle und eine Speichereinrichtung zum elektrischen nicht flüchtigen Speichern.

[0002] Die Erfindung betrifft ein Verfahren zum Betreiben einer elektrischen beschreib- und löschbaren nicht flüchtigen Speicherzelle und eine Speichereinrichtung zum elektrischen beschreib- und löschbaren nicht flüchtigen Speichern gemäß der nebengeordneten Patentansprüche.

Stand der Technik

[0003] Zu den elektrisch beschreib- und löschbaren nicht flüchtigen Speicherzellen, die insbesondere in einer virtuell-ground-NOR-Architektur eingesetzt werden können, gehören auch sogenannte Charge-Trapping-Speicherzellen, bei denen zwischen dem Kanalbereich und/oder dem Source-/Drain-Bereich und der Gate-Elektrode ein Teil des Gate-Dielektrikums eine nicht leitende Speicherschicht zwischen Begrenzungsschichten für den Einfang von Ladungsträgern und damit zur Veränderung des Programmierzustandes der Speicherzelle vorhanden ist. Das sind beispielsweise SONOS-Speicherzellen (semiconductor-oxyd-nitrid-oxyd-semiconductor). Derartige Speicherzellen sind z. B. in der US 5,768,192, der US 6,011,725 und der WO 99/60631 beschrieben. Bei diesen Speicherzellen ist jede Begrenzungsschicht ein Oxid und die Speicherschicht ein Nitrid des Halbleitermaterials, üblicherweise Silizium. Charge-Trapping-Speicherzellen werden vorzugsweise durch Channel-Hot-Electrons (CHE) programmiert und können mit Hot-Holes aus dem Kanalbereich oder durch Fowler-Nordheim-Tunneln gelöscht werden. Eine für eine spezielle Betriebsweise mit einer zum Programmiervorgang gegensinnig angelegten Lesespannung (reverse-read) vorgesehene SONOS-Speicherzelle mit einer an diese Betriebsweise angepasste Dicke der Begrenzungsschichten wird üblicherweise als NROM-Speicherzelle bezeichnet. Weitere Ausführungen hierzu finden sich in Boaz Eitan et al.: "NROM: An Novell Localized Trapping, 2 Bit nonvolatile memory cell" in IEEE Electron Device Letters 21, 543-545 (2000)). Die Speicherschicht einer Charge-Trapping-Speicherzelle befindet sich zwischen Begrenzungsschicht aus einem Material einer höheren Energiebandlücke als der Energiebandlücke der Speicherschicht, so dass die Ladungsträger, die in der Speicherschicht eingefangen werden, dort lokalisiert bleiben. Als Material für die Speicherschicht kommt vorzugsweise ein Nitrid in Frage; als umgebendes Material ist vorrangig ein Oxid geeignet. Als Beispiel einer solchen Oxid-Nitrid-Oxid (ONO) Speicherschichtfolge im Materialsystem von Silizium ist die Speicherschicht Siliziumnitrid mit einer Energiebandlücke von etwa 5 eV vorgesehen. Die umgeben-

den Begrenzungsschichten sind Siliziumoxyd mit einer Energiebandlücke von etwa 9 eV. Die Speicherschicht kann ein anderes Material sein, dessen Energiebandlücke kleiner als die Energiebandlücke der Begrenzungsschichten ist, wobei die Differenz der Energiebandlücken für einen guten elektrischen Einschluss der Ladungsträger möglichst groß sein soll. In Verbindung mit Siliziumoxyd als Begrenzungsschicht kann z. B. Tantaloxyd, Hafniumsilicat, Titanoxyd (im Fall stöchiometrischer Zusammensetzung TiO_2), Zirkonoxyd (im Fall stöchiometrischer Zusammensetzung ZrO_2), Aluminiumoxyd (im Fall stöchiometrischer Zusammensetzung Al_2O_3) oder intrinsisch leitendes (undotiertes) Silizium als Material der Speicherschicht eingesetzt werden. Die Programmierung einer derartigen 2-Bit-NROM-Speicherzelle, wie sie z. B. in der WO 98/03977 beschrieben ist, erfolgt in der Art, dass mittels einer Gate-Spannung und einer Drain-Source-Spannung im Kanalbereich der Speicherzelle ein vertikales und ein laterales elektrisches Feld erzeugt wird, das die Elektronen entlang der Kanallänge beschleunigt. Einige Elektronen werden dabei so beschleunigt, dass sie in der Nähe des Drain-Bereichs, wo das elektrische Feld am stärksten ist, über die Potentialbarriere springen und zur Nitridschicht gelangen. Auf diese Weise ändert sich die Einsatzspannung des Kanalbereiches, was durch Anlegen einer Lesespannung in umgekehrter Richtung feststellbar ist. Das zweite Bit in dieser Speicherzelle wird dadurch programmiert, dass für das Beschreiben der Speicherzelle und damit das signifikante Einstellen von Ladungen in die Charge-Trapping-Schicht, Drain und Source gegenüber dem vorhergehenden beschriebenen Programmiervorgang vertauscht werden. Auf diese Weise kann in einer nicht flüchtigen Speicherzelle, wie beispielsweise einer NROM-Zelle, eine Information von 2-Bit abgespeichert werden.

[0004] Nachteil dieser bekannten Vorgehensweise ist es, dass beim Einbringen von Ladungen in die Charge-Trapping-Schicht auf der einen Seite einer derartigen Zelle Rückwirkungen auf die Einsatzspannung der jeweils andere Seite der Speicherzelle auftreten. Es kommt somit zu einem sogenannten Nebensprechen. Das Nebensprechen nimmt mit steigender Differenz der Einsatzspannungen der beiden Seiten einer Zelle stark zu.

[0005] Mit der Weiterentwicklung der Technologie sinkt die effektive Kanallänge und somit der physikalische Abstand zwischen den Ladungen der beiden Seiten einer Zelle. Dies führt zu stärkerem Nebensprechen. Es ist damit zu rechnen, dass es in Zukunft in verstärktem Maße zu Fehlern kommt, die durch Nebensprechen zustande gekommen sind.

Aufgabenstellung

[0006] Daher liegt der Erfindung die Aufgabe zu-

grunde, eine Speichereinrichtung zum nicht flüchtigen elektrischen Schreiben und die Löschen von Speicherzellen vorzusehen und ein Verfahren zum Betreiben einer solchen Speichereinrichtung, bei der das Auftreten von Speicherfehlern aus den o. g. Gründen vermieden ist.

[0007] Diese Aufgabe wird erfindungsgemäß mit den in den unabhängigen Patentansprüchen angegebenen Maßnahmen gelöst. Die Auswirkung des Nebensprechens wird minimiert, indem es nie zu großen Einsatzspannungsdifferenzen zwischen den beiden Seiten einer Zelle kommt. Dies wird insbesondere dadurch realisiert, dass zumindest ein Teil der Information als Differenz der Einsatzspannung des Kanalbereichs abgespeichert wird, die wiederum nicht durch Übersprechen beeinflusst wird, ist das Auftreten von Fehlern durch Übersprechen in der Speicherzelle vermieden.

[0008] Weiterhin ist durch das Programmieren mittels Einsatzspannungsdifferenz der Gebrauch einer Referenzzelle vermieden.

[0009] Weitere vorteilhafte Ausgestaltungen sind in den untergeordneten Patentansprüchen angegeben. Insbesondere dadurch, dass neben der Einsatzspannungsdifferenz ein Spannungsbereich festgelegt ist, innerhalb dessen die Einsatzspannung vom Absolutbetrag liegt, ist es mit dieser Maßnahme erzielbar, durch das Festlegen von zwei und mehr Spannungsbereichen, in einer Speicherzelle mehr als 2 Bit abzuspeichern.

Ausführungsbeispiel

[0010] Nachfolgend wird die Erfindung unter Bezugnahme auf die Zeichnungen anhand von Ausführungsbeispielen erläutert.

[0011] Es zeigen:

[0012] [Fig. 1](#) ein erstes Beispiel einer NROM-Speicherzelle,

[0013] [Fig. 2](#) ein zweites Ausführungsbeispiel einer NROM-Speicherzelle,

[0014] [Fig. 3](#) ein übliches Speicherzellenfeld für NROM-Zellen,

[0015] [Fig. 4](#) ein Ausführungsbeispiel des erfindungsgemäßen Abspeicherns von vier Zuständen in einer nicht flüchtigen Speicherzelle und

[0016] [Fig. 5](#) die bisher übliche Vorgehensweise des Abspeicherns von vier Zuständen in einer üblichen NROM-Speicherzelle.

[0017] [Fig. 1](#) zeigt den Prinzipaufbau einer üblichen

NROM-Speicherzelle. Auf einem Substrat **1** sind voneinander beabstandete Drain-/Source-Gebiete D/S angeordnet, zwischen denen eine Gate-Struktur **2** ausgebildet ist. Die Gate-Struktur **2** wird vervollständigt durch einen Gate-Kontakt G, über den die Gate-Spannung über der Gate-Struktur **2** angelegt wird, abgedeckt. Der Gate-Kontakt G wird dabei über eine Isolation **3** von den Drain-/Source-Gebieten D/S getrennt. So wie in der Beschreibungsanleitung bereits beschrieben ist, wird je nach dem, welches der beiden Gebiete D/S jeweils Drain oder Source ist, im Gebiet C2 oder im Gebiet C1 eine Ladung in der Gate-Struktur **2** gespeichert oder gelöscht. Dabei erfolgt das Programmieren in dem dem jeweiligen Draingebiet benachbarten Gebiet C1 oder C2. Durch das dem Programmieren bzw. Schreiben umgekehrten Leserichtung wird die programmierte Information detektiert.

[0018] In [Fig. 4](#) sind Programmierzustände gemäß der erfindungsgemäßen Zustandsprogrammierung dargestellt. Dabei ist mit den ausgefüllten Kreisen jeweils der Wert der Schwellspannung für die linke und rechte Seite einer Speicherzelle dargestellt. Beim Zustand 1 liegt dabei die Schwellspannung im linken Bereich unterhalb der Schwellspannung im rechten Bereich, wobei folglich der Zustand durch die von links nach rechts bestimmte Schwellspannungsdifferenz auf dem Schwellspannungsniveau L bestimmt ist. Dies bedeutet, dass eine Speicherzelle, wie sie beispielsweise in [Fig. 1](#) dargestellt ist, einmal links und einmal rechts durch vertauschen von Drain und Source auf den "L"-Pegel programmiert wird, wobei die Programmierung so erfolgt, dass die Schwellspannung im rechten Teil der Zelle höher ist als im linken Teil und sich eine Schwellspannungsdifferenz innerhalb eines Bereiches ergibt.

[0019] Der Zustand 2 ergibt sich nunmehr in analoger Form, wobei die Differenz umgekehrt gerichtet ist, d. h., die Schwellspannung im linken Teil ist höher als im rechten Teil wobei die Differenz absolut betrachtet zwischen dem Zustand 1 und dem Zustand 2 die gleiche ist, allein das Vorzeichen der Differenz ist ausschlaggebend.

[0020] Zustand 3 und Zustand 4 in [Fig. 4](#) ergeben sich in vergleichbarer Weise wie Zustand 1 und Zustand 2, wobei hier die dargestellten Schwellspannungen sich im Bereich des "H"-Pegels befinden. Auch hier ist für den Unterschied zwischen dem Zustand 3 und dem Zustand 4 das Vorzeichen der jeweiligen Differenz maßgeblich. Die übliche Programmierung, wie sie in [Fig. 5](#) dargestellt ist, erfolgt in der Form, dass beispielsweise der Zustand 1 dadurch definiert ist, dass die Schwellspannung im linken Teil der Zelle und im rechten Teil der Zelle jeweils auf dem "L"-Pegel liegt und dem gegenüber der Zustand 2 dadurch definiert ist, dass im linken Teil und im rechten Teil der Zelle die Schwellspannung jeweils auf dem

"H"-Pegel liegt. Des weiteren ist der Zustand 3 dadurch definiert, dass die Spannung im linken Teil der Zelle auf dem "L"-Pegel und im rechten Teil auf dem "H"-Pegel liegt, wobei der Zustand 4 dadurch definiert ist, dass die Schwellspannung im linken Teil der Zelle auf dem "H"-Pegel und im rechten Teil auf dem "L"-Pegel liegt.

[0021] Der Vorteil der Zustandsdefinition, gemäß [Fig. 4](#) ist darin zu sehen, dass jeweils die Differenz zwischen dem linken Teil der Zelle und dem rechten Teil der Zelle programmiert wird, wobei beide Schwellspannungspegel innerhalb des gleichen Bereichs liegen. Es treten nie größere Einsatzspannungsdifferenzen zwischen den beiden Seiten einer Zelle auf.

[0022] Bei der Programmierung von Zustand 3 des bekannten Verfahren wird die Einsatzspannung der rechten Seite deutlich über jene der linken Seite angehoben. Nebensprechen konnte dabei dafür sorgen, dass der linke Teil der Zelle mit angehoben wird.

[0023] Gemäß [Fig. 2](#) ist in räumlicher Darstellung eine andere Ausgestaltung einer NROM-Speicherzelle dargestellt, wobei der wesentliche Unterschied allein in der Kontaktierung des Gatekontaktes G und der Drain-/Source-Gebiete D/S gegenüber dem in [Fig. 1](#) dargestellten Ausführungsbeispiel zu sehen ist. Auch hier sind innerhalb der Gate-Struktur zwei Ladungsbereiche C1 und C2 vorgesehen, in denen Ladung eingebettet oder gelöscht wird. Die erfindungsgemäße Programmierung lässt sich für beide dargestellte Ausführungsbeispiele von NROM-Speicherzellen und darüber hinaus für weitere nicht flüchtige Speicherzellen anwenden.

[0024] Gemäß [Fig. 3](#) ist eine übliche Speicherzellenanordnung für nicht flüchtige Speicher dargestellt, die für das erfindungsgemäße Verfahren eingesetzt werden kann. Es sind mehrere Reihen von Speicherzellen dargestellt, wobei in jeder Reihe ein Drain-/Source-Anschluß D/S einer Zelle mit einem Drain-/Source-Anschluß D/S der Nachbarzelle verbunden ist. Die Drain-/Source-Anschlüsse sind mit Bitleitungen BL verbunden und werden über einen so genannten „sense amplifizier“ angesteuert. Die Gate-Anschlüsse G der einzelnen Speicherzellen innerhalb einer Reihe werden von einem Reihendecodierer RD über jeweilige Gate-Leitungen GL angesteuert. Die Adressierung der Speicherzellen erfolgt über den Reihendecodierer RD und über einen Bitleitungsdecodierer BDL. Zwischen dem Bitleitungsdecodierer BDL und dem "sense amplifizier" SA ist ein Multi-Bit-Decodierer BD angeordnet, der dafür sorgt, dass die jeweilige Schwellspannungsdifferenz auf dem jeweiligen gewünschten Pegel, wie zuvor beschrieben, bei einem Programmiervorgang in den Speicherzellen eingestellt wird, bzw. der durch ein Vorwärts- und Rückwärtslesen der jeweiligen Spei-

cherzellen aus der Schwellspannungsdifferenz den auf den jeweiligen Pegel programmierten Zustand ermittelt und an den Datenausgang 5 abgibt. Der Multi-Bit-Decodierer BD umfaßt folglich eine Einrichtung zum Erzeugen einer Schwellspannungsdifferenz in den einzelnen Speicherzellen, sowie eine Einrichtung zum Detektieren einer solchen Schwellspannungsdifferenz. Das Zusammenwirken zwischen dem Bitdecodierer, dem "Sense Amplifizier" und dem Reihendecodierer RD erfolgt wird über eine Taktsteuerung 4 gesteuert. Schließlich ist eine Zustandssteuerung ST vorgesehen, die vorgibt, ob ein Lesevorgang R, ein Schreibvorgang W oder ein Löschvorgang E vorgesehen ist.

Bezugszeichenliste

1	Substrat
2	Gate-Struktur
3	Isolation
4	Taktsteuerung
5	Datenausgang
G	Gate-Anschluss
GL	Gate-Leitung
D/S	Drain-/Source-Gebiet
BL	Bitleitung
C1	Ladungsbereich 1
C2	Ladungsbereich 2
AS	Adresssteuerung
RD	Reihendecodierer
ST	Zustandssteuerung
SA	Schreibverstärker
BD	Multi-Bit-Decodierer
BDL	Bitleitungsdecodierer

Patentansprüche

1. Verfahren zum Betreiben einer elektrisch beschreib- und löschbaren nicht flüchtigen Speicherzelle, die einen Kanalbereich (2) aufweist, der in einer ersten und einer zweiten Richtung betreibbar ist, wobei eine Information als Differenz der Einsatzspannung (VT) des Kanalbereichs in der ersten Richtung gegenüber der Einsatzspannung (VT) des Kanalbereichs in der zweiten Richtung gespeichert wird.

2. Verfahren nach Anspruch 1, wobei zwei Informationen dadurch unterschieden werden, dass die Differenz der beiden Einsatzspannungen (VT) betragsgleich sind, aber verschiedene Vorzeichen aufweisen.

3. Verfahren nach Anspruch 2, bei dem die beiden Einsatzspannungen (VT) innerhalb eines vorbestimmten Spannungsbereichs festgelegt sind.

4. Verfahren nach Anspruch 3, wobei weitere Informationen innerhalb weiterer vorbestimmter Spannungsbereiche festgelegt werden.

5. Speichereinrichtung für nicht flüchtigen elektrisch les- und löschbaren Speichern von Informationen, mit einem Speicherzellenfeld mit zumindest einer Speicherzelle, die einen Kanalbereich (2) aufweist, der bidirektional beschreibbar ist und die eine "Floating Gate-Einrichtung" (C1, C2) aufweist, die derart einstellbar ist, dass der Kanalbereich im Betrieb in einer ersten Richtung eine gegenüber der zweiten Richtung verschiedenen Einsatzspannung aufweist, gekennzeichnet durch eine Lesevorrichtung (10, 12), die eine Einsatzspannungsdifferenz des Kanalbereiches ermittelt und einem Programmierzustand zuordnet.

6. Speichereinrichtung nach Anspruch 4, gekennzeichnet durch eine Schreibvorrichtung, die die "Floating Gate-Einrichtung" derart einstellt, dass eine zu speichernde Information in eine Einsatzspannungsdifferenz des Kanalbereichs umgesetzt ist.

7. Speichereinrichtung nach Anspruch 5, dadurch gekennzeichnet, dass die Speicherzelle ein NROM-Speicherzellenelement ist.

Es folgen 3 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

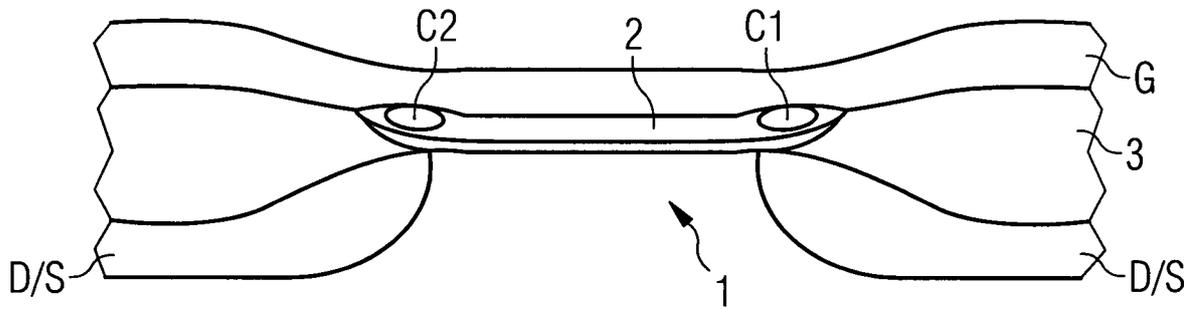


FIG 2

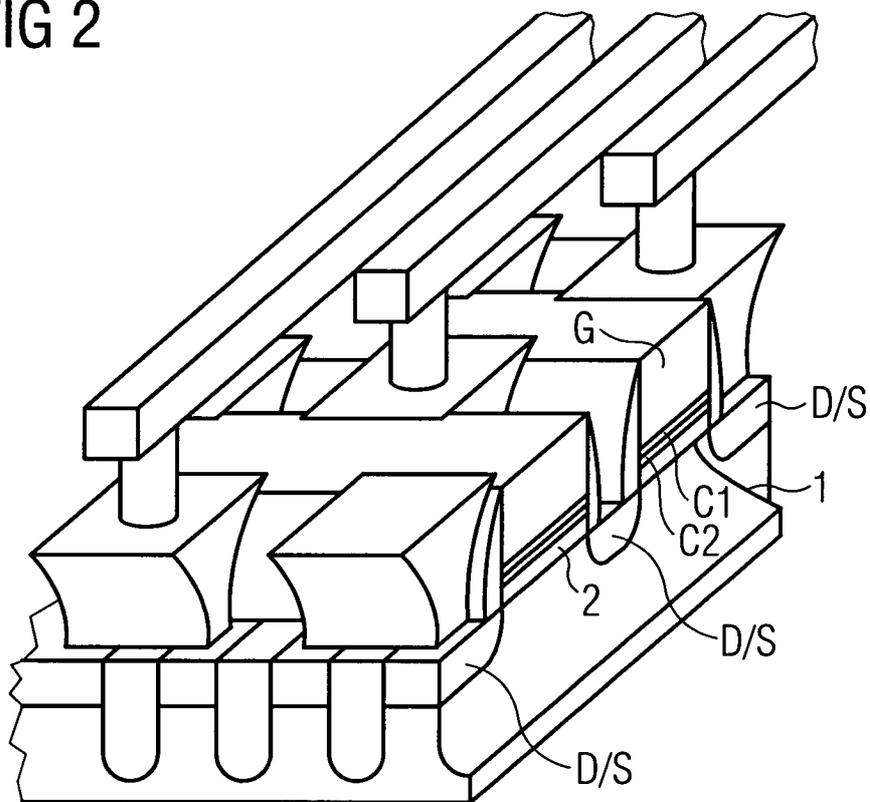


FIG 3

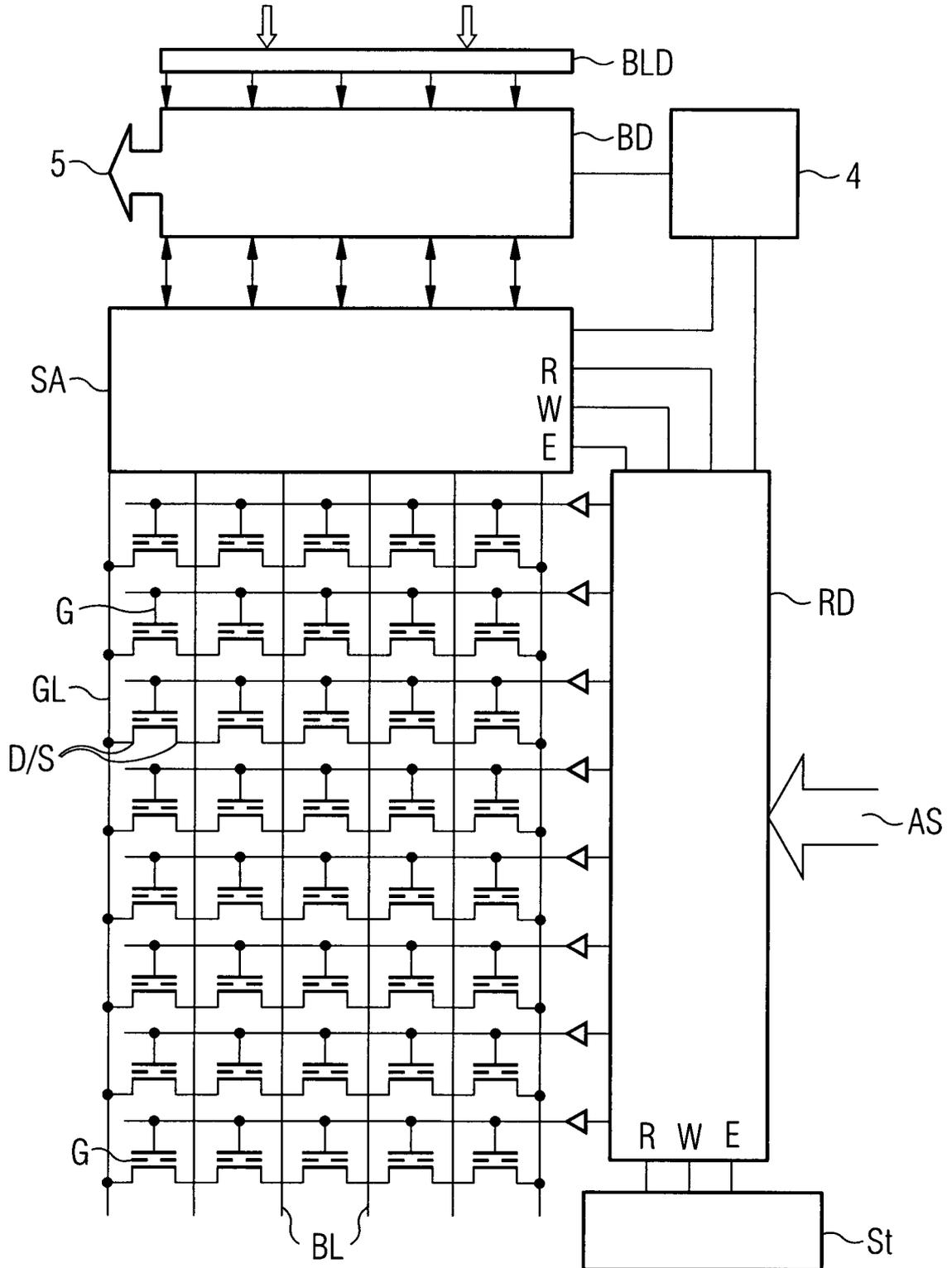


FIG 4

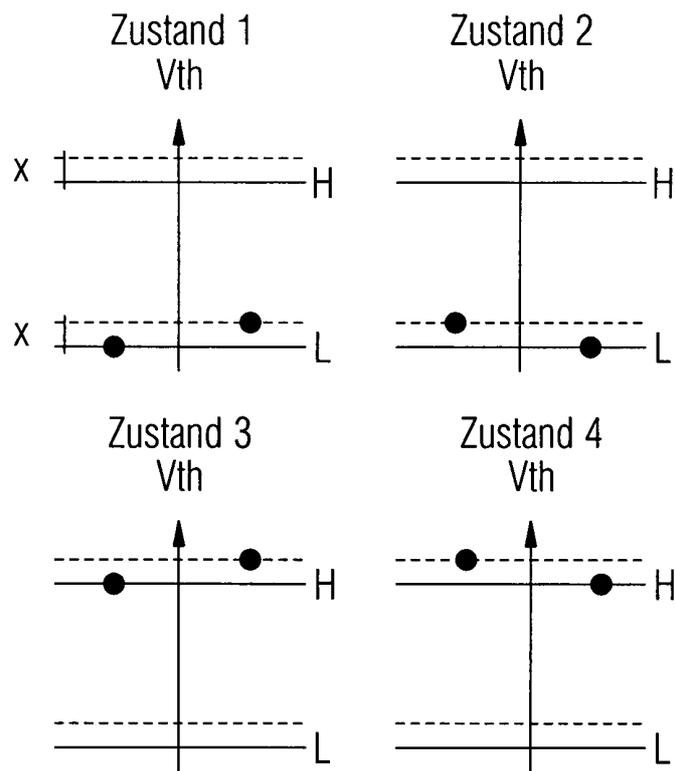


FIG 5

