(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201344847 A
(43)公開日： 中華民國 102 (2013) 年 11 月 01 日

(21)申請案號：102101631 (22)申請日： 中華民國 102 (2013) 年 01 月 16 日
(51)Int. Cl.： *H01L21/8236(2006.01)*
(30)優先權：2012/02/13 日本 2012-028733
(71)申請人：精工電子有限公司 (日本) SEIKO INSTRUMENTS INC. (JP)
日本
(72)發明人：吉野英生 YOSHINO, HIDEO (JP) ；小山內潤 OSANAI, JUN (JP) ；橋谷雅幸 HASHITANI, MASAYUKI (JP) ；廣瀨嘉胤 HIROSE, YOSHITSUGU (JP)
(74)代理人：林志剛
申請實體審查：無 申請專利範圍項數：6 項 圖式數：2 共 16 頁

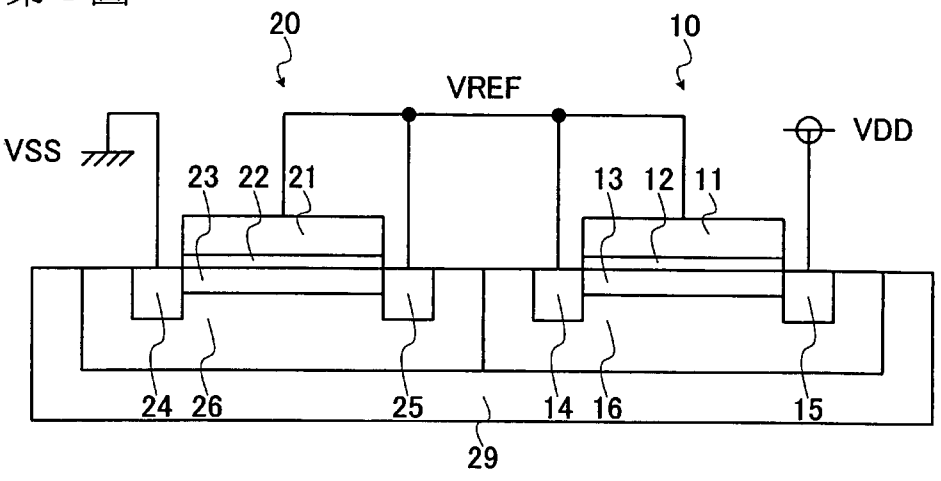
(54)名稱

基準電壓產生裝置

(57)摘要

[課題]提供具有平坦之溫度特性的基準電壓產生裝置。[解決手段]具備有被連接成當作電流源而發揮功能，流通定電流之第一導電型之空乏型 MOS 電晶體(10)，和被二極體連接，具有與空乏型 MOS 電晶體(10)之移動度大略相等之移動度，根據定電流使基準電壓 VREF 產生之第一導電型之增強型 MOS 電晶體(20)，因空乏型 NMOS 電晶體(10)和增強型 NMOS 電晶體(20)之移動度大略相等，故該些溫度特性也大略相等，基準電壓 VREF 之溫度特性成為平坦。

第 1 圖



10：空乏型 NMOS 電晶體(D 型 NMOS)
11：閘極電極
12：閘極絕緣膜
13：通道摻雜區域
14：源極
15：汲極
16：井
20：增強型 NMOS 電晶體(E 型 NMOS)
21：閘極電極
22：閘極絕緣膜
23：通道摻雜區域
24：源極
25：汲極
26：井
29：基板

(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201344847 A
(43)公開日： 中華民國 102 (2013) 年 11 月 01 日

(21)申請案號：102101631 (22)申請日： 中華民國 102 (2013) 年 01 月 16 日
(51)Int. Cl.： *H01L21/8236(2006.01)*
(30)優先權：2012/02/13 日本 2012-028733
(71)申請人：精工電子有限公司 (日本) SEIKO INSTRUMENTS INC. (JP)
日本
(72)發明人：吉野英生 YOSHINO, HIDEO (JP) ；小山內潤 OSANAI, JUN (JP) ；橋谷雅幸 HASHITANI, MASAYUKI (JP) ；廣瀨嘉胤 HIROSE, YOSHITSUGU (JP)
(74)代理人：林志剛
申請實體審查：無 申請專利範圍項數：6 項 圖式數：2 共 16 頁

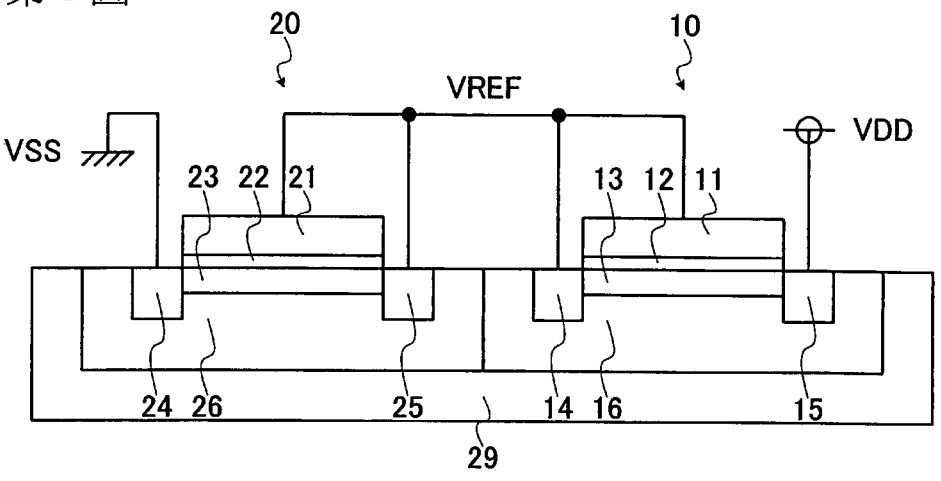
(54)名稱

基準電壓產生裝置

(57)摘要

[課題]提供具有平坦之溫度特性的基準電壓產生裝置。[解決手段]具備有被連接成當作電流源而發揮功能，流通定電流之第一導電型之空乏型 MOS 電晶體(10)，和被二極體連接，具有與空乏型 MOS 電晶體(10)之移動度大略相等之移動度，根據定電流使基準電壓 VREF 產生之第一導電型之增強型 MOS 電晶體(20)，因空乏型 NMOS 電晶體(10)和增強型 NMOS 電晶體(20)之移動度大略相等，故該些溫度特性也大略相等，基準電壓 VREF 之溫度特性成為平坦。

第 1 圖



10：空乏型 NMOS 電晶體(D 型 NMOS)
11：閘極電極
12：閘極絕緣膜
13：通道摻雜區域
14：源極
15：汲極
16：井
20：增強型 NMOS 電晶體(E 型 NMOS)
21：閘極電極
22：閘極絕緣膜
23：通道摻雜區域
24：源極
25：汲極
26：井
29：基板

201344847

發明摘要

※申請案號：102101631

※申請日：102年01月16日　　※IPC分類：H01L 21/8236 (2006.01)

【發明名稱】(中文/英文)

基準電壓產生裝置

【中文】

[課題] 提供具有平坦之溫度特性的基準電壓產生裝置。

[解決手段] 具備有被連接成當作電流源而發揮功能，流通定電流之第一導電型之空乏型 MOS 電晶體（10），和被二極體連接，具有與空乏型 MOS 電晶體（10）之移動度大略相等之移動度，根據定電流使基準電壓 VREF 產生之第一導電型之增強型 MOS 電晶體（20），因空乏型 NMOS 電晶體（10）和增強型 NMOS 電晶體（20）之移動度大略相等，故該些溫度特性也大略相等，基準電壓 VREF 之溫度特性成爲平坦。

【英文】

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

10：空乏型 NMOS 電晶體（D 型 NMOS）

20：增強型 NMOS 電晶體（E 型 NMOS）

11、21：閘極電極

12、22：閘極絕緣膜

13、23：通道摻雜區域

14、24：源極

15、25：汲極

16、26：井

29：基板

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

基準電壓產生裝置

【技術領域】

本發明係關於在半導體積體電路內產生基準電壓之基準電壓產生裝置。

【先前技術】

針對在以往之基準電壓產生裝置中所使用之電路，使用第 2 圖予以說明。

被連接成當作電流源而發揮功能之空乏型 NMOS 電晶體（D 型 NMOS）10，係對二極體連接之增強型 NMOS 電晶體（E 型 NMOS）20 流入定電流。藉由該定電流，在 E 型 NMOS20 產生因應各電晶體之臨界值電壓及尺寸的基準電壓。在此，在 D 型 NMOS10 之閘極，被摻雜 N 型之雜質，在 E 型 NMOS 之閘極被摻雜 P 型之雜質（例如，參照專利文獻 1（第 2 圖））。

[先行技術文獻]

[專利文獻]

[專利文獻 1] 日本特開昭 59-200320 號公報

【發明內容】

[發明所欲解決之課題]

在此，近年來，隨著電子機器朝高精度化發展，在各個方面也要求控制該電子機器之 IC 的高精度化。例如，爲了實現 IC 之電特性之高精度化，即使溫度變化，在 IC 內部，也要求基準電壓產生裝置可以高精度地產生基準電壓，即是基準電壓之溫度特性成爲更平坦。

本發明係鑒於上述要求，其課題爲提供具有更平坦之溫度特性的基準電壓產生裝置。

[用以解決課題之手段]

本發明爲了解決上述課題，提供一種基準電壓產生裝置，該基準電壓產生裝置之特徵爲具備:被連接成當作電流源而發揮功能，流通定電流之第一導電型空乏型 MOS 電晶體；和被二極體連接，具有與上述空乏型 MOS 電晶體之移動度相等的移動度，根據上述定電流產生基準電壓的第一導電型增強型 MOS 電晶體。

[發明之效果]

在本發明中，因第一導電型之空乏型 NMOS 電晶體和第一導電型之增強型 NMOS 電晶體之移動度大略相等，故該些溫度特性也大略相等，基準電壓之溫度特性變佳。

【圖式簡單說明】

第 1 圖爲表示基準電壓產生裝置之剖面的圖示。

第 2 圖爲表示基準電壓產生裝置之等效電路之圖示。

【實施方式】

以下，針對本發明之實施型態，參照圖面予以說明。

首先，針對成爲基準電壓產生裝置之基本的構成，使用第 1 圖所示之剖面圖而予以說明。

基準電壓產生裝置具備空乏型 NMOS 電晶體（D 型 NMOS）10，及增強型 NMOS 電晶體（E 型 NMOS）20。D 型 NMOS10 之閘極電極 11 及源極 14，被連接於基準電壓產生端子，汲極 15 被連接於電源端子。藉由如此之連接，D 型 NMOS10 當作電流源發揮功能。E 型 NMOS20 之閘極電極 21 及源極 25，被連接於基準電壓產生端子，汲極 24 被連接於接地端子。即是，被二極體連接之 E 型 NMOS20 被串聯連接於 D 型 NMOS10。因此，就以等效電路而言，成爲第 2 圖所示之電路圖，與以往之電路等效。

爲了形成 D 型 NMOS10，首先在 P 型之基板 29 之表面形成 P 型之井 16。然後，在井 16 之表面形成 N 型之通道摻雜區域 13。接著，在通道摻雜區域 13 之上形成閘極絕緣膜 12。之後，在閘極絕緣膜 12 上形成 N 型之閘極電極 11。並且，以夾著閘極電極 11 及閘極絕緣膜 12 之下方之通道摻雜區域 13 之方式，在井 16 之表面形成 N 型之源極 14 及 N 型之汲極 15。

D 型 NMOS10 之閘極電極 11 之極性，與源極 14、汲極 15 之極性相等，形成 N 型。如此一來，因 N 型之閘極

電極 11 和 P 型之井 16 之功函數的差大，基板表面被施加反轉方向之電場，故 D 型 NMOS10 之臨界值電壓變低至 D 型 NMOS10 成爲空乏型之程度。並且，藉由 N 型之通道摻雜區域 13，臨界值電壓下降，通道成爲被形成在基板內部，形成嵌入通道。在此，朝閘極電極 11 及通道摻雜區域 13 的雜質注入，係被適當控制成 D 型 NMOS10 成爲空乏型。

爲了形成 E 型 NMOS20，首先在 P 型之基板 29 之表面形成 P 型之井 26。然後，在井 26 之表面形成 N 型之通道摻雜區域 23。接著，在通道摻雜區域 23 之上形成閘極絕緣膜 22。之後，在閘極絕緣膜 22 上形成 P 型之閘極電極 21。並且，以夾著閘極電極 21 及閘極絕緣膜 22 之下方之通道摻雜區域 23 之方式，在井 26 之表面形成 N 型之源極 24 及 N 型之汲極 25。

E 型 NMOS20 之閘極電極 21 之極性，與源極 24、汲極 25 之極性不同，形成 P 型。如此一來，P 型之閘極電極 21 和 P 型之井 26 之功函數的差小，但是由於在基板表面被施加電洞蓄積方向之電場，故臨界值變高。於是，爲了適當地降低臨界值，在 P 型之井 26 之表面形成包含 N 型之雜質的通道摻雜區域 23。在此，朝閘極電極 21 及通道摻雜區域 23 的雜質注入，係被適當控制成 E 型 NMOS20 成爲增強型。

並且，基板 29 並不限定於 P 型，即使爲 N 型亦可。

被連接成電流源而發揮功能之 D 型 NMOS10 之源極

14，係對被二極體連接之 E 型 NMOS20 之閘極 25 流入定電流。藉由該定電流，在 E 型 NMOS20 之汲極 25（基準電壓產生端子）產生基準電壓。

接著，針對基準電壓產生裝置所產生之基準電壓 VREF 之溫度特性予以說明。

並且在此，D 型 NMOS10 之通道摻雜區域 13 係被通道摻雜成井 16 之表面之極性反轉的程度。此時，通道摻雜區域 13 和井 16 之雜質之極性不同，D 型 NMOS10 成爲嵌入通道。另外，因 E 型 NMOS20 爲了降低臨界值在井區域表面具有含有與井 26 之極性不同的 N 型之雜質的通道摻雜區域 23，故可想像同樣成爲嵌入通道。

此時，在閘極之雜質之極性不同之 D 型 NMOS10 及 E 型 NMOS20 中，當形成相等基板 29 之表面以下之雜質的分布時，則可以期待產生深度相等的嵌入通道。隨此，D 型 NMOS10 和 E 型 NMOS20 之溫度特性相等，可以期待基準電壓 VREF 之溫度特性變佳。

但是，本發明之發明者經多方面之實驗等的精心努力之結果，發現以下所示之現象。在 D 型 NMOS10 及 E 型 NMOS20 中，因閘極電極之雜質之極性不同，閘極電極和基板之間的功函數也不同。並且，通道導通用之閘極電壓（臨界值電壓）也不同，於通道導通時朝通道摻雜區域的電場也不同。具體而言，E 型 NMOS20 之臨界值電壓較 D 型 NMOS10 之臨界值電壓高，由此使得朝 E 型 NMOS20 之通道的電場大。因此，載體在 D 型 NMOS10 中，係在

較基板 29 之表面下方之區域流動，在 E 型 NMOS20 中，係在基板 29 之表面附近流動。即是，可知 D 型 NMOS10 爲嵌入通道型，但是 E 型 NMOS20 不成爲嵌入通道型。此係意味著因 E 型 NMOS20 之載體受到界面準位之影響，故 E 型 NMOS20 之移動度變低，D 型 NMOS10 和 E 型 NMOS20 之溫度特性不相等之意。即是，無得到良好的基準電壓 VREF 之溫度特性。

於是，在本發明中，在 D 型 NMOS10 及 E 型 NMOS20 中，藉由適當控制閘極之雜質濃度，或閘極絕緣膜之材質和閘極絕緣膜之膜厚和基板 29 之表面以下之雜質的分布等，使移動度成爲相等。依此，D 型 NMOS10 和 E 型 NMOS20 之溫度特性相等，可以期待基準電壓 VREF 之溫度特性變佳。並且，在此就移動度而言，可以使用可從電晶體之電流電壓特性容易求出的移動度。

[實施例 1]

以 E 型 NMOS20 之閘極氧化膜 22 之介電常數高於 D 型 NMOS10 之閘極氧化膜 12 之介電常數之方式，適當選擇閘極氧化膜 22 及閘極氧化膜 12 之材質。如此一來，由此使得 E 型 NMOS20 之閘極氧化膜容量變大，往通道之電場變小，故移動度變高。當預期該效果，而使 D 型 NMOS10 和 E 型 NMOS20 之移動度成爲大略相等之時，該些溫度特性也大略成爲相等，可使基準電壓 VREF 之溫度特性成爲平坦。

[實施例 2]

將 E 型 NMOS20 之閘極氧化膜 22 形成比 D 型 NMOS10 之閘極氧化膜 12 薄。如此一來，由此使得 E 型 NMOS20 之閘極氧化膜容量變大，往通道之電場變小，故移動度變高。當預期該效果，而使 D 型 NMOS10 和 E 型 NMOS20 之移動度成爲大略相等之時，該些溫度特性也大略成爲相等，可使基準電壓 VREF 之溫度特性成爲平坦。

[實施例 3]

將 E 型 NMOS20 之通道摻雜區域 23 之雜質設爲磷，將 D 型 NMOS10 之通道摻雜區域 13 之雜質設爲砷。如此一來，因磷之原子半徑小於砷之原子半徑，故磷之平均自由工程較砷之平均自由工程長，由此使得 E 型 NMOS20 之移動度變高。當預期該效果，而使 D 型 NMOS10 和 E 型 NMOS20 之移動度成爲大略相等之時，該些溫度特性也大略成爲相等，可使基準電壓 VREF 之溫度特性成爲平坦。

並且，若通道摻雜區域 23 之雜質主要爲磷，通道摻雜區域 13 之雜質主要爲砷即可。例如，即使將通道摻雜區域 23 之雜質設爲磷，將通道摻雜區域 13 之雜質設爲砷及磷亦可。再者，即使將通道摻雜區域 23 之雜質設爲砷及磷，將通道摻雜區域 13 之雜質設爲砷亦可。再者，即使將通道摻雜區域 23 之雜質設爲砷及磷，將通道摻雜區

域 13 之雜質設爲砷亦可。此時，藉由適當控制被摻雜之砷及磷之量，使 D 型 NMOS10 和 E 型 NMOS20 之移動度成爲相等。

再者，即使適當分割通道摻雜區域 23，設置摻雜磷之磷區域和摻雜砷之砷區域亦可。再者，即使適當分割通道摻雜區域 13 亦可。再者，即使適當分割通道摻雜區域 23 及通道摻雜區域 13 之雙方亦可。即使將通道摻雜區域 23 及通道摻雜區域 13 在閘極長方向分割亦可，且在閘極寬方向分割亦可。此時，藉由適當設置磷及砷區域，使 D 型 NMOS10 和 E 型 NMOS20 之移動度成爲相等。

[實施例 4]

將 E 型 NMOS20 之井 26 之雜質濃度形成比 D 型 NMOS10 之井 16 之雜質濃度薄。如此一來，由此使得在 E 型 NMOS20 之通道的雜質散亂之影響變少，移動度變高。當預期該效果，而使 D 型 NMOS10 和 E 型 NMOS20 之移動度成爲大略相等之時，該些溫度特性也大略成爲相等，可使基準電壓 VREF 之溫度特性成爲平坦。

以上所說明之實施型態可適當組合。

【符號說明】

10：空乏型 NMOS 電晶體（D 型 NMOS）

20：增強型 NMOS 電晶體（E 型 NMOS）

11、21：閘極電極

12、22：閘極絕緣膜

13、23：通道摻雜區域

14、24：源極

15、25：汲極

16、26：井

29：基板

申請專利範圍

1. 一種基準電壓產生裝置，其特徵爲具備：

流通定電流的第一導電型之空乏型 MOS 電晶體，和

第一導電型之增強型 MOS 電晶體，其係被二極體連接，具有與上述空乏型 MOS 電晶體之移動度相等的移動度，根據上述定電流產生基準電壓。

2. 如申請專利範圍第 1 項所記載之基準電壓產生裝置，其中

上述增強型 MOS 電晶體之閘極氧化膜之介電常數高於上述空乏型 MOS 電晶體之閘極氧化膜之介電常數。

3. 如申請專利範圍第 1 項所記載之基準電壓產生裝置，其中

上述增強型 MOS 電晶體之閘極氧化膜較上述空乏型 MOS 電晶體之閘極氧化膜薄。

4. 如申請專利範圍第 1 項所記載之基準電壓產生裝置，其中

上述增強型 MOS 電晶體之通道摻雜區域之主要雜質的原子半徑，小於上述空乏型 MOS 電晶體之通道摻雜區域之主要雜質的原子半徑。

5. 如申請專利範圍第 4 項所記載之基準電壓產生裝置，其中

上述增強型 MOS 電晶體之通道摻雜區域之主要雜質物爲磷，

上述空乏型 MOS 電晶體之通道摻雜區域之主要雜質

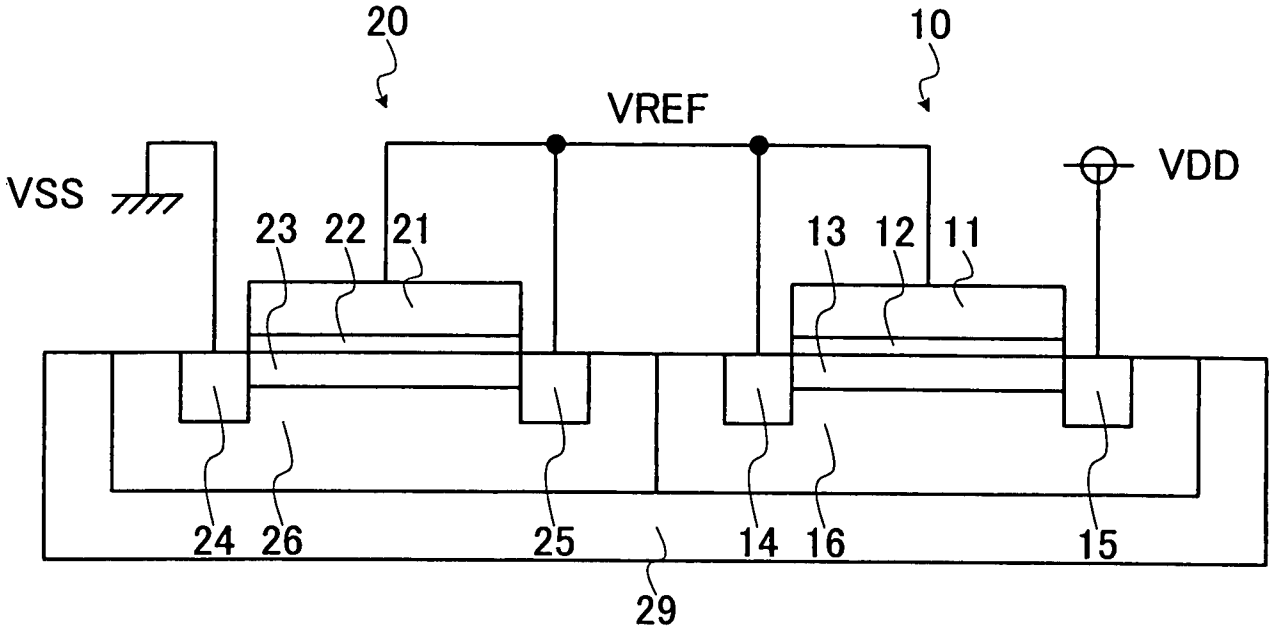
爲砷。

6. 如申請專利範圍第 1 項所記載之基準電壓產生裝置，其中

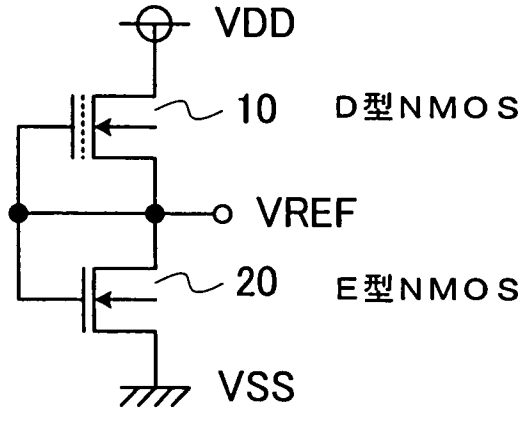
上述增強型 MOS 電晶體之井的雜質濃度較上述空乏型 MOS 電晶體之井的雜質濃度薄。

圖 式

第 1 圖


20
10
VREF
VSS
VDD
23
22
21
13
12
11
24
26
25
14
16
15
29

第 2 圖


VDD
10
D型NMOS
VREF
20
E型NMOS
VSS