

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7584585号
(P7584585)

(45)発行日 令和6年11月15日(2024.11.15)

(24)登録日 令和6年11月7日(2024.11.7)

(51)国際特許分類		F I	
H 0 1 L	29/786(2006.01)	H 0 1 L	29/78 6 1 8 B
H 0 1 L	27/088(2006.01)	H 0 1 L	29/78 6 1 3 Z
H 0 1 L	21/8234(2006.01)	H 0 1 L	29/78 6 1 8 G
G 0 6 K	19/02 (2006.01)	H 0 1 L	27/088 3 3 1 E
G 0 6 K	19/07 (2006.01)	H 0 1 L	27/088 E
請求項の数 2 (全51頁) 最終頁に続く			
(21)出願番号	特願2023-116445(P2023-116445)	(73)特許権者	000153878
(22)出願日	令和5年7月18日(2023.7.18)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2021-172259(P2021-172259)		神奈川県厚木市長谷398番地
	)の分割	(72)発明者	加藤 清
原出願日	平成22年11月9日(2010.11.9)		神奈川県厚木市長谷398番地 株式会
(65)公開番号	特開2023-138533(P2023-138533)		社半導体エネルギー研究所内
	A)	(72)発明者	小山 潤
(43)公開日	令和5年10月2日(2023.10.2)		神奈川県厚木市長谷398番地 株式会
審査請求日	令和5年8月9日(2023.8.9)		社半導体エネルギー研究所内
(31)優先権主張番号	特願2009-265594(P2009-265594)	審査官	西村 治郎
(32)優先日	平成21年11月20日(2009.11.20)		
(33)優先権主張国・地域又は機関	日本国(JP)		
		最終頁に続く	

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

シリコンを有する第1のチャンネル形成領域を有する第1のトランジスタと、
酸化物半導体を有する第2のチャンネル形成領域を有する第2のトランジスタと、を有する
半導体装置であって、
第1の絶縁層を介して前記第1のチャンネル形成領域上に位置する領域を有する第1の導電
層と、
前記第1の導電層と同じ材料を有する第2の導電層と、
前記第1の導電層の上面と接する領域と、前記第2の導電層の上面と接する領域と、を有
する第2の絶縁層と、
前記第2の絶縁層の上方に位置する領域を有し、前記第2のチャンネル形成領域を有する酸
化物半導体層と、
前記酸化物半導体層の上方に位置する領域を有する、第3の絶縁層と、
前記第3の絶縁層の上面と接する領域を有し、前記第1のトランジスタのソース及びドレ
インの一方と電気的に接続された第3の導電層と、
前記第3の絶縁層の上面と接する領域を有し、前記第2のトランジスタのソース及びドレ
インの一方と電気的に接続された第4の導電層と、を有し、
前記第3の導電層は、前記第4の導電層と同じ材料を有し、
前記第4の導電層は、前記第2の導電層と電気的に接続される、半導体装置。

【請求項2】

シリコンを有する第1のチャンネル形成領域を有する第1のトランジスタと、
酸化物半導体を有する第2のチャンネル形成領域を有する第2のトランジスタと、を有する
半導体装置であって、
第1の絶縁層を介して前記第1のチャンネル形成領域上に位置する領域を有する第1の導電
層と、
前記第1の導電層と同じ材料を有する第2の導電層と、
前記第1の導電層の上面と接する領域と、前記第2の導電層の上面と接する領域と、を有
する第2の絶縁層と、
前記第2の絶縁層の上方に位置する領域を有し、前記第2のチャンネル形成領域を有する酸
化物半導体層と、
前記酸化物半導体層の上方に位置する領域を有する、第3の絶縁層と、
前記第3の絶縁層の上面と接する領域を有し、前記第1のトランジスタのソース及びドレ
インの一方と電気的に接続された第3の導電層と、
前記第3の絶縁層の上面と接する領域を有し、前記第2のトランジスタのソース及びドレ
インの一方と電気的に接続された第4の導電層と、
前記第2のチャンネル形成領域上に位置する領域を有する第5の導電層と、を有し、
前記第3の導電層は、前記第4の導電層と同じ材料を有し、
前記第4の導電層は、前記第2の導電層と電気的に接続され、
前記第5の導電層の側面は、前記第3の絶縁層と接する領域を有する、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。特に無線通信機能を有する半導体装置に関する。

【0002】

なお、本明細書において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

無線でのデータの送受信が可能な無線通信機能を有する半導体装置は、様々な分野において実用化が進められている。このような半導体装置は、新しい形態の通信情報端末としてさらなる市場の拡大が見込まれている。実用化されている無線通信機能を有する半導体装置は、アンテナと、半導体素子を用いて形成された集積回路とが同一基板上に形成されている。また、無線通信機能を有する半導体装置は、無線タグ、RF (Radio Frequency) タグ、RFID (Radio Frequency Identification) タグ、IC (Integrated Circuit) タグ、またはID (Identification) タグとも呼ばれる。

【0004】

当該半導体装置は、アクティブ型と、パッシブ型の2種に大別される。前者は、半導体装置内に電池を有し、該電池を電力供給源として動作する半導体装置であり、後者は、半導体装置内に電池などの電力供給源が存在せず、外部の質問器（リーダ、リーダライタ、R/Wともいう）から入力される信号を電力供給源として動作する半導体装置である。

【0005】

アクティブ型無線タグは、電力供給源を内蔵しているため、パッシブ型無線タグと比較し質問器との通信距離を長くすることができる。ただし、アクティブ型無線タグは、応答する質問器の有無にかかわらず常時又は定期的に動作（信号の生成）を行うため、消費電力が大きくなる。

【0006】

アクティブ型無線タグの消費電力を低減する技術が特許文献1に開示されている。特許文献1で開示されるアクティブ型無線タグ（アクティブ無線タグ）は、従来のアクティブ型無線タグの構成に加えて、外部からの信号を受信する第2のアンテナと、当該信号を用

10

20

30

40

50

いて発電する発電器と、該発電器の出力電圧が入力される電圧検知回路とを有し、該電圧検知回路によって間欠動作が制御される。これにより、消費電力を低減することができる。

【先行技術文献】

【特許文献】

【0007】

【文献】特開2006-229558

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、間欠動作を行う半導体装置で消費される電力は、動作時における消費電力のみならず待機時における消費電力（以下、待機電力ともいう）も含まれる。なお、ここでは、待機電力とは、電池が電氣的に接続された素子又は回路を介した微量な放電に起因する消費電力を指す。特に、特許文献1で開示される間欠動作を制御することが可能な半導体装置においては、消費電力に占める待機電力の割合が高くなる。そのため、当該半導体装置において消費電力を低減するには、待機電力を低減することが重要となる。

【0009】

そこで、本発明の一態様は、半導体装置の待機電力を低減することを課題の一とする。

【0010】

また、本発明の一態様は、半導体装置を長寿命化することを課題の一とする。

【課題を解決するための手段】

【0011】

上記課題は、電力供給源となる電池と、特定の回路とがチャネル形成領域が酸化物半導体によって構成されるトランジスタを介して電氣的に接続されることによって解決することができる。なお、当該酸化物半導体は、電子供与体（ドナー）となる水素を除去することで、真性又は実質的に真性な半導体である。

【0012】

具体的には、当該酸化物半導体に含まれる水素が 5×10^{19} (atoms/cm³) 以下、好ましくは 5×10^{18} (atoms/cm³) 以下、より好ましくは 5×10^{17} (atoms/cm³) 以下である。このように水素濃度を低減することによって、キャリア密度を 1×10^{14} cm⁻³未満、好ましくは 1×10^{12} cm⁻³未満、さらに好ましくは測定限界以下の 1×10^{11} cm⁻³未満とすることが可能になる。

【0013】

このように高純度化された酸化物半導体をトランジスタのチャネル形成領域に用いることで、チャネル幅が10mmの場合でさえも、当該トランジスタのオフ状態におけるドレイン電流は 1×10^{-13} [A] 以下となるように作用する。すなわち、高純度化された酸化物半導体をトランジスタのチャネル形成領域に適用することによって、リーク電流を大幅に低減することができる。

【0014】

すなわち、本発明の一態様は、アンテナと、電池と、アンテナから入力される信号を復調する復調回路と、復調回路から入力される信号及び電池から供給される電源電圧を用いて動作する信号処理部と、復調回路から入力される信号によって制御されるパワー制御回路と、を有し、信号処理部は、パワー制御回路から入力される信号によってスイッチングが制御されるトランジスタと、トランジスタを介して電池の陽極又は陰極に電氣的に接続された機能回路と、を有し、トランジスタのチャネル形成領域は、水素濃度が 5×10^{19} (atoms/cm³) 以下の酸化物半導体によって構成される半導体装置である。

【0015】

また、上記構成に含まれる復調回路はタイマーに置換することが可能である。つまり、アンテナと、電池と、定期的に信号を出力するタイマーと、タイマーから入力される信号及び電池から供給される電源電圧を用いて動作する信号処理部と、タイマーから入力され

10

20

30

40

50

る信号によって制御されるパワー制御回路と、を有し、信号処理部は、パワー制御回路から入力される信号によってスイッチングが制御されるトランジスタと、トランジスタを介して電池の陽極又は陰極に電氣的に接続された機能回路と、を有し、トランジスタのチャネル形成領域は、水素濃度が $5 \times 10^{19} \text{ (atoms/cm}^3\text{)}$ 以下の酸化物半導体によって構成される半導体装置も本発明の一態様である。

【0016】

また、上記構成における電池が二次電池であり、且つ上記構成に加えて、アンテナから入力される信号を整流する整流回路と、整流回路から入力される信号を用いて二次電池を充電する充電回路と、二次電池を用いて電源電圧を生成する安定化電源回路と、を有する半導体装置も本発明の一態様である。

【0017】

なお、上記の機能回路としては、例えば論理ゲートなどが挙げられる。当該論理ゲートは、相補型金属酸化膜半導体（CMOS）によって構成することが可能であるし、N型トランジスタ（NMOS）のみによって構成することも可能である。

【発明の効果】

【0018】

本発明の一態様の半導体装置は、機能回路と、電池と、機能回路と電池の電氣的な接続を制御するトランジスタとを有する。該トランジスタのチャネル形成領域は、水素濃度が低減された酸化物半導体によって構成される。具体的には、当該酸化物半導体の水素濃度は、 $5 \times 10^{19} \text{ (atoms/cm}^3\text{)}$ 以下である。そのため、待機状態において当該トランジスタをオフすることにより、当該トランジスタを介した放電を抑制することができる。その結果、当該半導体装置の待機電力を低減することができる。また、待機状態における電池の放電を低減することで、半導体装置を長寿命化することができる。

【図面の簡単な説明】

【0019】

【図1】実施の形態1で説明する半導体装置の構成例を示す図。

【図2】実施の形態2で説明する半導体装置の構成例を示す図。

【図3】実施の形態3で説明する半導体装置の構成例を示す図。

【図4】実施の形態4で説明する半導体装置の構成例を示す図。

【図5】（A）～（C）実施の形態4で説明する半導体装置が有する論理ゲートの構成例を示す図。

【図6】（A）～（C）実施の形態4で説明する半導体装置が有する論理ゲートの構成例を示す図。

【図7】実施の形態5で説明するP型トランジスタ及びN型トランジスタの構成例を示す断面図。

【図8】（A）～（H）実施の形態5で説明するP型トランジスタの作製工程の一例を示す断面図。

【図9】（A）～（G）実施の形態5で説明するN型トランジスタの作製工程の一例を示す断面図。

【図10】（A）～（D）実施の形態5で説明するN型トランジスタの作製工程の一例を示す断面図。

【図11】実施の形態5で説明するP型トランジスタ及びN型トランジスタの構成例を示す断面図。

【図12】（A）、（B）実施の形態5で説明するP型トランジスタ及びN型トランジスタの構成例を示す断面図。

【図13】（A）、（B）実施の形態5で説明するP型トランジスタ及びN型トランジスタの構成例を示す断面図。

【図14】（A）、（B）実施の形態5で説明するP型トランジスタ及びN型トランジスタの構成例を示す断面図。

【図15】実施の形態6で説明するトランジスタの構成例を示す（A）平面図、（B）断

10

20

30

40

50

面図。

【図 1 6】 (A) ~ (E) 実施の形態 6 で説明するトランジスタの作製工程の一例を示す断面図。

【図 1 7】 (A) ~ (E) 実施の形態 7 で説明するトランジスタの作製工程の一例を示す断面図。

【図 1 8】 (A) ~ (D) 実施の形態 8 で説明するトランジスタの作製工程の一例を示す断面図。

【図 1 9】 実施の形態 9 で説明する半導体装置の使用例を示す図。

【発明を実施するための形態】

【0020】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0021】

なお、トランジスタのソース端子及びドレイン端子は、トランジスタの構造や動作条件等によって替わるため、いずれがソース端子又はドレイン端子であるかを特定することが困難である。そこで、本書類においては、ソース端子及びドレイン端子の一方を第 1 端子、ソース端子及びドレイン端子の他方を第 2 端子と表記し、区別することとする。

【0022】

また、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。また、本明細書にて用いる「第 1」、「第 2」、「第 3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0023】

(実施の形態 1)

本実施の形態では、半導体装置の一例について説明する。具体的には、電池を電力供給源とした無線通信機能を有する半導体装置の一例について図 1 を参照して説明する。

【0024】

図 1 に示す半導体装置は、無線信号の送受信が可能なアンテナ 10 と、電源電圧 (VDD) の供給源となる電池 11 と、アンテナ 10 から入力される信号を復調する復調回路 12 と、復調回路 12 から入力される信号及び電池 11 から供給される電源電圧 (VDD) を用いて動作する信号処理部 13 と、復調回路 12 から入力される信号及び信号処理部 13 から入力される信号によって制御されるパワー制御回路 14 とを有する。なお、本実施の形態において、動作とは、信号処理部 13 又は信号処理部 13 の一部において行われる信号の生成を指すこととする。

【0025】

さらに、信号処理部 13 は、パワー制御回路 14 から入力される信号によってスイッチングが制御されるトランジスタ 15 を有する。具体的には、トランジスタ 15 は、復調回路 12 からパワー制御回路 14 に入力される信号によってオフ状態からオン状態へのスイッチングが制御され、信号処理部 13 からパワー制御回路 14 に入力される信号によってオン状態からオフ状態へのスイッチングが制御される。

【0026】

また、信号処理部 13 は、復調回路 12 から入力される信号及び電源電圧 (VDD) を用いて動作する機能回路 (図示しない) を有する。なお、トランジスタ 15 は、機能回路と、電池 11 の陽極又は陰極との間に設けられる。すなわち、機能回路が、トランジスタ 15 を介して、電池 11 の陽極又は陰極に電氣的に接続されている。また、当該機能回路は、トランジスタ 15 がオン状態にある期間において、動作を行うことが可能である。

【0027】

10

20

30

40

50

また、トランジスタ 15 のチャネル形成領域は、水素濃度が 5×10^{19} (atoms/cm³) 以下、好ましくは 5×10^{18} (atoms/cm³) 以下、さらに好ましくは 5×10^{17} (atoms/cm³) 以下の酸化物半導体によって構成されている。すなわち、トランジスタ 15 は、キャリアの供与体となる水素を極めて低濃度にまで低下させた高純度化が図られた酸化物半導体をチャネル形成領域に適用したトランジスタである。なお、当該酸化物半導体層中の水素濃度測定は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で行ったものである。

【0028】

これにより、トランジスタ 15 のリーク電流を大幅に低減することが可能である。加えて、本実施の形態の半導体装置は、待機状態においてトランジスタ 15 がオフ状態を維持する。そのため、待機状態における電池 11 の放電を抑制することができる。つまり、半導体装置の待機電力を低減することができる。また、待機状態における電池 11 の放電を抑制することで、半導体装置を長寿命化することができる。

【0029】

<変形例>

なお、上述した半導体装置は、本実施の形態の半導体装置の一例であり、上述した半導体装置と異なる点を有する半導体装置も本実施の形態には含まれる。

【0030】

例えば、上述した半導体装置においては、トランジスタ 15 は、機能回路と、電池 11 の陽極又は陰極との間に設けられる構成について示したが、本実施の形態の半導体装置は当該構成に限定されない。本実施の形態の半導体装置において、トランジスタ 15 は、機能回路の構成要素であっても構わない。また、トランジスタ 15 は、必ずしも電池 11 と直接接続される必要はない。直列に接続された回路又はトランジスタとの順序を入れ替えることで、機能を保ちつつ、当該機能回路内に設けられても構わない。

【0031】

また、上述した半導体装置においては、トランジスタ 15 のオン状態からオフ状態へのスイッチングは、信号処理部 13 の出力信号によって制御される構成について示したが、本実施の形態の半導体装置は当該構成に限定されない。本実施の形態の半導体装置において、トランジスタ 15 のオン状態からオフ状態へのスイッチングは、復調回路 12 から入力される信号によって制御される構成であっても構わない。また、トランジスタ 15 がオフ状態からオン状態へスイッチングした時点から特定の時間が経過した後に、オン状態からオフ状態へのスイッチングが行われる構成であっても構わない。

【0032】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0033】

(実施の形態 2)

本実施の形態では、半導体装置の一例について説明する。具体的には、電池を電力供給源とした無線通信機能を有する半導体装置の一例について図 2 を参照して説明する。

【0034】

図 2 に示す半導体装置は、無線信号の送受信が可能なアンテナ 20 と、電源電圧 (VDD) の供給源となる電池 21 と、定期的に信号を出力することで当該半導体装置の間欠動作を制御するタイマー 22 と、タイマー 22 から入力される信号及び電池 21 から供給される電源電圧 (VDD) を用いて動作する信号処理部 23 と、タイマー 22 から入力される信号及び信号処理部 23 から入力される信号によって制御されるパワー制御回路 24 とを有する。なお、本実施の形態において、動作とは、信号処理部 23 又は信号処理部 23 の一部において行われる信号の生成を指すこととする。

【0035】

さらに、信号処理部 23 は、パワー制御回路 24 から入力される信号によってスイッチ

10

20

30

40

50

ングが制御されるトランジスタ 25 を有する。具体的には、トランジスタ 25 は、タイマー 22 からパワー制御回路 24 に入力される信号によってオフ状態からオン状態へのスイッチングが制御され、信号処理部 23 からパワー制御回路 24 に入力される信号によってオン状態からオフ状態へのスイッチングが制御される。

【0036】

また、信号処理部 23 は、タイマー 22 の出力信号及び電源電圧 (VDD) を用いて動作する機能回路 (図示しない) を有する。なお、トランジスタ 25 は、機能回路と、電池 21 の陽極又は陰極との間に設けられる。すなわち、機能回路が、トランジスタ 25 を介して、電池 21 の陽極又は陰極に電氣的に接続されている。また、当該機能回路は、トランジスタ 25 がオン状態にある期間において、動作を行うことが可能である。

10

【0037】

また、トランジスタ 25 のチャネル形成領域は、水素濃度が 5×10^{19} (atoms/cm³) 以下、好ましくは 5×10^{18} (atoms/cm³) 以下、さらに好ましくは 5×10^{17} (atoms/cm³) 以下の酸化物半導体によって構成されている。すなわち、トランジスタ 25 は、キャリアの供与体となる水素を極めて低濃度にまで低下させた高純度化が図られた酸化物半導体をチャネル形成領域に適用したトランジスタである。なお、当該酸化物半導体層中の水素濃度測定は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で行ったものである。

【0038】

これにより、トランジスタ 25 のリーク電流を大幅に低減することが可能である。加えて、本実施の形態の半導体装置は、待機状態においてトランジスタ 25 がオフ状態を維持する。そのため、待機状態における電池 21 の放電を抑制することができる。つまり、半導体装置の待機電力を低減することができる。また、待機状態における電池 21 の放電を抑制することで、半導体装置を長寿命化することができる。

20

【0039】

<変形例>

なお、上述した半導体装置は、本実施の形態の半導体装置の一例であり、上述した半導体装置と異なる点を有する半導体装置も本実施の形態には含まれる。

【0040】

例えば、上述した半導体装置においては、タイマー 22 の出力信号が信号処理部 23 及びパワー制御回路 24 に入力される構成について示したが、本実施の形態の半導体装置は当該構成に限定されない。本実施の形態の半導体装置において、タイマー 22 の出力信号は、パワー制御回路のみに入力される構成であっても構わない。また、信号処理部 23 の出力信号がタイマー 22 に入力される構成であっても構わない。例えば、信号処理部 23 がタイマー 22 のリセット信号を出力してタイマー 22 に入力することで、次の動作時期を制御することが可能である。

30

【0041】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

40

【0042】

(実施の形態 3)

本実施の形態では、半導体装置の一例について説明する。具体的には、二次電池を電力供給源とした無線通信機能を有する半導体装置の一例について図 3 を参照して説明する。

【0043】

図 3 に示す半導体装置は、無線信号の送受信が可能なアンテナ 30 と、電力供給源となる二次電池 31 と、アンテナ 30 から入力される信号を整流する整流回路 32 と、整流回路 32 から入力される信号を用いて二次電池 31 の充電を行う充電回路 33 と、二次電池 31 を用いて当該半導体装置内で用いられる電源電圧 (VDD) を生成する安定化電源回路 34 と、アンテナ 30 から入力される信号を復調する復調回路 35 と、復調回路 35 か

50

ら入力される信号及び安定化電源回路 34 から供給される電源電圧 (VDD) を用いて動作する信号処理部 36 と、復調回路 35 から入力される信号及び信号処理部 36 から入力される信号によって制御されるパワー制御回路 37 とを有する。なお、本実施の形態において、動作とは、信号処理部 36 又は信号処理部 36 の一部において行われる信号の生成を指すこととする。

【0044】

さらに、信号処理部 36 は、パワー制御回路 37 から入力される信号によってスイッチングが制御されるトランジスタ 38 を有する。具体的には、トランジスタ 38 は、復調回路 35 からパワー制御回路 37 に入力される信号によってオフ状態からオン状態へのスイッチングが制御され、信号処理部 36 からパワー制御回路 37 に入力される信号によって

10

【0045】

また、信号処理部 36 は、復調回路 35 から入力される信号及び電源電圧 (VDD) を用いて動作する機能回路 (図示しない) を有する。なお、トランジスタ 38 は、機能回路と、安定化電源回路 34 との間に設けられる。すなわち、機能回路が、トランジスタ 38 及び安定化電源回路 34 を介して、二次電池 31 の陽極又は陰極に電氣的に接続されている。また、当該機能回路は、トランジスタ 38 がオン状態にある期間において、動作を行うことが可能である。

【0046】

また、トランジスタ 38 のチャネル形成領域は、水素濃度が 5×10^{19} (atoms/cm³) 以下、好ましくは 5×10^{18} (atoms/cm³) 以下、さらに好ましくは 5×10^{17} (atoms/cm³) 以下の酸化物半導体によって構成されている。すなわち、トランジスタ 38 は、キャリアの供与体となる水素を極めて低濃度にまで低下させた高純度化が図られた酸化物半導体をチャネル形成領域に適用したトランジスタである。なお、当該酸化物半導体層中の水素濃度測定は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で行ったものである。

20

【0047】

これにより、トランジスタ 38 のリーク電流を大幅に低減することが可能である。加えて、本実施の形態の半導体装置は、待機状態においてトランジスタ 38 がオフ状態を維持する。そのため、待機状態における二次電池 31 の放電を抑制することができる。つまり、半導体装置の待機電力を低減することができる。また、待機状態における二次電池 31 の放電を抑制することで、半導体装置を長寿命化することができる。

30

【0048】

さらに、図 3 に示した半導体装置は、アンテナ 30 から入力される信号によって二次電池 31 の充電が可能である。なお、当該半導体装置は、動作時において並行して充電を行うことが可能であるし、待機状態においてアンテナ 30 から入力される信号を用いて充電を行うことも可能である。

【0049】

また、当該半導体装置において、待機電力と同程度の電力を常時充電すれば、電池切れは起きない。さらに、当該半導体装置は上述したようにトランジスタ 38 を有することで、待機電力を低減することができる。これにより、当該半導体装置の充電可能距離を向上させることができる。このような特性を有する本実施の形態の半導体装置は、特にアクセスが難しい場所 (体内、放射能、劇薬の存在する空間、又は真空空間など) において有効である。

40

【0050】

<変形例>

なお、上述した半導体装置は、本実施の形態の半導体装置の一例であり、上述した半導体装置と異なる点を有する半導体装置も本実施の形態には含まれる。

【0051】

50

例えば、上述した半導体装置においては、1つのアンテナ30を有し、アンテナ30を用いて無線信号の送受信及び二次電池31の充電を行う構成について示したが、本実施の形態の半導体装置は当該構成に限定されない。本実施の形態の半導体装置において、無線信号の送受信のアンテナと、二次電池31の充電用のアンテナを別途設ける構成であっても構わない。

【0052】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0053】

(実施の形態4)

本実施の形態では、半導体装置の一例について説明する。具体的には、二次電池を電力供給源とした無線通信機能を有する半導体装置の一例について図4を参照して説明する。

【0054】

図4に示す半導体装置は、無線信号の送受信が可能なアンテナ40と、電力供給源となる二次電池41と、アンテナ40から入力される信号を整流する整流回路42と、整流回路42の出力信号を用いて二次電池41の充電を行う充電回路43と、二次電池41を用いて当該半導体装置内で用いられる電源電圧(VDD)を生成する安定化電源回路44と、アンテナ40から入力される信号を復調する復調回路45と、復調回路45から入力される信号及び安定化電源回路44から供給される電源電圧(VDD)を用いて動作する信号処理部46と、復調回路45から入力される信号及び信号処理部46から入力される信号によって制御されるパワー制御回路47とを有する。なお、本実施の形態において、動作とは、信号処理部46又は信号処理部46の一部において行われる信号の生成を指すこととする。

【0055】

さらに、信号処理部46は、復調回路45から入力される信号を用いて処理を行う論理回路48と、当該半導体装置内で用いられるクロック信号(CK)を生成するクロック生成回路49と、特定の外部情報を信号に変換するセンサ50と、情報を記憶するメモリ回路51と、アンテナ40に負荷変調を与える変調回路52とを有する。なお、論理回路48、クロック生成回路49、センサ50、メモリ回路51、及び変調回路52のそれぞれには、パワー制御回路47から出力されるスタンバイ信号(Stdb y)が入力される。

【0056】

本実施の形態の半導体装置に含まれる各種回路は、トランジスタを有する。ここでは、論理回路48が有する論理ゲート(インバータ(NOTゲート)、NORゲート、及びNANDゲート)の具体的な回路構成例について図5を参照して説明する。

【0057】

図5(A)にインバータの具体的な回路構成例を示す。図5(A)に示すインバータは、P型トランジスタ80と、N型トランジスタ81と、N型トランジスタ82とを有する。

【0058】

P型トランジスタ80は、第1端子が電源電圧(VDD)を供給する配線に電氣的に接続される。

【0059】

N型トランジスタ81は、第1端子がP型トランジスタ80の第2端子に電氣的に接続される。

【0060】

N型トランジスタ82は、ゲート端子がスタンバイ信号(Stdb y)を供給する配線に電氣的に接続され、第1端子がN型トランジスタ81の第2端子に電氣的に接続され、第2端子が接地される。

【0061】

なお、図5(A)に示すインバータにおいて、P型トランジスタ80及びN型トランジ

10

20

30

40

50

スタ 81 のゲート端子に入力信号が入力され、P 型トランジスタ 80 の第 2 端子及び N 型トランジスタ 81 の第 1 端子が電氣的に接続するノードの電位がインバータの出力信号として出力される。

【0062】

図 5 (B) に NOR ゲートの具体的な回路構成例を示す。図 5 (B) に示す NOR ゲートは、P 型トランジスタ 83 と、P 型トランジスタ 84 と、N 型トランジスタ 85 と、N 型トランジスタ 86 と、N 型トランジスタ 87 とを有する。

【0063】

P 型トランジスタ 83 は、第 1 端子が電源電圧 (VDD) を供給する配線に電氣的に接続される。

【0064】

P 型トランジスタ 84 は、第 1 端子が P 型トランジスタ 83 の第 2 端子に電氣的に接続される。

【0065】

N 型トランジスタ 85 は、第 1 端子が P 型トランジスタ 84 の第 2 端子に電氣的に接続される。

【0066】

N 型トランジスタ 86 は、第 1 端子が P 型トランジスタ 84 の第 2 端子及び N 型トランジスタ 85 の第 1 端子に電氣的に接続される。

【0067】

N 型トランジスタ 87 は、ゲート端子がスタンバイ信号 (Stdb y) を供給する配線に電氣的に接続され、第 1 端子が N 型トランジスタ 85 の第 2 端子及び N 型トランジスタ 86 の第 2 端子に電氣的に接続され、第 2 端子が接地される。

【0068】

なお、図 5 (B) に示す NOR ゲートにおいて、P 型トランジスタ 83 及び N 型トランジスタ 86 のゲート端子に第 1 の入力信号が、P 型トランジスタ 84 及び N 型トランジスタ 85 のゲート端子に第 2 の入力信号が入力され、P 型トランジスタ 84 の第 2 端子、N 型トランジスタ 85 の第 1 端子、及び N 型トランジスタ 86 の第 1 端子が電氣的に接続するノードの電位が NOR ゲートの出力信号として出力される。

【0069】

図 5 (C) に NAND ゲートの具体的な回路構成例を示す。図 5 (C) に示す NAND ゲートは、P 型トランジスタ 88 と、P 型トランジスタ 89 と、N 型トランジスタ 90 と、N 型トランジスタ 91 と、N 型トランジスタ 92 とを有する。

【0070】

P 型トランジスタ 88 は、第 1 端子が電源電圧 (VDD) を供給する配線に電氣的に接続される。

【0071】

P 型トランジスタ 89 は、第 1 端子が電源電圧 (VDD) を供給する配線に電氣的に接続される。

【0072】

N 型トランジスタ 90 は、第 1 端子が P 型トランジスタ 88 の第 2 端子及び P 型トランジスタ 89 の第 2 端子に電氣的に接続される。

【0073】

N 型トランジスタ 91 は、第 1 端子が N 型トランジスタ 90 の第 2 端子に電氣的に接続される。

【0074】

N 型トランジスタ 92 は、ゲート端子がスタンバイ信号 (Stdb y) を供給する配線に電氣的に接続され、第 1 端子が N 型トランジスタ 91 の第 2 端子に電氣的に接続され、第 2 端子が接地される。

【0075】

10

20

30

40

50

なお、図 5 (C) に示す NAND ゲートにおいて、P 型トランジスタ 88 及び N 型トランジスタ 90 のゲート端子に第 1 の入力信号が、P 型トランジスタ 89 及び N 型トランジスタ 91 のゲート端子に第 2 の入力信号が入力され、P 型トランジスタ 88 の第 2 端子、P 型トランジスタ 89 の第 2 端子、及び N 型トランジスタ 90 の第 1 端子が電氣的に接続するノードの電位が NAND ゲートの出力信号として出力される。

【0076】

上述した論理ゲートは、接地電位を供給する配線との電氣的な接続を制御するトランジスタ (N 型トランジスタ 82、N 型トランジスタ 87、又は N 型トランジスタ 92) を有する。また、当該論理ゲートにおいては、当該トランジスタのチャネル形成領域を水素濃度が 5×10^{19} (atoms/cm³) 以下、好ましくは 5×10^{18} (atoms/cm³) 以下、さらに好ましくは 5×10^{17} (atoms/cm³) 以下の酸化物半導体によって構成する。これにより、当該トランジスタのリーク電流を大幅に低減することができる。そのため、論理ゲートを介して流れる貫通電流を低減することが可能になる。その結果、当該半導体装置の待機電力を低減することができる。

【0077】

なお、ここでは、各論理ゲートが接地電位の入力を制御するトランジスタを有する構成について示したが、1 つのトランジスタによって複数の論理ゲートに対する接地電位の入力を制御する構成であってもよい。

【0078】

また、上述の説明においては、相補型金属酸化膜半導体 (CMOS) によって論理ゲートを構成する例について示したが、本実施の形態の半導体装置は、N 型トランジスタのみによって構成することもできる。図 6 に N 型トランジスタのみによって構成される論理ゲートを示す。図 6 (A) はインバータであり、図 6 (B) は NOR ゲートであり、図 6 (C) NAND ゲートである。端的に言うと、図 6 に示す論理ゲートは、図 5 に示した論理ゲートが有する P 型トランジスタをダイオード接続された N 型トランジスタに置換した構成である。

【0079】

上述したように、図 6 (A) ~ (C) に示す論理ゲートは、接地電位を供給する配線との電氣的な接続を制御するトランジスタとして、チャネル形成領域の水素濃度が 5×10^{19} (atoms/cm³) 以下、好ましくは 5×10^{18} (atoms/cm³) 以下、さらに好ましくは 5×10^{17} (atoms/cm³) 以下の酸化物半導体によって構成されたトランジスタを適用する。これにより、当該トランジスタのリーク電流を大幅に低減することができる。そのため、論理ゲートを介して流れる貫通電流を低減することが可能になる。その結果、当該半導体装置の待機電力を低減することができる。

【0080】

また、クロック生成回路 49、センサ 50、メモリ回路 51、及び変調回路 52 においても、従来の回路構成をもとに、当該回路と接地電位を供給する配線又は当該回路と電源電位 (VDD) を供給する配線の間にパワー制御回路 47 によってスイッチングが制御されるトランジスタを設ける構成とすることが可能である。また、従来の回路構成を構成するブロック単位で、パワー制御回路 47 によって制御されるトランジスタを設けてもよいし、機能回路単位で、パワー制御回路 47 によって制御されるトランジスタを設けてもよい。

【0081】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0082】

(実施の形態 5)

本実施の形態では、実施の形態 1 乃至 4 に示した半導体装置が有するトランジスタの一例について説明する。具体的には、当該半導体装置が有する P 型トランジスタとして、半導体材料を含む基板を用いて形成されるトランジスタを適用し、N 型トランジスタとして

10

20

30

40

50

、酸化物半導体を用いて形成されるトランジスタを適用する例を示す。

【0083】

＜構成例＞

本実施の形態の半導体装置が有するP型トランジスタ及びN型トランジスタを図7に示す。

【0084】

図7に示すP型トランジスタ160は、半導体材料を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた一対の不純物領域114a、114b及び一対の高濃度不純物領域120a、120b（これらをあわせて単に不純物領域とも呼ぶ）と、チャネル形成領域116上に設けられたゲート絶縁層108aと、ゲート絶縁層108a上に設けられたゲート電極層110aと、不純物領域114aと電氣的に接続するソース電極層130aと、不純物領域114bと電氣的に接続するドレイン電極層130bとを有する。

【0085】

なお、ゲート電極層110aの側面にはサイドウォール絶縁層118が設けられている。また、半導体材料を含む基板100のサイドウォール絶縁層118と重ならない領域には、一対の高濃度不純物領域120a、120bを有し、一対の高濃度不純物領域120a、120b上には一対の金属化合物領域124a、124bが存在する。また、基板100上にはP型トランジスタ160を囲むように素子分離絶縁層106が設けられており、P型トランジスタ160を覆うように、層間絶縁層126および層間絶縁層128が設けられている。ソース電極層130a、ドレイン電極層130bは、層間絶縁層126および層間絶縁層128に形成された開口を通じて、一対の金属化合物領域124a、124bの一方と電氣的に接続されている。つまり、ソース電極層130aは、金属化合物領域124aを介して高濃度不純物領域120aおよび不純物領域114aと電氣的に接続され、ドレイン電極層130bは、金属化合物領域124bを介して高濃度不純物領域120bおよび不純物領域114bと電氣的に接続されている。

【0086】

また、後述するN型トランジスタ164の下層には、ゲート絶縁層108aと同一材料からなる絶縁層108b、ゲート電極層110aと同一材料からなる電極層110b、並びにソース電極層130a及びドレイン電極層130bと同一材料からなる電極層130cが設けられている。

【0087】

図7に示すN型トランジスタ164は、層間絶縁層128上に設けられたゲート電極層136dと、ゲート電極層136d上に設けられたゲート絶縁層138と、ゲート絶縁層138上に設けられた酸化物半導体層140と、酸化物半導体層140上に設けられ、酸化物半導体層140と電氣的に接続されているソース電極層142aと、ドレイン電極層142bとを有する。

【0088】

ここで、ゲート電極層136dは、層間絶縁層128上に形成された絶縁層132に、埋め込むように設けられている。また、ゲート電極層136dと同様に、P型トランジスタ160が有する、ソース電極層130aに接する電極層136a及びドレイン電極層130bに接する電極層136bが形成されている。また、電極層130cに接する電極層136cが形成されている。

【0089】

また、N型トランジスタ164の上には、酸化物半導体層140の一部と接するように、保護絶縁層144が設けられており、保護絶縁層144上には層間絶縁層146が設けられている。ここで、保護絶縁層144および層間絶縁層146には、ソース電極層142a及びドレイン電極層142bにまで達する開口が設けられており、当該開口を通じて、ソース電極層142aに接する電極層150d、ドレイン電極層142bに接する電極層150eが形成されている。また、電極層150d、電極層150eと同様に、ゲート

絶縁層 138、保護絶縁層 144、層間絶縁層 146 に設けられた開口を通じて、電極層 136a に接する電極層 150a、電極層 136b に接する電極層 150b、及び電極層 136c に接する電極層 150c が形成されている。

【0090】

ここで、酸化物半導体層 140 は水素などの不純物が十分に除去され、高純度化されている。具体的には、酸化物半導体層 140 の水素濃度は 5×10^{19} (atoms/cm³) 以下である。なお、酸化物半導体層 140 の水素濃度は、 5×10^{18} (atoms/cm³) 以下であることが望ましく、 5×10^{17} (atoms/cm³) 以下であることがより望ましい。水素濃度が十分に低減されて高純度化された酸化物半導体層 140 を用いることで、極めて優れたオフ電流特性の N 型トランジスタ 164 を得ることができる。このように、水素濃度が十分に低減されて高純度化された酸化物半導体層 140 を適用することで、N 型トランジスタ 164 のリーク電流を低減することができる。なお、上述の酸化物半導体層 140 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定したものである。

【0091】

また、層間絶縁層 146 上には絶縁層 152 が設けられており、絶縁層 152 に埋め込まれるように、電極層 154a、電極層 154b、電極層 154c、電極層 154d が設けられている。なお、電極層 154a は電極層 150a と接しており、電極層 154b は電極層 150b と接しており、電極層 154c は電極層 150c および電極層 150d と接しており、電極層 154d は電極層 150e と接している。

【0092】

本実施の形態で示す P 型トランジスタ 160 が有するソース電極層 130a は、上層領域に設けられた電極層 136a、電極層 150a、及び電極層 154a に電氣的に接続している。そのため、P 型トランジスタ 160 のソース電極層 130a は、これらの導電層を適宜形成することにより、上層領域に設けられた N 型トランジスタ 164 が有する電極層のいずれかと電氣的に接続させることが可能である。また、P 型トランジスタが有するドレイン電極層 130b についても同様に、上層領域に設けられた N 型トランジスタ 164 が有する電極層のいずれかと電氣的に接続させることが可能である。なお、図 7 には図示していないが、P 型トランジスタ 160 が有するゲート電極層 110a が、上層領域に設けられた電極層を介して、N 型トランジスタ 164 が有する電極層のいずれかと電氣的に接続する構成にすることもできる。

【0093】

同様に、本実施の形態で示す N 型トランジスタ 164 が有するソース電極層 142a は、下層領域に設けられた電極層 130c 及び電極層 110b に電氣的に接続している。そのため、N 型トランジスタ 164 のソース電極層 130a は、これらの導電層を適宜形成することにより、下層領域に設けられた P 型トランジスタ 160 のゲート電極層 142a、ソース電極層 130a、又はドレイン電極層 130b と電氣的に接続させることが可能である。なお、図 7 には図示していないが、N 型トランジスタ 164 が有するゲート電極層 136d 又はドレイン電極層 142b が、下層領域に設けられた電極層を介して、P 型トランジスタ 160 が有する電極層のいずれかと電氣的に接続する構成にすることもできる。

【0094】

上述した P 型トランジスタ 160 及び N 型トランジスタ 164 を適宜設けることによって、各種回路を構成することができる。なお、当該回路が有する N 型トランジスタ 164 の全てを酸化物半導体を用いて形成されるトランジスタとする必要はなく、各トランジスタに求められる特性に応じて、適宜変更することが可能である。例えば、半導体装置が有する論理ゲートを構成する N 型トランジスタとして、半導体材料を含む基板を用いて形成されるトランジスタを適用し、当該論理ゲートと、電池の陰極との電氣的な接続を制御する N 型トランジスタとして、酸化物半導体を用いて形成されるトランジスタを適用することが可能である。

【0095】

<作製工程例>

次に、P型トランジスタ160及びN型トランジスタ164の作製方法の一例について説明する。以下では、はじめにP型トランジスタ160の作製方法について図8を参照して説明し、その後、N型トランジスタ164の作製方法について図9および図10を参照して説明する。

【0096】

まず、半導体材料を含む基板100を用意する(図8(A)参照)。半導体材料を含む基板100としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。ここでは、半導体材料を含む基板100として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成も含まれるものとする。

【0097】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図8(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、半導体装置のしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0098】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域(露出している領域)の基板100の一部を除去する。これにより分離された半導体領域104が形成される(図8(B)参照)。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0099】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する(図8(B)参照)。当該絶縁層は、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP(Chemical Mechanical Polishing)などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

【0100】

次に、半導体領域104上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0101】

絶縁層は後のゲート絶縁層となるものであり、CVD法やスパッタリング法等を用いて得られる酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、窒化することにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素、アンモニア、窒素、水素などとの混合ガスを用い

10

20

30

40

50

で行うことができる。また、絶縁層の厚さは特に限定されないが、例えば、1 nm以上100 nm以下とすることができる。

【0102】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、導電材料を含む多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

【0103】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108a、ゲート電極層110aを形成する（図8（C）参照）。

【0104】

次に、ゲート電極層110aを覆う絶縁層112を形成する（図8（C）参照）。そして、半導体領域104に硼素（B）やアルミニウム（Al）などを添加して、浅い接合深さの一对の不純物領域114a、114bを形成する（図8（C）参照）。なお、ここではP型トランジスタを形成するために硼素やアルミニウムを添加しているが、N型トランジスタを形成する場合には、リン（P）やヒ素（As）などの不純物元素を添加すればよい。なお、一对の不純物領域114a、114bの形成により、半導体領域104のゲート絶縁層108a下部には、チャネル形成領域116が形成される（図8（C）参照）。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層112を形成した後に一对の不純物領域114a、114bを形成する工程を採用しているが、一对の不純物領域114a、114bを形成した後に絶縁層112を形成する工程としても良い。

【0105】

次に、サイドウォール絶縁層118を形成する（図8（D）参照）。サイドウォール絶縁層118は、絶縁層112を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層112を部分的にエッチングして、ゲート電極層110aの上面と、一对の不純物領域114a、114bの上面を露出させると良い。

【0106】

次に、ゲート電極層110a、一对の不純物領域114a、114b、サイドウォール絶縁層118等を覆うように、絶縁層を形成する。そして、一对の不純物領域114a、114bの一部に対して硼素（B）やアルミニウム（Al）などを添加して、一对の高濃度不純物領域120a、120bを形成する（図8（E）参照）。ここでも、N型トランジスタを形成する場合には、リン（P）やヒ素（As）などの不純物元素を添加すればよい。その後、上記絶縁層を除去し、ゲート電極層110a、サイドウォール絶縁層118、一对の高濃度不純物領域120a、120b等を覆うように金属層122を形成する（図8（E）参照）。金属層122は、真空蒸着法やスパッタリング法、スピコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

【0107】

次に、熱処理を施して、金属層122と半導体材料とを反応させる。これにより、一对の高濃度不純物領域120a、120bに接する一对の金属化合物領域124a、124bが形成される（図8（F）参照）。なお、ゲート電極層110aとして多結晶シリコンなどを用いる場合には、ゲート電極層110aの金属層122と接触する部分にも、金属化合物領域が形成されることになる。

【0108】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理が実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、一対の金属化合物領域124a、124bを形成した後は、金属層122は除去する。

【0109】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層126、層間絶縁層128を形成する（図8（G）参照）。層間絶縁層126や層間絶縁層128は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層126や層間絶縁層128の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層128の形成後には、その表面を、CMPやエッチング処理などによって平坦化しておくことが望ましい。

【0110】

その後、上記層間絶縁層に、一対の金属化合物領域124a、124bにまで達する開口を形成し、当該開口に、ソース電極層130a、ドレイン電極層130bを形成する（図8（H）参照）。ソース電極層130a及びドレイン電極層130bは、例えば、開口を含む領域にPVD法やCVD法などを用いて導電層を形成した後、エッチング処理やCMPといった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【0111】

なお、ソース電極層130a及びドレイン電極層130bを形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後のCMPによって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極層130a及びドレイン電極層130bを含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0112】

なお、ここでは、一対の金属化合物領域124a、124bと接触するソース電極層130a及びドレイン電極層130bのみを示しているが、この工程において、配線として機能する電極層（例えば、図7における電極層130c）などをあわせて形成することができる。ソース電極層130a及びドレイン電極層130bとして用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。

【0113】

以上により、半導体材料を含む基板100を用いたP型トランジスタ160が形成される。なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した回路を提供することができる。また、上記工程と同様の工程によって、半導体材料を含む基板100を用いたN型トランジスタも形成することが可能である。すなわち、上述した工程において、半導体領域に添加する不純物元素をリン（P）やヒ素（As）などの不純物元素に変更することによって、N型トランジスタを形成することができる。

【0114】

次に、図 9 および図 10 を用いて、層間絶縁層 128 上に N 型トランジスタ 164 を作製する工程について説明する。なお、図 9 および図 10 は、層間絶縁層 128 上の各種電極層や、N 型トランジスタ 164 などの作製工程を示すものであるから、N 型トランジスタ 164 の下部に存在する P 型トランジスタ 160 等については省略している。

【0115】

まず、層間絶縁層 128、ソース電極層 130a、ドレイン電極層 130b、電極層 130c 上に絶縁層 132 を形成する（図 9（A）参照）。絶縁層 132 は PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。

10

【0116】

次に、絶縁層 132 に対し、ソース電極層 130a、ドレイン電極層 130b、および電極層 130c にまで達する開口を形成する。この際、後にゲート電極層 136d が形成される領域にも併せて開口を形成する。そして、上記開口に埋め込むように、導電層 134 を形成する（図 9（B）参照）。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソグラフィを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層 134 の形成は、PVD 法や CVD 法などの成膜法を用いて行うことができる。導電層 134 の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物（例えば窒化物）などが挙げられる。

20

【0117】

より具体的には、例えば、開口を含む領域に PVD 法によりチタン膜を薄く形成し、CVD 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極層（ここでは、ソース電極層 130a、ドレイン電極層 130b、電極層 130c など）との接触抵抗を低減させる機能を有する。また、その後形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

30

【0118】

導電層 134 を形成した後は、エッチング処理や CMP といった方法を用いて導電層 134 の一部を除去し、絶縁層 132 を露出させて、電極層 136a、電極層 136b、電極層 136c、ゲート電極層 136d を形成する（図 9（C）参照）。なお、上記導電層 134 の一部を除去して電極層 136a、電極層 136b、電極層 136c、ゲート電極層 136d を形成する際には、表面が平坦になるように加工することが望ましい。このように、絶縁層 132、電極層 136a、電極層 136b、電極層 136c、ゲート電極層 136d の表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

40

【0119】

次に、絶縁層 132、電極層 136a、電極層 136b、電極層 136c、ゲート電極層 136d を覆うように、ゲート絶縁層 138 を形成する（図 9（D）参照）。ゲート絶縁層 138 は、CVD 法やスパッタリング法などを用いて形成することができる。また、ゲート絶縁層 138 は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、ゲート絶縁層 138 は、単層構造としても良いし、積層構造としても良い。例えば、原料ガスとして、シラン（ SiH_4 ）、酸素、窒素を用いたプラズマ CVD 法により、酸化窒化珪素でなるゲート絶縁層 138 を形成することができる。ゲート絶縁層 138 の厚さは特に限定されないが、例えば、10nm 以上 500nm 以下とすることができる。積層構

50

造の場合は、例えば、膜厚 50 nm 以上 200 nm 以下の第 1 のゲート絶縁層と、第 1 のゲート絶縁層上の膜厚 5 nm 以上 300 nm 以下の第 2 のゲート絶縁層の積層とすると好適である。

【0120】

なお、不純物を除去することにより i 型化または実質的に i 型化された酸化物半導体（高純度化された酸化物半導体）は、界面準位や界面電荷に対して極めて敏感であるため、このような酸化物半導体を酸化物半導体層に用いる場合には、ゲート絶縁層との界面は重要である。つまり、高純度化された酸化物半導体層に接するゲート絶縁層 138 には、高品質化が要求されることになる。

【0121】

例えば、 μ 波（2.45 GHz）を用いた高密度プラズマ CVD 法は、緻密で絶縁耐圧の高い高品質なゲート絶縁層 138 を形成できる点で好適である。高純度化された酸化物半導体層と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0122】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、高純度化された酸化物半導体層を用いる場合であっても、スパッタリング法やプラズマ CVD 法など他の方法を適用することができる。また、形成後の熱処理によって、膜質や界面特性が改質される絶縁層を適用しても良い。いずれにしても、ゲート絶縁層 138 としての膜質が良好であると共に、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できるゲート絶縁層 138 を形成すれば良い。

【0123】

さらに、85℃、 2×10^6 (V/cm)、12 時間のゲートバイアス・熱ストレス試験（BT 試験）においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（ V_{th} ）のドリフトを誘発することとなる。

【0124】

これに対して、酸化物半導体の不純物、特に水素や水などを極力排除し、上記のようにゲート絶縁層との界面特性を良好にすることにより、BT 試験に対しても安定なトランジスタを得ることが可能である。

【0125】

次いで、ゲート絶縁層 138 上に、酸化物半導体層を形成し、マスクを用いたエッチングなどの方法によって該酸化物半導体層を加工して、島状の酸化物半導体層 140 を形成する（図 9（E）参照）。

【0126】

酸化物半導体層としては、In-Ga-Zn-O 系、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、In-O 系、Sn-O 系、Zn-O 系の酸化物半導体層、特に非晶質酸化物半導体層を用いるのが好適である。本実施の形態では、酸化物半導体層として In-Ga-Zn-O 系の金属酸化物ターゲットを用いて、非晶質の酸化物半導体層をスパッタ法により形成することとする。なお、非晶質の酸化物半導体層中にシリコンを添加することで、その結晶化を抑制することができるから、例えば、 SiO_2 を 2 重量% 以上 10 重量% 以下含むターゲットを用いて酸化物半導体層を形成しても良い。

【0127】

酸化物半導体層をスパッタリング法で作製するためのターゲットとしては、例えば、酸化物鉛などを主成分とする金属酸化物のターゲットを用いることができる。また、In、Ga、および Zn を含む金属酸化物ターゲット（組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol 比]、 $In : Ga : Zn = 1 : 1 : 0.5$ [atom 比]）などを用いることもできる。また、In、Ga、および Zn を含む金属酸化物ターゲッ

10

20

30

40

50

トとして、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [atom比]、または $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ [atom比]の組成比を有するターゲットなどを用いても良い。金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上（例えば99.9%）である。充填率の高い金属酸化物ターゲットを用いることにより、緻密な酸化物半導体層が形成される。

【0128】

酸化物半導体層の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、数ppm程度（望ましくは数ppb程度）にまで除去された高純度ガスを用いるのが好適である。

10

【0129】

酸化物半導体層の形成の際には、減圧状態に保持された処理室内に基板を保持し、基板温度を100℃以上600℃以下好ましくは200℃以上400℃以下とする。基板を加熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素および水が除去されたスパッタガスを導入し、金属酸化物をターゲットとして酸化物半導体層を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることができる。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で形成した酸化物半導体層に含まれる不純物の濃度を低減できる。

20

【0130】

形成条件としては、例えば、基板とターゲットの間との距離が100mm、圧力が0.6Pa、直流（DC）電力が0.5kW、雰囲気が酸素（酸素流量比率100%）雰囲気、といった条件を適用することができる。なお、パルス直流（DC）電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるため、好ましい。酸化物半導体層の厚さは、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚さは異なるから、その厚さは用いる材料に応じて適宜選択すればよい。

30

【0131】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層138の表面に付着しているゴミを除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いても良い。

40

【0132】

上記酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定する。

【0133】

ドライエッチングに用いるエッチングガスには、例えば、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）、塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）などがある。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（

50

CHF₃)など)、臭化水素(HBr)、酸素(O₂)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いても良い。

【0134】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)は適宜設定する。

【0135】

ウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)などのエッチング液を用いてもよい。

【0136】

次いで、酸化物半導体層に第1の熱処理を行うことが望ましい。この第1の熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の熱処理の温度は、300℃以上750℃以下、好ましくは400℃以上基板の歪み点未満とする。例えば、抵抗発熱体などを用いた電気炉に基板を導入し、酸化物半導体層140に対して窒素雰囲気下450℃において1時間の熱処理を行う。この間、酸化物半導体層140は、大気に触れることなく、水や水素の再混入が行われなくようにする。

【0137】

なお、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。気体としては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

【0138】

例えば、第1の熱処理として、650℃~700℃の高温に加熱した不活性ガス中に基板を投入し、数分間加熱した後、当該不活性ガス中から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の歪み点を超える温度条件であっても適用が可能となる。

【0139】

なお、第1の熱処理は、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気で行うことが望ましい。例えば、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0140】

第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。

【0141】

また、非晶質の酸化物半導体(例えば、酸化物半導体層の表面)に微結晶(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体層とな

10

20

30

40

50

る場合もある。

【0142】

また、非晶質中に微結晶を配列させることで、酸化物半導体層の電気的特性を変化させることも可能である。例えば、 In-Ga-Zn-O 系の金属酸化物ターゲットを用いて酸化物半導体層を形成する場合には、電気的異方性を有する $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶粒が配向した微結晶部を形成することで、酸化物半導体層の電気的特性を変化させることができる。

【0143】

より具体的には、例えば、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ のc軸が酸化物半導体層の表面に垂直な方向をとるように配向させることで、酸化物半導体層の表面に平行な方向の導電性を向上させ、酸化物半導体層の表面に垂直な方向の絶縁性を向上させることができる。また、このような微結晶部は、酸化物半導体層中への水や水素などの不純物の侵入を抑制する機能を有する。

【0144】

なお、上述の微結晶部を有する酸化物半導体層は、GRTA処理による酸化物半導体層の表面加熱によって形成することができる。また、Znの含有量がInまたはGaの含有量より小さいスパッタターゲットを用いることで、より好適に形成することが可能である。

【0145】

酸化物半導体層140に対する第1の熱処理は、島状の酸化物半導体層140に加工する前の酸化物半導体層に行うこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行うことになる。

【0146】

なお、上記熱処理は、酸化物半導体層140に対する脱水化、脱水素化の効果があるから、脱水化処理、脱水素化処理などと呼ぶこともできる。このような脱水化処理、脱水素化処理は、酸化物半導体層の形成後、酸化物半導体層140上にソース電極層及びドレイン電極層を積層させた後、又はソース電極層及びドレイン電極層上に保護絶縁層を形成した後、などのタイミングにおいて行うことが可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

【0147】

次に、酸化物半導体層140に接するように、ソース電極層142a及びドレイン電極層142bを形成する（図9（F）参照）。ソース電極層142a及びドレイン電極層142bは、酸化物半導体層140を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

【0148】

当該導電層は、スパッタ法などのPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガンを、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせた材料を用いてもよい。導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。

【0149】

ここで、エッチングに用いるマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるのが好適である。

【0150】

トランジスタのチャネル長（L）は、ソース電極層142aの下端部と、ドレイン電極

10

20

30

40

50

層 1 4 2 b の下端部との間隔によって決定される。なお、チャンネル長 (L) が 2 5 n m 未満の露光を行う場合には、数 n m ～ 数 1 0 n m と極めて波長が短い超紫外線 (E x t r e m e U l t r a v i o l e t) を用いてマスク形成の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長 (L) を 1 0 n m 以上 1 0 0 0 n m 以下とすることも可能であり、回路の動作速度を高速化できる。

【 0 1 5 1 】

なお、導電層のエッチングの際には、酸化物半導体層 1 4 0 が除去されないように、それぞれの材料およびエッチング条件を適宜調節する。なお、材料およびエッチング条件によっては、当該工程において、酸化物半導体層 1 4 0 の一部がエッチングされ、溝部 (凹部) を有する酸化物半導体層となることもある。

10

【 0 1 5 2 】

また、酸化物半導体層 1 4 0 とソース電極層 1 4 2 a の間、又は酸化物半導体層 1 4 0 とドレイン電極層 1 4 2 b の間に、酸化物導電層を形成してもよい。酸化物導電層と、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b を形成するための金属層とは、連続して形成すること (連続成膜) が可能である。酸化物導電層は、ソース領域またはドレイン領域として機能しうる。このような酸化物導電層を設けることで、ソース領域またはドレイン領域の低抵抗化を図ることができるため、トランジスタの高速動作が実現される。

【 0 1 5 3 】

また、上記マスクの使用数や工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによってレジストマスクを形成し、これを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは、複数の厚みを有する形状 (階段状) となり、アッシングによりさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。つまり、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が図れる。

20

【 0 1 5 4 】

なお、上述の工程の後には、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行うのが好ましい。当該プラズマ処理によって、露出している酸化物半導体層の表面に付着した水などが除去される。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

30

【 0 1 5 5 】

次に、大気に触れさせることなく、酸化物半導体層 1 4 0 の一部に接する保護絶縁層 1 4 4 を形成する (図 9 (G) 参照)。

【 0 1 5 6 】

保護絶縁層 1 4 4 は、スパッタ法など、保護絶縁層 1 4 4 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。また、その厚さは、少なくとも 1 n m 以上とする。保護絶縁層 1 4 4 に用いることができる材料としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などがある。また、その構造は、単層構造としても良いし、積層構造としても良い。保護絶縁層 1 4 4 を形成する際の基板温度は、室温以上 3 0 0 °C 以下とするのが好ましく、雰囲気は、希ガス (代表的にはアルゴン) 雰囲気、酸素雰囲気、または希ガス (代表的にはアルゴン) と酸素の混合雰囲気とするのが好適である。

40

【 0 1 5 7 】

保護絶縁層 1 4 4 に水素が含まれると、その水素の酸化物半導体層 1 4 0 への侵入や、水素による酸化物半導体層 1 4 0 中の酸素の引き抜き、などが生じ、酸化物半導体層 1 4 0 のバックチャンネル側が低抵抗化してしまい、寄生チャンネルが形成されるおそれがある。よって、保護絶縁層 1 4 4 はできるだけ水素を含まないように、形成方法においては水素を用いないことが重要である。

【 0 1 5 8 】

50

また、処理室内の残留水分を除去しつつ保護絶縁層 144 を形成することが好ましい。酸化半導体層 140 および保護絶縁層 144 に水素、水酸基または水分が含まれないようにするためである。

【0159】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子や、水 (H_2O) など水素原子を含む化合物等が除去されているため、当該処理室で形成した保護絶縁層 144 に含まれる不純物の濃度を低減できる。

10

【0160】

保護絶縁層 144 を形成する際に用いるスパッタガスとしては、水素、水、水酸基または水素化物などの不純物が、数 ppm 程度（望ましくは、数 ppb 程度）にまで除去された高純度ガスを用いることが好ましい。

【0161】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の熱処理（好ましくは 200℃以上 400℃以下、例えば 250℃以上 350℃以下）を行うのが望ましい。例えば、窒素雰囲気下で 250℃、1 時間の第 2 の熱処理を行う。第 2 の熱処理を行うと、トランジスタの電気的特性のばらつきを軽減することができる。

【0162】

20

また、大気中、100℃以上 200℃以下、1 時間以上 30 時間以下の熱処理を行ってもよい。この熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100℃以上 200℃以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この熱処理を、保護絶縁層の形成前に、減圧下で行ってもよい。減圧下で熱処理を行うと、加熱時間を短縮することができる。なお、当該熱処理は、上記第 2 の熱処理に代えて行っても良いし、第 2 の熱処理の前後などに行っても良い。

【0163】

次に、保護絶縁層 144 上に、層間絶縁層 146 を形成する（図 10 (A) 参照）。層間絶縁層 146 は PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。層間絶縁層 146 の形成後には、その表面を、CMP やエッチングなどの方法によって平坦化しておくことが望ましい。

30

【0164】

次に、層間絶縁層 146、保護絶縁層 144、およびゲート絶縁層 138 に対し、電極層 136a、電極層 136b、電極層 136c、ソース電極層 142a、ドレイン電極層 142b にまで達する開口を形成し、当該開口に埋め込むように導電層 148 を形成する（図 10 (B) 参照）。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソグラフィを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層 148 の形成は、PVD 法や CVD 法などの成膜法を用いて行うことができる。導電層 148 の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物（例えば窒化物）などが挙げられる。

40

【0165】

具体的には、例えば、開口を含む領域に PVD 法によりチタン膜を薄く形成し、CVD 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極（ここでは、電極層 136a、電極層 136b、電極層 13

50

6 c、ソース電極層 1 4 2 a、ドレイン電極層 1 4 2 b) との接触抵抗を低減させる機能を有する。また、その後の形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0166】

導電層 1 4 8 を形成した後は、エッチングや CMP といった方法を用いて導電層 1 4 8 の一部を除去し、層間絶縁層 1 4 6 を露出させて、電極層 1 5 0 a、電極層 1 5 0 b、電極層 1 5 0 c、電極層 1 5 0 d、電極層 1 5 0 e を形成する（図 10 (C) 参照）。なお、上記導電層 1 4 8 の一部を除去して電極層 1 5 0 a、電極層 1 5 0 b、電極層 1 5 0 c、電極層 1 5 0 d、電極層 1 5 0 e を形成する際には、表面が平坦になるように加工することが望ましい。このように、層間絶縁層 1 4 6、電極層 1 5 0 a、電極層 1 5 0 b、電極層 1 5 0 c、電極層 1 5 0 d、電極層 1 5 0 e の表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0167】

さらに、絶縁層 1 5 2 を形成し、絶縁層 1 5 2 に、電極層 1 5 0 a、電極層 1 5 0 b、電極層 1 5 0 c、電極層 1 5 0 d、電極層 1 5 0 e にまで達する開口を形成し、当該開口に埋め込むように導電層を形成した後、エッチングや CMP などの方法を用いて導電層の一部を除去し、絶縁層 1 5 2 を露出させて、電極層 1 5 4 a、電極層 1 5 4 b、電極層 1 5 4 c、電極層 1 5 4 d を形成する（図 10 (D) 参照）。当該工程は、電極層 1 5 0 a 等を形成する場合と同様であるから、詳細は省略する。

【0168】

上述のような方法で N 型トランジスタ 1 6 4 を作製した場合、酸化物半導体層 1 4 0 の水素濃度は 5×10^{19} (atoms/cm³) 以下となり、N 型トランジスタ 1 6 4 のリーク電流を低減することが可能になる。このような、優れた特性の N 型トランジスタ 1 6 4 を実施の形態 1 乃至 4 に示した半導体装置に適用することによって、当該半導体装置の待機電力を低減することが可能になる。

【0169】

<変形例>

図 1 1 乃至図 1 4 には、N 型トランジスタ 1 6 4 の構成の変形例を示す。つまり、P 型トランジスタ 1 6 0 の構成は上記と同様である。

【0170】

図 1 1 には、酸化物半導体層 1 4 0 の下にゲート電極層 1 3 6 d を有し、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b が、酸化物半導体層 1 4 0 の下側において接する構成の N 型トランジスタ 1 6 4 を示す。

【0171】

図 1 1 に示す構成と図 7 に示す構成の大きな相違点として、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b と、酸化物半導体層 1 4 0 との接続の位置が挙げられる。つまり、図 7 に示す構成では、酸化物半導体層 1 4 0 の上側表面において、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b と接するのに対して、図 1 1 に示す構成では、酸化物半導体層 1 4 0 の下側において、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b と接する。そして、この接触の相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図 7 と同様である。

【0172】

具体的には、図 1 1 に示す N 型トランジスタ 1 6 4 は、層間絶縁層 1 2 8 上に設けられたゲート電極層 1 3 6 d と、ゲート電極層 1 3 6 d 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上に設けられた、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b と、ソース電極層 1 4 2 a 及びドレイン電極層 1 4 2 b の上側表面に接する酸化物半導体層 1 4 0 と、を有する。また、N 型トランジスタ 1 6 4 の上には、酸化物半導体層 1 4 0 を覆うように、保護絶縁層 1 4 4 が設けられている。

【0173】

図12には、酸化物半導体層140の上にゲート電極層136dを有するN型トランジスタ164を示す。ここで、図12(A)は、ソース電極層142a及びドレイン電極層142bが、酸化物半導体層140の下側表面において酸化物半導体層140と接する構成の例を示す図であり、図12(B)は、ソース電極層142a及びドレイン電極層142bが、酸化物半導体層140の上側表面において酸化物半導体層140と接する構成の例を示す図である。

【0174】

図7又は図11に示す構成と図12に示す構成の大きな相違点は、酸化物半導体層140の上にゲート電極層136dを有する点である。また、図12(A)に示す構成と図12(B)に示す構成の大きな相違点は、ソース電極層142a及びドレイン電極層142bが、酸化物半導体層140の下側表面または上側表面のいずれにおいて接するか、という点である。そして、これらの相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図7などと同様である。

10

【0175】

具体的には、図12(A)に示すN型トランジスタ164は、層間絶縁層128上に設けられたソース電極層142a及びドレイン電極層142bと、ソース電極層142a及びドレイン電極層142bの上側表面に接する酸化物半導体層140と、酸化物半導体層140上に設けられたゲート絶縁層138と、ゲート絶縁層138上の酸化物半導体層140と重畳する領域のゲート電極層136dと、を有する。

【0176】

また、図12(B)に示すN型トランジスタ164は、層間絶縁層128上に設けられた酸化物半導体層140と、酸化物半導体層140の上側表面に接するように設けられたソース電極層142a及びドレイン電極層142bと、酸化物半導体層140、ソース電極層142a、及びドレイン電極層142b上に設けられたゲート絶縁層138と、ゲート絶縁層138上の酸化物半導体層140と重畳する領域に設けられたゲート電極層136dと、を有する。

20

【0177】

なお、図12に示す構成では、図7に示す構成などと比較して、構成要素が省略される場合がある（例えば、電極層150aや、電極層154aなど）。この場合、作製工程の簡略化という副次的な効果も得られる。もちろん、図7などに示す構成においても、必須ではない構成要素を省略できることはいうまでもない。

30

【0178】

図13には、素子のサイズが比較的大きい場合であって、酸化物半導体層140の下にゲート電極層136dを有する構成のN型トランジスタ164を示す。この場合、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極層136dなどを形成することが可能である。

【0179】

図13(A)に示す構成と図13(B)に示す構成の大きな相違点は、ソース電極層142a及びドレイン電極層142bが、酸化物半導体層140の下側表面または上側表面のいずれにおいて接するか、という点である。そして、これらの相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図7などと同様である。

40

【0180】

具体的には、図13(A)に示すN型トランジスタ164は、層間絶縁層128上に設けられたゲート電極層136dと、ゲート電極層136d上に設けられたゲート絶縁層138と、ゲート絶縁層138上に設けられた、ソース電極層142a及びドレイン電極層142bと、ソース電極層142a及びドレイン電極層142bの上側表面に接する酸化物半導体層140と、を有する。

【0181】

50

また、図 13 (B) に示す N 型トランジスタ 164 は、層間絶縁層 128 上に設けられたゲート電極層 136 d と、ゲート電極層 136 d 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上のゲート電極層 136 d と重畳する領域に設けられた酸化物半導体層 140 と、酸化物半導体層 140 の上側表面に接するように設けられたソース電極層 142 a 及びドレイン電極層 142 b と、を有する。

【0182】

なお、図 13 に示す構成においても、図 7 に示す構成などと比較して、構成要素が省略される場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0183】

図 14 には、素子のサイズが比較的大きい場合であって、酸化物半導体層 140 の上にゲート電極層 136 d を有する構成の N 型トランジスタ 164 を示す。この場合にも、表面の平坦性やカバレッジに対する要求は比較的緩やかなものであるから、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極層 136 d など形成することが可能である。

【0184】

図 14 (A) に示す構成と図 14 (B) に示す構成の大きな相違点は、ソース電極層 142 a 及びドレイン電極層 142 b が、酸化物半導体層 140 の下側表面または上側表面のいずれにおいて接するか、という点である。そして、これらの相違に起因して、その他の電極層、絶縁層などの配置が異なるものとなっている。なお、各構成要素の詳細は、図 7 などと同様である。

【0185】

具体的には、図 14 (A) に示す N 型トランジスタ 164 は、層間絶縁層 128 上に設けられたソース電極層 142 a 及びドレイン電極層 142 b と、ソース電極層 142 a 及びドレイン電極層 142 b の上側表面に接する酸化物半導体層 140 と、ソース電極層 142 a、ドレイン電極層 142 b、及び酸化物半導体層 140 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上の酸化物半導体層 140 と重畳する領域に設けられたゲート電極層 136 d と、を有する。

【0186】

また、図 14 (B) に示す N 型トランジスタ 164 は、層間絶縁層 128 上に設けられた酸化物半導体層 140 と、酸化物半導体層 140 の上側表面に接するように設けられたソース電極層 142 a 及びドレイン電極層 142 b と、ソース電極層 142 a、ドレイン電極層 142 b、及び酸化物半導体層 140 上に設けられたゲート絶縁層 138 と、ゲート絶縁層 138 上の酸化物半導体層 140 と重畳する領域に設けられたゲート電極層 136 d と、を有する。

【0187】

なお、図 14 に示す構成においても、図 7 に示す構成などと比較して、構成要素が省略される場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0188】

本実施の形態では、P 型トランジスタ 160 上に N 型トランジスタ 164 を積層して形成する例について説明したが、P 型トランジスタ 160 及び N 型トランジスタ 164 の構成はこれに限られるものではない。例えば、同一平面上に P 型トランジスタ及び N 型トランジスタを形成することができる。さらに、P 型トランジスタ 160 と、N 型トランジスタ 164 とを重畳して設けても良い。

【0189】

上述した N 型トランジスタ 164 を実施の形態 1 乃至 4 に示した半導体装置が有する N 型トランジスタに適用することによって、待機状態における電池の放電を抑制することができる。つまり、半導体装置の待機電力を低減することができる。また、待機状態における電池の放電を抑制することで、半導体装置を長寿命化することができる。

【0190】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一

10

20

30

40

50

部と自由に組み合わせることが可能である。

【0191】

(実施の形態6)

本実施の形態では、実施の形態1乃至4に示した半導体装置が有するトランジスタの一例について説明する。具体的には、チャネル形成領域が酸化物半導体によって構成されるトランジスタの一例について説明する。

【0192】

本実施の形態のトランジスタ及びその作製方法の一形態を、図15及び図16を用いて説明する。

【0193】

図15(A)、(B)にトランジスタの平面及び断面構造の一例を示す。図15(A)、(B)に示すトランジスタ460は、トップゲート構造のトランジスタである。

【0194】

図15(A)はトップゲート構造のトランジスタ460の平面図であり、図15(B)は図15(A)の線D1-D2における断面図である。

【0195】

トランジスタ460は、絶縁表面を有する基板450上に、絶縁層457、ソース電極層又はドレイン電極層465a(465a1、465a2)、酸化物半導体層462、ソース電極層又はドレイン電極層465b、配線層468、ゲート絶縁層452、ゲート電極層461(461a、461b)を含み、ソース電極層又はドレイン電極層465a(465a1、465a2)は配線層468を介して配線層464と電氣的に接続している。また、図示していないが、ソース電極層又はドレイン電極層465bもゲート絶縁層452に設けられた開口において配線層と電氣的に接続する。

【0196】

以下、図16(A)乃至(E)を用い、基板450上にトランジスタ460を作製する工程を説明する。

【0197】

まず、絶縁表面を有する基板450上に下地膜となる絶縁層457を形成する。

【0198】

本実施の形態では、絶縁層457として、スパッタリング法により酸化シリコン層を形成する。基板450を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコンターゲット又は石英(好ましくは合成石英)を用いて、基板450に絶縁層457として、酸化シリコン層を成膜する。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0199】

例えば、純度が6Nであり、石英(好ましくは合成石英)を用い、基板温度108℃、基板とターゲットの間との距離(T-S間距離)を60mm、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm=1:1)雰囲気下でRFスパッタリング法により酸化シリコン膜を成膜する。膜厚は100nmとする。なお、石英(好ましくは合成石英)に代えてシリコンターゲットを酸化シリコン膜を成膜するためのターゲットとして用いることができる。

【0200】

この場合において、処理室内の残留水分を除去しつつ絶縁層457を成膜することが好ましい。絶縁層457に水素、水酸基又は水分が含まれないようにするためである。クライオポンプを用いて排気した処理室は、例えば、水素原子や、水(H₂O)など水素原子を含む化合物を含む化合物等が排気されるため、当該処理室で成膜し絶縁層457に含まれる不純物の濃度を低減できる。

【0201】

絶縁層457を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、数ppm程度、数ppb程度まで除去された高純度ガスを用いることが好

10

20

30

40

50

ましい。

【0202】

また、絶縁層457は積層構造でもよく、例えば、基板450側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、窒化酸化アルミニウム層などの窒化物絶縁層と、上記酸化物絶縁層との積層構造としてもよい。

【0203】

例えば、酸化シリコン層と基板との間に水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

【0204】

次いで、絶縁層457上に、導電膜を形成し、第1のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層465a1、465a2を形成した後、レジストマスクを除去する(図16(A)参照)。ソース電極層又はドレイン電極層465a1、465a2は断面図では分断されて示されているが、連続した膜である。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

【0205】

ソース電極層又はドレイン電極層465a1、465a2の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれかまたは複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

【0206】

本実施の形態ではソース電極層又はドレイン電極層465a1、465a2としてスパッタリング法により膜厚150nmのチタン膜を形成する。

【0207】

次いで、絶縁層457及びソース電極層又はドレイン電極層465a1、465a2上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成する。

【0208】

次に第2のフォトリソグラフィ工程により島状の酸化物半導体層462に加工する(図16(B)参照)。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。

【0209】

酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板450上に酸化物半導体膜を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子、水(H₂O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜成膜時に基板を加

10

20

30

40

50

熱してもよい。

【0210】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、数ppm程度、数ppb程度まで除去された高純度ガスを用いることが好ましい。

【0211】

成膜条件の一例としては、基板温度室温、基板とターゲットの間との距離を60mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素及びアルゴン(酸素流量15sccm：アルゴン流量30sccm)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

10

【0212】

本実施の形態では、エッチング液として磷酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体膜を島状の酸化物半導体層462に加工する。

【0213】

本実施の形態では、酸化物半導体層462に、第1の加熱処理を行う。第1の加熱処理の温度は、400℃以上750℃以下、好ましくは400℃以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450℃において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。この第1の加熱処理によって酸化物半導体層462の脱水化または脱水素化を行うことができる。

20

【0214】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。例えば、第1の加熱処理として、650℃～700℃の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

30

【0215】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0216】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、結晶化し、微結晶膜または多結晶膜となる場合もある。

40

【0217】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0218】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にさらにソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行っても良い。

【0219】

50

次いで、絶縁層 4 5 7 及び酸化物半導体層 4 6 2 上に、導電膜を形成し、第 3 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層 4 6 5 b、配線層 4 6 8 を形成した後、レジストマスクを除去する（図 1 6 (C) 参照）。ソース電極層又はドレイン電極層 4 6 5 b、配線層 4 6 8 はソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 と同様な材料及び工程で形成すればよい。

【0 2 2 0】

本実施の形態ではソース電極層又はドレイン電極層 4 6 5 b、配線層 4 6 8 としてスパッタリング法により膜厚 1 5 0 n m のチタン膜を形成する。本実施の形態では、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b に同じチタン膜を用いる例のため、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b とはエッチングにおいて選択比がとれない。よって、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 が、ソース電極層又はドレイン電極層 4 6 5 b のエッチング時にエッチングされないように、酸化物半導体層 4 6 2 に覆われないソース電極層又はドレイン電極層 4 6 5 a 2 上に配線層 4 6 8 を設けている。ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b とにエッチング工程において高い選択比を有する異なる材料を用いる場合には、エッチング時にソース電極層又はドレイン電極層 4 6 5 a 2 を保護する配線層 4 6 8 は必ずしも設けなくてもよい。

【0 2 2 1】

なお、導電膜のエッチングの際に、酸化物半導体層 4 6 2 は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0 2 2 2】

本実施の形態では、導電膜として T i 膜を用いて、酸化物半導体層 4 6 2 には I n - G a - Z n - O 系酸化物半導体を用いて、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いる。

【0 2 2 3】

なお、第 3 のフォトリソグラフィ工程では、酸化物半導体層 4 6 2 は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。また、ソース電極層又はドレイン電極層 4 6 5 b、配線層 4 6 8 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0 2 2 4】

次いで、絶縁層 4 5 7、酸化物半導体層 4 6 2、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2、ソース電極層又はドレイン電極層 4 6 5 b、及び配線層 4 6 8 上にゲート絶縁層 4 5 2 を形成する。

【0 2 2 5】

ゲート絶縁層 4 5 2 は、プラズマ C V D 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層 4 5 2 中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層 4 5 2 を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0 2 2 6】

ゲート絶縁層 4 5 2 は、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2、ソース電極層又はドレイン電極層 4 6 5 b 側から酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。本実施の形態では、圧力 0 . 4 P a、高周波電源 1 . 5 k W、酸素及びアルゴン（酸素流量 2 5 s c c m：アルゴン流量 2 5 s c c m = 1：1）雰囲気下で R F スパッタリング法により膜厚 1 0 0 n m の酸化シリコン層を形成する。

【0227】

次いで、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層452の一部を除去して、配線層468に達する開口423を形成する（図16（D）参照）。図示しないが開口423の形成時にソース電極層又はドレイン電極層465bに達する開口を形成してもよい。本実施の形態では、ソース電極層又はドレイン電極層465bへの開口はさらに層間絶縁層を積層した後に形成し、電氣的に接続する配線層を開口に形成する例とする。

【0228】

次に、ゲート絶縁層452、及び開口423上に導電膜を形成した後、第5のフォトリソグラフィ工程によりゲート電極層461（461a、461b）、配線層464を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0229】

また、ゲート電極層461（461a、461b）、配線層464の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0230】

本実施の形態ではゲート電極層461（461a、461b）、配線層464としてスパッタリング法により膜厚150nmのチタン膜を形成する。

【0231】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200℃以上400℃以下、例えば250℃以上350℃以下）を行う。本実施の形態では、窒素雰囲気下で250℃、1時間の第2の加熱処理を行う。また、第2の加熱処理は、トランジスタ460上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

【0232】

さらに大気中、100℃以上200℃以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100℃以上200℃以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0233】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層462を有するトランジスタ460を形成することができる（図16（E）参照）。

【0234】

また、トランジスタ460上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。なお、図示しないが、ゲート絶縁層452、保護絶縁層や平坦化絶縁層にソース電極層又はドレイン電極層465bに達する開口を形成し、その開口に、ソース電極層又はドレイン電極層465bと電氣的に接続する配線層を形成する。

【0235】

上記のように酸化物半導体膜を成膜する際に、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0236】

上述したトランジスタを実施の形態1乃至4に示した半導体装置が有するトランジスタに適用することによって、待機状態における電池の放電を抑制することができる。つまり、半導体装置の待機電力を低減することができる。また、待機状態における電池の放電を抑制することで、半導体装置を長寿命化することができる。

【0237】

さらに、実施の形態1乃至4に示した半導体装置が有するトランジスタのすべてを本実

10

20

30

40

50

施の形態のトランジスタによって構成することで、作製プロセスを低減し、歩留まりの向上及び製造コストの低減を図ることができる。

【0238】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0239】

(実施の形態7)

本実施の形態では、実施の形態1乃至4に示した半導体装置が有するトランジスタの一例について説明する。具体的には、チャネル形成領域が酸化物半導体によって構成されるトランジスタの一例について説明する。

【0240】

本実施の形態のトランジスタ及びその作製方法の一形態を、図17を用いて説明する。

【0241】

図17(A)乃至(E)にトランジスタの断面構造の一例を示す。図17(A)乃至(E)に示すトランジスタ390は、ボトムゲート構造の一つであり逆スタガ型トランジスタともいう。

【0242】

また、トランジスタ390はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造のトランジスタも形成することができる。

【0243】

以下、図17(A)乃至(E)を用い、基板394上にトランジスタ390を作製する工程を説明する。

【0244】

まず、絶縁表面を有する基板394上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層391を形成する。形成されたゲート電極層391の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0245】

絶縁表面を有する基板394に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0246】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730℃以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。一般に、酸化ホウ素と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、B₂O₃よりBaOを多く含むガラス基板を用いることが好ましい

【0247】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラス基板などを用いることができる。また、プラスチック基板等も適宜用いることができる。

【0248】

下地膜となる絶縁膜を基板394とゲート電極層391との間に設けてもよい。下地膜は、基板394からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0249】

10

20

30

40

50

また、ゲート電極層 391 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0250】

例えば、ゲート電極層 391 の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された 2 層の積層構造、銅層上にモリブデン層を積層した 2 層構造、銅層上に窒化チタン層若しくは窒化タンタルを積層した 2 層構造、窒化チタン層とモリブデン層とを積層した 2 層構造、又は窒化タングステン層とタングステン層とを積層した 2 層構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物膜等をその例に挙げることができる。

【0251】

次いで、ゲート電極層 391 上にゲート絶縁層 397 を形成する。

【0252】

ゲート絶縁層 397 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層 397 中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層 397 を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0253】

ゲート絶縁層 397 は、ゲート電極層 391 側から窒化シリコン層と酸化シリコン層を積層した構造とすることもできる。例えば、第 1 のゲート絶縁層としてスパッタリング法により膜厚 50 nm 以上 200 nm 以下の窒化シリコン層 (SiN_y ($y > 0$)) を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層として膜厚 5 nm 以上 300 nm 以下の酸化シリコン層 (SiO_x ($x > 0$)) を積層してゲート絶縁層とする。

【0254】

また、ゲート絶縁層 397、酸化物半導体膜 393 に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層 391 が形成された基板 394、又はゲート絶縁層 397 までが形成された基板 394 を予備加熱し、基板 394 に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100℃以上 400℃以下、好ましくは 150℃以上 300℃以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、酸化物絶縁層 396 の成膜前に、ソース電極層 395a 及びドレイン電極層 395b まで形成した基板 394 にも同様に行ってもよい。

【0255】

次いで、ゲート絶縁層 397 上に、膜厚 2 nm 以上 200 nm 以下の酸化物半導体膜 393 を形成する (図 17 (A) 参照)。

【0256】

なお、酸化物半導体膜 393 をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 397 の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0257】

酸化物半導体膜 393 はスパッタリング法により成膜する。酸化物半導体膜 393 は、 In-Ga-Zn-O 系、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜 393 を In-Ga-Zn-O 系金属酸化物ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体膜 393 は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、 SiO_2 を 2 重量%以上 10 重量%以下含むターゲットを用いて成膜を行ってもよい。

10

【0258】

酸化物半導体膜 393 をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、 In 、 Ga 、及び Zn を含む金属酸化物ターゲット（組成比として、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol 比]、 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ [atom 比]）を用いることができる。また、 In 、 Ga 、及び Zn を含む金属酸化物ターゲットとして、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [atom 比]、又は $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ [atom 比] の組成比を有するターゲットを用いることもできる。金属酸化物ターゲットの充填率は 90%以上 100%以下、好ましくは 95%以上 99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

20

【0259】

減圧状態に保持された処理室内に基板を保持し、基板を室温以上 400℃未満の温度に加熱する。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板 394 上に酸化物半導体膜 393 を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子、水 (H_2O) など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、クライオポンプにより処理室内に残留する水分を除去しながらスパッタ成膜を行うことで、酸化物半導体膜 393 を成膜する際の基板温度は室温から 400℃未満とすることができる。

30

【0260】

成膜条件の一例としては、基板とターゲットの間との距離を 100 mm、圧力 0.6 Pa、直流 (DC) 電源 0.5 kW、酸素（酸素流量比率 100%）雰囲気下の条件が適用される。なお、パルス直流 (DC) 電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは 5 nm 以上 30 nm 以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

40

【0261】

スパッタリング法にはスパッタ用電源に高周波電源を用いる RF スパッタリング法と、DC スパッタリング法があり、さらにパルスのバイアスを与えるパルス DC スパッタリング法もある。RF スパッタリング法は主に絶縁膜を成膜する場合に用いられ、DC スパッタリング法は主に金属膜を成膜する場合に用いられる。

【0262】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

50

【0263】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置がある。

【0264】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

【0265】

次いで、酸化物半導体膜を第2のフォトリソグラフィ工程により島状の酸化物半導体層399に加工する(図17(B)参照)。また、島状の酸化物半導体層399を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0266】

また、ゲート絶縁層397にコンタクトホールを形成する場合、その工程は酸化物半導体層399の形成時に行うことができる。

【0267】

なお、ここでの酸化物半導体膜393のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0268】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。

【0269】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0270】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

【0271】

ウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0272】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0273】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

【0274】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層399及びゲート絶縁層397の表面に付着しているレジスト残渣などを除去することが好ましい。

【0275】

次いで、ゲート絶縁層 397、及び酸化物半導体層 399 上に、導電膜を形成する。導電膜をスパッタリング法や真空蒸着法で形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、Ti 膜と、その Ti 膜上に重ねてアルミニウム膜を積層し、さらにその上に Ti 膜を成膜する 3 層構造などが挙げられる。また、Al に、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

10

【0276】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層 395a、ドレイン電極層 395b を形成した後、レジストマスクを除去する (図 17 (C) 参照)。

【0277】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線や KrF レーザ光や ArF レーザ光を用いる。酸化物半導体層 399 上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長 L が決定される。なお、チャンネル長 L = 25 nm 未満の露光を行う場合には、数 nm ~ 数 10 nm と極めて波長が短い超紫外線 (Extreme Ultraviolet) を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長 L を 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

20

【0278】

なお、導電膜のエッチングの際に、酸化物半導体層 399 は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

30

【0279】

本実施の形態では、導電膜として Ti 膜を用いて、酸化物半導体層 399 には In-Ga-Zn-O 系酸化物半導体を用いて、エッチャントとしてアンモニア過水 (アンモニア、水、過酸化水素水の混合液) を用いる。

【0280】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層 399 は一部のみがエッチングされ、溝部 (凹部) を有する酸化物半導体層となることもある。また、ソース電極層 395a、ドレイン電極層 395b を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

【0281】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができる。よって露光マスク数を削減できるため、工程の簡略化が可能となる。

【0282】

50

N_2O 、 N_2 、または Ar などのガスを用いたプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0283】

プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層として酸化物絶縁層396を形成する（図17（D）参照）。本実施の形態では、酸化物半導体層399がソース電極層395a、ドレイン電極層395bと重ならない領域において、酸化物半導体層399と酸化物絶縁層396とが接するように形成する。

【0284】

本実施の形態では、酸化物絶縁層396として、島状の酸化物半導体層399、ソース電極層395a、ドレイン電極層395bまで形成された基板394を室温以上100℃未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコンターゲットを用いて、欠陥を含む酸化シリコン層を成膜する。

【0285】

例えば、純度が6Nであり、ボロンがドーブされたシリコンターゲット（抵抗値0.01Ωcm）を用い、基板とターゲットの間との距離（T-S間距離）を89mm、圧力0.4Pa、直流（DC）電源6kW、酸素（酸素流量比率100%）雰囲気下でパルスDCスパッタリング法により酸化シリコン層を成膜する。膜厚は300nmとする。なお、シリコンターゲットに代えて石英（好ましくは合成石英）を酸化シリコン層を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0286】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層396を成膜することが好ましい。酸化物半導体層399及び酸化物絶縁層396に水素、水酸基又は水分が含まれないようにするためである。

【0287】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子や、水（ H_2O ）など水素原子を含む化合物等が排気されるため、当該処理室で成膜した酸化物絶縁層396に含まれる不純物の濃度を低減できる。

【0288】

なお、酸化物絶縁層396として、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などを用いることもできる。

【0289】

さらに、酸化物絶縁層396と酸化物半導体層399とを接した状態で100℃乃至400℃で加熱処理を行ってもよい。本実施の形態における酸化物絶縁層396は欠陥を多く含むため、この加熱処理によって酸化物半導体層399中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層396に拡散させ、酸化物半導体層399中に含まれる該不純物をより低減させることができる。

【0290】

以上の工程で、水素、水分、水酸基又は水素化物の濃度が低減された酸化物半導体層392を有するトランジスタ390を形成することができる（図17（E）参照）。

【0291】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0292】

酸化物絶縁層上に保護絶縁層を設けてもよい。本実施の形態では、保護絶縁層 398 を酸化物絶縁層 396 上に形成する。保護絶縁層 398 としては、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いる。

【0293】

保護絶縁層 398 として、酸化物絶縁層 396 まで形成された基板 394 を 100℃～400℃の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン膜を成膜する。この場合においても、酸化物絶縁層 396 と同様に、処理室内の残留水分を除去しつつ保護絶縁層 398 を成膜することが好ましい。

【0294】

保護絶縁層 398 を形成する場合、保護絶縁層 398 の成膜時に 100℃～400℃に基板 394 を加熱することで、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させることができる。この場合上記酸化物絶縁層 396 の形成後に加熱処理を行わなくてもよい。

【0295】

酸化物絶縁層 396 として酸化シリコン層を形成し、保護絶縁層 398 として窒化シリコン層を積層する場合、酸化シリコン層と窒化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に酸素を含むスパッタガスを導入して、処理室内に装着されたシリコンターゲットを用いて酸化シリコン層を形成し、次にスパッタガスを窒素を含むスパッタガスに切り替えて同じシリコンターゲットを用いて窒化シリコン層を成膜する。酸化シリコン層と窒化シリコン層とを大気に曝露せずに連続して形成することができるため、酸化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。この場合、酸化物絶縁層 396 として酸化シリコン層を形成し、保護絶縁層 398 として窒化シリコン層を積層した後、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させるための加熱処理（温度 100℃乃至 400℃）を行うとよい。

【0296】

保護絶縁層の形成後、さらに大気中、100℃以上 200℃以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100℃以上 200℃以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、ノーマリーオフとなるトランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

【0297】

また、ゲート絶縁層上にチャネル形成領域とする酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。

【0298】

上記の工程は、液晶表示パネル、エレクトロルミネセンス表示パネル、電子インクを用いた表示装置などのバックプレーン（トランジスタが形成された基板）の製造に用いることができる。上記の工程は、400℃以下の温度で行われるため、厚さが 1mm 以下で、一辺が 1m を超えるガラス基板を用いる製造工程にも適用することができる。また、400℃以下の処理温度で全ての工程を行うことができるので、表示パネルを製造するために多大なエネルギーを消費しないで済む。

【0299】

上述したトランジスタを実施の形態 1 乃至 4 に示した半導体装置が有するトランジスタに適用することによって、待機状態における電池の放電を抑制することができる。つまり、半導体装置の待機電力を低減することができる。また、待機状態における電池の放電を抑制することで、半導体装置を長寿命化することができる。

【0300】

さらに、実施の形態1乃至4に示した半導体装置が有するトランジスタのすべてを上記したトランジスタによって構成することで、作製プロセスを低減し、歩留まりの向上及び製造コストの低減を図ることができる。

【0301】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0302】

(実施の形態8)

本実施の形態では、実施の形態1乃至4に示した半導体装置が有するトランジスタの一例について説明する。具体的には、チャンネル形成領域が酸化物半導体によって構成されるトランジスタの一例について説明する。

10

【0303】

本実施の形態のトランジスタ及びその作製方法の一形態を、図18を用いて説明する。

【0304】

図18(A)乃至(D)にトランジスタの断面構造の一例を示す。図18(D)に示すトランジスタ360は、チャンネル保護型(チャンネルストップ型ともいう)と呼ばれるボトムゲート構造の一つであり逆スタガ型トランジスタともいう。

【0305】

また、トランジスタ360はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造のトランジスタも形成することができる。

20

【0306】

以下、図18(A)乃至(D)を用い、基板320上にトランジスタ360を作製する工程を説明する。

【0307】

まず、絶縁表面を有する基板320上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層361を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0308】

また、ゲート電極層361の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0309】

次いで、ゲート電極層361上にゲート絶縁層322を形成する。

【0310】

本実施の形態では、ゲート絶縁層322としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

【0311】

次いで、ゲート絶縁層322上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成し、第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。

40

【0312】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜を成膜することが好ましい。酸化物半導体膜に水素、水酸基又は水分が含まれないようにするためである。

【0313】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いること

50

が好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子や、水（ H_2O ）など水素原子を含む化合物等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0314】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、数ppm程度、数ppb程度まで除去された高純度ガスを用いることが好ましい。

【0315】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、 $400^{\circ}C$ 以上 $750^{\circ}C$ 以下、好ましくは $400^{\circ}C$ 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 $450^{\circ}C$ において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層332を得る（図18（A）参照）。

【0316】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって、露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0317】

次いで、ゲート絶縁層322、及び酸化物半導体層332上に、酸化物絶縁層を形成した後、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層366を形成した後、レジストマスクを除去する。

【0318】

本実施の形態では、酸化物絶縁層366として膜厚 200nm の酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 $300^{\circ}C$ 以下とすればよく、本実施の形態では $100^{\circ}C$ とする。酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。

【0319】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層366を成膜することが好ましい。酸化物半導体層332及び酸化物絶縁層366に水素、水酸基又は水分が含まれないようにするためである。

【0320】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素原子や、水（ H_2O ）など水素原子を含む化合物等が排気されるため、当該処理室で成膜した酸化物絶縁層366に含まれる不純物の濃度を低減できる。

【0321】

酸化物絶縁層366を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、数ppm程度、数ppb程度まで除去された高純度ガスを用いることが好ましい。

【0322】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは $200^{\circ}C$ 以上 $400^{\circ}C$ 以下、例えば $250^{\circ}C$ 以上 $350^{\circ}C$ 以下）を行ってもよい。例えば、窒素雰囲気下で $250^{\circ}C$ 、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、

酸化物半導体層の一部（チャネル形成領域）が酸化物絶縁層 366 と接した状態で加熱される。

【0323】

本実施の形態は、さらに酸化物絶縁層 366 が設けられ一部が露出している酸化物半導体層 332 に、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行う。酸化物絶縁層 366 によって覆われていない露出された酸化物半導体層 332 の領域は、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行うと、低抵抗化することができる。例えば、窒素雰囲気下で 250℃、1 時間の加熱処理を行う。

【0324】

酸化物絶縁層 366 が設けられた酸化物半導体層 332 に対する窒素雰囲気下の加熱処理によって、酸化物半導体層 332 の露出領域は低抵抗化し、抵抗の異なる領域（図 18（B）においては斜線領域及び白地領域で示す）を有する酸化物半導体層 362 となる。

【0325】

次いで、ゲート絶縁層 322、酸化物半導体層 362、及び酸化物絶縁層 366 上に、導電膜を形成した後、第 4 のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層 365a、ドレイン電極層 365b を形成した後、レジストマスクを除去する（図 18（C）参照）。

【0326】

ソース電極層 365a、ドレイン電極層 365b の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、金属導電膜は、単層構造でも、2 層以上の積層構造としてもよい。

【0327】

以上の工程を経ることによって、成膜後の酸化物半導体膜に対して脱水化または脱水素化のための加熱処理を行って低抵抗化した後、酸化物半導体膜の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層 361 と重なるチャネル形成領域 363 は、I 型となり、ソース電極層 365a に重なる高抵抗ソース領域 364a と、ドレイン電極層 365b に重なる高抵抗ドレイン領域 364b とが自己整合的に形成される。以上の工程でトランジスタ 360 が形成される。

【0328】

さらに大気中、100℃以上200℃以下、1 時間以上30 時間以下での加熱処理を行ってもよい。本実施の形態では150℃で10 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100℃以上200℃以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなるトランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

【0329】

なお、ドレイン電極層 365b（及びソース電極層 365a）と重畳した酸化物半導体層において高抵抗ドレイン領域 364b（及び高抵抗ソース領域 364a）を形成することにより、トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域 364b を形成することで、ドレイン電極層から高抵抗ドレイン領域 364b、チャネル形成領域 363 にかけて、導電性を段階的に変化させようような構造とすることができる。そのため、ドレイン電極層 365b に高電源電位 VDD を供給する配線に接続して動作させる場合、ゲート電極層 361 とドレイン電極層 365b との間に高電圧が印加されても高抵抗ドレイン領域がバッファとなり局所的な電解集中が生じにくく、トランジスタの耐圧を向上させた構成とすることができる。

【0330】

ソース電極層 365a、ドレイン電極層 365b、酸化物絶縁層 366 上に保護絶縁層

10

20

30

40

50

３２３を形成する。本実施の形態では、保護絶縁層３２３を、窒化珪素膜を用いて形成する（図１８（Ｄ）参照）。

【０３３１】

なお、ソース電極層３６５ａ、ドレイン電極層３６５ｂ、酸化物絶縁層３６６上にさらに酸化物絶縁層を形成し、該酸化物絶縁層上に保護絶縁層３２３を積層してもよい。

【０３３２】

上述したトランジスタを実施の形態１乃至４に示した半導体装置が有するトランジスタに適用することによって、待機状態における電池の放電を抑制することができる。つまり、半導体装置の待機電力を低減することができる。また、待機状態における電池の放電を抑制することで、半導体装置を長寿命化することができる。

10

【０３３３】

さらに、実施の形態１乃至４に示した半導体装置が有するトランジスタのすべてを上述したトランジスタによって構成することで、作製プロセスを低減し、歩留まりの向上及び製造コストの低減を図ることができる。

【０３３４】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【０３３５】

（実施の形態９）

本実施の形態では、実施の形態１乃至４に示した半導体装置の使用例について図１９を参照して説明する。

20

【０３３６】

図１９に示すように、半導体装置の用途は広範囲にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図１９（Ａ）参照）、記録媒体（ＤＶＤソフトやビデオテープ等、図１９（Ｂ）参照）、包装用容器類（包装紙やボトル等、図１９（Ｃ）参照）、乗り物類（自転車等、図１９（Ｄ）参照）、身の回り品（靴や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、または電子機器（液晶表示装置、ＥＬ表示装置、テレビジョン受像機、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図１９（Ｅ）、図１９（Ｆ）参照）等に設けて使用することができる。

30

【０３３７】

半導体装置１５００は、プリント基板に実装、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込む、または有機樹脂からなるパッケージであれば当該有機樹脂に埋め込み、各物品に固定される。半導体装置１５００は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に半導体装置１５００を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の半導体装置を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、半導体装置１５００を取り付けることにより、盗難などに対するセキュリティを高めることができる。

40

【０３３８】

以上のように、上記実施の形態で説明した半導体装置を本実施の形態に挙げた各用途に用いることにより、情報のやりとりに用いられるデータを正確の値のまま維持することができるため、物品の認証性、またはセキュリティを高めることができる。

【０３３９】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【符号の説明】

50

【 0 3 4 0 】

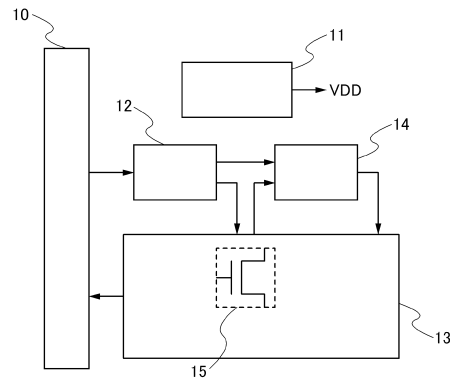
1 0	アンテナ	
1 1	電池	
1 2	復調回路	
1 3	信号処理部	
1 4	パワー制御回路	
1 5	トランジスタ	
2 0	アンテナ	
2 1	電池	
2 2	タイマー	10
2 3	信号処理部	
2 4	パワー制御回路	
2 5	トランジスタ	
3 0	アンテナ	
3 1	二次電池	
3 2	整流回路	
3 3	充電回路	
3 4	安定化電源回路	
3 5	復調回路	
3 6	信号処理部	20
3 7	パワー制御回路	
3 8	トランジスタ	
4 0	アンテナ	
4 1	二次電池	
4 2	整流回路	
4 3	充電回路	
4 4	安定化電源回路	
4 5	復調回路	
4 6	信号処理部	
4 7	パワー制御回路	30
4 8	論理回路	
4 9	クロック生成回路	
5 0	センサ	
5 1	メモリ回路	
5 2	変調回路	
8 0	P型トランジスタ	
8 1	N型トランジスタ	
8 2	N型トランジスタ	
8 3	P型トランジスタ	
8 4	P型トランジスタ	40
8 5	N型トランジスタ	
8 6	N型トランジスタ	
8 7	N型トランジスタ	
8 8	P型トランジスタ	
8 9	P型トランジスタ	
9 0	N型トランジスタ	
9 1	N型トランジスタ	
9 2	N型トランジスタ	
1 0 0	基板	
1 0 2	保護層	50

1 0 4	半導体領域	
1 0 6	素子分離絶縁層	
1 0 8 a	ゲート絶縁層	
1 0 8 b	絶縁層	
1 1 0 a	ゲート電極層	
1 1 0 b	電極層	
1 1 2	絶縁層	
1 1 4 a	不純物領域	
1 1 4 b	不純物領域	
1 1 6	チャネル形成領域	10
1 1 8	サイドウォール絶縁層	
1 2 0 a	高濃度不純物領域	
1 2 0 b	高濃度不純物領域	
1 2 2	金属層	
1 2 4 a	金属化合物領域	
1 2 4 b	金属化合物領域	
1 2 6	層間絶縁層	
1 2 8	層間絶縁層	
1 3 0 a	ソース電極層	
1 3 0 b	ドレイン電極層	20
1 3 0 c	電極層	
1 3 2	絶縁層	
1 3 4	導電層	
1 3 6 a	電極層	
1 3 6 b	電極層	
1 3 6 c	電極層	
1 3 6 d	ゲート電極層	
1 3 8	ゲート絶縁層	
1 4 0	酸化物半導体層	
1 4 2 a	ソース電極層	30
1 4 2 b	ドレイン電極層	
1 4 4	保護絶縁層	
1 4 6	層間絶縁層	
1 4 8	導電層	
1 5 0 a	電極層	
1 5 0 b	電極層	
1 5 0 c	電極層	
1 5 0 d	電極層	
1 5 0 e	電極層	
1 5 2	絶縁層	40
1 5 4 a	電極層	
1 5 4 b	電極層	
1 5 4 c	電極層	
1 5 4 d	電極層	
1 6 0	P型トランジスタ	
1 6 4	N型トランジスタ	
3 2 0	基板	
3 2 2	ゲート絶縁層	
3 2 3	保護絶縁層	
3 3 2	酸化物半導体層	50

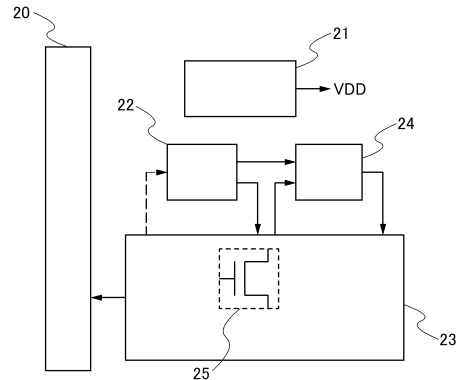
- 3 6 0 トランジスタ
- 3 6 1 ゲート電極層
- 3 6 2 酸化物半導体層
- 3 6 3 チャネル形成領域
- 3 6 4 a ソース領域
- 3 6 4 b ドレイン領域
- 3 6 5 a ソース電極層
- 3 6 5 b ドレイン電極層
- 3 6 6 酸化物絶縁層
- 3 9 0 トランジスタ
- 3 9 1 ゲート電極層
- 3 9 2 酸化物半導体層
- 3 9 3 酸化物半導体膜
- 3 9 4 基板
- 3 9 5 a ソース電極層
- 3 9 5 b ドレイン電極層
- 3 9 6 酸化物絶縁層
- 3 9 7 ゲート絶縁層
- 3 9 8 保護絶縁層
- 3 9 9 酸化物半導体層
- 4 2 3 開口
- 4 5 0 基板
- 4 5 2 ゲート絶縁層
- 4 5 7 絶縁層
- 4 6 0 トランジスタ
- 4 6 1 ゲート電極層
- 4 6 1 a ゲート電極層
- 4 6 1 b ゲート電極層
- 4 6 2 酸化物半導体層
- 4 6 4 配線層
- 4 6 5 a ソース電極層又はドレイン電極層
- 4 6 5 a 1 ソース電極層又はドレイン電極層
- 4 6 5 a 2 ソース電極層又はドレイン電極層
- 4 6 5 b ソース電極層又はドレイン電極層
- 4 6 8 配線層
- 1 5 0 0 半導体装置

【図面】

【図 1】



【図 2】



10

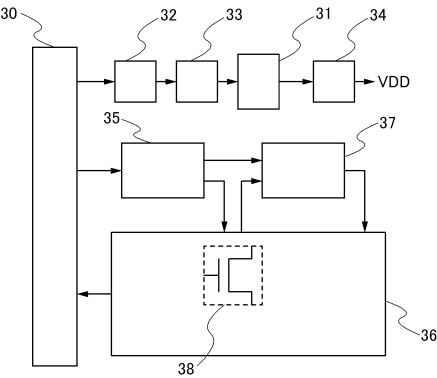
20

30

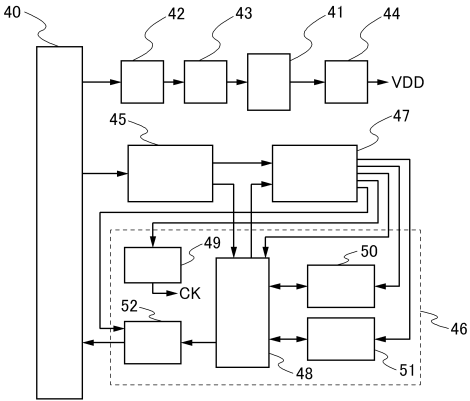
40

50

【図 3】



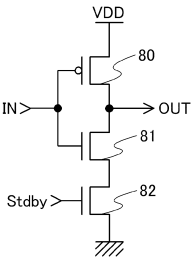
【図 4】



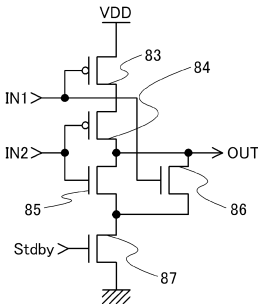
10

【図 5】

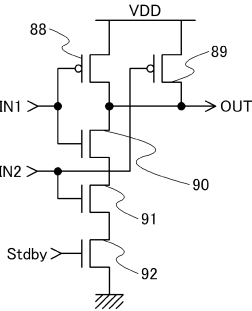
(A)



(B)

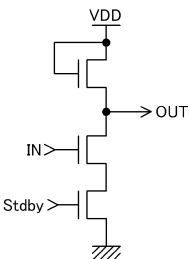


(C)

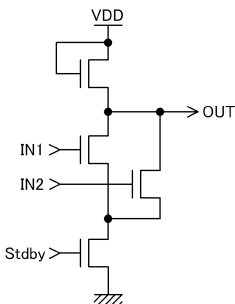


【図 6】

(A)

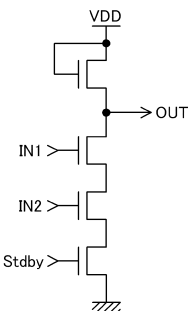


(B)



20

(C)

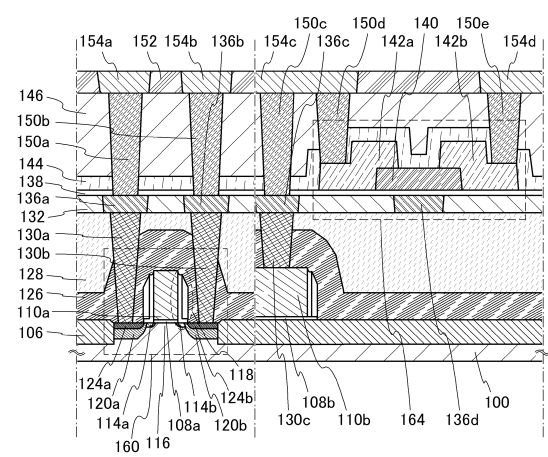


30

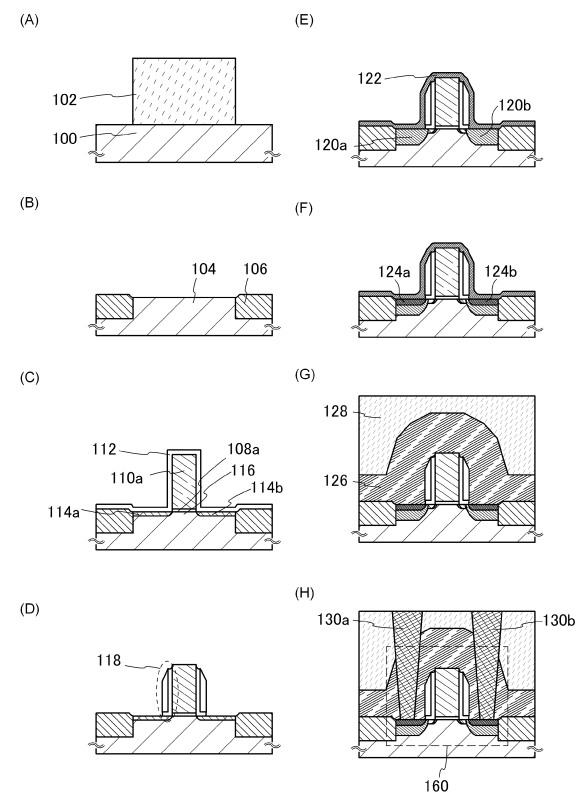
40

50

【図 7】



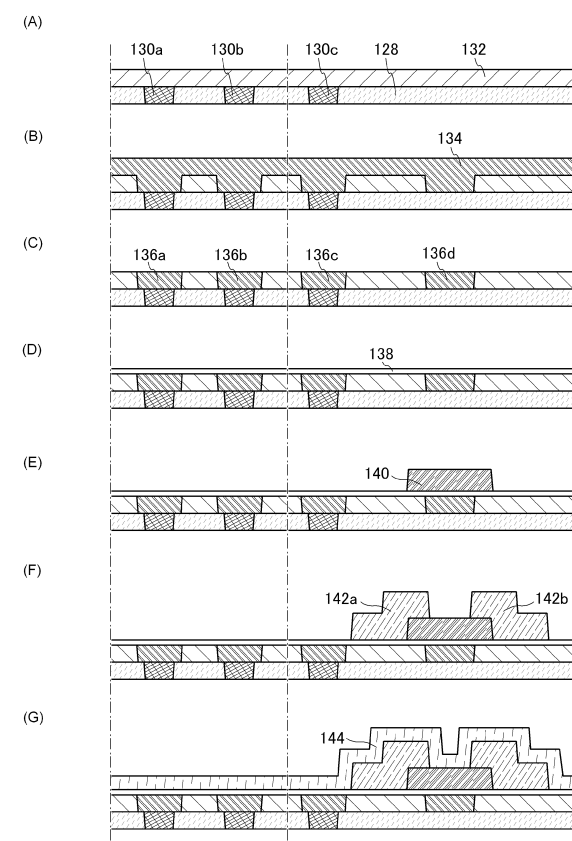
【図 8】



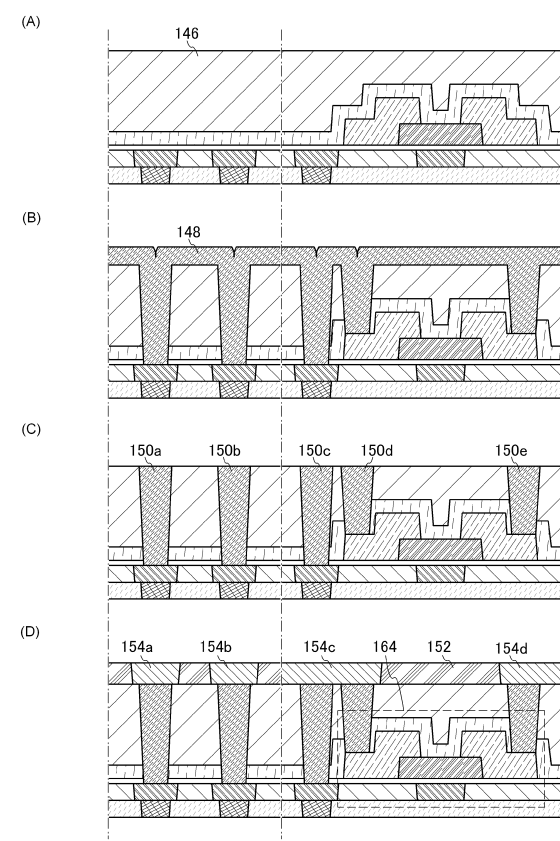
10

20

【図 9】



【図 10】

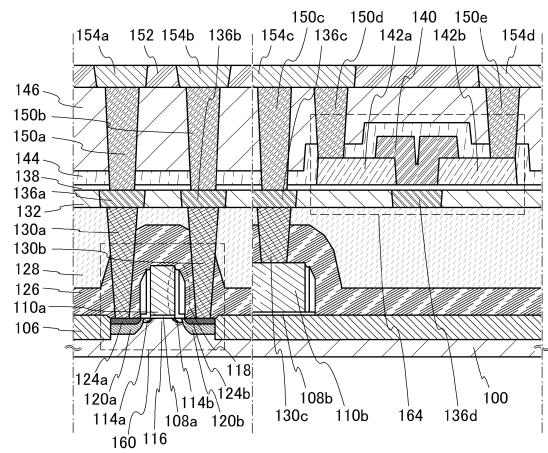


30

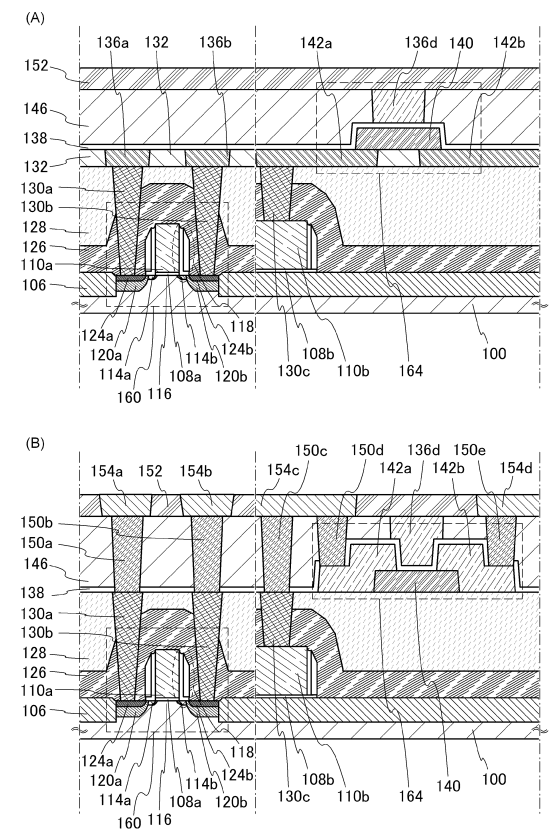
40

50

【図 1 1】



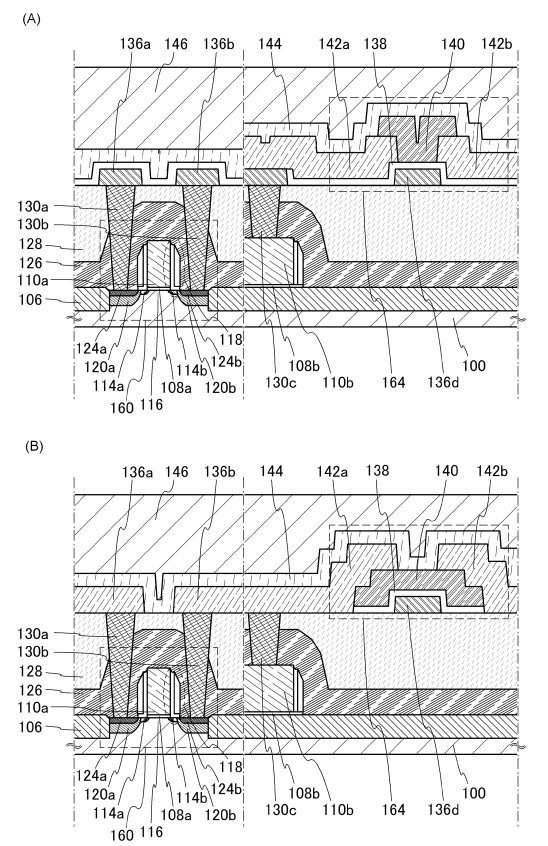
【図 1 2】



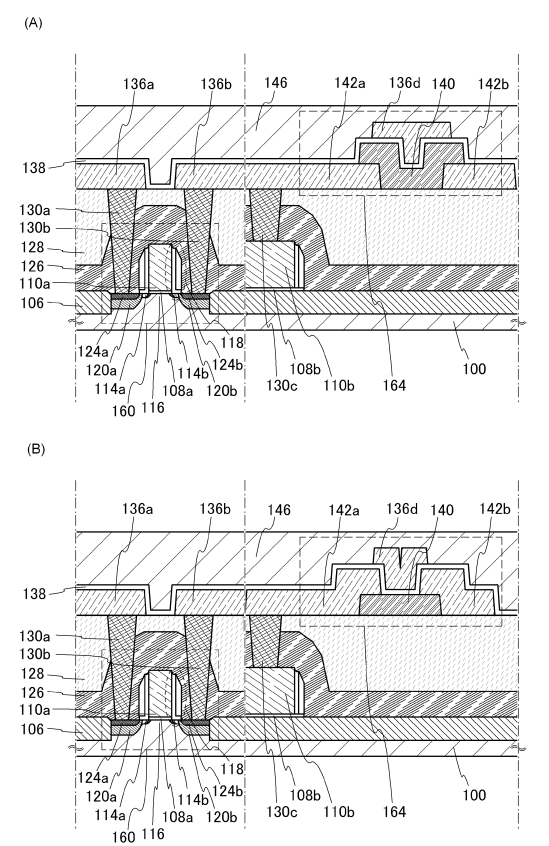
10

20

【図 1 3】



【図 1 4】

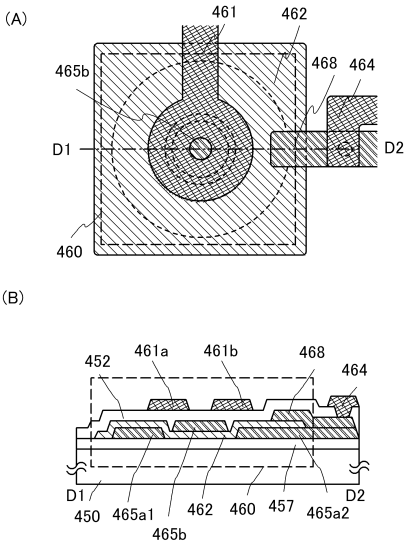


30

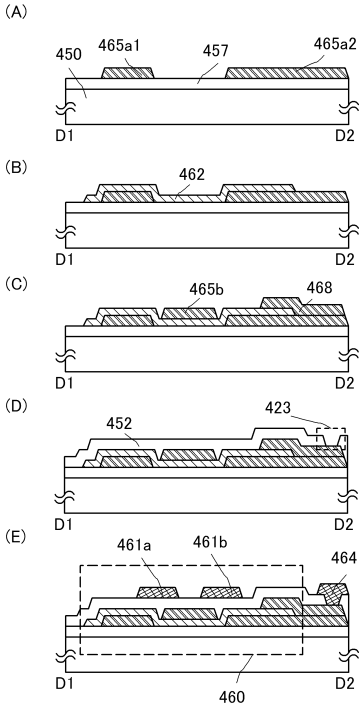
40

50

【図 15】



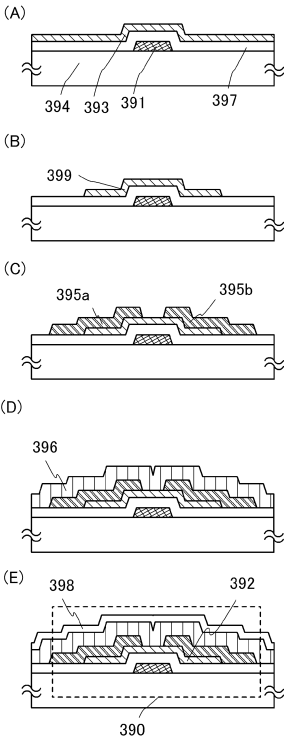
【図 16】



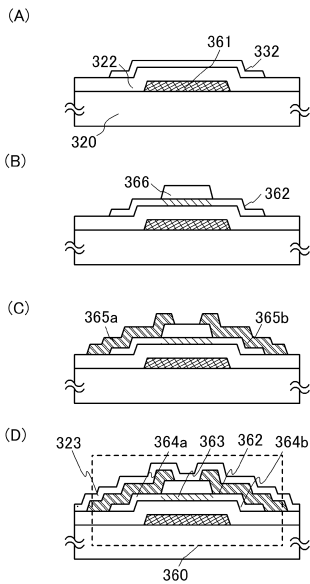
10

20

【図 17】



【図 18】

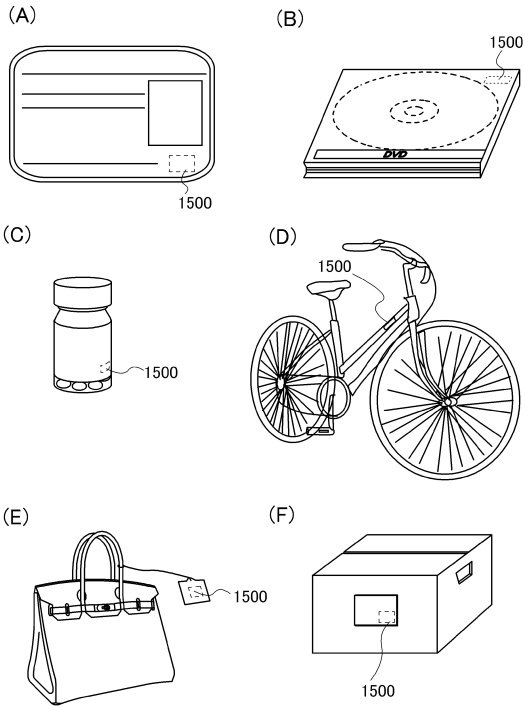


30

40

50

【図 19】



10

20

30

40

50

フロントページの続き

(51)国際特許分類		F I		
		G 0 6 K	19/02	
		G 0 6 K	19/07	0 2 0
		G 0 6 K	19/07	2 3 0
(56)参考文献		特開 2 0 0 0 - 1 1 4 4 5 3 (J P , A)		
		特開 2 0 0 9 - 0 9 4 4 9 2 (J P , A)		
		特開 2 0 0 9 - 1 3 5 3 5 0 (J P , A)		
(58)調査した分野		(Int.Cl., D B 名)		
		H 0 1 L	2 9 / 7 8 6	
		H 0 1 L	2 7 / 0 8 8	
		H 0 1 L	2 1 / 8 2 3 4	
		G 0 6 K	1 9 / 0 2	
		G 0 6 K	1 9 / 0 7	