



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0120823  
(43) 공개일자 2014년10월14일

(51) 국제특허분류(Int. Cl.)  
*H01L 29/786* (2006.01) *H01L 21/28* (2006.01)  
*H01L 29/49* (2006.01) *H01L 21/31* (2006.01)  
(21) 출원번호 10-2014-0033981  
(22) 출원일자 2014년03월24일  
심사청구일자 없음  
(30) 우선권주장 JP-P-2013-077615 2013년04월03일 일본(JP)

(71) 출원인 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
일본국 가나가와Ken 아쓰기시 하세 398  
(72) 발명자 야마자키 순페이  
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
(74) 대리인 장훈

전체 청구항 수 : 총 11 항

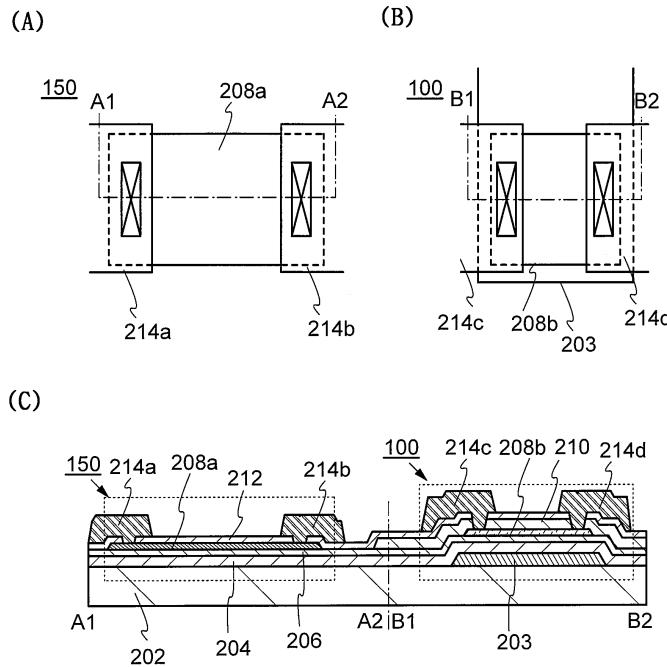
(54) 발명의 명칭 반도체 장치

### (57) 요 약

본 발명은 산화물 반도체를 포함하여 구성된 트랜지스터와 산화물 반도체를 포함하여 구성된 저항 소자를 동일한 기판 위에 가진 반도체 장치를 제공한다.

수소를 포함한 질화물 절연층으로 덮인 제 1 산화물 반도체층을 포함하는 저항 소자와, 제 1 산화물 반도체층과 조성이 같고 캐리어 밀도가 다르며 산화물 절연층으로 덮인 제 2 산화물 반도체층을 포함하는 트랜지스터를 구비한 반도체 장치이다. 제 1 산화물 반도체층은 불순물 농도를 증가시키는 처리가 수행됨으로써 제 2 산화물 반도체층보다 캐리어 밀도가 높다. 또한, 제 1 산화물 반도체층은 섬 형상으로 가공된 후에 상기 처리가 그 전체 면에 수행되기 때문에, 질화물 절연층과 접촉되는 영역과 질화물 절연층에 제공된 콘택트 홀에서 전극층과 접촉되는 영역은 동일한 도전성을 가진다.

**대 표 도** - 도1



## 특허청구의 범위

### 청구항 1

반도체 장치에 있어서,

기판 위의 저항 소자 및 트랜지스터를 포함하고,

상기 저항 소자는,

제 1 산화물 반도체층과;

상기 제 1 산화물 반도체층을 덮는 질화물 절연층과;

상기 질화물 절연층에 제공된 콘택트 홀에서 상기 제 1 산화물 반도체층과 전기적으로 접속된 제 1 전극 및 제 2 전극을 포함하고,

상기 트랜지스터는,

게이트 전극층과;

상기 게이트 전극층과 중첩되는 제 2 산화물 반도체층과;

상기 게이트 전극층과 상기 제 2 산화물 반도체층 사이의 절연층과;

상기 제 2 산화물 반도체층을 덮는 산화물 절연층과;

상기 산화물 절연층에 제공된 콘택트 홀에서 상기 제 2 산화물 반도체층과 전기적으로 접속된 제 3 전극 및 제 4 전극을 포함하고,

상기 제 1 산화물 반도체층의 캐리어 밀도는 상기 제 2 산화물 반도체층의 캐리어 밀도보다 높은, 반도체 장치.

### 청구항 2

제 1 항에 있어서,

상기 저항 소자에서 캐리어가 흐르는 경로의 길이는 상기 트랜지스터에서 캐리어가 흐르는 경로의 길이보다 긴, 반도체 장치.

### 청구항 3

제 1 항에 있어서,

상기 트랜지스터는 화소부에 포함되고,

상기 저항 소자는 구동 회로부에 포함되는, 반도체 장치.

### 청구항 4

제 1 항에 있어서,

상기 제 1 산화물 반도체층은 상기 제 2 산화물 반도체층과 조성이 같은, 반도체 장치.

### 청구항 5

제 1 항에 있어서,

상기 반도체 장치는 모바일 컴퓨터, 휴대형 화상 재생 장치, 고글형 디스플레이, 휴대형 게임기, 디지털 카메라, 및 텔레비전 수상기로 이루어진 군에서 선택된 하나인, 반도체 장치.

### 청구항 6

반도체 장치에 있어서,

기판 위의 저항 소자 및 트랜지스터를 포함하고,

상기 저항 소자는,

제 1 질화물 절연층과;

상기 제 1 질화물 절연층 위의 제 1 산화물 반도체층과;

상기 제 1 산화물 반도체층을 덮는 제 2 질화물 절연층과;

상기 제 2 질화물 절연층에 제공된 콘택트 홀에서 상기 제 1 산화물 반도체층과 전기적으로 접속된 제 1 전극 및 제 2 전극을 포함하고,

상기 트랜지스터는,

게이트 전극층과;

상기 게이트 전극층 위의 상기 제 1 질화물 절연층과;

상기 제 1 질화물 절연층 위의 제 1 산화물 절연층과;

상기 제 1 질화물 절연층 및 상기 제 1 산화물 절연층을 개재하여 상기 게이트 전극층과 중첩되는 제 2 산화물 반도체층과;

상기 제 2 산화물 반도체층을 덮는 제 2 산화물 절연층과;

상기 제 2 산화물 절연층 위의 상기 제 2 질화물 절연층과;

상기 제 2 질화물 절연층 및 상기 제 2 산화물 절연층에 제공된 콘택트 홀에서 상기 제 2 산화물 반도체층과 전기적으로 접속된 제 3 전극 및 제 4 전극을 포함하고,

상기 제 1 산화물 반도체층의 캐리어 밀도는 상기 제 2 산화물 반도체층의 캐리어 밀도보다 높은, 반도체 장치.

## 청구항 7

제 6 항에 있어서,

상기 저항 소자는 상기 제 1 질화물 절연층과 상기 제 1 산화물 반도체층 사이에 상기 제 1 산화물 절연층을 포함하는, 반도체 장치.

## 청구항 8

제 6 항에 있어서,

상기 저항 소자에서 캐리어가 흐르는 경로의 길이는 상기 트랜지스터에서 캐리어가 흐르는 경로의 길이보다 긴, 반도체 장치.

## 청구항 9

제 6 항에 있어서,

상기 트랜지스터는 화소부에 포함되고,

상기 저항 소자는 구동 회로부에 포함되는, 반도체 장치.

## 청구항 10

제 6 항에 있어서,

상기 제 1 산화물 반도체층은 상기 제 2 산화물 반도체층과 조성이 같은, 반도체 장치.

## 청구항 11

제 6 항에 있어서,

상기 반도체 장치는 모바일 컴퓨터, 휴대형 화상 재생 장치, 고글형 디스플레이, 휴대형 게임기, 디지털

카메라, 및 텔레비전 수상기로 이루어진 군에서 선택된 하나인, 반도체 장치.

## 명세서

### 기술분야

- [0001] 본 발명의 일 형태는 반도체 장치와 그 제작 방법에 관한 것이다.
- [0002] 또한, 본 명세서에서 반도체 장치란, 반도체 특성을 이용하여 기능할 수 있는 장치 전반을 말하며 전기 광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치의 범주에 포함된다.
- 배경기술**
- [0003] 액정 표시 장치나 발광 표시 장치로 대표되는 플랫 패널 디스플레이의 대부분에 사용되고 있는 트랜지스터는 유리 기판 위에 형성된 비정질(amorphous) 실리콘, 단결정 실리콘, 또는 다결정 실리콘 등 실리콘 반도체로 구성된다. 또한, 상술한 실리콘 반도체를 사용한 트랜지스터는 집적 회로(IC) 등에도 이용되고 있다.
- [0004] 근년에 들어 실리콘 반도체 대신에, 반도체 특성을 나타내는 금속 산화물을 트랜지스터에 사용하는 기술이 주목을 받고 있다. 또한, 본 명세서에서는 반도체 특성을 나타내는 금속 산화물을 산화물 반도체라고 부르기로 한다.
- [0005] 예를 들어, 산화물 반도체로서 산화 아연 또는 In-Ga-Zn계 산화물을 사용한 트랜지스터를 제작하고 이 트랜지스터를 표시 장치에 포함되는 화소의 스위칭 소자 등에 이용하는 기술이 개시(開示)되어 있다(특허문헌 1 및 특허문헌 2 참조).
- [0006] 또한, 표시 장치에 포함되는 화소부를 구동시키기 위한 구동 회로부는 트랜지스터, 용량 소자, 저항 소자 등의 소자를 포함하여 구성된다.
- [0007] 특허문헌 3에는, 화소부에 포함되는 산화물 반도체를 사용한 채널 에치형 트랜지스터(channel-etched transistor)와, 구동 회로에 포함되는 산화물 반도체를 사용한 저항 소자를 동일한 공정으로 형성한 반도체 장치가 개시되어 있다.

### 선행기술문헌

#### 특허문헌

- [0008] (특허문헌 0001) 일본국 특개2007-123861호 공보  
 (특허문헌 0002) 일본국 특개2007-96055호 공보  
 (특허문헌 0003) 일본국 특개2010-171394호 공보

### 발명의 내용

#### 해결하려는 과제

- [0009] 본 발명의 일 형태는 산화물 반도체를 포함하여 구성된 트랜지스터와 산화물 반도체를 포함하여 구성된 저항 소자를 동일한 기판 위에 가진 반도체 장치를 제공하는 것을 과제 중 하나로 한다.
- [0010] 또한, 본 발명의 다른 일 형태는 신뢰성이 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.
- [0011] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 본 발명의 일 형태는 상술한 모든 과제를 해결할 필요는 없는 것으로 한다. 또한, 상술한 것 이외의 과제는 명세서 등의 기재로부터 저절로 명백해지는 것으로, 명세서 등의 기재로부터 상술한 것 이외의 과제가 만들어질 수 있다.

#### 과제의 해결 수단

- [0012] 본 발명의 일 형태는 수소를 포함한 질화물 절연층으로 덮인 제 1 산화물 반도체층을 포함하는 저항 소자와, 제 1 산화물 반도체층과 조성이 같고 캐리어 밀도가 다르며 산화물 절연층으로 덮인 제 2 산화물 반도체층을 포함

하는 트랜지스터를 구비한 반도체 장치이다. 제 1 산화물 반도체층은 불순물 농도를 증가시키는 처리가 수행됨으로써 제 2 산화물 반도체층보다 캐리어 밀도가 높다. 또한, 제 1 산화물 반도체층은 섬 형상으로 가공된 후에 상기 처리가 그 전체 면에 수행되기 때문에, 질화물 절연층과 접촉되는 영역과 질화물 절연층에 제공된 콘택트 홀에서 전극층과 접촉되는 영역은 동일한 도전성을 가진다. 보다 구체적으로는 예를 들어 이하와 같은 구성으로 할 수 있다.

[0013] 본 발명의 일 형태는 동일한 기판 위에 제공된 저항 소자 및 트랜지스터를 가지고, 저항 소자는 제 1 산화물 반도체층과, 제 1 산화물 반도체층을 덮는 질화물 절연층과, 질화물 절연층에 제공된 콘택트 홀에서 제 1 산화물 반도체층과 전기적으로 접속된 제 1 전극 및 제 2 전극을 포함하고, 트랜지스터는 게이트 전극층과, 게이트 전극층과 중첩되는 제 2 산화물 반도체층과, 게이트 전극층과 제 2 산화물 반도체층 사이의 절연층과, 제 2 산화물 반도체층을 덮는 산화물 절연층과, 산화물 절연층에 제공된 콘택트 홀에서 제 2 산화물 반도체층과 전기적으로 접속된 제 3 전극 및 제 4 전극을 포함하고, 제 1 산화물 반도체층과 제 2 산화물 반도체층은 조성이 같고, 제 1 산화물 반도체층의 캐리어 밀도는 제 2 산화물 반도체층의 캐리어 밀도보다 높은 반도체 장치이다.

[0014] 또한, 본 발명의 일 형태는 동일한 기판 위에 제공된 저항 소자 및 트랜지스터를 가지고, 저항 소자는 제 1 질화물 절연층과, 제 1 질화물 절연층 위의 제 1 산화물 반도체층과, 제 1 산화물 반도체층을 덮는 제 2 질화물 절연층과, 제 2 질화물 절연층에 제공된 콘택트 홀에서 제 1 산화물 반도체층과 전기적으로 접속된 제 1 전극 및 제 2 전극을 포함하고, 트랜지스터는 게이트 전극층과, 게이트 전극층 위의 제 1 질화물 절연층과, 제 1 질화물 절연층 위의 제 1 산화물 절연층과, 제 1 질화물 절연층 및 제 1 산화물 절연층을 개재(介在)하여 게이트 전극층과 중첩되는 제 2 산화물 반도체층과, 제 2 산화물 반도체층을 덮는 제 2 질화물 절연층과, 제 2 질화물 절연층 위의 제 2 질화물 절연층과, 제 2 질화물 절연층 및 제 2 산화물 절연층에 제공된 콘택트 홀에서 제 2 산화물 반도체층과 전기적으로 접속된 제 3 전극 및 제 4 전극을 포함하고, 제 1 산화물 반도체층과 제 2 산화물 반도체층은 조성이 같고, 제 1 산화물 반도체층의 캐리어 밀도는 제 2 산화물 반도체층의 캐리어 밀도보다 높은 반도체 장치이다.

[0015] 상기 반도체 장치에 있어서 저항 소자는 제 1 질화물 절연층과 제 1 산화물 반도체층 사이에 제 1 산화물 절연층을 포함하여도 좋다.

[0016] 또한, 상기 반도체 장치에 있어서 저항 소자에서 캐리어가 흐르는 경로의 길이는 트랜지스터에서 캐리어가 흐르는 경로의 길이보다 길어도 좋다.

[0017] 또한, 상기 반도체 장치에 있어서 트랜지스터를 포함한 화소를 복수로 가지는 화소부와, 저항 소자를 포함하는 구동 회로부를 가져도 좋다.

### 발명의 효과

[0018] 본 발명의 일 형태에 의하여 산화물 반도체를 포함하여 구성된 트랜지스터와 산화물 반도체를 포함하여 구성된 저항 소자를 동일한 기판 위에 가진 반도체 장치를 제공할 수 있다.

[0019] 또한, 본 발명의 일 형태에 의하여 신뢰성이 높은 반도체 장치를 제공할 수 있다.

### 도면의 간단한 설명

[0020] 도 1은 반도체 장치의 일 형태를 도시한 평면도 및 단면도.

도 2는 반도체 장치의 제작 방법의 일 형태를 도시한 단면도.

도 3은 반도체 장치의 제작 방법의 일 형태를 도시한 단면도.

도 4는 반도체 장치의 일 형태를 도시한 평면도 및 단면도.

도 5는 반도체 장치의 일 형태를 도시한 단면도.

도 6은 반도체 장치의 일 형태를 도시한 단면도 및 밴드 다이어그램.

도 7은 반도체 장치의 일 형태를 도시한 회로도.

도 8은 반도체 장치의 일 형태를 도시한 단면도.

도 9는 전자 기기의 예를 도시한 도면.

## 발명을 실시하기 위한 구체적인 내용

[0021]

이하에서는 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고 본 발명의 취지와 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재된 실시형태의 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에서 실시형태를 설명함에 있어서 동일한 부분, 또는 같은 기능을 가진 부분에는 동일한 부호 또는 동일한 해석 패턴을 다른 도면간에 공통적으로 사용하고, 그 반복 설명은 생략한다.

[0022]

또한, 본 명세서에서 참조하는 각 도면에서는 명료화를 위하여 각 구성의 크기, 막 두께, 또는 영역이 과장되어 있는 경우가 있다. 그래서, 반드시 도면상의 스케일에 한정되지 않는다.

[0023]

또한, 본 명세서 등에서 "제 1", "제 2" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 불인 것에 불과하고 구성 요소를 수적으로 한정하는 것은 아니다. 따라서, 예를 들어 "제 1"을 "제 2"로 또는 "제 3" 등으로 적절히 바꿔서 설명할 수 있다.

[0024]

또한, 트랜ジ스터의 "소스"나 "드레인"의 기능은 극성이 상이한 트랜지스터를 적용하는 경우나, 회로 동작에서 전류 방향이 변화되는 경우 등에, 서로 바뀔 수 있다. 그러므로, 본 명세서에서는 "소스"나 "드레인"의 용어는 교체하여 사용될 수 있는 것으로 한다.

[0025]

(실시형태 1)

[0026]

본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치 및 반도체 장치의 제작 방법에 대하여 도 1 내지 도 5를 사용하여 설명한다.

[0027]

<반도체 장치의 구성예>

[0028]

도 1은 반도체 장치의 구성예를 도시한 것이다. 도 1의 (A)는 반도체 장치에 포함되는 저항 소자(150)의 평면도이고, 도 1의 (B)는 반도체 장치에 포함되는 트랜지스터(100)의 평면도이고, 도 1의 (C)는 도 1의 (A)를 A1-A2에서, 도 1의 (B)를 B1-B2에서 각각 절단한 단면도이다. 또한, 도 1의 (A) 및 (B)에서는 도면의 명료화를 위하여 저항 소자(150) 및 트랜지스터(100)의 구성 요소의 일부(질화물 절연층(212) 등)를 생략하여 도시하였다. 이후의 평면도에 관해서도 마찬가지이다.

[0029]

도 1에 도시된 트랜지스터(100)는 기판(202) 위에 제공된 게이트 전극층(203)과, 게이트 전극층(203) 위의 절연층(204) 및 절연층(206)과, 절연층(206) 위에 접촉되고 게이트 전극층(203)과 중첩되는 산화물 반도체층(208b)과, 산화물 반도체층(208b)을 덮는 산화물 절연층(210)과, 산화물 절연층(210) 위의 질화물 절연층(212)과, 질화물 절연층(212) 및 산화물 절연층(210)에 제공된 콘택트 홀에서 산화물 반도체층(208b)과 전기적으로 접속된 전극층(214c) 및 전극층(214d)을 포함하여 구성된다.

[0030]

또한, 도 1에 도시된 저항 소자(150)는 기판(202) 위에 제공된 산화물 반도체층(208a)과, 산화물 반도체층(208a)을 덮는 질화물 절연층(212)과, 질화물 절연층(212)에 제공된 콘택트 홀에서 산화물 반도체층(208a)과 전기적으로 접속된 전극층(214a) 및 전극층(214b)을 포함하여 구성된다. 또한, 기판(202)과 산화물 반도체층(208a) 사이에 제공된 절연층(204) 및 절연층(206)이 저항 소자(150)의 구성 요소에 포함되어도 좋다.

[0031]

트랜지스터(100) 및 저항 소자(150)에는 공통적으로 절연층(204), 절연층(206), 및 질화물 절연층(212)이 제공된다. 또한, 트랜지스터(100)에 있어서 절연층(204) 및 절연층(206)은 게이트 절연층에 상당한다. 도 1에는 절연층(204) 및 절연층(206)으로 이루어진 적층 구조를 가진 게이트 절연층을 도시하였지만 게이트 절연층은 단층 구조로 하여도 좋고 3층 이상으로 이루어진 적층 구조로 하여도 좋다. 또한, 전극층(214a) 내지 전극층(214d)은 동일한 공정으로 형성되고, 트랜지스터(100)에 있어서 전극층(214c) 및 전극층(214d)은 한쪽이 소스 전극층에 상당하고 다른 쪽이 드레인 전극층에 상당한다.

[0032]

산화물 반도체층(208a) 및 산화물 반도체층(208b)은 동일한 성막 공정과 동일한 에칭 공정을 거쳐 각각 섬 형상으로 가공된 층이다. 산화물 반도체는 막 내의 산소 결손 및/또는 막 내의 수소, 물 등 불순물의 농도에 따라 저항률이 제어될 수 있는 반도체 재료이다. 그러므로, 산화물 반도체층(208a) 및 산화물 반도체층(208b)의 상층(또는 하층)에 접촉되는 각 절연층의 구성을 서로 다르게 함으로써 동일한 공정으로 형성된 각 산화물 반도체층의 저항률을 제어할 수 있다.

[0033]

구체적으로는 트랜지스터(100)에서 채널이 형성되는 산화물 반도체층(208b)을 덮는 절연층으로서 산소를 포함하는 절연층(산화물 절연층), 바꿔 말하면 산소를 방출할 수 있는 절연층을 사용함으로써 산화물 반도체층(208b)

에 산소를 공급할 수 있다. 산소가 공급된 산화물 반도체층(208b)은 막 내 또는 계면의 산소 결손이 보전되어 저항이 높은 산화물 반도체층이 된다. 또한, 산소를 방출할 수 있는 절연층으로서는 예를 들어, 산화 실리콘층 또는 산화 질화 실리콘층을 사용할 수 있다.

[0034] 산소 결손이 보전되고 수소 농도가 저감된 산화물 반도체층(208b)은 고순도 진성화 또는 실질적으로 고순도 진성화된 산화물 반도체층이라고 할 수 있다. 여기서, 실질적으로 진성이란, 산화물 반도체의 캐리어 밀도가  $1 \times 10^{17}/\text{cm}^3$  미만, 바람직하게는  $1 \times 10^{15}/\text{cm}^3$  미만, 더 바람직하게는  $1 \times 10^{13}/\text{cm}^3$  미만인 것을 말한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에 낮은 캐리어 밀도를 가질 수 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체층(208b)은 결함 준위 밀도가 낮기 때문에 낮은 포획 준위 밀도를 가질 수 있다.

[0035] 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체층(208b)은 오프 전류가 매우 낮기 때문에, 채널 폭이  $1 \times 10^6 \mu\text{m}$ 이고 채널 길이(L)가  $10 \mu\text{m}$ 인 소자의 경우에도 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V 내지 10V의 범위 내일 때의 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉  $1 \times 10^{-13}\text{A}$  이하라는 특성을 얻을 수 있다. 따라서 상기 산화물 반도체층(208b)에 채널 영역이 형성되는 트랜지스터(100)는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다.

[0036] 또한, 산화물 절연층(210)은 저항 소자(150)에 포함되는 산화물 반도체층(208a)과 중첩되는 영역이 선택적으로 제거된다. 따라서, 산화물 반도체층(208a)은 산화물 반도체층(208b)과는 다른 절연층으로 덮인다. 저항 소자(150)에 포함되는 산화물 반도체층(208a)을 덮는 절연층으로서 수소를 포함한 절연층, 바꿔 말하면 수소를 방출할 수 있는 절연층, 대표적으로는 질소를 포함한 무기 절연층, 예를 들어 질화물 절연층을 사용함으로써 산화물 반도체층(208a)에 수소를 공급할 수 있다. 상기 질화물 절연층은 막 내의 함유 수소 농도가  $1 \times 10^{22} \text{ atoms/cm}^3$  이상인 것이 바람직하다. 이와 같은 절연층을 사용함으로써 산화물 반도체층(208a)에 수소를 효과적으로 포함시킬 수 있다.

[0037] 산화물 반도체층(208a)에 포함되는 수소는 금속 원자와 결합된 산소와 반응하여 물이 됨과 동시에, 산소가 탈리된 격자(또는 산소가 탈리된 부분)에 산소 결손을 형성한다. 이 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성될 수 있다. 또한, 수소의 일부가 금속 원자와 결합된 산소와 결합됨으로써 캐리어인 전자가 생성될 수 있다. 따라서, 수소가 포함되는 산화물 반도체층(208a)은 산화물 반도체층(208b)보다 캐리어 밀도가 높은 산화물 반도체층이다. 바꿔 말하면, 질화물 절연층(212)에 의하여 수소가 공급된 산화물 반도체층(208a)은 저항이 낮은 산화물 반도체층이다.

[0038] 트랜지스터(100)에서 채널이 형성되는 산화물 반도체층(208b)은 수소가 가능한 한 저감되는 것이 바람직하다. 구체적으로는, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 산화물 반도체층(208b)의 수소 농도가  $2 \times 10^{20} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  미만, 더 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $5 \times 10^{17} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{16} \text{ atoms/cm}^3$  이하로 한다. 한편, 저항 소자(150)에 포함되는 산화물 반도체층(208a)은 산화물 반도체층(208b)보다 수소 농도 및/또는 산소 결손량이 많고 저저항화된 산화물 반도체층으로 한다.

#### <반도체 장치의 제작 방법>

[0040] 도 1에 도시된 반도체 장치의 제작 방법의 일례에 대하여 도 2 및 도 3을 사용하여 설명한다.

[0041] 우선, 기판(202) 위에 게이트 전극층(203)(이와 동일한 층으로 형성되는 배선을 포함함)을 형성하고 게이트 전극층(203) 위에 절연층(204) 및 절연층(206)을 적층한다(도 2의 (A) 참조).

[0042] 기판(202)의 재질 등에 큰 제한은 없지만, 적어도 나중에 수행되는 가열 처리를 견딜 수 있을 정도의 내열성을 가지고 있을 필요가 있다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(202)으로서 사용하여도 좋다. 또한, 실리콘이나 탄화 실리콘 등으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있고, 이와 같은 기판 위에 반도체 소자가 제공된 것을 기판(202)으로서 사용하여도 좋다. 또한, 기판(202)으로서 유리 기판을 사용하는 경우, 제 6 세대( $1500\text{mm} \times 850\text{mm}$ ), 제 7 세대( $1870\text{mm} \times 200\text{mm}$ ), 제 8 세대( $2200\text{mm} \times 400\text{mm}$ ), 제 9 세대( $2400$

mm×800mm), 제 10 세대(2950mm×400mm) 등의 대면적 기판을 사용하여 대형 표시 장치를 제작할 수 있다.

[0043] 또한, 기판(202)으로서 가요성 기판을 사용하고 가요성 기판 위에 직접 트랜지스터(100) 및 저항 소자(150)를 형성하여도 좋다. 또는, 기판(202)과 트랜지스터(100) 및 저항 소자(150)와의 사이에 박리층을 제공하여도 좋다. 박리층은 그 위에 반도체 장치의 일부 또는 전체가 완성된 후에 기판(202)으로부터 분리하고 다른 기판으로 전재(轉載)하는 데 이용할 수 있다. 이 때, 트랜지스터(100) 및 저항 소자(150)는 내열성이 떨어지는 기판이나 가요성 기판에도 전재될 수 있다.

[0044] 게이트 전극층(203)은, 몰리브덴, 티타늄, 탄탈, 텉스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 형성할 수 있다. 또한, 인 등 불순물 원소가 도핑된 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드막을 게이트 전극층(203)으로서 사용하여도 좋다. 게이트 전극층(203)은 단층 구조로 하여도 좋고 적층 구조로 하여도 좋다. 게이트 전극층(203)은 테이퍼 형상으로 하여도 좋으며 테이퍼 각은 예를 들어 15° 이상 70° 이하로 하면 좋다. 여기서, 테이퍼 각이란, 테이퍼 형상을 가진 층의 측면과 이 층의 저면 사이의 각도를 말한다.

[0045] 또한, 게이트 전극층(203)의 재료로서는 산화 인듐 산화 주석, 산화 텉스텐을 포함한 인듐 산화물, 산화 텉스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 산화 인듐 산화 아연, 산화 실리콘이 첨가된 인듐 주석 산화물 등 도전성 재료를 적용할 수도 있다.

[0046] 또는, 게이트 전극층(203)의 재료로서, 질소를 포함한 In-Ga-Zn계 산화물, 질소를 포함한 In-Sn계 산화물, 질소를 포함한 In-Ga계 산화물, 질소를 포함한 In-Zn계 산화물, 질소를 포함한 Sn계 산화물, 질소를 포함한 In계 산화물, 금속 질화물막(질화 인듐막, 질화 아연막, 질화 탄탈막, 질화 텉스텐막 등)을 사용하여도 좋다. 상술한 재료는 5eV 이상의 일함수를 가지므로 상술한 재료를 사용하여 게이트 전극층(203)을 형성하면 트랜지스터의 문턱 전압을 양으로 할 수 있고 노멀리 오프의 스위칭 트랜지스터를 구현할 수 있다. 또한, 게이트 전극층(203)은 스퍼터링법, 플라즈마 CVD법, MOCVD법이나 ALD법 등의 열 CVD법 등으로 형성할 수 있다.

[0047] 절연층(204) 및 절연층(206)은 트랜지스터(100)의 게이트 절연층에 상당하는 절연층이다. 절연층(204) 및 절연층(206)으로서는 플라즈마 CVD법, 스퍼터링법 등에 의하여 산화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 이트륨막, 산화 지르코늄막, 산화 갈륨막, 산화 탄탈막, 산화 마그네슘막, 산화 란탄막, 산화 세륨막, 및 산화 네오디뮴막 중에서 하나 이상을 포함하는 절연층을 각각 사용할 수 있다. 또한, 절연층(204) 및 절연층(206)으로 이루어진 적층 구조로 하지 않고 상술한 막 중 어느 하나를 포함한 단층 구조의 절연층을 게이트 절연층으로서 사용하여도 좋다.

[0048] 또한, 나중에 형성되는 산화물 반도체층(208b)과 접촉되는 절연층(206)은 산화물 절연층인 것이 바람직하고, 화학량론적 조성보다 과잉으로 산소를 포함하는 영역(산소 과잉 영역)을 가지는 것이 더 바람직하다. 절연층(206)에 산소 과잉 영역을 제공하기 위해서는 예를 들어 산소 분위기에서 절연층(206)을 형성하면 좋다. 또는, 형성 후의 절연층(206)에 산소를 도입함으로써 산소 과잉 영역을 형성하여도 좋다. 산소의 도입 방법으로서는 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법, 플라즈마 처리 등을 사용할 수 있다.

[0049] 본 실시형태에서는 절연층(204)으로서 질화 실리콘층을 형성하고 절연층(206)으로서 산화 실리콘층을 형성한다. 질화 실리콘층은 산화 실리콘층에 비하여 비유전율이 높기 때문에, 동등한 정전 용량을 얻는데 필요한 막 두께가 더 크다. 그래서, 트랜지스터(100)의 게이트 절연층으로서 기능하는 절연층(204)에 질화 실리콘층을 사용하는 경우에는 게이트 절연층을 두껍게 할 수 있다. 따라서, 트랜지스터(100)의 절연 내압이 저하되는 것을 억제할 수 있고, 또한 절연 내압을 향상시켜 트랜지스터의 정전 파괴를 억제할 수 있다. 또한, 절연층(204) 및 절연층(206)은 스퍼터링법, 플라즈마 CVD법, MOCVD법이나 ALD법 등의 열 CVD법 등으로 형성할 수 있다.

[0050] 다음에, 절연층(206) 위에 산화물 반도체막(208)을 형성한다(도 2의 (B) 참조). 산화물 반도체막(208)은 적어도 인듐(In), 아연(Zn), 및 M(Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)을 포함하는 In-M-Zn 산화물로 표기되는 막을 포함하는 것이 바람직하다. 또는, In과 Zn의 양쪽을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감시키기 위하여 이들과 함께 스테빌라이저(stabilizer)를 포함하는 것이 바람직하다.

[0051] 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 또한, 이들 외의 스테빌라이저로서는, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 틀뮴(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.

- [0052] 산화물 반도체막(208)을 구성하는 산화물 반도체로서, 예를 들어, In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다.
- [0053] 또한 여기서 In-Ga-Zn계 산화물이란, In, Ga, 및 Zn을 주성분으로서 포함하는 산화물을 말하며 In, Ga, 및 Zn의 비율은 불문한다. 또한, In, Ga, 및 Zn 이외의 금속 원소가 들어 있어도 좋다.
- [0054] 산화물 반도체막(208)의 성막 방법으로서는 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD법, 펠스 레이저 퇴적법, ALD(Atomic Layer Deposition)법 등을 적절히 사용할 수 있다.
- [0055] 산화물 반도체막(208)을 형성할 때 막 내에 포함되는 수소 농도는 가능한 한 저감시키는 것이 바람직하다. 수소 농도를 저감시키기 위하여 예를 들어, 스퍼터링법으로 형성하는 경우에는 성막실 내의 고진공 배기뿐만 아니라 스퍼터링 가스의 고순도화도 필요하다. 스퍼터링 가스로서, 이슬점이 -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하, 더욱 바람직하게는 -120°C 이하까지 고순도화한 산소 가스나 아르곤 가스를 사용함으로써 산화물 반도체막(208)에 수분 등이 침입되는 것을 가능한 한 방지할 수 있다.
- [0056] 또한, 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형 진공 펌프, 예를 들어 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션 펌프를 사용하는 것이 바람직하다. 또한, 터보 분자 펌프에 콜드 트랩을 제공한 것을 사용하여도 좋다. 크라이오 펌프는 예를 들어, 수소 분자, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물(더 바람직하게는 탄소 원자를 포함하는 화합물도) 등의 배기 능력이 높기 때문에, 크라이오 펌프를 사용하여 배기한 성막실에서 막을 형성하면 막 내에 포함되는 불순물의 농도를 저감시킬 수 있다.
- [0057] 또한, 산화물 반도체막(208)을 스퍼터링법으로 형성하는 경우, 형성에 사용하는 금속 산화물 타깃의 상대 밀도(충전율)는 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하로 한다. 상대 밀도가 높은 금속 산화물 타깃을 사용함으로써, 형성되는 막을 치밀한 막으로 할 수 있다.
- [0058] 또한, 기판(202)을 고온으로 유지한 상태에서 산화물 반도체막(208)을 형성하는 것도, 산화물 반도체막(208) 내에 포함될 수 있는 불순물 농도를 저감시키는 데 유효하다. 기판(202)을 가열하는 온도는 150°C 이상 450°C 이하로 하면 좋고, 바람직하게는 기판 온도를 200°C 이상 350°C 이하로 하면 좋다.
- [0059] 다음에, 산화물 반도체막(208)의 원하는 영역을 가공함으로써 섬 형상의 산화물 반도체층(208d) 및 산화물 반도체층(208b)을 형성한다(도 2의 (C) 참조). 또한, 산화물 반도체막(208)을 에칭으로 가공할 때, 산화물 반도체막(208)의 오버 에칭에 의하여 절연층(206)의 일부(산화물 반도체층(208a) 및 산화물 반도체층(208b)으로 덮이지 않은 영역)가 에칭되어, 막 두께가 감소될 수 있다.
- [0060] 섬 형상의 산화물 반도체층(208d) 및 산화물 반도체층(208b)을 형성한 후에 가열 처리를 수행한다. 가열 처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 400°C 이하, 더 바람직하게는 320°C 이상 370°C 이하의 온도로 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함한 분위기, 또는 감압 분위기에서 수행하면 좋다. 또한, 이 가열 처리로서는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 탈리된 산소를 보전하기 위하여 산화성 가스를 10ppm 이상 포함한 분위기에서 가열 처리를 수행하여도 좋다. 이 가열 처리에 의하여, 절연층(204), 절연층(206), 산화물 반도체층(208d) 및 산화물 반도체층(208b) 중 적어도 하나에서 수소나 물 등 불순물을 제거할 수 있다. 또한, 이 가열 처리는 산화물 반도체막(208)을 섬 형상으로 가공하기 전에 수행하여도 좋다.
- [0061] 또한, 산화물 반도체를 채널로 하는 트랜지스터(100)에 안정된 전기 특성을 부여하기 위해서는 산화물 반도체 내의 불순물 농도를 저감시키고 산화물 반도체를 진성 또는 실질적으로 진성으로 하는 것이 유효하다.
- [0062] 다음에, 산화물 반도체층(208d) 및 산화물 반도체층(208b) 위에 산화물 절연막(210a)을 형성한다(도 2의 (D) 참조).
- [0063] 산화물 절연막(210a)으로서는 예를 들어, 두께 150nm 이상 400nm 이하의 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막 등을 사용할 수 있다. 본 실시형태에서는 산화물 절연막(210a)으로서 두께 300nm의 산화 질화 실리콘막을 사용한다. 또한, 산화물 절연막(210a)은 예를 들어, CVD법으로 형성할 수 있다.

- [0064] 다음에, 산화물 절연막(210a)의 원하는 영역을 가공하여 개구부(302)를 형성한다. 이에 의하여 산화물 절연막(210a)은 개구부(302)가 형성된 산화물 절연층(210)이 된다.
- [0065] 또한, 개구부(302)는 산화물 반도체층(208a)이 노출되도록 형성한다. 개구부(302)의 형성 방법으로서는, 예를 들어 드라이 에칭법을 사용할 수 있다. 다만, 개구부(302)의 형성 방법은 이에 한정되지 않고 웨트 에칭법, 또는 드라이 에칭법과 웨트 에칭법을 조합한 형성 방법으로 하여도 좋다. 또한, 개구부(302)를 형성하기 위한 에칭 공정에 의하여, 산화물 절연층(210)으로 덮이지 않은 절연층(206)의 일부 및 산화물 반도체층(208a)의 막 두께가 감소될 수 있다.
- [0066] 이 후 가열 처리를 수행하는 것이 바람직하다. 가열 처리를 수행함으로써 산화물 절연층(210)에 포함되는 산소의 일부를 산화물 반도체층(208b)으로 이동시켜 산화물 반도체층(208b) 내의 산소 결손을 보전할 수 있다. 이 결과 산화물 반도체층(208b)에 포함되는 산소 결손량을 저감시킬 수 있다. 한편, 산화물 절연층(210)과 접촉되지 않는 산화물 반도체층(208d)의 산소 결손량은 저감되지 않기 때문에 산화물 반도체층(208d)은 산화물 반도체층(208b)보다 산소 결손을 많이 포함하게 된다. 가열 처리의 조건은 산화물 반도체층(208d) 및 산화물 반도체층(208b) 형성 후의 가열 처리와 마찬가지로 할 수 있다.
- [0067] 다음에, 산화물 절연층(210) 및 산화물 반도체층(208d) 위에 질화물 절연층(212)을 형성한다(도 3의 (B) 참조).
- [0068] 질화물 절연층(212)은 수소를 포함하여 구성된다. 질화물 절연층(212)의 수소는, 산화물 반도체층(208d)에 확산되면 이 산화물 반도체층(208d)에서 산소 결손과 결합하여, 캐리어인 전자를 생성시킨다. 이 결과 산화물 반도체층(208d)은 저항이 낮은 산화물 반도체층(208a)이 된다. 산화물 반도체층(208a)의 저항률은 적어도 산화물 반도체층(208b)보다 낮고 바람직하게는  $1 \times 10^{-3} \Omega \text{cm}$  이상  $1 \times 10^{-4} \Omega \text{cm}$  미만, 더 바람직하게는  $1 \times 10^{-3} \Omega \text{cm}$  이상  $1 \times 10^{-1} \Omega \text{cm}$  미만이면 좋다. 또한, 질화물 절연층(212)은 외부로부터의 불순물, 예를 들어 물, 알칼리 금속, 알칼리 토금속 등이 트랜지스터(100)에 포함된 산화물 반도체층(208b)에 확산되는 것을 방지하는 효과도 나타낸다. 질화물 절연층(212)은 스퍼터링법, 플라즈마 CVD법, MOCVD법이나 ALD법 등의 열 CVD법 등으로 형성할 수 있다.
- [0069] 또한, 본 실시형태에서는 산화물 반도체층(208d)을 덮는 질화물 절연층(212)으로부터 수소를 도입하는 방법을 예시하였지만, 이에 한정되는 것은 아니다. 예를 들어, 트랜지스터(100)의 채널 형성 영역이 되는 부분에 마스크를 제공하고, 이 마스크로 덮이지 않은 영역에 수소를 도입하여도 좋다. 예를 들어, 이온 도핑 장치 등을 사용하여 산화물 반도체층(208d)에 수소를 도입할 수 있다. 또는, 수소를 포함한 플라즈마 분위기에서 산화물 반도체층(208d)을 처리함으로써 수소를 도입하여도 좋다. 또한, 수소 및 아르곤을 포함한 플라즈마 분위기에서 산화물 반도체층(208d)을 처리함으로써 수소를 도입하여도 좋다.
- [0070] 일례로서는, 질화물 절연층(212)으로서 두께 100nm 이상 400nm 이하의 질화 실리콘막 또는 질화 산화 실리콘막 등을 사용할 수 있다. 본 실시형태에서는 질화물 절연층(212)으로서 두께 150nm의 질화 실리콘층을 사용한다.
- [0071] 또한, 상기 질화 실리콘층의 블로킹성을 높이기 위해서는 고온에서 형성하는 것이 바람직하고, 예를 들어 기판 온도 100°C 이상 기판의 변형점 이하, 더 바람직하게는 300°C 이상 400°C 이하로 가열하면서 형성하는 것이 바람직하다. 다만, 고온에서 형성하는 경우에는 산화물 반도체층(208b)으로부터 산소가 탈리되어 캐리어 농도가 상승하는 현상이 발생될 수 있으므로 이러한 현상이 발생되지 않는 온도로 한다.
- [0072] 다음에, 질화물 절연층(212) 및 산화물 절연층(210)에, 산화물 반도체층(208a) 및 산화물 반도체층(208b)에 도달되는 개구부를 형성한다. 상기 개구부 및 질화물 절연층(212) 위에 도전막을 형성하고 가공함으로써 전극층(214a), 전극층(214b), 전극층(214c), 및 전극층(214d)을 형성한다(도 3의 (C) 참조).
- [0073] 전극층(214a) 내지 전극층(214d)이 되는 도전막은 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈, 또는 텉스텐으로 이루어진 단체 금속, 또는 이를 주성분으로 하는 합금을, 단층 구조 또는 적층 구조로 사용하여 형성할 수 있다. 예를 들어, 알루미늄막 위에 티타늄막을 적층한 2층 구조, 텉스텐막 위에 티타늄막을 적층한 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층한 2층 구조, 티타늄막 또는 질화 티타늄막 위에 중첩되도록 알루미늄막 또는 구리막을 적층하고 그 위에 티타늄막 또는 질화 티타늄막을 형성한 3층 구조, 몰리브덴막 또는 질화 몰리브덴막 위에 중첩되도록 알루미늄막 또는 구리막을 적층하고 그 위에 몰리브덴막 또는 질화 몰리브덴막을 형성한 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석, 또는 산화 아연을 포함한 투명 도전성 재료를 사용하여도 좋다. 또한, 도전막은 예를 들어, 스퍼터링법, 플라즈마 CVD법, MOCVD법이나 ALD법 등의 열 CVD법 등으로 형성할 수 있다.

- [0074] 또한, 저항 소자(150)에 포함되는 산화물 반도체층(208a)에 도달되는 콘택트 홀과, 트랜지스터(100)에 포함되는 산화물 반도체층(208b)에 도달되는 콘택트 홀은 한번의 에칭 공정으로 형성할 수 있다. 다만, 산화물 반도체층(208b)에 도달되는 콘택트 홀을 형성하기 위한 산화물 절연층(210)의 에칭에 의하여 산화물 반도체층(208a)의 일부가 오버 에칭될 수 있다. 따라서, 산화물 반도체층(208a)에서 전극층(214a) 및 전극층(214b)과 접촉되는 영역의 막 두께는, 산화물 반도체층(208b)에서 전극층(214c) 및 전극층(214d)과 접촉되는 영역의 막 두께보다 작은 경우가 있다. 또한, 산화물 반도체층(208a)에서 전극층(214a) 및 전극층(214b)과 접촉되는 영역의 막 두께는 질화물 절연층(212)과 접촉되는 영역의 막 두께보다 작은 경우가 있다.
- [0075] 또한, 산화물 반도체층(208b)에 도달되는 콘택트 홀의 형성에 의하여 산화물 반도체층(208b)의 일부가 오버 에칭될 수 있다. 따라서, 산화물 반도체층(208b)에서 전극층(214c) 및 전극층(214d)과 접촉되는 영역의 막 두께는 산화물 절연층(210)과 접촉되는 영역의 막 두께보다 작은 경우가 있다. 또한, 에칭 공정에서 노출되지 않는 영역인, 산화물 반도체층(208a)에서 질화물 절연층(212)과 접촉되는 영역의 막 두께와, 산화물 반도체층(208b)에서 산화물 절연층(210)과 접촉되는 영역의 막 두께는 같은 경우가 있다.
- [0076] 상술한 공정에 의하여 채널 보호형 트랜지스터(100)와 저항 소자(150)를 동일한 기판 위에 형성할 수 있다.
- [0077] 본 실시형태에 기재된 제작 공정으로 얻어지는 저항 소자(150)는, 수소 공급원이 되는 질화물 절연층(212)이 섬 형상의 산화물 반도체층(208a) 전체 면을 덮도록 제공되기 때문에 산화물 반도체층(208a)은 전체에 걸쳐 저저항화된다. 따라서, 산화물 반도체층(208a)에 있어서, 질화물 절연층(212)과 접촉되는 영역과, 질화물 절연층(212)에 제공된 콘택트 홀에서 전극층(214a) 및 전극층(214b)과 접촉되는 영역은 도전성이 동일하고 저항률이 같다. 따라서, 저항 소자(150)를 높은 제어성으로 임의의 저항값으로 조정할 수 있다.
- [0078] 또한, 트랜지스터(100)에 포함되는 산화물 반도체층(208b)과 저항 소자(150)에 포함되는 산화물 반도체층(208a)은 동일한 성막 공정과 동일한 에칭 공정으로 형성할 수 있고, 상면에 접촉되는 절연층의 영향에 의하여 다른 캐리어 밀도를 가질 수 있다. 따라서, 반도체 장치의 제작 공정을 삭감할 수 있다. 산화물 절연층(210)에 의하여 산소 결손이 보전되지 않는 산화물 반도체층(208a)의 산소 결손량은 적어도 산화물 반도체층(208b)의 그것보다 많고, 질화물 절연층(212)에 의하여 수소가 공급되는 산화물 반도체층(208a)의 수소 농도는 적어도 산화물 반도체층(208b)의 그것보다 높다. 따라서, 산화물 반도체층(208a)은 적어도 산화물 반도체층(208b)보다 캐리어 밀도가 높고 저항이 낮은 막이다.
- [0079] 수소 농도가 저감되고 산소 결손이 보전됨으로써 고순도 진성화 또는 실질적으로 고순도 진성화된 산화물 반도체층(208b)의 캐리어 밀도는 예를 들어,  $1 \times 10^{17}/\text{cm}^3$  미만일 수 있다. 한편, 산화물 반도체층(208b)보다 산소 결손을 많이 가지고 수소 농도가 높은 산화물 반도체층(208a)의 캐리어 밀도는 예를 들어,  $1 \times 10^{18}/\text{cm}^3$  이상일 수 있다.
- [0080] 또한, 산화물 절연층(210) 및 질화물 절연층(212)은 트랜지스터(100)에서 채널 보호막으로서도 기능한다.
- [0081] <변형 예 1>
- [0082] 도 4는 반도체 장치에 적용될 수 있는 저항 소자(150)의 변형예를 도시한 것이다. 도 4의 (A)는 저항 소자(190)의 평면도이고, 도 4의 (B)는 도 4의 (A)를 A3-A4에서 절단한 단면도이다.
- [0083] 도 4에 도시된 저항 소자(190)는 산화물 반도체층(208a)의 형상이 도 1의 저항 소자(150)와 다르다. 구체적으로는 저항 소자(190)는 저항 소자(150)에 포함되는 섬 형상의 산화물 반도체층(208a) 대신에, 평면으로 볼 때 사행(蛇行)하는 형상을 가진 산화물 반도체층(208a)을 가진다. 이와 같은 형상의 산화물 반도체층(208a)은 섬 형상의 산화물 반도체층(208a)보다 캐리어가 흐르는 경로의 길이가 길다. 산화물 반도체층(208a)의 저항률과 산화물 반도체층(208a)의 캐리어가 흐르는 경로의 길이를 적절히 설정함으로써 임의의 저항률을 가지는 저항 소자로 할 수 있다.
- [0084] 저항 소자(190)에 포함되는 산화물 반도체층(208a)의 캐리어가 흐르는 경로의 길이는 도시되어 있지 않은 트랜지스터(100)에 포함되는 산화물 반도체층(208b)의 캐리어가 흐르는 경로의 길이(채널 길이)보다 길게 하는 것이 바람직하다. 또한, 도 4에는 평면으로 볼 때 사행하는 형상을 가진 산화물 반도체층(208a)을 도시하였지만 형상은 이에 한정되지 않고 평면으로 볼 때 각부를 가진 직선 형상, 곡선 형상 등으로 함으로써 산화물 반도체층(208a)의 캐리어가 흐르는 경로의 길이를 조정하여도 좋다.
- [0085] 또한, 저항 소자(190)에 관해서는, 산화물 반도체층(208a)의 형상에 관한 사항을 제외하고는 저항 소자(150)에

대한 설명을 참조할 수 있다.

[0086] <변형 예 2>

도 5의 (A)는 반도체 장치에 포함되는 트랜지스터 및 저항 소자의 변형예를 도시한 것이다. 도 5의 (A)에 도시된 저항 소자(160)는 기판(202) 위에 제공된 질화물 절연층(304)과, 질화물 절연층(304) 위에 접촉되는 산화물 반도체층(208a)과, 산화물 반도체층(208a)을 덮는 산화물 절연층(210)과, 산화물 절연층(210)에 제공된 콘택트 홀에서 산화물 반도체층(208a)과 전기적으로 접속된 전극층(214a) 및 전극층(214b)을 가진다. 저항 소자(160)에 포함되는 산화물 반도체층(208a)은 하면에 접촉하여 제공된 질화물 절연층(304)으로부터 수소가 공급됨으로써 저저항화된 산화물 반도체층이다.

[0088] 또한, 도 5의 (A)에 도시된 트랜지스터(110)는 기판(202) 위에 제공된 게이트 전극층(203)과, 게이트 전극층(203) 위의 질화물 절연층(304)과, 질화물 절연층(304) 위의 산화물 절연층(306)과, 산화물 절연층(306) 위의 산화물 반도체층(208b)과, 산화물 반도체층(208b) 위의 산화물 절연층(210)과, 산화물 절연층(210)에 제공된 콘택트 홀에서 산화물 반도체층(208b)과 전기적으로 접속된 전극층(214c) 및 전극층(214d)을 가진다.

[0089] 저항 소자(160) 및 트랜지스터(110)에는 공통적으로 질화물 절연층(304), 산화물 절연층(210)이 제공된다. 또한, 트랜지스터(110)에 있어서 질화물 절연층(304) 및 산화물 절연층(306)은 게이트 절연층에 상당한다. 도 5의 (A)에 도시된 반도체 장치에서는, 트랜지스터(110)의 게이트 절연층의 일부로서 기능하는 산화물 절연층(306)을 형성한 후에 이 산화물 절연층(306)을 선택적으로 에칭 처리함으로써, 산화물 반도체층(208a)이 형성되는 영역과 중첩되는 영역의 산화물 절연층(306)이 제거된다. 이로써 트랜지스터(110)의 게이트 절연층의 일부로서 기능하는 질화물 절연층(304)과 저항 소자(160)에 포함되는 산화물 반도체층(208a)이 접촉되는 구성으로 할 수 있다.

[0090] 또한, 저항 소자(160) 및 트랜지스터(110)에서는, 산화물 절연층(210) 위에 질화물 절연층(212)을 형성하고 블로킹층으로서 사용하여도 좋다.

[0091] 또한, 도 5의 (A)는 산화물 반도체층(208a) 또는 산화물 반도체층(208b)에 도달되는 콘택트 홀을 형성하기 위한 산화물 절연층(210)의 에칭에 의하여 산화물 반도체층(208a) 및 산화물 반도체층(208b)의 일부가 오버 에칭된 경우를 예로 들어 도시한 것이다. 도 5의 (A)에 있어서, 산화물 반도체층(208a)에서 전극층(214a) 및 전극층(214b)과 접촉되는 영역의 막 두께는 산화물 절연층(210)과 접촉되는 영역의 막 두께보다 작다. 또한, 산화물 반도체층(208b)에서 전극층(214c) 및 전극층(214d)과 접촉되는 영역의 막 두께는 산화물 절연층(210)과 접촉되는 영역의 막 두께보다 작다. 다만, 산화물 반도체층(208a)에서 산화물 절연층(210)과 접촉되는 영역과 산화물 반도체층(208b)에서 산화물 절연층(210)과 접촉되는 영역은 막 두께가 같다. 또한, 산화물 반도체층(208a)에서 전극층(214a) 및 전극층(214b)과 접촉되는 영역과 산화물 반도체층(208b)에서 전극층(214c) 및 전극층(214d)과 접촉되는 영역은 막 두께가 같다.

[0092] 도 5의 (A)에 도시된 저항 소자(160)의 구성은, 산화물 반도체층(208a) 하면 전체에 접촉되는 질화물 절연층(304)으로부터 수소를 공급하여 산화물 반도체층(208a)을 전체에 걸쳐 저저항화시킬 수 있으며 도 1에 도시된 저항 소자(150)보다 마스크 수를 증가시킴이 없이 형성할 수 있다.

[0093] <변형 예 3>

[0094] 도 5의 (B)는 반도체 장치에 포함되는 저항 소자 및 트랜지스터의 변형예를 도시한 것이다. 도 5의 (B)에 도시된 저항 소자(170)는 기판(202) 위에 제공된 질화물 절연층(304)과, 질화물 절연층(304) 위에 접촉되는 산화물 반도체층(208a)과, 산화물 반도체층(208a)을 덮는 질화물 절연층(212)과, 질화물 절연층(212)에 제공된 콘택트 홀에서 산화물 반도체층(208a)과 전기적으로 접속된 전극층(214a) 및 전극층(214b)을 가진다. 즉, 저항 소자(170)에 포함되는 산화물 반도체층(208a)은 하면에 접촉하여 제공된 질화물 절연층(304) 및 상면에 접촉하여 제공된 질화물 절연층(212) 양쪽으로부터 수소가 공급됨으로써 저저항화된 산화물 반도체층이다.

[0095] 또한, 도 5의 (B)에 도시된 트랜지스터(120)는 기판(202) 위에 제공된 게이트 전극층(203)과, 게이트 전극층(203) 위의 질화물 절연층(304)과, 질화물 절연층(304) 위의 산화물 절연층(306)과, 산화물 절연층(306) 위의 산화물 반도체층(208b)과, 산화물 반도체층(208b) 위의 산화물 절연층(210)과, 산화물 절연층(210) 위의 질화물 절연층(212)과, 질화물 절연층(212) 및 산화물 절연층(210)에 제공된 콘택트 홀에서 산화물 반도체층(208b)과 전기적으로 접속된 전극층(214c) 및 전극층(214d)을 가진다. 즉, 트랜지스터(120)는 트랜지스터(100)에 절연층(204)으로서 질화물 절연층(304)을 제공하고 절연층(206)으로서 산화물 절연층(306)을 제공한 구성이다.

- [0096] 도 5의 (B)에 도시된 반도체 장치는 저항 소자(170)에 포함되는 산화물 반도체층(208a)에 상측과 하측의 양쪽 방향으로부터 수소가 공급됨으로써, 산화물 반도체층(208a)과 산화물 반도체층(208b)의 캐리어 밀도에 충분한 차가 생길 수 있다. 저항 소자에 요구되는 저항값에 따라서는 산화물 반도체층(208a)의 상측과 하측으로부터 수소를 공급하는 구성이 유효하다. 또한, 산화물 반도체층(208a)의 저항률에 따라서는 산화물 반도체층(208a)을 배선의 일부로서 사용하는 것도 가능하다.
- [0097] <변형예 4>
- [0098] 도 6의 (A)는 반도체 장치에 포함되는 저항 소자 및 트랜지스터의 변형예를 도시한 것이다. 도 6의 (A)에 도시된 저항 소자(180)는 저항 소자(150)에 포함되는 산화물 반도체층(208a)을, 산화물 반도체층(207a)과 산화물 반도체층(209a)의 적층 구조로 한 경우의 예이다. 이 외의 구성은 저항 소자(150)와 같기 때문에 상술한 설명을 참작할 수 있다.
- [0099] 또한, 도 6의 (A)에 도시된 트랜지스터(130)는 트랜지스터(100)에 포함되는 산화물 반도체층(208b)을, 산화물 반도체층(207b)과 산화물 반도체층(209b)의 적층 구조로 한 경우의 예이다. 이 외의 구성은 트랜지스터(100)와 같기 때문에 상술한 설명을 참작할 수 있다.
- [0100] 산화물 반도체층(207a) 및 산화물 반도체층(207b)(이하, 명세서에서는 산화물 반도체층(207)이라고도 표기함)과, 산화물 반도체층(209a) 및 산화물 반도체층(209b)(이하, 명세서에서는 산화물 반도체층(209)이라고도 표기함)에는 적어도 하나의 동일한 구성 원소를 가진 금속 산화물을 사용하는 것이 바람직하다. 또는, 산화물 반도체층(207)과 산화물 반도체층(209)의 구성 원소를 동일하게 하고 조성을 다르게 하여도 좋다.
- [0101] 산화물 반도체층(207)이 In-M-Zn 산화물(M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf)인 경우, In-M-Zn 산화물의 막을 형성하는 데 사용하는 스퍼터링 타깃의 금속 원소의 원자수비는  $In \geq M$ ,  $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이와 같은 스퍼터링 타깃의 금속 원소의 원자수비로서는  $In:M:Zn=1:1:1$ ,  $In:M:Zn=3:1:2$ 가 바람직하다. 또한, 형성되는 산화물 반도체층(207)의 원자수비는 각각, 상기의 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의  $\pm 20\%$ 의 오차 변동을 포함한다.
- [0102] 또한, 산화물 반도체층(207)이 In-M-Zn 산화물일 때, Zn과 O를 제외한 In과 M의 원자수비율은 바람직하게는 In을 25atomic% 이상, M을 75atomic% 미만, 더 바람직하게는 In을 34atomic% 이상, M을 66atomic% 미만으로 한다.
- [0103] 산화물 반도체층(207)의 에너지 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 이와 같이, 에너지 갭이 넓은 산화물 반도체를 사용함으로써, 트랜지스터의 오프 전류를 저감시킬 수 있다.
- [0104] 산화물 반도체층(207)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.
- [0105] 산화물 반도체층(209)은 대표적으로는 In-Ga 산화물, In-Zn 산화물, In-M-Zn 산화물(M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf)이고, 산화물 반도체층(207)보다 전도대 하단의 에너지가 진공 준위에 가까우며 대표적으로는 산화물 반도체층(209)의 전도대 하단의 에너지와 산화물 반도체층(207)의 전도대 하단의 에너지의 차가 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상이고 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하이다. 즉, 산화물 반도체층(209)의 전자 친화력과 산화물 반도체층(207)의 전자 친화력의 차가 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상이고 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하이다.
- [0106] 산화물 반도체층(209)이 In보다 높은 원자수비로 상술한 원소 M을 가짐으로써 이하와 같은 효과가 나타날 수 있다. (1) 산화물 반도체층(209)의 에너지 갭 확장, (2) 산화물 반도체층(209)의 전자 친화력 감소, (3) 외부로부터의 불순물 차폐, 및 (4) 산화물 반도체층(207)보다 높은 절연성. 또한, 원소 M은 산소와의 결합력이 강한 금속 원소이기 때문에 In보다 높은 원자수비로 M을 가짐으로써 산소 결손이 생기기 어려워진다.
- [0107] 산화물 반도체층(209)이 In-M-Zn 산화물일 때, Zn과 O를 제외한 In과 M의 원자수비율은 바람직하게는 In을 50atomic% 미만, M을 50atomic% 이상, 더 바람직하게는 In을 25atomic% 미만, M을 75atomic% 이상으로 한다.
- [0108] 또한, 산화물 반도체층(207) 및 산화물 반도체층(209)이 In-M-Zn 산화물(M은 Al, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf)인 경우, 산화물 반도체층(209)에 포함되는 M의 원자수비는 산화물 반도체층(207)의 그것보다 크고 대표적으로는 산화물 반도체층(207)에 포함되는 상기 원자보다 그 원자수비가 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상 높다.

- [0109] 또한, 산화물 반도체층(209)을  $In:M:Zn=x_1:y_1:z_1$ [원자수비], 산화물 반도체층(207)을  $In:M:Zn=x_2:y_2:z_2$ [원자수비]로 할 때  $y_1/x_1$ 는  $y_2/x_2$ 보다 크고 바람직하게는  $y_1/x_1$ 는  $y_2/x_2$ 의 1.5배 이상이다. 더 바람직하게는,  $y_1/x_1$ 은  $y_2/x_2$ 의 2배 이상이고 더 바람직하게는  $y_1/x_1$ 은  $y_2/x_2$ 의 3배 이상이다. 이 때 산화물 반도체층에서  $y_2$ 를  $x_2$  이상으로 하면 상기 산화물 반도체층을 사용한 트랜지스터(130)에 안정된 전기 특성을 부여할 수 있으므로 바람직하다. 다만,  $y_2$ 가  $x_2$ 의 3배 이상이면, 상기 산화물 반도체층을 사용한 트랜지스터(130)의 전계 효과 이동도가 저하되기 때문에  $y_2$ 는  $x_2$ 의 3배 미만인 것이 바람직하다.
- [0110] 산화물 반도체층(209)이 In-M-Zn 산화물일 때, In-M-Zn 산화물의 막을 형성하는 데 사용하는 스퍼터링 타깃의 금속 원소의 원자수비는  $M>In$ ,  $Zn>0.5\times M$ , 또한  $Zn>M$ 을 만족시키는 것이 바람직하다. 스퍼터링 타깃의 금속 원소의 원자수비로서는  $In:Ga:Zn=1:3:2$ ,  $In:Ga:Zn=1:3:4$ ,  $In:Ga:Zn=1:3:5$ ,  $In:Ga:Zn=1:3:6$ ,  $In:Ga:Zn=1:3:7$ ,  $In:Ga:Zn=1:3:8$ ,  $In:Ga:Zn=1:3:9$ ,  $In:Ga:Zn=1:3:10$ ,  $In:Ga:Zn=1:6:4$ ,  $In:Ga:Zn=1:6:5$ ,  $In:Ga:Zn=1:6:6$ ,  $In:Ga:Zn=1:6:7$ ,  $In:Ga:Zn=1:6:8$ ,  $In:Ga:Zn=1:6:9$ ,  $In:Ga:Zn=1:6:10$ 이 바람직하다. 또한, 상기 스퍼터링 타깃을 사용하여 형성되는 산화물 반도체층(207) 및 산화물 반도체층(209)에 포함되는 금속 원소의 원자수비는 각각 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의 ±20%의 오차 변동을 포함한다.
- [0111] 또한 이에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한, 필요로 하는 트랜지스터의 반도체 특성을 얻기 위하여 산화물 반도체층(207)의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0112] 산화물 반도체층(209)은 나중에 산화물 절연층(210) 또는 질화물 절연층(212)을 형성할 때 산화물 반도체층(207)에 가해지는 대미지를 완화시키는 막으로서도 기능한다. 산화물 반도체층(209)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다.
- [0113] 트랜지스터(130)에 포함되는 산화물 반도체층(207b)에 제 14족 원소 중 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체층(207b)에서 산소 결손이 증가되어 n형화된다. 그러므로, 산화물 반도체층(207b)의 실리콘이나 탄소의 농도, 또는 산화물 반도체층(209b)과 산화물 반도체층(207b)의 계면 근방에서의 실리콘이나 탄소의 농도(이차 이온 질량 분석법으로 얻어지는 농도)를  $2\times 10^{18} \text{ atoms/cm}^3$  이하, 바람직하게는  $2\times 10^{17} \text{ atoms/cm}^3$  이하로 한다.
- [0114] 또한 산화물 반도체층(207b)의, 이차 이온 질량 분석법으로 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를  $1\times 10^{18} \text{ atoms/cm}^3$  이하, 바람직하게는  $2\times 10^{16} \text{ atoms/cm}^3$  이하로 한다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되면 캐리어를 생성시킬 수 있고 이로 인하여 트랜지스터의 오프 전류가 증대되는 경우가 있다. 그러므로, 산화물 반도체층(207b)의 알칼리 금속 또는 알칼리 토금속의 농도는 저감시키는 것이 바람직하다.
- [0115] 또한, 산화물 반도체층(207b)에 질소가 포함되어 있으면 캐리어인 전자가 생기고 캐리어 밀도가 증가되어 n형화되기 쉽다. 이 때문에, 질소가 포함된 산화물 반도체층을 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 따라서, 상기 산화물 반도체층에서 질소는 가능한 한 저감되는 것이 바람직하고 예를 들어 이차 이온 질량 분석법으로 얻어지는 질소 농도는  $5\times 10^{18} \text{ atoms/cm}^3$  이하로 하는 것이 바람직하다.
- [0116] 또한, 도 6의 (A)에 도시된 트랜지스터(130)에는, 게이트 전극층(203) 측에 위치하고 캐리어의 주된 이동 경로가 되는 산화물 반도체층(207)과 산화물 절연층(210) 사이에 산화물 반도체층(209)이 제공된다. 그러므로, 산화물 반도체층(209)과 산화물 절연층(210) 사이에서 불순물 및 결함에 기인하여 트랩 준위가 형성되더라도 이 트랩 준위와 산화물 반도체층(207) 사이에는 거리가 있다. 이 결과 산화물 반도체층(207)을 흐르는 전자가 트랩 준위에 포획되기 어렵기 때문에 트랜지스터(130)의 온 전류를 증대시킬 수 있으며 전계 효과 이동도를 높일 수 있다. 또한, 트랩 준위에 전자가 포획되면, 이 전자가 음의 고정 전하가 됨으로써 트랜지스터(130)의 문턱 전압이 변동된다. 그러나, 산화물 반도체층(207)과 트랩 준위 사이에 거리가 있음으로써 트랩 준위에서의 전자의 포획을 저감시킬 수 있고, 문턱 전압의 변동을 저감시킬 수 있다.
- [0117] 또한, 산화물 반도체층(207) 및 산화물 반도체층(209)은 각 층을 단순히 적층시키는 것이 아니라 연속 접합(여기서는 특히 전도대 하단의 에너지가 각 층간에서 연속적으로 변화되는 구조를 말함)이 형성되도록 제작한다. 즉, 각 층의 계면에 트랩 중심이나 재결합 중심과 같은 결함 준위를 형성하는 불순물이 존재하지 않는 적층 구조로 한다. 만약에 적층된 산화물 반도체층(207) 및 산화물 반도체층(209) 사이에 불순물이 존재하고 있으면

에너지 밴드의 연속성이 저하되어 계면에서 캐리어가 포획되거나 또는 재결합하여 소멸된다.

[0118] 연속 접합을 형성하기 위해서는 로드록실(load lock chamber)을 구비한 멀티 챔버 방식 성막 장치(스퍼터링 장치)를 사용하여 각 층을 대기에 노출시키지 않고 연속적으로 적층할 필요가 있다. 스퍼터링 장치의 각 챔버는, 산화물 반도체층에 있어서 불순물로서 기능하는 물 등을 가능한 한 제거하기 위하여 크라이오 펌프와 같은 흡착식 진공 배기 펌프를 사용하여 고진공 배기( $5 \times 10^{-7}$ Pa 이상  $1 \times 10^{-4}$ Pa 이하 정도까지)하는 것이 바람직하다. 또는 터보 분자 펌프와 콜드 트랩을 조합하여 배기계로부터 챔버 내에 기체, 특히 탄소 또는 수소를 포함하는 기체가 역류되지 않도록 하는 것이 바람직하다.

[0119] 여기서, 트랜지스터(130)에 포함되는 적층 구조의 밴드 구조에 대하여 도 6의 (B)를 사용하여 설명한다.

[0120] 도 6의 (B)는 트랜지스터(130)에 포함되는 밴드 구조의 일부를 모식적으로 도시한 것이다. 여기서는 절연층(206) 및 산화물 절연층(210)으로서 산화 실리콘층을 제공한 경우에 대하여 설명한다. 또한, 도 6의 (B)에서 EcI1은 절연층(206)으로서 사용하는 산화 실리콘층의 전도대 하단의 에너지를 나타내고, EcS1은 산화물 반도체층(207b)의 전도대 하단의 에너지를 나타내고, EcS2는 산화물 반도체층(209b)의 전도대 하단의 에너지를 나타내고, EcI2는 산화물 절연층(210)으로서 사용하는 산화 실리콘층의 전도대 하단의 에너지를 나타낸다.

[0121] 도 6의 (B)에 나타낸 바와 같이, 산화물 반도체층(207b) 및 산화물 반도체층(209b)에서, 전도대 하단의 에너지는 장벽이 없이 완만하게 변화한다. 연속적으로 변화한다고 바꿔 말할 수도 있다. 이것은 산화물 반도체층(207b)과 산화물 반도체층(209b)이 공통의 원소를 포함하고 산화물 반도체층(207b)과 산화물 반도체층(209b) 사이에서 산소가 상호로 이동함으로써 혼합층이 형성되기 때문이라고 할 수 있다.

[0122] 도 6의 (B)로부터, 산화물 반도체층(208b)에서 산화물 반도체층(207b)이 웰(well; 우물)이 되고, 산화물 반도체층(208b)을 사용한 트랜지스터에서 채널 영역이 산화물 반도체층(207)에 형성되는 것을 알 수 있다. 또한, 산화물 반도체층(208b)은 전도대 하단의 에너지가 연속적으로 변화되기 때문에, 산화물 반도체층(207b)과 산화물 반도체층(209b)이 연속 접합되어 있다고 할 수도 있다.

[0123] 또한, 도 6의 (B)에 나타낸 바와 같이 산화물 반도체층(209b)과 산화물 절연층(210)의 계면 근방에서는 산화물 절연층(210)의 구성 원소인 실리콘 또는 탄소 등 불순물이나 결함에 기인하여 트랩 준위가 형성될 수 있지만, 산화물 반도체층(209)을 제공함으로써 산화물 반도체층(207b)과 상기 트랩 준위를 떨어지게 할 수 있다. 다만, EcS1과 EcS2 사이의 에너지 차가 작은 경우, 산화물 반도체층(207b)의 전자가 상기 에너지 차를 넘어 트랩 준위에 도달되는 경우가 있다. 트랩 준위에 전자가 포획됨으로써, 산화물 절연층 계면 또는 그 근방에 음의 고정 전하가 발생되고 트랜지스터의 문턱 전압은 양 방향으로 시프트된다. 따라서, EcS1과 EcS2 사이의 에너지 차를 0.1eV 이상, 바람직하게는 0.15eV 이상으로 하면, 트랜지스터의 문턱 전압의 변동이 저감되어, 전기 특성이 안정되기 때문에 바람직하다.

[0124] 또한, 도 1에 도시된 저항 소자(150) 및 트랜지스터(100)에 포함되는 산화물 반도체층을 적층 구조로 하는 경우를 예시하였지만 본 실시형태는 이에 한정되지 않고 도 4 또는 도 5에 도시된 구성의 반도체 장치에 포함되는 산화물 반도체층을 적층 구조로 하여도 좋다.

[0125] 또한, 본 실시형태에서 기재된 반도체 장치의 구성에는 각각 부분적으로 구성이 다르지만 본 발명의 일 형태는 특별히 한정되지 않고 다양한 조합이 가능하다. 예를 들어, 도 6에 도시된 적층 구조를 가진 산화물 반도체층에서 전극층과 접촉되는 영역은 산화물 절연층 또는 질화물 절연층과 접촉되는 영역보다 막 두께가 작아도 좋다.

[0126] 본 실시형태에 기재된 반도체 장치는 산화물 반도체층을 포함한 저항 소자와 산화물 반도체층을 포함한 트랜지스터를 동일한 기판 위에 가지고, 각각의 산화물 반도체층은 상면 또는 하면에 접촉되는 절연층으로 막 내의 불순물 농도가 제어되어, 상이한 캐리어 밀도를 가진다. 구체적으로는 저항 소자에 포함되는 산화물 반도체층은 상면 또는 하면 전체에 접촉되는 질화물 절연층에 의하여 수소가 공급됨으로써 저저항화된 캐리어 밀도가 높은 산화물 반도체층이다. 또한, 트랜지스터에 포함되는 산화물 반도체층은 적어도 상면에 접촉되는 산화물 절연층에 의하여 산소가 공급됨으로써 산소 결손이 저감되어 고저항화된 캐리어 밀도가 낮은 산화물 반도체층이다.

[0127] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.

[0128] (실시형태 2)

- [0129] 본 실시형태에서는 실시형태 1에 기재된 트랜지스터 및 저항 소자에 적용될 수 있는 산화물 반도체층의 일례에 대하여 설명한다.
- [0130] <산화물 반도체층의 결정성>
- [0131] 이하에서는 산화물 반도체층의 구조에 대하여 설명한다.
- [0132] 산화물 반도체층은 비단결정 산화물 반도체층과 단결정 산화물 반도체층으로 대별된다. 비단결정 산화물 반도체층이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체층, 미결정 산화물 반도체층, 비정질 산화물 반도체층 등을 말한다.
- [0133] 우선, CAAC-OS막에 대하여 설명한다.
- [0134] CAAC-OS막은 복수의 결정부를 가지는 산화물 반도체층 중 하나이며 결정부의 대부분은 한 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기인 경우도 포함된다.
- [0135] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 명확한 결정부들끼리의 경계 즉, 결정 입계(그레이인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0136] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(괴형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철이 반영된 형상이며 CAAC-OS막의 괴형성면 또는 상면에 평행하게 배열된다.
- [0137] 또한, 본 명세서에 있어서, "평행"이란, 2개의 직선이  $-10^\circ$  이상  $10^\circ$  이하의 각도로 배치된 상태를 말한다. 따라서,  $-5^\circ$  이상  $5^\circ$  이하의 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이  $80^\circ$  이상  $100^\circ$  이하의 각도로 배치된 상태를 말한다. 따라서,  $85^\circ$  이상  $95^\circ$  이하의 경우도 그 범주에 포함된다.
- [0138] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성은 없다.
- [0139] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부가 배향성을 가짐을 알 수 있다.
- [0140] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어, InGaZnO<sub>4</sub>의 결정을 가진 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각( $2\theta$ )이  $31^\circ$  근방일 때 피크가 나타나는 경우가 있다. 이 피크는, InGaZnO<sub>4</sub>의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 가지고, c축이 괴형성면 또는 상면에 대략 수직인 방향으로 배향되는 것을 확인할 수 있다.
- [0141] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석을 수행하면,  $2\theta$ 가  $56^\circ$  근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO<sub>4</sub>의 결정의 (110)면에 귀속된다. InGaZnO<sub>4</sub>의 단결정 산화물 반도체층의 경우에는,  $2\theta$ 를  $56^\circ$  근방에 고정시키고, 시료면의 법선 벡터를 축( $\phi$  축)으로 하여 시료를 회전시키면서 분석( $\phi$  스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는,  $2\theta$ 를  $56^\circ$  근방에 고정시키고  $\phi$  스캔을 수행하여도 명료한 피크가 나타나지 않는다.
- [0142] 상술한 것으로부터, CAAC-OS막에서는, 상이한 결정부들간에서 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 가지며 c축이 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은, 결정의 a-b면에 평행한 면이다.
- [0143] 또한, 결정부는 CAAC-OS막을 형성하였을 때, 또는 가열 처리 등의 결정화 처리를 수행하였을 때 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 괴형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 괴형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않을 수도 있다.
- [0144] 또한, CAAC-OS막 내의 결정화도는 균일하지 않아도 된다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면

근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 괴형성면 근방의 영역보다 결정화도가 높게 될 수 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 다른 영역이 형성될 수도 있다.

[0145] 또한, InGaZnO<sub>4</sub>의 결정을 가진 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방일 때 나타나는 피크에 더하여, 2θ가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에, c축 배향성을 가지지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ가 31° 근방일 때 피크가 나타나고, 2θ가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.

[0146] 또한, 본 명세서에 있어서, 삼방정 또는 능면체정(rhombohedral crystal)은 육방정계에 포함된다.

[0147] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체층이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등, 산화물 반도체층의 주성분 이외의 원소이다. 특히 실리콘 등, 산화물 반도체층을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는, 산화물 반도체층으로부터 산소를 빼앗음으로써 산화물 반도체층의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체층 내부에 포함되면 산화물 반도체층의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체층에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.

[0148] 또한, CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체층이다.

[0149] 또한 CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다.

[0150] 다음에, 미결정 산화물 반도체층에 대하여 설명한다.

[0151] 미결정 산화물 반도체층은 TEM에 의한 관찰상에서 결정부가 명확히 확인되지 않는 경우가 있다. 미결정 산화물 반도체층에 포함되는 결정부는 크기가 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 가진 산화물 반도체층을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은 예를 들어, TEM에 의한 관찰상에서는 결정 입체가 명확히 확인되지 않는 경우가 있다.

[0152] nc-OS막은 미소 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성이 있다. 또한, nc-OS막은 상이한 결정부들간에서 결정 방위에 규칙성이 없다. 그러므로, 막 전체에서 배향성이 확인되지 않는다. 따라서, nc-OS막은 분석 방법에 따라서는 비정질 산화물 반도체층과 구별할 수 없는 경우가 있다. 예를 들어 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 nc-OS막의 구조를 해석하면, out-of-plane법에 의한 해석에서는 결정면을 가리키는 피크가 검출되지 않는다. 또한, nc-OS막에 대하여, 결정부보다 직경이 큰 (예를 들어 50nm 이상) 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)을 수행하면, 할로 패턴(halo pattern)과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여, 프로브 직경이 결정부의 크기와 가깝거나 작은(예를 들어 1nm 이상 30nm 이하) 전자선을 사용한 전자선 회절(나노빔 전자선 회절이라고도 함)을 수행하면, 스포트이 관측된다. 또한, nc-OS막에 대하여 나노 빔 전자선 회절을 수행하면, 휘도가 높은 원형(환(環)형) 영역이 관측되는 경우가 있다. 또한, nc-OS막에 대하여 나노 빔 전자선 회절을 수행하면, 환형 영역 내에 복수의 스포트이 관측되는 경우가 있다.

[0153] nc-OS막은 비정질 산화물 반도체층보다 규칙성이 높은 산화물 반도체층이다. 그러므로, nc-OS막은 비정질 산화물 반도체층보다 결합 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들간에서 결정 방위에 규칙성이 없다. 따라서, nc-OS막은 CAAC-OS막보다 결합 준위 밀도가 높다.

[0154] 또한, 산화물 반도체층은, 예를 들어 비정질 산화물 반도체층, 미결정 산화물 반도체층, CAAC-OS막 중 2개 이상을 가진 적층막이어도 좋다.

[0155] <CAAC-OS막의 형성 방법>

[0156] CAAC-OS막은 예를 들어, 다결정의 산화물 반도체 스파터링용 타깃을 사용하여 스파터링법으로 형성한다. 상기 스파터링용 타깃에 이온이 충돌되면, 스파터링용 타깃에 포함되는 결정 영역이, a-b면으로부터 벽개(劈開)되고 a-b면에 평행한 면을 가진 평판 형상 또는 펠릿(pellet) 형상의 스파터링 입자로서 박리되는 경우가 있다. 이 경우, 상기 평판 형상의 스파터링 입자가 결정 상태를 유지한 채 기판에 도달됨으로써, CAAC-OS막을 형성할 수 있다.

- [0157] 평판 형상의 스퍼터링 입자는 예를 들어, a-b면에 평행한 면의 원 상당 직경이 3nm 이상 10nm 이하, 두께(a-b면에 수직인 방향의 길이)가 0.7nm 이상 1nm 미만이다. 또한, 평판 형상의 스퍼터링 입자는 a-b면에 평행한 면이 정삼각형 또는 정육각형이어도 좋다. 여기서 면의 원 상당 직경이란, 면의 면적과 같은 정원(正圓)의 직경을 말한다.
- [0158] 또한, CAAC-OS막을 형성하기 위하여 이하의 조건을 적용하는 것이 바람직하다.
- [0159] 막 형성 시의 기판 온도를 높게 함으로써 기판 도달 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하여 막을 형성한다. 막 형성 시의 기판 온도를 높게 함으로써 평판 형상의 스퍼터링 입자가 기판에 도달할 때 기판 위에서 마이그레이션이 일어나 스퍼터링 입자의 평평한 면이 기판에 부착된다. 이 때, 스퍼터링 입자가 양으로 대전됨으로써 스퍼터링 입자들끼리 반발하면서 기판에 부착되기 때문에, 스퍼터링 입자가 치우쳐 불균일하게 겹치는 일이 없어 두께가 균일한 CAAC-OS막을 형성할 수 있다.
- [0160] 막 형성 시의 불순물 혼입을 저감시킴으로써, 불순물로 인하여 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물(수소, 물, 이산화탄소, 및 질소 등)의 농도를 저감시키면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감시키면 좋다. 구체적으로는, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 사용한다.
- [0161] 또한, 성막 가스 중의 산소 비율을 높이고 전력을 최적화시킴으로써 성막 시의 플라즈마 대미지를 경감시키는 것이 바람직하다. 성막 가스 중의 산소 비율은 30vol% 이상, 바람직하게는 100vol%로 한다.
- [0162] 또는, 이하와 같은 방법으로 CAAC-OS막을 형성한다.
- [0163] 우선, 제 1 산화물 반도체층을 1nm 이상 10nm 미만의 두께로 형성한다. 제 1 산화물 반도체층은 스퍼터링법으로 형성한다. 구체적으로는, 기판 온도를 100°C 이상 500°C 이하, 바람직하게는 150°C 이상 450°C 이하로 하고 성막 가스 중의 산소 비율을 30vol% 이상 바람직하게는 100vol%로 하여 형성한다.
- [0164] 다음에 가열 처리를 수행하여 제 1 산화물 반도체층을 결정성이 높은 제 1 CAAC-OS막으로 한다. 가열 처리의 온도는 350°C 이상 740°C 이하, 바람직하게는 450°C 이상 650°C 이하로 한다. 또한, 가열 처리의 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하로 한다. 또한, 가열 처리는 불활성 분위기 또는 산화성 분위기에서 수행하면 좋다. 바람직하게는, 불활성 분위기에서 가열 처리를 수행한 후에 산화성 분위기에서 가열 처리를 수행한다. 불활성 분위기에서 가열 처리를 수행함으로써, 제 1 산화물 반도체층의 불순물 농도를 짧은 시간에 저감시킬 수 있다. 한편 불활성 분위기에서 가열 처리를 수행함으로써 제 1 산화물 반도체층에 산소 결손이 생성되는 경우가 있다. 이 경우 산화성 분위기에서 가열 처리를 수행함으로써 상기 산소 결손을 저감시킬 수 있다. 또한, 가열 처리는 1000Pa 이하, 100Pa 이하, 10Pa 이하, 또는 1Pa 이하의 감압하에서 수행하여도 좋다. 감압하에서는 제 1 산화물 반도체층의 불순물 농도를 더 짧은 시간에 저감시킬 수 있다.
- [0165] 제 1 산화물 반도체층의 두께를 1nm 이상 10nm 미만으로 하면, 두께가 10nm 이상인 경우에 비하여 가열 처리에 의한 결정화가 용이해진다.
- [0166] 다음에 제 1 산화물 반도체층과 조성이 같은 제 2 산화물 반도체층을 두께 10nm 이상 50nm 이하로 형성한다. 제 2 산화물 반도체층은 스퍼터링법으로 형성한다. 구체적으로는, 기판 온도를 100°C 이상 500°C 이하, 바람직하게는 150°C 이상 450°C 이하로 하고 성막 가스 중의 산소 비율을 30vol% 이상 바람직하게는 100vol%로 하여 형성한다.
- [0167] 다음에, 가열 처리를 수행하여 제 2 산화물 반도체층을 제 1 CAAC-OS막으로부터 고상 성장시킴으로써 결정성이 높은 제 2 CAAC-OS막으로 한다. 가열 처리의 온도는 350°C 이상 740°C 이하, 바람직하게는 450°C 이상 650°C 이하로 한다. 또한, 가열 처리의 시간은 1분 이상 24시간 이하, 바람직하게는 6분 이상 4시간 이하로 한다. 또한, 가열 처리는 불활성 분위기 또는 산화성 분위기에서 수행하면 좋다. 바람직하게는, 불활성 분위기에서 가열 처리를 수행한 후에 산화성 분위기에서 가열 처리를 수행한다. 불활성 분위기에서 가열 처리를 수행함으로써, 제 2 산화물 반도체층의 불순물 농도를 짧은 시간에 저감시킬 수 있다. 한편 불활성 분위기에서 가열 처리를 수행함으로써 제 2 산화물 반도체층에 산소 결손이 생성되는 경우가 있다. 이 경우 산화성 분위기에서 가열 처리를 수행함으로써 상기 산소 결손을 저감시킬 수 있다. 또한, 가열 처리는 1000Pa 이하, 100Pa 이하, 10Pa 이하, 또는 1Pa 이하의 감압하에서 수행하여도 좋다. 감압하에서는 제 2 산화물 반도체층의 불순물 농도를 더 짧은 시간에 저감시킬 수 있다.

- [0168] 상술한 바와 같이 하여 총 두께가 10nm 이상인 CAAC-OS막을 형성할 수 있다. 이 CAAC-OS막을 산화물 적층에서의 산화물 반도체층으로서 바람직하게 사용할 수 있다.
- [0169] 다음에, 예를 들어 기판을 가열하지 않는 경우 등, 피형성면의 온도가 낮은(예를 들어 130°C 미만, 100°C 미만, 70°C 미만, 또는 실온(20°C 이상 25°C 이하) 정도)인 경우의 산화물막의 형성 방법에 대하여 설명한다.
- [0170] 피형성면의 온도가 낮은 경우, 스퍼터링 입자는 피형성면에 불규칙하게 퇴적된다. 스퍼터링 입자는 예를 들어, 마이그레이션이 일어나지 않고 다른 스퍼터링 입자가 이미 퇴적된 영역도 포함하여 무질서하게 퇴적된다. 즉, 퇴적에 의하여 얻어지는 산화물막은 예를 들어 두께가 균일하지 않고 결정의 배향도 무질서하게 되는 경우가 있다. 이와 같이 하여 얻어진 산화물막은 스퍼터링 입자의 결정성을 어느 정도 유지하기 때문에 결정부(나노 결정)를 가진다.
- [0171] 또한, 예를 들어 막 형성 시의 압력이 높으면 비상 중의 스퍼터링 입자가 아르곤 등의 다른 입자(원자, 분자, 이온, 라디칼 등)와 충돌되는 빈도가 높아진다. 스퍼터링 입자는 비상 중에 다른 입자와 충돌(재(再)스퍼터링)됨으로써 결정 구조가 무너지는 경우가 있다. 예를 들어 스퍼터링 입자는 다른 입자와 충돌됨으로써 평판 형상을 유지하지 못하게 되어 세분화(예를 들어 원자화된 상태)되는 경우가 있다. 이 때 스퍼터링 입자로부터 분리된 각 원자가 피형성면에 퇴적됨으로써 비정질 산화물막이 형성되는 경우가 있다.
- [0172] 또한, 다결정 산화물을 가진 타깃을 출발점으로서 사용한 스퍼터링법이 아니라, 액체를 사용하여 막을 형성하는 방법의 경우, 또는 타깃 등의 고체를 기체화시킴으로써 막을 형성하는 방법의 경우에는, 각 원자로 분리된 상태로 비상하여 피형성면에 퇴적되기 때문에 비정질 산화물막이 형성되는 경우가 있다. 또한, 예를 들어 레이저 어블레이션법으로는, 타깃으로부터 방출된 원자, 분자, 이온, 라디칼, 클러스터 등이 비상하여 피형성면에 퇴적되기 때문에 비정질 산화물막이 형성되는 경우가 있다.
- [0173] 본 발명의 일 형태에 따른 저항 소자 및 트랜지스터에 포함되는 산화물 반도체층으로서는 상술한 어느 결정 상태의 산화물 반도체층을 적용하여도 좋다. 또한, 적층 구조의 산화물 반도체층을 포함하는 경우, 각 산화물 반도체층의 결정 상태는 달라도 좋다. 다만, 트랜지스터의 채널로서 기능하는 산화물 반도체층에는 CAAC-OS막을 적용하는 것이 바람직하다. 또한, 저항 소자에 포함되는 산화물 반도체층은 트랜지스터에 포함되는 산화물 반도체층보다 불순물 농도가 높기 때문에 결정성이 저하될 수 있다.
- [0174] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.
- [0175] (실시형태 3)
- [0176] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치에 대하여, 도면을 사용하여 설명한다. 또한, 본 실시형태에서는 표시 장치를 예로 들어 본 발명의 일 형태에 따른 반도체 장치에 대하여 설명한다.
- [0177] 도 7의 (A)는 반도체 장치의 일례를 도시한 것이다. 도 7의 (A)에 도시된 반도체 장치는 화소부(101)와, 주사선 구동 회로(104)와, 신호선 구동 회로(106)와, 각각 평행 또는 대략 평행하게 배치되며 주사선 구동 회로(104)에 의하여 전위가 제어되는 m개의 주사선(107)과, 각각 평행 또는 대략 평행하게 배치되며 신호선 구동 회로(106)에 의하여 전위가 제어되는 n개의 신호선(109)을 가진다. 또한, 화소부(101)는 매트릭스 형태로 배치된 복수의 화소(301)를 가진다. 또한, 주사선(107)을 따라, 각각 평행 또는 대략 평행하게 배치된 용량선(115)을 가진다. 또한, 용량선(115)은 신호선(109)을 따라, 각각 평행 또는 대략 평행하게 배치되어도 좋다. 또한, 주사선 구동 회로(104) 및 신호선 구동 회로(106)를 합쳐 구동 회로부라고 부르는 경우가 있다.
- [0178] 각 주사선(107)은, 화소부(101)에서 m행 n열에 배치된 화소(301) 중 어느 행에 배치된 n개의 화소(301)에 전기적으로 접속된다. 또한, 각 신호선(109)은, m행 n열에 배치된 화소(301) 중 어느 열에 배치된 m개의 화소(301)에 전기적으로 접속된다. m과 n은 모두 1 이상의 정수이다. 또한, 각 용량선(115)은, m행 n열에 배치된 화소(301) 중 어느 행에 배치된 n개의 화소(301)에 전기적으로 접속된다. 또한, 용량선(115)이 신호선(109)을 따라, 각각 평행 또는 대략 평행하게 배치되는 경우에는, m행 n열에 배치된 화소(301) 중 어느 열에 배치된 m개의 화소(301)에 전기적으로 접속된다.
- [0179] 실시형태 1에 기재된 반도체 장치에서 산화물 반도체층을 포함한 저항 소자는 구동 회로부에 포함된다. 또한, 실시형태 1에 기재된 반도체 장치에서 산화물 반도체층을 포함한 트랜지스터는 구동 회로부에 포함되어도 좋고 화소부(101)에 포함되어도 좋고 양쪽 모두에 포함되어도 좋다.
- [0180] 본 실시형태에서는 실시형태 1에 기재된 산화물 반도체층을 포함한 저항 소자를, 주사선 구동 회로(104) 및 신

호선 구동 회로(106) 중 적어도 한쪽에 포함하고, 산화물 반도체층을 포함한 트랜지스터를, 화소(301) 내의 트랜지스터로 포함하는 구성에 대하여 이하에서 설명한다. 즉, 본 실시형태에 기재된 표시 장치는 화소부(101)와 구동 회로부(주사선 구동 회로(104) 및 신호선 구동 회로(106))가 동일한 기판 위에 형성된 표시 장치이다.

[0181] 도 7의 (B) 및 (C)는 도 7의 (A)에 도시된 표시 장치의 화소(301)에 사용될 수 있는 회로 구성을 도시한 것이다.

[0182] 도 7의 (B)에 도시된 화소(301)는 액정 소자(132)와 트랜지스터(131\_1)와 용량 소자(133\_1)를 가진다. 여기서 트랜지스터(131\_1)는 실시형태 1에 기재된 트랜지스터 중 어느 하나의 구성을 가진다.

[0183] 액정 소자(132)의 한 쌍의 전극 중 한쪽의 전위는 화소(301)의 사양에 따라 적절히 설정된다. 액정 소자(132)는 기록되는 데이터에 따라 배향 상태가 설정된다. 또한, 복수의 화소(301) 각각이 가지는 액정 소자(132)의 한 쌍의 전극 중 한쪽에 공통 전위(common potential)를 인가하여도 좋다. 또한, 화소(301)의 액정 소자(132)의 한 쌍의 전극의 한쪽에 공급되는 전위는 행마다 달라도 좋다.

[0184] 예를 들어, 액정 소자(132)를 구비한 표시 장치의 구동 방법으로서는, TN 모드, STN 모드, VA 모드, ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, MVA 모드, PVA(Patterned Vertical Alignment) 모드, IPS 모드, FFS 모드, 또는 TBA(Transverse Bend Alignment) 모드 등을 사용하여도 좋다. 또한, 표시 장치의 구동 방법으로서는, 상술한 구동 방법 외에, ECB(Electrically Controlled Birefringence) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드 등이 있다. 다만, 이에 한정되지 않고, 액정 소자 및 그 구동 방식으로서 다양한 것을 사용할 수 있다.

[0185] 또한, 블루상(Blue Phase)을 나타내는 액정과 키랄제를 포함하는 액정 조성물을 사용하여 액정 소자를 구성하여도 좋다. 블루상을 나타내는 액정은 응답 속도가 1msec 이하로 빠르고, 광학적 등방성을 가지기 때문에 배향 처리가 불필요하며 시야각 의존성이 작다.

[0186] Ⅲ행 n열째 화소(301)에 있어서, 트랜지스터(131\_1)의 소스 전극 및 드레인 전극 중 한쪽은 신호선 DL\_n에 전기적으로 접속되고, 다른 쪽은 액정 소자(132)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 트랜지스터(131\_1)의 게이트 전극은 주사선 GL\_Ⅲ에 전기적으로 접속된다. 트랜지스터(131\_1)는 온 상태 또는 오프 상태가 됨으로써, 데이터 신호의 데이터 기록을 제어하는 기능을 가진다.

[0187] 용량 소자(133\_1)의 한 쌍의 전극 중 한쪽은 전위가 공급되는 배선(이하, 용량선 CL)에 전기적으로 접속되고, 다른 쪽은 액정 소자(132)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 용량선 CL의 전위의 값은 화소(301)의 사양에 따라 적절히 설정된다. 용량 소자(133\_1)는 기록된 데이터를 유지하는 유지 용량으로서의 기능을 가진다.

[0188] 예를 들어, 도 7의 (B)에 도시된 화소(301)를 가진 표시 장치에서는 주사선 구동 회로(104)에 의하여 각 행의 화소(301)를 순차적으로 선택하고, 트랜지스터(131\_1)를 온 상태로 하여 데이터 신호의 데이터를 기록한다.

[0189] 데이터가 기록된 화소(301)는 트랜지스터(131\_1)가 오프 상태가 됨으로써 유지 상태가 된다. 이 동작을 행마다 순차적으로 수행함으로써 화상을 표시시킬 수 있다.

[0190] 또한, 도 7의 (C)에 도시된 화소(301)는 트랜지스터(131\_2)와, 용량 소자(133\_2)와, 트랜지스터(134)와, 발광 소자(135)를 가진다. 여기서 트랜지스터(131\_2) 및 트랜지스터(134) 중 적어도 한쪽은 실시형태 1에 기재된 트랜지스터 중 어느 하나의 구성을 가진다.

[0191] 트랜지스터(131\_2)의 소스 전극 및 드레인 전극 중 한쪽은 데이터 신호가 공급되는 배선(이하, 신호선 DL\_n이라고 함)에 전기적으로 접속된다. 또한, 트랜지스터(131\_2)의 게이트 전극은 게이트 신호가 공급되는 배선(이하, 주사선 GL\_Ⅲ이라고 함)에 전기적으로 접속된다.

[0192] 트랜지스터(131\_2)는 온 상태 또는 오프 상태가 됨으로써, 데이터 신호의 데이터 기록을 제어하는 기능을 가진다.

[0193] 용량 소자(133\_2)의 한 쌍의 전극 중 한쪽은 전위가 공급되는 배선(이하, 전위 공급선 VL\_a라고 함)에 전기적으로 접속되고, 다른 쪽은 트랜지스터(131\_2)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다.

[0194] 용량 소자(133\_2)는 기록된 데이터를 유지하는 유지 용량으로서의 기능을 가진다.

- [0195] 트랜지스터(134)의 소스 전극 및 드레인 전극 중 한쪽은 전위 공급선 VL\_a에 전기적으로 접속된다. 또한, 트랜지스터(134)의 게이트 전극은 트랜지스터(131\_2)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다.
- [0196] 발광 소자(135)의 애노드 및 캐소드 중 한쪽은 전위 공급선 VL\_b에 전기적으로 접속되고, 다른 쪽은 트랜지스터(134)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다.
- [0197] 발광 소자(135)로서는, 예를 들어 유기 일렉트로루미네센스 소자(유기 EL 소자라고도 함) 등을 사용할 수 있다. 다만, 이에 한정되지 않고 발광 소자(135)로서 무기 재료로 이루어진 무기 EL 소자를 사용하여도 좋다.
- [0198] 또한, 전위 공급선 VL\_a 및 전위 공급선 VL\_b 중 한쪽에는 고전원 전위 VDD가 공급되고, 다른 쪽에는 저전원 전위 VSS가 공급된다.
- [0199] 도 7의 (C)에 도시된 화소(301)를 가진 표시 장치에서는 주사선 구동 회로(104)에 의하여 각 행의 화소(301)를 순차적으로 선택하고, 트랜지스터(131\_2)를 온 상태로 하여 데이터 신호의 데이터를 기록한다.
- [0200] 데이터가 기록된 화소(301)는 트랜지스터(131\_2)가 오프 상태가 됨으로써 유지 상태가 된다. 또한, 기록된 데이터 신호의 전위에 따라 트랜지스터(134)의 소스 전극과 드레인 전극 사이에 흐르는 전류량이 제어되어, 발광 소자(135)는 흐르는 전류량에 따른 휘도로 발광한다. 이 동작을 행마다 순차적으로 수행함으로써 화상을 표시 시킬 수 있다.
- [0201] 도 8은 도 7의 (B)의 화소(301) 및 구동 회로부에 포함되는 저항 소자를 포함하는 표시 장치의 구체적인 구성예를 도시한 단면도이다. 또한, 도 8에는 구동 회로부(주사선 구동 회로(104) 및 신호선 구동 회로(106)를 포함함)에 포함되는 저항 소자(150)의 단면도 X1-X2를 도시하였다. 또한, 화소(301)에 포함되는 트랜지스터(131\_1) 및 액정 소자(132)의 단면도 Y1-Y2를 도시하였다. 본 실시형태에서는 수직 전계 방식의 액정 표시 장치에 대하여 설명한다.
- [0202] 본 실시형태에 도시된 표시 장치에서는, 한 쌍의 기판(기판(202)과 기판(342)) 사이에 액정 소자(132)가 제공된다.
- [0203] 액정 소자(132)는 기판(202) 상방의 투광성 도전막(316)과, 배향성을 제어하는 막(이하, 배향막(318, 352)이라고 함)과, 액정층(320)과, 도전막(350)을 가진다. 또한, 투광성 도전막(316)은 액정 소자(132)의 한쪽 전극으로서 기능하고, 도전막(350)은 액정 소자(132)의 다른 쪽 전극으로서 기능한다.
- [0204] 이와 같이 액정 표시 장치란, 액정 소자를 가진 장치를 말한다. 또한, 액정 표시 장치는, 복수의 화소를 구동시키는 구동 회로 등을 포함한다. 또한, 액정 표시 장치는, 다른 기판 위에 배치된 제어 회로, 전원 회로, 신호 생성 회로, 및 백 라이트 모듈 등을 포함하고 액정 모듈이라고 불리는 경우도 있다.
- [0205] 구동 회로부에 포함되는 저항 소자(150)는 실시형태 1에 기재된 구성과 같은 구성으로 할 수 있다. 또한, 화소부에 포함되는 트랜지스터(131\_1)는 실시형태 1에 기재된 트랜지스터(100)와 같은 구성으로 할 수 있다. 다만, 본 실시형태는 이에 한정되지 않고, 실시형태 1에서 설명한 저항 소자 및 트랜지스터의 다른 구성예를 표시 장치에 적용하여도 좋다.
- [0206] 전극층(214a) 내지 전극층(214d) 위에는 절연층(314)이 제공된다. 그리고, 화소 전극으로서 기능하는 투광성 도전막(316)은 절연층(314)에 제공된 개구부를 통하여 전극층(214d)과 접속된다.
- [0207] 절연층(314)은 무기 절연 재료 또는 유기 절연 재료를 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다. 다만, 절연층(314)을 제공하지 않는 구성으로 하여도 좋다. 절연층(314)을 제공하지 않는 구성으로 함으로써 투광성 도전막(316)과 전극층(214d)을 접속하기 위한 개구부를 형성하는 마스크를 삭감할 수 있다.
- [0208] 투광성 도전막(316)으로서는, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘인 첨가된 인듐 주석 산화물 등 투광성을 가진 도전성 재료를 사용할 수 있다.
- [0209] 또한, 기판(342) 위에는 유색성을 가진 막(이하, 유색막(346)이라고 함)이 형성된다. 유색막(346)은 걸러 필터로서 기능한다. 또한, 유색막(346)에 인접하는 차광막(344)이 기판(342) 위에 형성된다. 차광막(344)은 블랙 매트릭스로서 기능한다. 또한, 유색막(346)은 반드시 제공할 필요는 없고, 예를 들어 표시 장치가 흑백 표시 장치인 경우 등에는 유색막(346)을 제공하지 않는 구성으로 하여도 좋다.

- [0210] 유색막(346)은 투과한 광이 특정 파장 대역을 가지게 되는 유색막이면 좋고, 예를 들어 투과한 광이 적색의 파장 대역을 가지게 되는 적색(R)의 컬러 필터, 투과한 광이 녹색의 파장 대역을 가지게 되는 녹색(G)의 컬러 필터, 투과한 광이 청색의 파장 대역을 가지게 되는 청색(B)의 컬러 필터 등을 사용할 수 있다.
- [0211] 차광막(344)은 특정 파장 대역의 광을 차광하는 기능을 가지고 있으면 좋고, 금속막 또는 흑색 안료 등을 포함한 유기 절연막 등을 사용할 수 있다.
- [0212] 또한, 유색막(346) 위에는 절연층(348)이 형성된다. 절연층(348)은 평탄화층으로서의 기능, 또는 유색막(346)이 포함할 수 있는 불순물이 액정 소자 측으로 확산되는 것을 억제하는 기능을 가진다.
- [0213] 또한, 절연층(348) 위에 도전막(350)이 형성된다. 도전막(350)은 화소부의 액정 소자(132)가 가지는 한 쌍의 전극 중 다른 쪽으로서 기능한다. 또한, 투광성 도전막(316) 및 도전막(350) 위에 배향막으로서 기능하는 절연막을 별도로 형성하여도 좋다.
- [0214] 또한, 투광성 도전막(316)과 도전막(350) 사이에 액정층(320)이 형성된다. 또한, 액정층(320)은 실재(도시되어 있지 않음)를 사용하여 기판(202)과 기판(342) 사이에 밀봉된다. 또한, 외부로부터 수분 등이 침입되는 것을 억제하기 위해서는 실재가 무기 재료와 접촉하는 구성으로 하는 것이 바람직하다.
- [0215] 또한, 투광성 도전막(316)과 도전막(350) 사이에, 액정층(320)의 두께(셀 캡이라고도 함)를 유지하는 스페이서를 제공하여도 좋다.
- [0216] 본 실시형태에 기재된 표시 장치는 구동 회로부 및/또는 화소부가 가진 트랜지스터와, 구동 회로부에 포함되는 저항 소자를 동일한 기판 위에 동시에 형성할 수 있다. 따라서, 제조 비용 등을 증가시키지 않고 저항 소자를 형성하는 것이 가능하게 된다.
- [0217] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.
- [0218] (실시형태 4)
- [0219] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치를 표시부에 포함한 전자 기기의 예에 대하여 도 9를 참조하여 설명한다.
- [0220] 도 9의 (A) 내지 (H)는 전자 기기를 도시한 것이다. 이를 전자 기기는 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전 수, 거리, 빛, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(5008) 등을 가질 수 있다.
- [0221] 도 9의 (A)에 도시된 모바일 컴퓨터는 상술한 것 외에 스위치(5009), 적외선 포트(5010) 등을 가질 수 있다. 도 9의 (B)에 도시된 기록 매체를 구비한 휴대형 화상 재생 장치(예를 들어, DVD 재생 장치)는 상술한 것 외에 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 9의 (C)에 도시된 고글형 디스플레이에는 상술한 것 외에 제 2 표시부(5002), 지지부(5012), 이어폰(5013) 등을 가질 수 있다. 도 9의 (D)에 도시된 휴대형 게임기는 상술한 것 외에 기록 매체 판독부(5011) 등을 가질 수 있다. 도 9의 (E)에 도시된 텔레비전 수상 기능을 가진 디지털 카메라는 상술한 것 외에 안테나(5014), 셋터 버튼(5015), 수상부(5016) 등을 가질 수 있다. 도 9의 (F)에 도시된 휴대형 게임기는 상술한 것 외에 제 2 표시부(5002), 기록 매체 판독부(5011) 등을 가질 수 있다. 도 9의 (G)에 도시된 텔레비전 수상기는 상술한 것 외에 튜너, 화상 처리부 등을 가질 수 있다. 도 9의 (H)에 도시된 휴대형 텔레비전 수상기는 상술한 것 외에 신호의 송수신이 가능한 충전기(5017) 등을 가질 수 있다.
- [0222] 도 9의 (A) 내지 (H)에 도시된 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용하여 다양한 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용하여 다양한 데이터의 송신 또는 수신을 행하는 기능, 기록 매체에 기록된 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 복수의 표시부를 가진 전자 기기의 경우, 한 표시부에는 주로 화상 정보를 표시하고 다른 표시부에 주로 문자 정보를 표시하는 기능, 또는 복수의 표시부에 시차(視差)를 고려한 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 가진 전자 기기의 경우, 정지 화상을 촬영하는 기능, 동영

상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 카메라에 내장됨)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한, 도 9의 (A) 내지 (H)에 도시된 전자 기기가 가질 수 있는 기능은 상술한 것에 한정되지 않고 다양한 기능을 가질 수 있다.

[0223] 본 실시형태에 기재된 전자 기기는 어떤 정보를 표시하기 위한 표시부를 가지고 이 표시부에 본 발명의 일 형태에 따른 반도체 장치를 구비하는 것을 특징으로 한다.

[0224] 본 실시형태에 기재된 구성이나 방법 등은 다른 실시형태에 기재된 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.

### 부호의 설명

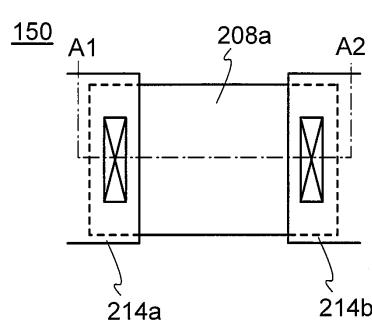
[0225]	100: 트랜지스터	101: 화소부
	104: 주사선 구동 회로	106: 신호선 구동 회로
	107: 주사선	109: 신호선
	110: 트랜지스터	115: 용량선
	120: 트랜지스터	130: 트랜지스터
	131_1: 트랜지스터	131_2: 트랜지스터
	132: 액정 소자	133_1: 용량 소자
	133_2: 용량 소자	134: 트랜지스터
	135: 빌광 소자	150: 저항 소자
	160: 저항 소자	170: 저항 소자
	180: 저항 소자	190: 저항 소자
	202: 기판	203: 게이트 전극층
	204: 절연층	206: 절연층
	207: 산화물 반도체층	207a: 산화물 반도체층
	207b: 산화물 반도체층	208: 산화물 반도체층
	208a: 산화물 반도체층	208b: 산화물 반도체층
	208d: 산화물 반도체층	209: 산화물 반도체층
	209a: 산화물 반도체층	209b: 산화물 반도체층
	210: 산화물 절연층	210a: 산화물 절연막
	212: 질화물 절연층	214a: 전극층
	214b: 전극층	214c: 전극층
	214d: 전극층	301: 화소
	302: 개구부	304: 질화물 절연층
	306: 산화물 절연층	314: 절연층
	316: 도전막	318: 배향막
	320: 액정층	342: 기판
	344: 차광막	346: 유색막
	348: 절연층	350: 도전막

352: 배향막	5000: 하우징
5001: 표시부	5002: 표시부
5003: 스피커	5004: LED 램프
5005: 조작 키	5006: 접속 단자
5007: 센서	5008: 마이크로폰
5009: 스위치	5010: 적외선 포트
5011: 기록 매체 판독부	5012: 지지부
5013: 이어폰	5014: 안테나
5015: 셀터 버튼	5016: 수상부
5017: 충전기	

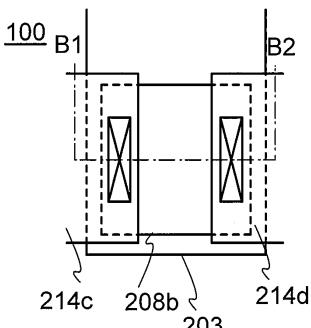
## 도면

### 도면1

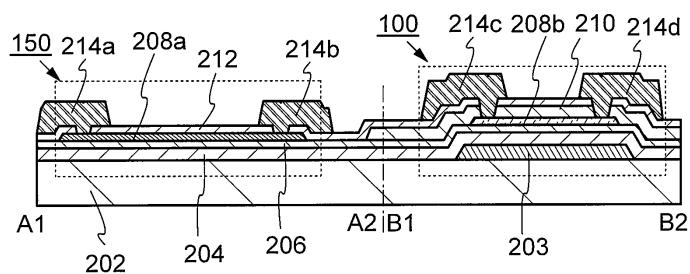
(A)



(B)

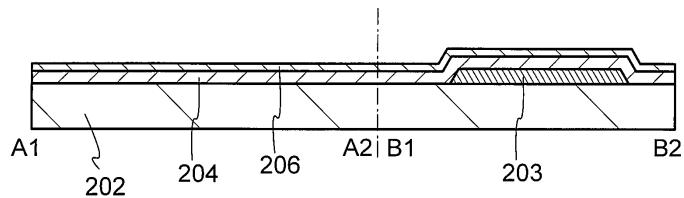


(C)

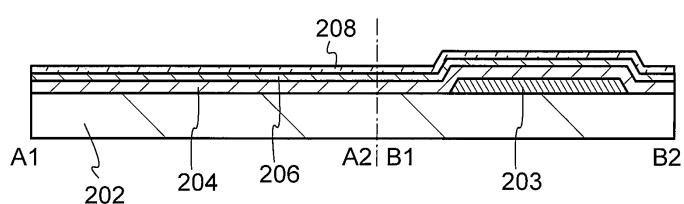


## 도면2

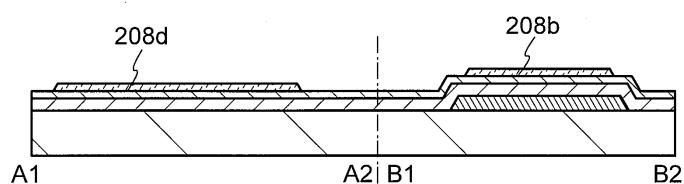
(A)



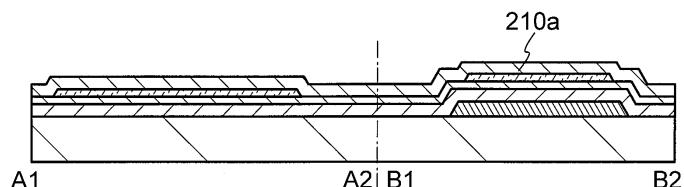
(B)



(C)

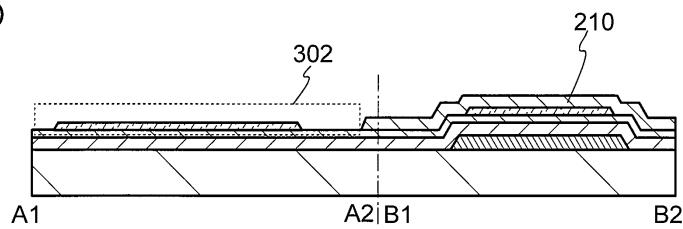


(D)

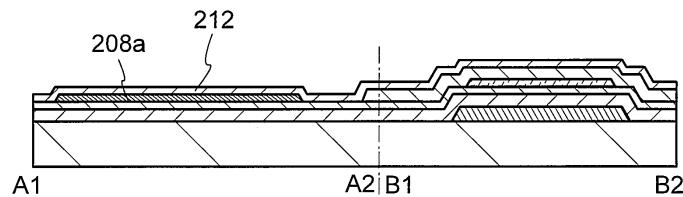


## 도면3

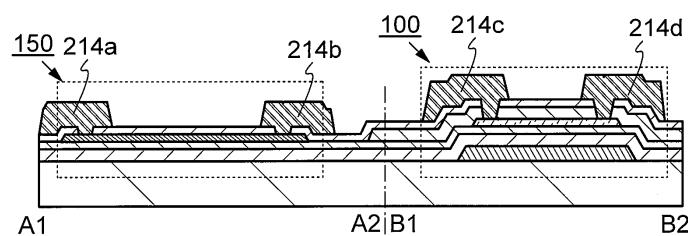
(A)



(B)

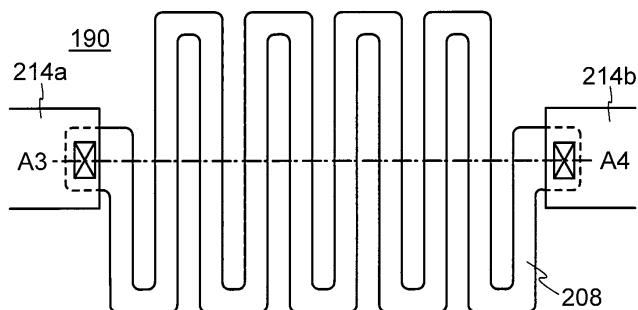


(C)

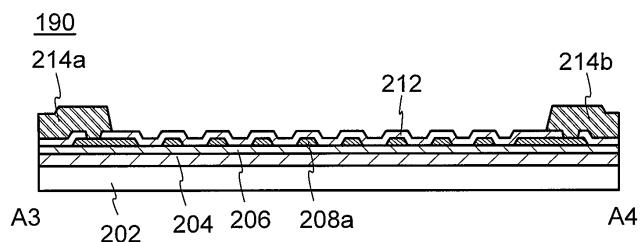


## 도면4

(A)

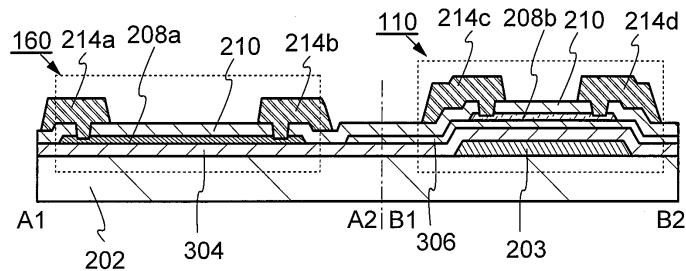


(B)

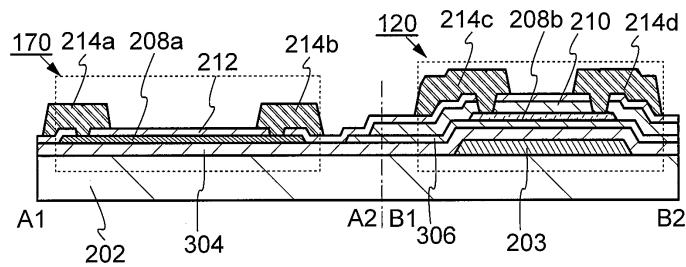


## 도면5

(A)

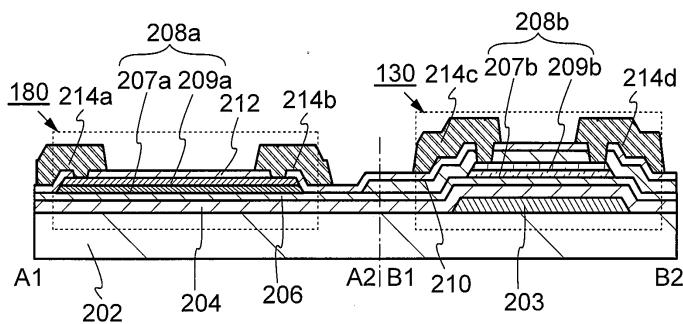


(B)

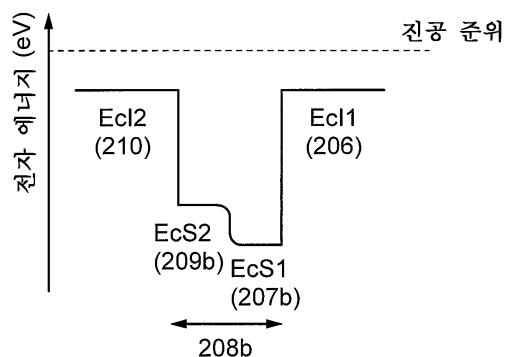


## 도면6

(A)

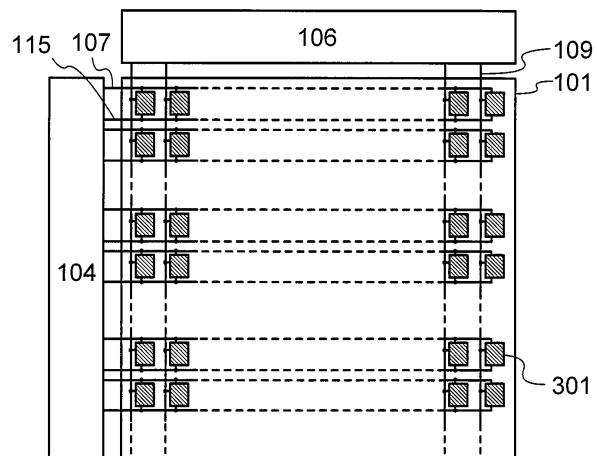


(B)

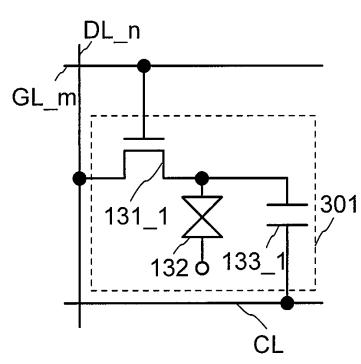


## 도면7

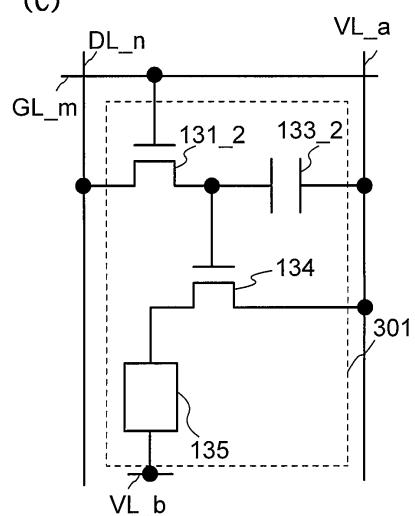
(A)



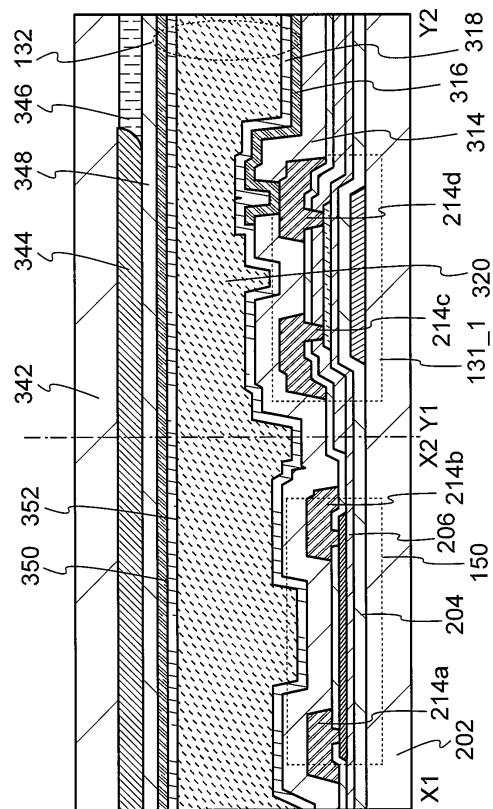
(B)



(C)

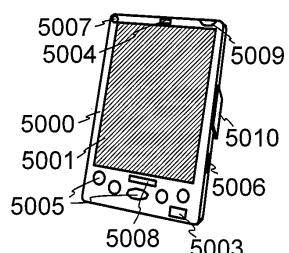


도면8

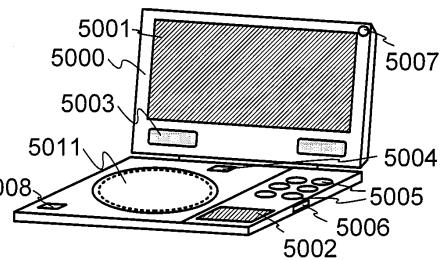


## 도면9

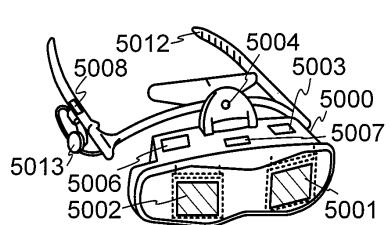
(A)



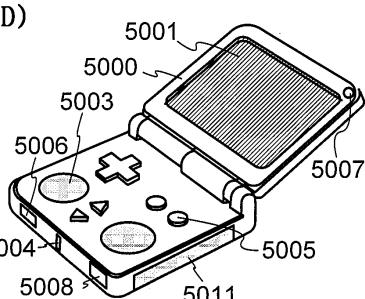
(B)



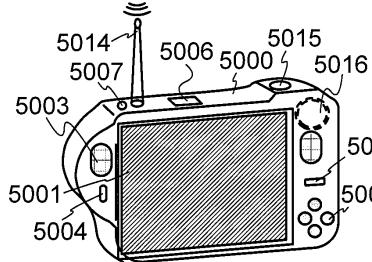
(C)



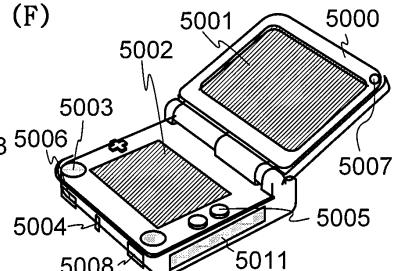
(D)



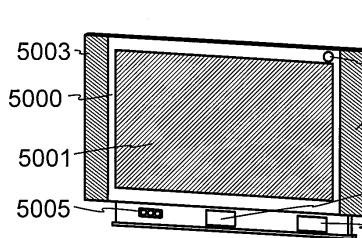
(E)



(F)



(G)



(H)

