公告本

393610

申請日期	87 年 4 月 7 日
案號	87105209
Int.Cl.[6]	G06F 13/28

A4
C4

（以上各欄由本局填註）

~~393610~~

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	資料轉送控制裝置、微電腦及資料處理系統
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 鈴木高明 (2) 高須賀知哉 (3) 中川典夫
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都東村山市恩多町一－五九－二 線圓Ｂ三〇三 (2) 日本國東京都小平市上水本町一－－三－八 (3) 日本國東京都練馬區関町南二－二〇－一〇－ 四〇三
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾・愛斯・愛工程股份有限公司 日立超エル・エス・アイ・エンジニアリング株式会社
	國籍	(1) 日本　(2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國東京都國分寺市東恋ヶ窪三丁目一番地一
	代表人姓名	(1) 金井務 (2) 鈴木仁一郎

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：
大　　類：
ＩＰＣ分類：

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1997 年　4 月 16 日　9-98602　　☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

（發明所屬之技術領域）

本發明係關於一種如ＤＭＡＣ（Direct Memory Access Controller）之資料轉送控制裝置的記憶保護功能（稱爲記憶保護功能或是資料保護功能），例如關於一種適用於具有微電腦（稱爲處理器或微電腦）或資料處理系統之有效技術。

（以往之技術）

介經使用ＤＭＡＣ，可減輕微電腦，處理器或ＣＰＵ（中央處理器）之負擔。在使用ＤＭＡＣ之資料轉送，係處理器或ＣＰＵ在ＤＭＡＣ內之發送位址暫存器及接收位址暫存器，實行發送及接收位址等之初期設定。而經初期設定之ＤＭＡＣ係若有資料轉送要求時，則由處理器或ＣＰＵ獲得匯流排權而實行資料轉送。由此可知，在設有ＤＭＡＣ時，對於記憶器或暫存器之存取路徑會增加一路徑。

至今，電腦系統之大部分係支持假想記憶，幾乎藉由記憶管理單元ＭＭＵ來實現記憶保護者。因此，處理器或ＣＰＵ欲存取暫存器或記憶器時，成爲可實現依ＭＭＣ之記憶保護。

然而，電腦系統包括ＤＭＡＣ時，由於依ＤＭＡＣ之資料轉送位址資料成接收位址資料係ＣＰＵ或處理器作爲資料設定於ＤＭＡＣ內之暫存器，因此，依ＭＭＵ之位址變換時之記憶保護係不會動作。換言之，若ＤＭＡＣ配置

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（2）

於ＭＭＵ與外部輸入輸出電路之間時，設定在ＤＭＡＣ之發送或接收位址係不通過ＭＭＵ，直接被利用作爲物理位址，而依ＭＭＵ之保護功能係不會有動作，而經由依ＤＭＡＣ之存取路徑時，則介經對於存取禁止領域之錯誤存取因而資料或程式不期望地被破壞，或ＯＳ（Operating System）或系統資料自由地被讀出，有無法保持安全性等問題的顧慮。

在日本特開平６２－１９１９５０號公報記載藉由ＤＭＡＣ之輸出位址與保護位址之比較來實行記憶保護之技術，而在日本特開平１－２５０１６２號公報記載，介經ＤＭＡＣ之輸出位址與寫入保護位址之比較，實行記憶器之寫入保護之控制方式。

在日本特開平６－２６６６４８號公報記載，當如從ＤＭＡＣ之直接記憶存取控制機構輸出之位址超過主記憶上之資料轉送容許範圍時，能中斷該直接記憶存取控制機構之主記憶存取之技術。

在日本特開平２－２９７２３５號公報記載，對應於主記憶器之位址，該位址之領域保有程式領域或資料領域的領域資訊，對應於主記憶器之程式取出位址的上述領域資訊表示資料領域時係通知異常，而對應於寫入位址對於主記憶器之上述領域資訊表示程式領域時係抑制寫入要求的記憶資料保護電路之技術。

在日本特開平６－１１９２５０號公報記載，將實行ＤＭＡＣ轉送控制之裝置的輸出位址信號之一部分藉由強

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

制成一定值來實行記憶保護之技術。

（發明之概要）

然而，此等以往技術，係如ＤＭＡＣ之裝置開始資料轉送而輸出位址信號後，欲以上述裝置之外部來實現記憶保護者。亦即，即使有違反記憶保護，如ＤＭＡＣ之裝置本體係成爲一旦開始資料轉送動作，由於無法抑制成爲違反記憶保護的ＤＭＡＣ本體之動作，因此，在使用如ＤＭＡＣ之電路之動作有浪費。

又，記憶保護係如保護位址或寫入保護位址，由於對於特別所設定之位址範圍實行，因此，若錯誤設定此等保護位址等，或是ＣＰＵ之失控等導致此等保護位址等不期望地被重寫時，則無法實現記憶保護；而記憶保護之可靠性會較低。如記載於日本特開平６－１１９２５０號公報，即使將實行ＤＭＡＣ轉送控制之裝置的輸出位址信號之一部分重寫成一定值時，若有設定錯誤該一定值之資訊等，則情況相同。

本發明之第１項目的係在於提供一種在違反記憶保護時可自行抑制資訊轉送動作的資料轉送控制裝置。

本發明之第２項目的係在於提供一種可提高記憶保護之可靠性的資料轉送控制裝置。

本發明之第３項目的係在於提供一種即使有產生違反記憶保護之資料轉送要求，也可極力抑制依資料轉送控制裝置之資料轉送動作之浪費，可給予提高資料處理效率之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

微電腦，微處理器，以及資料處理系統。

本發明之第4項目的係在於提供一種在依資料轉送控制裝置之記憶保護上可提高系統動作之安全性的微電腦，微處理器，以及資料處理系統。

本發明之上述及其他目的與新穎特徵係由本案專利說明書之記述及所附圖式即可明顯。

簡述在本案所揭示之發明中代表性者之概要如下。

亦即，資料轉送控制電路8係將藉由複數位元所指定資料發送與資料接收之組合態樣（例如記憶器與串聯介面電路）的資源選擇資訊ＲＳ０～ＲＳ３之儲存領域具有於控制暫存器ＣＨＣＲｎ。上述控制電路8係參照初期地設定在位址暫存器ＳＡＲｎ，ＤＡＲｎ之發送位址與接收位址與資源選擇資訊，以位址誤差檢測部９６檢測出發送位址與資料接收位址內之至少一方表示從藉由上述資源選擇資訊所指定的資料發送與資料接收之組合態樣超越的位址錯誤，而在資料轉送控制電路8之內部判斷資料轉送之許可／禁止，資料轉送被判斷爲許可時，資料轉送控制裝置係主張爲如匯流排權要求信號ＢＲＥＱ之信號，而從ＣＰＵ等之其他匯流排主控器獲得匯流排權，之後，開始資料轉送動作。若資料轉送被判斷爲禁止時，資料轉送控制裝置係不主張匯流排權要求信號，代替此例如主張位址誤差分配信號，可將對於此等位址誤差之處理交給例如中央處理裝置3。

在上述手段中，規定資料轉送控制裝置所規定之違反

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（5）

記憶保護係被檢測作爲上述位址誤差。藉由上述位址暫存器及控制暫存器所構成之一種資料轉送通道的資料轉送用途（組合資料發送與接收）係藉由資源選擇資訊所決定。依照該資料轉送用途，超越發送位址或接收位址之至少一方時，抑制資料轉送動作之開始。因此，對於分配於一資料轉送通道之發送電路與接收電路之組合，設定於位址暫存器之發射或接收位址，超越起因於設定誤差或雜訊，甚至於系統失控等而超越時，則抑制資料轉送動作。又，在產生資源選擇資訊之設定誤差或不期望之重寫時，即使設定於位址暫存器之發送或接收位址爲正常時，也同樣地抑制資料轉送動作。

如此，可資料轉送之發射與接收之組合態樣係隨著資源選擇資訊之值被事先定義，上述位址誤差檢測部，係具有隨著該定義之內容的位址誤差之判定邏輯，而依照該邏輯構成，依照控制暫存器之資源選擇資訊與位址暫存器之發送位址，接收位址檢測依資料轉送控制裝置之不可能資料轉送控制之位址誤差。由於匹配資源選擇資訊與位址暫存器雙方之設定資訊後才開始資料轉送，因此，對於依資料轉送控制裝置之資料轉送動作的記憶保護可得到高可靠性。而且對於依資料轉送控制裝置之違反記憶保護，資料轉送控制裝置本體可抑制資料轉送動作，可節省浪費之資料轉送動作。

依照上述手段之更詳細態樣，資料轉送控制裝置8係具有：分別具有位址暫存器ＳＡＲｎ，ＤＡＲｎ及控制暫

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

存器ＣＨＣＲｎ的複數個資料轉送通道，及連接於包括在上述複數個資料轉送通道之位址暫存器及控制暫存器的內部匯流排８０，及將上述內部匯流排與外部施以介面的匯流排介面電路８１，及隨著資料轉送要求而使用上述複數個資料轉送通道經由上述匯流排介面電路來實行轉送控制的控制電路８２～８５。上述位址暫存器係設定有資料發送位址及資料接收位址的暫存器。上述控制暫存器係具有分配於包括該控制暫存器之資料轉送通道之資料轉送要求根源及響應於來自該要求根源之資料轉送要求之資料發送與資料接收的組合態樣藉由複數位元所指定的資源選擇資訊ＲＳ０～ＲＳ３之儲存領域。具有檢測設定於上述位址暫存器之資料發送位址與資料接收位址內之至少一方，表示從藉由包括於該資料轉送通道之上述資源選擇資訊所指定之資料發送與資料接收之組合態樣超越之位址誤差的位址誤差檢測部９６。上述控制電路係在有資料轉送要求時，從設定於上述控制暫存器之資源選擇資訊判定須響應於該要求根源之資料轉送通道。如此，上述控制電路係以未檢測上述位址誤差作爲條件下，使用對應於上述資料轉送要求之資料轉送通道來實行資料轉送動作。指示包括於上述資源選擇資訊的轉送要求根源之資訊，係與指示轉送要求之種別的資訊相同意義。在該態樣中，上述資源選擇資訊，係也成爲指定分配於該資料轉送的資料轉送要求根源或資料轉送要求之種別。亦即，對於資料轉送要求要使用那一個資料轉送通道，係參照資源選擇資訊來決定。要求

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（7）

資料轉送係有例如來自特定之週邊電路之要求資料轉送或是依中央處理裝置的要求起動（控制暫存器之轉送允許位元ＤＥ之組）等。例如資料轉送要求根源係藉由要求根源之每一種類被個別化的資料轉送要求信號，或是表示要求根源之附加資訊等即可明瞭。將上述轉送允許位元之組作爲轉送要求時，轉送要求根源係中央處理裝置，而將上述轉送允許位元之設定狀態作爲起動要求或起動要求根源之數值，設定在資源選擇資訊。

將複數資料轉送通道施以互斥性動作時，欲將其優先順位成爲可變，連接於上述內部匯流排，在數個資料轉送通道又設置共通之操作暫存器ＭＤＡＯＲ，在該操作暫存器，分配資料轉送要求有競爭時，用於決定實行資料轉送要求的資料轉送通道之優先順位的優先資訊ＰＲ０，ＰＲ１之儲存領域。此時，上述控制電路係在判定資料轉送通道時，對於複數資料轉送通道之資料轉送要求有競爭時，隨著上述優先資訊優先對於高優先順位之資料轉送通道的資料轉送要求。

採用上述資料轉送控制裝置的微電腦１，係包括：中央處理裝置３，及將上述中央處理裝置所輸出之邏輯位址物理位址地變換的記憶管理單元４０，４１，４４，及上述資料轉送控制裝置８，及依照從上述記憶管理單元所輸出之物理位址或從上述資料轉送控制裝置所輸出之物理位址來控制匯流排存取循環的匯流排狀態控制器５１，及經由週邊匯流排５６，５７連接於上述匯流排狀態控制器的

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（８）

內設週邊電路７０～７４，及結合於上述匯流排狀態控制器的外部匯流排介面電路６。此時，上述中央處理裝置係經由上述記憶管理單元而實行對於上述資料轉送控制裝置的各暫存器之設定，上述資料轉送控制裝置係響應於要求資料轉送來實行資料轉送時，在上述匯流排狀態控制器主張匯流排權要求信號ＢＲＥＱ，等待響應於該信號之匯流排承認信號ＢＡＣＫ從匯流排狀態控制器主張後開始資料轉送。

上述微電腦係積體電路化於一個半導體基板可構成。

採用上述微電腦之資料處理系統，係包括：與該微電腦一起，結合於該微電腦之上述外部匯流排介面電路的外部匯流排６０，６１，及結合於上述外部匯流排的外部週邊電路６２～６５。

上述微電腦係在依記憶管理單元之位址變換時，對於中央處理裝置所管理之位址空間實現記憶保護，例如在使用模態下存取禁止系統空間。依上述記憶管理單元之記憶保護係對於存取位址動作。此時，資料轉送控制裝置８係如上所述，在中央處理裝置３作爲資料設定於上述位址暫存器之發送位址及接收位址，實行相反於資源選擇資訊之轉送態樣的設定時，抑制關於該發送位址及接收位址的資料轉送之起動。因此，對於依記憶管理單元之記憶保護直接不動作之資料轉送控制裝置的資料轉送動作也可以實現存取禁止領域之資料保護，可提高資料處理系統之動作的安全性。而且，對於依資料轉送控制裝置之違反記憶保護

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（9）

，資料轉送控制裝置本體可抑制資料轉送動作，由於可節省浪費之資料轉送動作，因此可提高資料處理系統及微電腦的資料處理效率。

應用於上述資料處理系統的微電腦內設之資料轉送控制裝置的上述位址誤差檢測部檢測作爲位址誤差之態樣，係指對應於要求資料轉送的資料發送爲內設週邊電路時設定在位址暫存器之發送位址爲外部週邊電路之狀態，指對應於要求資料轉送的資料發送外部週邊電路時設定在位址暫存器之發送位址爲內部週邊電路之狀態，指對應於要求資料轉送的資料接收位址爲外部週邊電路之狀態，及指對應於要求資料轉送的資料接收位址爲內部週邊電路之狀態。該位址誤差態樣係可防止依弄錯微電腦之內部空間與外部空間之致命性之違反記憶保護的誤動作。

（發明之實施形態）

（微電腦之概要）

第1圖係表示本發明之一例子的微電腦（也稱爲微處理器或處理器）。表示於同圖之微電腦1係並不特別地加以限制，由如積體電路化單晶矽之一個半導體基板所構成。微電腦1係具有浮動小數點單元（也稱爲ＦＰＵ）2。又，微電腦1係具備可操作整數之中央處理裝置（也稱爲ＣＰＵ）3。微電腦1係並不特別地加以限制，具備16位元固定長命令組的32位元ＲＩＳＣ（Reduced Instruction Set Computer；縮小命令集合電腦）的結構。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（10）

在第１圖中以參照記號４所示者係位址變換，超高速緩存單元。能並聯化依ＣＰＵ３之命令存取與資料存取，位址變換超高速緩存單元４係分別具有命令用命令位址變換緩衝器（也稱爲命令ＴＬＢ）４０，及資料用之統一位址變換緩衝器（也稱爲統一ＴＬＢ）４１，又命令超高速緩衝記憶器４２與資料超高速緩衝記憶器４３也分別被個別化。超高速緩衝位址變換緩衝控制器（也稱爲超高速緩存ＴＬＢ控制器）４４係控制整體位址變換超高速緩存單元４。

在第１圖中以參照記號５所示者係匯流排狀態控制器，經由３２位元之資料匯流排５０及２９位元之位址匯流排５１連接於上述位址變換超高速緩存單元４。在該匯流排狀態控制器５經由資料匯流排５４及位址匯流排５５連接有作爲資料轉送控制裝置之ＤＭＡＣ８。

在微電腦１中上述ＣＰＵ３及ＤＭＡＣ３構成匯流排主模組。依微電腦１之外部存取，係以經由６４位元之資料匯流排５２及位址匯流排５３連接於上述匯流排狀態控制器５的外部介面電路６實行。外部匯流排介面電路６係連接於外部資料匯流排６０及外部位址匯流排６１。

微電腦１係作爲連接於１６位元之週邊資料匯流排５６及週邊位址匯流排５７的內設週邊電路，具有時鐘脈衝產生器（也稱爲ＣＰＧ）７０，分配控制電路７１，串聯通訊介面控制器ＳＣＩ１，ＳＣＩ２）７２，即時時脈電路７３及定時器７４。此等週邊電路係經由上述匯流排

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（11）

狀態控制器5藉由ＣＰＵ３或ＤＭＡＣ８實行存取。

上述匯流排狀態控制器５係隨著依ＣＰＵ３或ＤＭＡＣ８之存取對象電路（作爲存取對象之位址區域），實行控制存取資料尺寸，存取時間，等待狀態之插入等，在第１圖中以參照記號５８所示者係資料緩衝器。

上述ＣＰＵ３係取出命令時將令令位址輸出在３２位元之命令位址匯流排３０，並取出被輸出至命令資料匯流排３１之命令。又，ＣＰＵ３係將資料位址輸出至３２位元之資料位址匯流排３２，經由３２位元之資料匯流排３３實行資料之讀出（負載），並經由３２位元之資料匯流排３４實行資料之寫入（存儲）。上述命令位址及資料位址係邏輯位址。

上述ＦＰＵ２係並沒有加以特別地限制，未具備用於存取資料超高速緩存記憶器４３等的記憶定址能力。ＣＰＵ３代替ＦＰＵ２實行用於存取資料之定址動作，此乃爲了除去ＦＰＵ２之記憶定址電路之必要性俾節省晶片面積。資料對於ＦＰＵ２之負載係經由３２位元之資料匯流排３３與３２位元之資料匯流排３５實行，而來自ＦＰＵ２之資料之存儲係經由６４位元之資料匯流排３６實行。自ＦＰＵ２至ＣＰＵ３之資料轉送係使用上述６４位元資料匯流排３６之下位３２位元實行。

ＣＰＵ３係不但爲了ＦＰＵ２而實行資料取出，還可以取出包括ＦＰＵ２所用之浮動小數點命令的所有命令。ＣＰＵ３所取出之浮動小數點命令係經由３２位元之資料

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

匯流排３４自ＣＰＵ３給予ＦＰＵ２。

微電腦１係並沒有加以特別地限制，處理以３２位元之假想位址所規定之假想空間及以２９位元之物理位元所規定之物理位元空間。將假想位址變換成物理位址所用的位址變換資訊係包括假想頁號碼與對應於此之物理頁號碼。位址變換表係形成在省略微電腦１之圖示的外部記憶器。省略圖示之位址變換表之位址變換資訊中，最近被利用者成爲儲存在上述命令ＴＬＢ４１與統一ＴＬＢ４１。該控制係例如微電腦１之ＯＳ來實行。

上述命令用之命令ＴＬＢ４０係最大儲存４饋入之命令專用之位址變換資訊。特別是命令ＴＬＢ４０所保有之饋入係作爲統一ＴＬＢ４１所保有命令位址之位址變換資訊的一部分。亦即，介經連想檢索知道沒有以命令ＴＬＢ４０作爲目的地位址變換資訊時，則該位址變換資訊係從統一ＴＬＢ４１供應於命令ＴＬＢ４０。該命令ＴＬＢ４１係爲了命令取出，ＣＰＵ３係從位址變換資訊連想檢索隨著輸出於命令位址匯流排３０之假想位址的假想頁號碼的物理頁號碼．檢索之結果，有作爲目的之位址變換資訊時（ＴＬＢ適遇），使用該位址變換資訊，將該假想位址變換成物理位址。上述檢索之結果，沒有作爲目的之位址變換資訊時（ＴＬＢ失誤），則超高速緩衝ＴＬＢ控制器４４控制從上述統一ＴＬＢ４１用於得到作爲目的之位址變換資訊之動作。

上述資料超高速緩存記憶器４３，係取出資料時接受

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

在統一ＴＬＢ４１變換之物理位址，並依照此來實行超高速緩存饋入之連想檢索。檢索結果爲讀出適過時，則從適過之超高速緩存線將對應於該物理位址之資料輸出至資料匯流排３３，或３５。檢索結果爲讀出失誤，則包括失誤之資料的一超高速緩存線分量的資料經由匯流排控制器５從省略圖示之外部記憶器讀出，實行超高速緩存檔。由此，超高速緩存失誤之資料讀出上述匯流排３３，３５。檢索結果成爲寫入適遇時，超高速緩存動作模態爲磁帶複錄模態則將資料寫入在適遇之饋入，設定該饋入之污位元。介經設定狀態之污位元知道與外部記憶器之資料之不匹配狀態，以上述超高速緩存動作；該污垢之超高速緩存饋入由超高速緩存記憶器被追出時，對於外部記憶器實行重寫。在寫入通過模態，在設定項目寫入資料之同時也一併實行對於外部記憶器之資料寫入。檢索結果爲寫入失誤時，若爲磁帶複錄模態則實行超高速緩存檔之同時設定污位元並更新標籤位址，資料寫入在實行檔之超高速緩存線。在寫入通過模態時則僅對於外部記憶體實行寫入。

上述命令超高速緩存記憶器４２係在取出命令時接受在命令ＴＬＢ４０所變換之物理位址，而依照此來實行超高速緩存饋入之連想檢索。若檢索結果爲讀出適遇時，則從適過之超高速緩存線有對應於該物理位址之命令被輸出在命令資料匯流排３１。若檢索結果爲讀出失誤時，則包括失誤之命令的一超高速緩存線分量之資料經由匯流排控制器５從省略圖示之外部記憶器讀出，實行超高速緩存檔

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（14）

。由此，失誤之命令經由命令資料匯流排３１給予ＣＰＵ３。

上述命令ＴＬＢ４０，統一ＴＬＢ４１及超高速ＴＬＢ控制器４４係構成記憶管理單元。該記憶管理單元係分別在特權模態及用者模態，設定對於假想位址空間之存取權，可實行記憶保護。例如位址變換資訊係每一假想位址頁號碼均具有保護鍵資料。保護鍵資料係以碼表示頁之存取權的２位元資料，可以設成：僅在特權模態才可以讀出，在特權模態下可讀出及寫入，在特權及用者模態之雙方僅可讀出，又在特權模態及用者模態之雙方可讀出與寫入之任何存取權。實際之存取形式違反上述保護鍵資料所設定之存取權時，則發生ＴＬＢ保護違反例外。發生ＴＬＢ保護違反例外時，例如以例外處理解決該保護違反之後，實行來自例外處理轉回命令，成爲再實行被中斷之一般處理命令。

依上述記憶管理單元之記憶保護係在位址變換時動作，依上述ＤＭＡＣ８之資料接收及資料發送位址，係ＣＰＵ３設定作爲資料，因此，上述位址變換時之記憶保護係不會動作。考慮此種事項，上述ＤＭＡＣ８係其本體成爲實現記憶保護。

（ＤＭＡＣ）

在第２圖表示上述ＤＭＡＣ８之整體性構成。在第２圖中，將上述週邊資料匯流排５６及週邊位址匯流排５７

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（15）

總稱爲週邊匯流排；將位址匯流排５０及資料匯流排５１總稱爲內部匯流排；將外部資料匯流排６０及外部位址匯流排６１總稱爲外部匯流排。又，將以７０至７４之電路線稱爲內設週邊模態（內設週邊電路）。

在上述外部匯流排６０，６１作爲外部週邊電路，並沒有加以特別地限制，惟代表性地結合有：儲存程式或常數資料等的外部ＲＯＭ６２，利用作爲主記憶器的外部ＲＡＭ６３；構成記憶圖Ｉ／Ｏ的外部輸入輸出電路６４，及在如ＦＩＦＯ（First In First Out）緩衝器等具有無法從外部施以位址指定之記憶領域的外部輸入輸出電路６５。

ＤＭＡＣ８係具有ｎ個（例如ｎ＝０，１，２，３之４個的資料轉送通道（資料轉送通道０至資料轉送通道３），在每一各轉送通道具有包括發送位址所設定之源位址暫存器ＳＡＲｎ的源位址暫存器部９０，在每一各資料轉送通道具有包括接收位址所設定之目的地位址暫存器ＤＡＲｎ的目的地位址暫存器部９１，在每一各資料轉送通道具有包括用於計數轉送次數之轉送計數暫存器ＴＣＲｎ的轉送計數暫存器部９２，及在每一各資料轉送通道具有設定資料轉送控制態樣等的通道控制暫存器ＣＨＣＲｎ。所謂資料轉送通道乃指處理記憶裝置間之資料轉送或記憶裝置與週邊電路之間的資料轉送或是週邊電路間之資料轉送的功能單位。又在每一資料轉送通道，具有用於構成位址誤差檢測部的源位址比較部ＳＡＣｎ，目

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

的地位址比較部ＤＡＣｎ。又，在每一各資料轉送通道設有共通之操作暫存器ＤＭＡＯＲ。

上述各暫存器ＳＡＲｎ，ＤＡＲｎ，ＴＣＲｎ，ＣＨＣＲｎ，ＤＭＡＯＲ係共通連接於匯流排８０，上述匯流排８０係連接於匯流排介面電路８１。上述匯流排介面電路係經由資料匯流排５４連接於上述內部匯流排５１，並經由上述位址匯流排５５直接連接於匯流排狀態控制器５。上述資料匯流排５４係被利用於用於確認上述暫存器ＳＡＲｎ，ＤＡＲｎ，ＴＣＲｎ，ＣＨＣＲｎ，ＤＭＡＯＲ之初期設定或設定內容的讀出與寫入動作。該讀出與寫入動作係ＣＰＵ３經由上述位址變換超高速緩存單元４實行。上述暫存器之選擇信號係經由內部匯流排５４及資料匯流排５４所供應。上述位址匯流排５５係使用於在資料轉送動作中，ＤＭＡＣ８經由匯流排狀態控制器５將存取位址信號供應於內設週邊電路或外部週邊電路。

ＤＭＡＣ８係作爲使用上述資料轉送通道之控制資料轉送所用的控制電路，具有次數控制電路８２，暫存器控制電路８３，起動控制電路８４及要求優先控制電路８５。上述要求優先控制電路８５係自微電腦１內外有資料轉送要求時，參照通道控制暫存器ＣＨＣＲｎ等來判定其轉送要求根源，同時判定響應於其要求而須起動之資料轉送通道。又，要求優先控制電路８５係在競爭要求資料轉送時依照事先決定之優先順位，來判定須起動之一資料轉送

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（17）

通道。要求優先控制電路８５係決定響應於要求資料轉送之一資料轉送通道時，將該資訊給予起動控制電路８４。起動控制電路８４係首先對於匯流排狀態控制器５主張匯流排權要求信號ＢＲＥＱ並要求匯流排權。當匯流排狀態控制器５主張匯流排權承認信號ＢＡＣＫ時，由此，ＤＭＡＣ８係獲得匯流排權。起動控制電路８４係在暫存器控制電路８３控制上述源暫存器ＳＡＲｎ或目的地暫存器ＤＡＲｎ之輸出動作等，且在匯流排介面電路８１控制位址輸出動作等。由此，ＤＭＡＣ８係經由匯流排狀態控制器５實行響應於要求資料轉送的控制資料轉送。

在第３圖詳示上述資料轉送通道，寫入緩衝器ＣＷＢ，讀出緩衝器ＣＲＢ及位址輸出緩衝器ＡＶＢ係包括在上述匯流排介面電路８１。

上述轉送計數暫存器部９２係具有對於轉送計數暫存器ＴＣＲ０至ＴＣＲ３（ＴＤＲｎ）的輸入選擇器９２０與輸出選擇器９２１，同時具有減縮量器９２２。在上述轉送計數暫存器ＴＣＲ０至ＴＣＲ３（ＴＣＲｎ），經由輸入選擇器９２０自ＣＰＵ３初期設定對應之資料轉送通道的轉送次數。在每當動作被選擇之資料轉送通道之轉送動作，對應於該資料轉送通道的轉送計數暫存器ＴＣＲｎ之值藉由減縮量器９２２一個一個地被減縮。

上述源位址暫存器部９０係具有輸入選擇器９００及輸出選擇器９０１，又，上述目的地位址暫存器部９１及具有輸入選擇器９１０及輸出選擇器９１１。源位址暫存

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

器部９０與目的地位址暫存器９１係共有選擇器９１３與算術演算器９１４。轉送次數爲複數次時，設定在源位址暫存器ＳＡＲ０至ＳＡＲ３（ＳＡＲｎ）及目的地位址暫存器ＤＡＲ０至ＤＡＲ３（ＤＡＲｎ）的位址係作爲前頭位址，該位址係每當資料轉送時在算術邏輯演算器９１４被更新。

通道控制暫存器ＣＨＣＲ０至ＣＨＣＲ３（ＣＨＣＲｎ）係具有輸入選擇器９３０與輸出選擇器９３１。在第３圖中以參照記號９４所示者係上述讀出緩衝器ＣＲＢ之輸入選擇器。在第３圖中以參照記號９５所示者係位址輸出緩衝器ＡＶＢ之輸入選擇器。

上述選擇器９００，９０１，９１０，９１１，９２０，９２１，９３０，９３１，９４，９５係隨著資料轉送動作，其選擇動作藉由暫存器控制電路８３被控制。

在第４圖表示上述通道控制暫存器ＣＨＣＲｎ（ＣＨＣＲ０至ＣＨＣＲ３）之格式。通道控制暫存器ＣＨＣＲｎ係包括ＤＥ，ＲＳ０至ＲＳ３，ＴＥ，ＤＭ０至ＤＭ１，ＳＭ０至ＳＭ１，ＴＭ，ＴＳ０至ＴＳ２，ＩＥ，ＤＳ，ＲＬ，ＡＭ及ＡＬ之各資訊。此等中，ＤＳ，ＲＬ，ＡＭ及ＡＬ之各位元係僅在資料轉送通道０及資料轉送通道１才有效。此等位元係僅在外部請求模態有意義的控制資訊，而在外部請求模態可利用係僅資料轉送通道０及資料轉送通道１。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

通道允許位元ＤＥ係如第５圖所例示，決定是否可實行對應之資料轉送通道之動作的控制位元，而ＤＥ＝０係指示禁止對應通道之動作，而ＤＥ＝１係指示許可對應通道之動作。

資源選擇資訊ＲＳ０至ＲＳ３係藉由複數位元在每一資料轉送通道分配於該資料轉送通道之資料要求根源及響應於來自該要求根源之資料轉送要求的資料發送及資料接收的組合模態所指定的資訊。依上述資源選擇資訊之指定態樣係如例示在第６圖，資料轉送模態是否爲單位址模態或雙位址模態係藉由所指定之態樣第一義的被決定。單位址模態係僅對應資料發送或資料接收之任何一方，ＤＭＡＣ８實行定址動作之模態，此時，僅利用上述源位址暫存器ＳＡＲｎ與目的地位址暫存器ＤＡＲｎ之任何一方。此種動作模態係響應於來自例如具備ＦＩＦＯ緩衝器之外部週邊電路的資料轉送要求而在該ＦＩＦＯ緩衝器與外部記憶器之間實行資料轉送時之動作。乃由於ＤＭＡＣ８對於ＦＩＦＯ緩衝器並不需要實行定址動作。雙位址模態係對於發送與接收之雙方，ＤＭＡＣ８實行定址的動作模態。

表示於第６圖之轉送態樣係對應於ＤＭＡＣ８所支撐之資料轉送模態。亦即，對應ＤＭＡＣ８之要求資料轉送係大致分爲外部請求，自動請求及來自內設週邊電路之請求。外部請求係自微電腦１之外部對於ＤＭＡＣ８之要求資料轉送，如例示於第２圖，藉由輸送要求信號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

ＤＲＥＱ０＃，ＤＲＥＱ１＃所給予。並沒有特別加以限制，外部請求係僅在資料轉送通道０，１才有效。受理依轉送要求信號ＤＲＥＱ０＃，ＤＲＥＱ１＃之轉送要求時，轉送承認信號ＤＲＡＫ０，ＤＲＡＫ１回到轉送要求根源。結束響應於轉送要求信號ＤＲＥＱ０＃，ＤＲＥＱ１＃之資料轉送動作係藉由轉送結束信號ＤＡＣＫ０，ＤＡＣＫ１回到轉送要求根源。

來自微電腦１之內設週邊電路之要求資料轉送要求，係並沒有特別加以限制，藉由自定時器ＴＭＵ７４所輸出之輸入捕捉分配信號ＴＩＣ，來自串聯通訊介面控制器ＳＣＩ１之發送資料空白分配轉送要求信號ＳＣＩ１Ｅ，來自串聯通訊介面控制器ＳＣＩ１之接收資料全分配轉送要求信號ＳＣＩ１Ｆ，來自串聯通訊介面控制器ＳＣＩ２之發送資料空白分配轉送要求信號ＳＣＩ２Ｅ，及串聯通訊介面控制器ＳＣＩ２之接收全分配轉送要求信號ＳＣＩ２Ｆ所給予。

自動請求係連動於包括在通道控制暫存器ＣＨＣＲｎ之通道允許位元ＤＥ之設定狀態的要求轉送。亦即，在自動請求指定在資源選擇資訊的資料轉送通道，係藉由資料轉送允許位元ＤＥ設定在〝１〞，成爲被要求資料轉送之狀態。

上述要求優先控制電路８５係有上述外部請求，自動請求，及來自內設週邊電路之請求之要求資料轉送時，由上述各通道控制暫存器ＣＨＣＲｎ之資源選擇資訊ＲＳ０

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（21）

至ＲＳ３之設定內容來判定響應於其要求根源的資料轉送通道。例如，主張有輸入捕捉分配信號ＴＩＣ時，在設定於資源選擇資訊ＲＳ３，ＲＳ２，ＲＳ１，ＲＳ０＝１，１，１，０的資料轉送通道時，該資料轉送通道判定爲響應於依該輸入捕捉分配信號ＴＩＣ之要求資料轉送的資料轉送通道。又，所期望之資料轉送通道之通道允許位元ＤＥ被設定時，若設定該資料轉送通道之資源選擇資訊ＲＳ３，ＲＳ２，ＲＳ１，ＲＳ０＝０，１，０，０，則該資料轉送通道被判定爲響應於自動請求之資料轉送通道。

轉送結束位元ＴＥ係如第７圖所示，結束設定在資料轉送通道之上述轉送計數暫存器ＴＣＲｎ之轉送次數分量的轉送時設定在〝１〞的位元。亦即，藉由第３圖之減縮量器９２２使對應之資料轉送通道的上述轉送計數暫存器ＴＣＲｎ之值到達〝０〞，在第２圖之次數控制電路８２被檢測時，該次數控制電路８２係將對應之資料轉送通道的轉送結束位元ＴＥ設定在〝１〞。表示於第２圖之起動控制電路８４係當檢測出資料轉送通道之轉送結束位元ＴＥ設定在〝１〞時，則求反（negate）匯流排要求信號ＢＲＥＱ。轉送結束位元ＴＥ設定在〝１〞之資料轉送通道響應於外部請求而實行資料轉送動作時，上述匯流排介面電路８１係主張ＤＡＣＫ０或ＤＡＣＫ１，並將結束資料轉送通知發出上述外部請求的轉送要求根源。

目的地位址模態資訊ＭＤ１，ＭＤ２係如第３圖所示

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

，指定接收位址之固定，增加或減少。源位址模態資訊ＳＭ０，ＳＭ１係如第９圖所示，指定接收位址之固定，增加或減少。發送尺寸資訊係如第１０圖所示地指定轉送資料之尺寸。中斷允許位元ＩＥ係如第１１圖所示地，結束藉由轉送計數暫存器ＴＣＲｎ所指定之次數的轉送動作時，在ＣＰＵ３指定是否要求分配。

發送模態位元ＴＭ係如第１２圖所示地，將匯流排模態指定成爲週期挪用模態或是成爲脈衝模態。被指定爲脈衝模態時，ＤＭＡＣ８係直到藉由轉送計數暫存器ＴＣＲｎ所指定之次數的轉送動作結束爲止不放棄匯流排權。在週期挪用模態係每實行一次轉送動作將匯流排權開放一定期間給ＣＰＵ３。

在第１３圖表示上述操作暫存器ＤＭＡＯＲ之格式。該暫存器ＤＭＡＯＲ係包括ＰＲ０至ＰＲ１，ＡＥ，ＮＭＩＦ，ＤＭＥ之各資訊。

上述優先權模態資訊ＰＲ０，ＰＲ１係如第１４圖所示，在複數資料轉送通道同時有轉送要求時，來決定實行資料轉送之資料轉送通道的優先順位。在第１４圖中ＣＨ０至ＣＨ３係表示資料轉送通道０至資料轉送通道３之意思。表示於第２圖之要求優先控制電路８５係當判定響應於資料轉送要求之資料轉送通道，競爭對於複數個資料轉送通道之資料轉送要求時，依照上述優先模態資訊ＰＲ０，ＰＲ１，將對於高優先順位之資料轉送通道的資料轉送要求使之優先。例如，在資料轉送通道ＣＨ０與

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（23）

ＣＨ１雙方之資源選擇資訊ＲＳ０至ＲＳ３有將輸入捕捉分割指定作爲轉送要求時，主張輸入捕捉分配信號ＴＩＣ時，藉由上述優先模態資訊ＰＲ０，ＰＲ１，實行介經優先順位設成較高之任何一方的資料轉送通道的資料轉送。

位址誤差旗標ＡＥ係如第１５圖所示，表示發生位址誤差的旗標。無位址誤差狀態係作爲資料轉送許可狀態，而有位址誤差狀態係作爲資料轉送禁止狀態。即使資料轉送中，當上述旗標ＡＥ被設定時，即使任何資料轉送通道被動作，也被中止該資料轉送。ＤＭＡＣ８之位址誤差係第１爲位址邊界誤差，而第２爲記憶保護誤差。邊界誤差係轉送尺寸在位元組以外時會產生。在位址誤差之態樣係設定在源位址暫存器ＳＡＲｎ，目的地位址暫存器ＤＡＲｎ之位址爲字位址之情形，最下位位元爲邏輯值〝１〞（奇數位址）時；在長字位址之情形，下位２位元爲邏輯值〝０１〞〝１０〞〝１１〞時；在正交字位址之情形，下位３位元爲邏輯值〝００１〞〝０１０〞〝０１１〞〝１００〞〝１０１〞〝１１１〞時；又在３２位元組塊轉送之情形，下位５位元爲邏輯值〝００００１〞〝００００１０〞〝００００１１〞〝００１００〞……〝１１１００〞〝１１１０１〞〝１１１１０〞〝１１１１１〞時。記憶保護誤差係設定於上述源位址暫存器ＳＡＲｎ之資料發送位址與設定於目的地位址暫存器ＤＡＲｎ之資料接收位址內之至少一方，自藉由上述資源選擇資訊ＲＳ０至ＲＳ３所指定之資料發送與資料接收之組合態樣超越時，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

作爲位址誤差。對於該記憶保護誤差將在以後詳述。

ＮＭＩ旗標ＮＭＩＦ係如第１６圖所示，表示輸入有對於ＣＰＵ３無法遮蔽之分配信號ＮＭＩ的旗標。ＮＭＩ係高優先度之分配信號，此乃向ＣＰＵ主張時，爲了最優先依ＣＰＵ３之分配處理，ＤＭＡＣ８係在ＮＭＩ旗標ＮＭＩＦ被設定時中斷資料轉送動作。

主允許位元ＤＭＥ係如第１７圖，整體ＤＭＡＣ８之起動允許位元。介經設定主允許位元ＤＭＥ及對應於資料轉送通道之通道控制暫存器ＣＨＣＲｎ的通道允許位元ＲＥ，成爲可動作該資料轉送通道。當在轉送途中清除主允許位元時，資料轉送係被中斷，即使主允許位元ＤＭＥ在設定狀態，而通道控制暫存器ＣＨＣＲｎ之轉送結束旗標ＴＥ在設定狀態或是允許位元ＤＥ在清除狀態之情形，或是操作暫存器ＤＭＡＯＲ之ＮＭＩ旗標ＮＭＩＦ或位址誤差旗標ＡＥ在設定狀態之情形，也無法移行至轉送允許狀態。

（依ＤＭＡＣ之記憶保護）

在第１８圖詳示用於記憶保護之位址誤差檢測部與暫存器部之關係。

位址誤差檢測部９６係由上述源位址比較部ＳＡＣｎ，目的地位址比較部ＤＡＣｎ及邏輯和閘９６０所構成，上述源位址比較部ＳＡＣｎ及目的地位址比較部ＤＡＣｎ係成對地設在每一資料轉送通道。源位址比較部ＳＡＣｎ

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

係輸入從儲存於源位址暫存器ＳＡＲｎ的２９位元之物理位址的最上位３位元ＳＡＲ〔２８〕，ＳＡＲ〔２７〕，ＳＡＲ〔２６〕，及通道控制暫存器ＣＨＣＲｎ之資源選擇資訊ＲＳ０至ＲＳ３。目的地位址比較部ＤＡＣｎ係輸入從儲存於目的地位址暫存器ＤＡＲｎ的２９位元之物理位址的最上位３位元ＤＡＲ〔２８〕，ＤＡＲ〔２７〕，ＤＡＲ〔２６〕，及目的地暫存器ＣＨＣＲｎ之資源選擇資訊ＲＳ０至ＲＳ３。在邏輯和閘９６０分別輸入資料轉送通道的源位址比較部ＳＡＣｎ之輸出與目的地位址比較部ＤＡＣｎ之輸出。邏輯和閘９６０之輸出信號９６１係反映在上述操作暫存器ＤＭＡＯＲ之位址誤差旗標ＡＥ。當位址誤差旗標ＡＥ被設定時，在上述分配控制電路７１，發送通知位址誤差的分配要求。

微電腦１在２９位元之物理位址管理的管理位址空間，係沒有特別加以限制，惟如第１９圖所例示，８分割成區域０至區域７。區域０至區域６係分配在微電腦１之外部位址空間（外部空間），而區域７係分配在微電腦１之內部位址空間（內部空間）。特別是，區域７之０ｘ１Ｆ００　０００００～０ｘ１ＦＦＦ　ＦＦＦＦ（０ｘ係指１６進位數）係作爲分割於微電腦之內設週邊模組７０至７４的控制暫存器空間（內設週邊空間）。因此，上述源位址比較部ＳＡＣｎ，目的地位址比較部ＤＡＣｎ，係介經參照源位址之最上位側３位元ＳＡＲ〔２８〕至ＳＡＲ〔２６〕，目的地位址之最上位側３位元ＤＡＲ〔２８〕

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（26）

至ＤＡＲ〔２６〕，可判定該源位址，目的地位址是否在那一區域的位址。

上述源位址比較部ＳＡＣｎ係具有例示於第２０圖之源位址的位址區域判定表，而目的地位址比較部ＤＡＣｎ係具有例示於第２１圖之目的地位址的位址誤差判定表。

源位址之位址誤差判定表係定義藉由資源選擇資訊ＲＳ０至ＲＳ３所規定的發送電路所配置的位址區域，及藉由上述源位址之最上位側３位元ＳＡＲ〔２８〕至ＳＡＲ〔２６〕所規定的位址區域成爲不一致之態樣。在第２０圖中ＳＡＥＲＲ作爲邏輯值〝１〞時之上述資源選擇資訊ＲＳ０至ＲＳ３與上述源位址之最上位側３位元ＳＡＲ〔２８〕至ＳＡＲ〔２６〕之組合，爲產生位址誤差之態樣。例如，在第２０圖之最初位址誤差之態樣中，ＲＳ３，ＲＳ２，ＲＳ１，ＲＳ０＝０，１，０，０係如第６圖所示，爲介經自動請求之外部位址空間彼此間之雙位址模態的資料轉送。亦即，正規之源位址係成爲區域０至區域７。此時，源位址之最上位側３位元ＳＡＲ〔２８〕至ＳＡＲ〔２６〕爲全位元邏輯值〝１〞乃意味區域７，作爲違反記憶保護之位址誤差。

同樣地，目的地位址之位址判定表，係定義藉由資源選擇資訊ＲＳ０至ＲＳ３所規定之發送電路所配置的位址區域，及藉由上述目的地位址之最上位側３位元ＤＡＲ〔２８〕至ＤＡＲ〔２６〕所規定的位址區域成爲不一致之態樣。在第２１圖中ＤＡＥＲＲ作爲邏輯值〝１〞時之上

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部中央標準局員工消費合作社印製

五、發明說明（27）

述資源選擇資訊ＲＳ０至ＲＳ３與上述目的地位址之最上位側３位元ＤＡＲ〔２８〕至ＤＡＲ〔２６〕之組合，爲產生位址誤差之態樣。

上述ＤＡＥＲＲ係可把握作爲目的地位址比較部ＤＡＣｎ之判定結果信號，而上述ＳＡＥＲＲ係可把握作爲源位址比較部ＳＡＣｎ之判定結果信號。

綜合例示於第２０圖及第２１圖之記憶保護誤差之態樣，則成爲以下之意思。亦即，作爲違反記憶保護之位址誤差的態樣，係對應於要求資料轉送之資料發送爲內設週邊電路７０至７４時設定在位址暫存器ＳＡＲｎ之發送位址爲指外部週邊電路６２至６５之狀態；反對應於要求資料轉送之資料發送爲外部週邊電路６２至６５時設定在位址暫存器ＳＡＲｎ之發送位址爲指內部週邊電路７０至７４之狀態，對應於要求資料轉送之資料接收爲內設週邊電路７０至７４時設定在位址暫存器ＤＡＲｎ之接收位址爲指外部週邊電路６２至６５之狀態；對應於要求資料轉送之資料接收爲外部週邊電路６２至６５時設定在位址暫存器ＤＡＲｎ之接收位址爲指內部週邊電路７０至７４之狀態。

在第２２圖表示ＤＭＡＣ８之動作流程圖。首先，藉由ＣＰＵ３實行ＤＭＡＣ８之初期設定（Ｓ１）。亦即，在上述源位址暫存器ＳＡＲｎ，目的地控制暫存器ＤＡＲｎ，轉送計數暫存器ＤＭＡＴＣＲｎ，通道控制暫存器ＣＨＣＲｎ及操作暫存器ＤＭＡＯＲ，設定目的之轉

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

送條件。由此，來決定資料轉送之態樣，源位址及目的地位址等。初期設定之後，藉由起動控制電路８４及要求優先控制電路８５參照主允許位元ＤＭＥ及各通道控制暫存器ＣＨＣＲｎ之通道允許位元ＤＥ，來判定是否在轉送允許狀態（ＤＭＥ＝１，且至少一資料轉送通道之ＤＥ＝１）（Ｓ２）。

在轉送允許狀態時，實行非法位址之核對（Ｓ３）。非法位址之核對係上述記憶保護誤差與邊界誤差之核對。

在記憶保護誤差之核對，係關於轉送允許狀態之資料轉送通道，藉由源比較部ＳＡＣｎ判定，通道控制暫存器ＣＨＣＲｎ之資源選擇資訊ＲＳ０至ＲＳ３與源位址暫存器ＳＡＲｎ之最上位側３位元之組合是否一致於存取禁止態樣（第２０圖之誤差態樣）。同樣地，關於轉送允許狀態之資料轉送通道，藉由目的地比較部ＤＡＣｎ判定，通道控制暫存器ＣＨＣＲｎ之資源選擇資訊ＲＳ０至ＲＳ３與目的地位址暫存器ＤＡＲｎ之最上位側３位元之組合是否一致於存取禁止態樣（第２１圖之誤差態樣）。

在邊界誤差之核對，係關於轉送允許狀態之資料轉送通道，比較通道控制暫存器ＣＨＣＲｎ之傳送尺寸資訊ＴＳ０至ＴＳ１與源位址暫存器ＳＡＲｎ，目的地位址暫存器ＤＡＲｎ，在位元組尺寸以外之傳送尺寸時，判定此等位址是否爲奇數位址，若在奇數位址時則認定爲位址誤差。

藉由非法位址核對有位址誤差時，則位址誤差旗標

（請先閱讀背面之注意事項再填寫本頁）

經濟部中央標準局員工消費合作社印製

五、發明說明（29）

ＡＥ係被設定在邏輯值〝１〞。

之後，判定是否上述ＮＭＩ旗標，位址誤差旗標ＡＥ，及轉送結束旗標ＴＥ均被清除成邏輯值〝０〞（Ｓ４）。在未被清除時，直到除去該障礙爲止均無法開始資料轉送。

在上述ＮＭＩ旗標，位址誤差旗標ＡＥ，及轉送結束旗標ＴＥ均被清除成邏輯值〝０〞時，則等待發生轉送要求（Ｓ５）。

有轉送要求時，則判定響應於該轉送要求之資料轉送通道，有複數之轉送要求競爭時，則實行優先控制，使用一資料轉送通道來實行１轉送單位之資料轉送（Ｓ６）。１轉送單位之資料尺寸係藉由傳送尺寸資訊ＴＳ０，ＴＳ１來決定。藉由資源選擇資訊指定自動請求模態時，介經ＤＥ及ＤＭＥ設定成邏輯值〝１〞而自動地開始資料轉送。每當實行一次資料轉送，資料轉送之資料轉送通道之轉送計數暫存器ＴＣＲｎ之值一個一個地減縮，而依照動作模態更新源位址暫存器ＳＡＲｎ，目的地位址暫存器ＤＡＲｎ之值。

轉送計數暫存器ＴＣＲｎ之值係在次數控制電路８２被參照，重複轉送直到該值成爲０（Ｓ７）。轉送計數暫存器ＴＣＲｎ之值成爲０時，若在通道控制暫存器ＣＨＣＲｎ之ＩＥ位元設定１，則在ＣＰＵ３發生分配（Ｓ１０）。

在資料轉送途中，旗標ＮＭＩＦ或ＡＥ設定在〝１〞

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（30）

，或是ＤＥ或ＤＭＥ清除成〝０〞時，則中斷轉送（Ｓ８，Ｓ１１）。被中斷之資料轉送係在解決中斷事由之後再開始。

重複直到上述轉送計數暫存器ＴＣＲｎ之值成爲０爲止的資料轉送動作，係藉由對於脈衝模態，轉送要求模態，外部請求之檢測方法，處理有所不相同（Ｓ９）。亦即，指定週期挪用模態被指定時，或是在脈衝模態電平檢測外部請求ＤＲＥＱ０＃，ＤＲＥＱ１＃時，如以Ｐ１所示，等待新轉送之發生後移行至下一資料轉送。在脈衝模態指定自動請求時，或是在脈衝模態邊緣檢測外部請求ＤＲＥＱ０＃，ＤＲＥＱ１＃時，如以Ｐ２所示，自動地移行至下一轉送動作。

在第２３圖表示依上述記憶保護之ＤＭＡ轉送抑制情形的時序圖。在第２３圖中，ＣＫＩＯ係ＤＭＡＣ８之動作基準時脈信號。在第２３圖中，資料Ｄ１至Ｄ３及控制信號Ｓ１，Ｓ２係從ＣＰＵ３經由位址變換，超高速緩存單元４供應於ＤＭＡＣ８之匯流排介面電路８１的資訊，Ｄ１係用於任意地選擇內設於ＤＭＡＣ８之暫存器ＳＡＲｎ，ＤＡＲｎ，ＴＣＲｎ，ＣＨＣＲｎ，ＤＭＡＯＲ的資訊。Ｓ１係選擇對於ＤＭＡＣ８之存取的信號。Ｓ２係讀出寫入信號。Ｄ２係讀出存取ＤＭＡＣ８時之資料尺寸資訊。Ｄ３係實際上寫入在暫存器的資訊。此等信號係時脈信號ＣＫＴ０之２循環期間被認爲有效。ＣＷＢ＿Ｌ係對於上述寫入緩衝器ＣＷＢ之閂信號，由此

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（31）

，寫入緩衝器ＣＷＢ係閂住資料Ｄ３。ＣＨ＿Ｓ係通道選擇信號，ＲＥＧ＿Ｌ係被選擇之通道的暫存器閂信號。通道選擇信號ＣＨＳ及暫存器閂信號ＲＥＧ＿Ｌ係依照資料Ｄ１而在匯流排介面電路８１產生。由此，在通道選擇信號ＣＨ＿Ｓ與暫存器閂信號ＲＥＧ＿Ｌ所選擇之暫存器寫入資料。

例如，已設定通道控制暫存器ＣＨＣＲｎ之資料時，假定寫入源位址暫存器ＳＡＲｎ之源位址被寫入之情形。此時，對於設定在該通道控制暫存器ＣＨＣＲｎ之資源選擇資訊ＲＳ０至ＲＳ３，設定在源位址暫存器ＳＡＲｎ的源位址爲存取禁止領域時，則主張上述位址誤差信號９６１，由此，在操作暫存器ＤＭＯＲ之位址誤差旗標ＡＥ設定１。該狀態係藉由ＤＭＡＣ８內部之誤差信號ＥＲＲ＿Ｓ通知至要求優先控制電路８５及起動控制電路８４，被抑制ＤＭＡＣ８之資料轉送。此時，通道控制暫存器ＣＨＣＲｎ之通道允許位方ＤＥ與操作暫存器ＤＭＡＯＲ之主允許位元ＤＭＥ雙方均設定在〝１〞時，首先〝１〞設定在位址誤差旗標ＡＥ。又，藉由資源選擇資訊ＲＳ０至ＲＳ３來設定單位址模態時，對於轉送不必需之位址暫存器ＳＡＲｎ或ＤＡＲｎ之誤差檢測，係不實行關於邊界誤差及存取禁止領域之位址誤差（此時之位址暫存器，係可僅使用作爲緩衝器）。

在第２４圖表示未檢測位址誤差時等待轉送要求之發生而實行資料轉送時的時序圖。表示於同圖之定時，係將

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（32）

指定單位址模態與脈衝模態之情形作爲一例子。資料轉送態樣係在外部匯流排間的資料轉送。該態樣之資料轉送係經由第２２圖之Ｐ１重複實行所定次數分量資料轉送。資料轉送要求根源係接收電路，ＤＭＡＣ８係每當轉送動作時輸出源位址。又，每一次檢測ＤＲＥＱｎ＃。隨著此，ＤＲＡＫｎ，ＤＡＣＫｎ也每次回流至資料發送。

在第２５圖表示未檢測位址誤差時等待轉送要求之發生而實行資料轉送時的其他時序圖。表示於同圖之定時，係將指定雙位址模態與脈衝模態之情形作爲一例子。資料轉送態樣係在外部匯流排間的資料轉送。該態樣之資料轉送係經由第２２圖之Ｐ１重複實行所定次數分量資料轉送。由於是雙位址模態，因此，讀出源位址之資料，並將讀出之資料寫入在目的地位址之資料的資料轉送動作重複所定次數。在該資料轉送動作中，從源位址讀出之資料係經由外部匯流排暫時比儲存在匯流排控制器５之資料緩衝器５８，而儲存之資料經由外部匯流排寫入在目的地位址。

在第２６圖表示未檢測位址誤差時等待轉送要求之發生而實行資料轉送的另一時序圖。表示於同圖之定時，係將指定雙位址模態與週期挪用模態之情形作爲一例子。資料轉送態樣係在外部匯流排間的資料轉送。該態樣之資料轉送係經由第２２圖之Ｐ１重複實行所定次數分量資料轉送，由於是雙位址模態，因此讀出源位址之資料，並將讀出之資料寫入在目的地位址之資料的資料轉送動作重複所定次數。在該資料轉送動作中，從源位址讀出之資料係經

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（33）

由週邊匯流排暫時地儲存在匯流排控制器5之資料緩衝器58，而儲存之資料經由外部匯流排寫入在目的地位址。又，由於是週期挪用模態，因此，在每一次依DMAC8之資料轉送，DMAC8係放棄匯流排所定期間。

（依DMAC之記憶保護之作用效果）

依以上所說明之DMAC8之記憶保護的作用效果係如下。

藉由上述位址暫存器SARn，DARn及控制暫存器CHCRn所構成的一資料轉送用途（資料發送與接收之組合）係藉由資源選擇資訊RS0至RS3所決定。對照該資料轉送用途，使接收位址或發送位址之至少一方超越時，則位址誤差旗標AE被設定，開始抑制資料轉送動作。因此，對於分配在一資料轉送通道之發送電路與接收電路之組合，當須設定於位址暫存器SARn，DARn之發送或接收位址，起因於設定失誤或雜訊或是系統之失控等而超越時，則資料轉送動作係被抑制。又，產生資源選擇資訊RS0至RS3之設定失誤或不期之重寫時，即使須設定在DARn之發送或接收位址爲正常，資料轉送動作也同樣地被抑制。

如此，可資料轉送之發送與接收之組合的態樣係對應資源選擇資訊RS0至RS3之值事先被定義，上述位址誤差檢測部96，係具有依照該定義之內容的位址誤差之判定邏輯，依照該邏輯構成，將依DMAC8之無法資料

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（34）

轉送控制的位址誤差，依照控制暫存器ＣＨＣＲｎ之資源選擇資訊ＲＳ０至ＲＳ３及位址暫存器ＳＡＲｎ，ＤＡＲｎ之發送位址，接收位址被檢測。由於匹配資源選擇資訊ＲＳ０至ＲＳ３及位址暫存器ＳＡＲｎ，ＤＡＲｎ之雙方的設定資訊才開始資料轉送，因此，對於依ＤＭＡＣ８之資料轉送動作的記憶保護可得到高可靠性。而且，對於依ＤＭＡＣ８之違反記憶保護，ＤＭＡＣ８本體可抑制資料轉送動作，可節省浪費之資料轉送動作。

利用於上述記憶保護之資源選擇資訊ＲＳ０至ＲＳ３，係也用於制定對於要求資料轉送使用那一資料轉送通道的資訊。因此，分配資料轉送通道之功能及資料轉送之記憶保護的雙方不需要分別設定控制資訊。

由於依照上述優先資訊ＰＲ０，ＰＲ１優先對於高優先順位之資料轉送通道的要求資料轉送，因此，互斥性地動作複數資料轉送通道時，可變更其優先順位。

上述微電腦１係依記憶管理單元４０，４１，４４的位址變換時，對於ＣＰＵ３所管理之位址空間實現記憶保護，惟其保護係對於存取位址動作。此時，ＤＭＡＣ８係如上所述，ＣＰＵ３在作爲資料設定於上述位址暫存器ＳＡＲｎ，ＤＡＲｎ之接收位址及發送位址，實行違反於資源選擇資訊ＲＳ０至ＲＳ３之轉送態樣之設定時，抑制關於該接收位址及發送位址的資料轉送之起動。因此，對於依記憶管理單元４０，４１，４４之記憶保護不直接動作的ＤＭＡＣ８之資料轉送動作也可以實現存取禁止領域

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（35）

之資料保護，可提高例示於適用微電腦1之第2圖的資料處理系統之動作的安全性。由於提高系統動作之安全性，因此，對於物理位址空間可安心地利用ＤＭＡＣ８，又，系統之構築也成爲容易，又，由於ＤＭＡＣ８本體對於上述違反記憶保護可抑制資料轉送動作，且可省略浪費之資料轉送動作，因此可提高依資料處理系統及微電腦1的資料處理效率。

以上依照實施形態具體地說明藉由本發明人所創作之發明，惟本發明係並不被限定於此些者，當然在不超出其要旨之範圍可作各種變更。

例如，資料轉送控制裝置係具有單一之資料轉送通道者也可以。又，依資源選擇資訊之記憶保護違反之判定態樣係並不被限定於如上述之微電腦之內外位址之更換錯誤之狀態，又，更詳細地判定記憶保護違反之態樣也可以。僅將依在第２０圖及第２１圖所說明之記憶保護違反之判定表的判定邏輯稍成複雜即可以。

又，構成將ＤＭＡＣ之輸出位址信號代替匯流排狀態控制器而供應於命令ＴＬＢ或統一ＴＬＤ，則也可將ＤＭＡＣ利用在邏輯位址空間。在此種情形，ＤＭＡＣ係與ＴＬＢ不相同之意思而可實現記憶保護。

在以上之說明主要說明適用於將藉由本案發明人所創作之發明積體化於單一半導體基板的一晶片的微電腦之情形，惟本發明係並不被限定於此者，例如也可藉由ＴＴＬ電路構成資料轉送控制裝置或微電腦。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（36）

（發明之效果）

本發明所揭示之發明中簡述藉由代表性者所得到之效果如下所述。

利用於上述記憶保護之資源選擇資訊係兼用作爲對於要求資料轉送判定使用那一資料轉送通道所用之資訊。對於資料轉送通道之功能分配與資料轉送的記憶保護之雙方，不必分別設定控制資訊。

對於依記憶管理單元之記憶保護不直接動作之資料之資料轉送控制裝置之資料轉送動作也可實現存取禁止領域之資料保護，可提高適用此種資料轉送控制裝置之微電腦或資料處理系統之動作的安全性。因可提高系統動作之安全性，因此，對於物理位址空間可安心地利用資料轉送裝置，又，系統之構成也成爲容易，又，因資料轉送控制裝置本體對於上述違反記憶保護可抑制資料轉送動作，可省略浪費之資料轉送動作，因此可提高依資料處理系統及微電腦的資料處理效率。

（圖式之簡單說明）

第1圖係表示本發明之一例之微電腦的方塊圖。

第2圖係表示DMAC之整體上構成的方塊圖。

第3圖係表示資料轉送通道之詳細的方塊圖。

第4圖係表示通道控制暫存器之一例的格式圖。

第5圖係表示通道允許位元的說明圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（37）

第6圖係表示資源選擇資訊的說明圖。

第7圖係表示轉送結束位元的說明圖。

第8圖係表示目的地位址模態資訊的說明圖。

第9圖係表示源位址模態資訊的說明圖。

第10圖係表示傳送尺寸資訊的說明圖。

第11圖係表示中斷允許位元的說明圖。

第12圖係表示傳送模態位元的說明圖。

第13圖係表示操作暫存器之一例的格式圖。

第14圖係表示優先模態資訊的說明圖。

第15圖係表示位址誤差旗標的說明圖。

第16圖係表示NMI旗標的說明圖。

第17圖係表示主允許位元的說明圖。

第18圖係表示用於依DMAC之記憶保護之位址檢測部與暫存器部之連接關係的方塊圖。

第19圖係表示微電腦以29位元之物理位址來管理之物理位址空間的說明圖。

第20圖係表示依源位址比較部之源位址之位址誤差態樣的說明圖。

第21圖係表示依目的地位址比較部之目的地位址之位址誤差態樣的說明圖。

第22圖係表示DMAC之一例的動作流程圖。

第23圖係表示依記憶保護之DMAC轉送抑制時之一例子的時序圖。

第24圖係表示單位址模態與脈衝模態所指定時，位

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（38）

址誤差未檢測時等待轉送要求之發生來實行資料轉送時之一例子的時序圖。

第２５圖係表示雙位址模態與脈衝模態所指定時，位址誤差未檢測時等待轉送要求之發生來實行資料轉送時之一例子的時序圖。

第２６圖係表示雙位址模態與週期挪用模態所指定時，位址誤差來檢測時等待轉送要求之發生來實行資料轉送時之一例子的時序圖。

（記號之說明）

１　微電腦

３　中央處理裝置（ＣＰＵ）

５　匯流排狀態控制器

６　外部匯流排介面電路

８　資料轉送控制裝置

３０　３２位元位址

３５　上位３２位元資料

４０　命令ＴＬＢ

４１　統一ＴＬＢ

５０，５４　３２位元資料

５１，５５　２９位元位址

５３　位址

５６　１６位元週邊資料匯流排

５７　週邊位址

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（39）

58　資料緩衝器

60，61　外部匯流排

62　外部ROM

63　外部RAM

70　CPG

71　分配控制電路

74　定時器

81　匯流排介面電路

82　次數控制電路

84　起動控制電路

85　要求優先控制電路

90　源位址暫存器部

91　目的地位址暫存器部

92　轉送計數暫存器

（請先閱讀背面之注意事項再填寫本頁）
（表）
訂
線
經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：資料轉送控制裝置，微電腦及資料處理系統）

可能資料轉送之發送與接收之組合態樣係隨著控制暫存器ＣＨＣＲｎ之資源選擇資訊值事先被定義。位址比較電路ＳＡＣｎ，ＤＡＣｎ係具有隨著上述定義之內容的位址誤差之判別邏輯，依照上述資源資訊與位址暫存器ＳＡＲｎ，ＤＡＲｎ之發送位址，接收位址檢測依照該邏輯構成無法控制依資料轉送控制裝置８之資料轉送的位址誤差。由於匹配資源選擇資訊與位址暫存器雙方之設定資訊才開始資料轉送，因此，對於依資料轉送控制裝置之資料轉送動作的記憶保護可得到高可靠性。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種資料轉送控制裝置，其特徵爲：包括

設定有資料發送位址及資料接收位址的位址暫存器，及

包括藉由複數位元指定資料發送與資料接收之組合態樣之資源選擇資訊之儲存領域的控制暫存器，及

有要求資料轉送要求時，檢測設定於上述位址暫存器之資料發送位址與資料接收位址內之至少一方，從藉由上述控制暫存器之上述資源選擇資訊所指定的資料發送與資料接收之組合態樣超出之位址誤差的位址誤差檢測部，及

在不是上述位址誤差時，實行使用上述位址暫存器及控制暫存器之資訊的資料轉送控制，在上述位址誤差被檢測時，抑制對應於上述要求資料轉送之資料轉送動作的控制電路。

2．一種資料轉送控制裝置，屬於具有：分別具有位址暫存器及控制暫存器的複數個資料轉送通道，及連接於包括在上述複數個資料轉送通道之位址暫存器及控制暫存器的內部匯流排，及將上述內部匯流排與外部施以介面的匯流排介面電路，及隨著資料轉送要求而使用上述複數個資料轉送通道經由上述匯流排介面電路來實行轉送控制的控制電路，其特徵爲：

上述位址暫存器係設定有資料發送位址及資料接收位址的暫存器；

上述控制暫存器係具有分配於包括該控制暫存器之資料轉送通道之資料轉送要求根源及響應於來自該要求根源

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

之資料轉送要求之資料發送與資料接收的組合態樣藉由複數位元所指定的資源選擇資訊之儲存領域；

具有檢測設定於上述位址暫存器之資料發送位址與資料接收位址內之至少一方，表示從藉由包括於該資料轉送通道之上述資源選擇資訊所指定之資料發送與資料接收之組合態樣超越之位址誤差的位址誤差檢測部；

上述控制電路係在有資料轉送要求時，從設定於上述控制暫存器之資源選擇資訊判定須響應於該要求根源之資料轉送通道，上述控制電路係以未檢測上述位址誤差作爲條件下，使用對應於上述資料轉送要求之資料轉送通道來實行資料轉送動作。

3．如申請專利範圍第2項所述之資料轉送控制裝置，其中，具有連接於上述內部匯流排，共通於數個轉送通道的操作暫存器，該操作暫存器係資料轉送要求有競爭時，用於決定實行資料轉送要求的資料轉送要求的資料轉送通道之優先順位的優先資訊的儲存領域；

上述控制電路係判定上述資料轉送通道時，對於複數資料轉送通道之資料轉送要求有競爭時，隨著上述優先資訊優先對於高優先順位之資料轉送通道的資料轉送要求。

4．如申請專利範圍第1項或第2項所述之資料轉送控制裝置，其中，設於微電腦，該微電腦係包括：

中央處理裝置，及

將上述中央處理裝置所輸出之邏輯位址物理位址地變換的記憶管理單位，及

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

依照從上述記憶管理單元所輸出之物理位址或從上述資料轉送控制裝置所輸出之物理位址來控制匯流排存取循環的匯流排狀態控制器，及

經由週邊匯流排連接於上述匯流排狀態控制器的內設週邊電路，及

結合於上述匯流排狀態控制器的外部匯流排介面電路；

上述中央處理裝置係經由上述記憶管理單元而實行對於上述資料轉送控制裝置的各暫存器之設定；

上述資料轉送控制裝置係響應於要求資料轉送來實行資料轉送時，在上述匯流排狀態控制器主張匯流排權要求信號，等待響應於該信號之匯流排承認信號從匯流排狀態控制器主張後開始資料轉送。

5．如申請專利範圍第4項所述之資料轉送控制裝置，其中，上述微電腦係積體電路化於一個半導體基板者。

6．如申請專利範圍第4項或第5項所述之資料轉送控制裝置，其中，上述微電腦係包括於資料處理系統；該資料處理系統係包括：結合於該微電腦之上述外部匯流排介面電路的外部匯流排，及結合於上述外部匯流排的外部週邊電路。

7．如申請專利範圍第4項或第5項或第6項所述之資料轉送控制裝置，其中，上述微電腦內設之資料轉送控制裝置的上述位址誤差檢測部檢測作爲位址誤差之態樣，係指對應於要求資料轉送的資料發送爲內設週邊電路時設

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

定在位址暫存器之發送位址爲外部週邊電路之狀態，指對應於要求資料轉送的資料發送外部週邊電路時設定在位址暫存器之發送位址爲內部週邊電路之狀態，指對應於要求資料轉送的資料接收位址爲外部週邊電路之狀態，及指對應於要求資料轉送的資料接收位址爲內部週邊電路之狀態。

8．一種資料轉送控制裝置，屬於具有：分別具有位址暫存器及控制暫存器的複數個資料轉送通道，及共通於上述複數個資料轉送通道的操作暫存器，及連接於包括在上述複數個資料轉送通道之位址暫存器及控制暫存器及上述操作暫存器的內部匯流排，及將上述內部匯流排與外部施以介面的匯流排介面電路，及隨著資料轉送要求而使用上述複數個資料轉送通道經由上述匯流排介面電路來實行轉送控制的控制電路，其特徵爲：

上述位址暫存器係設定有資料發送位址及資料接收位址的暫存器；

上述控制暫存器係具有指定分配於包括該控制暫存器之資料轉送通道之資料轉送要求根源及響應於來自該要求根源之資料轉送要求之資料發送與資料接收的組合態樣的資源選擇資訊之儲存領域；

上述操作暫存器係設定有資料轉送要求競爭時，實行此等資料轉送要求之資料轉送通道之優先順位的暫存器，具有檢測設定於上述位址暫存器之資料發送位址與資料接收位址內之至少一方，藉由該資料轉送通道之上述資源選

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

擇資訊所指定之資料發送與資料接收之組合態樣超越之位址誤差的位址誤差檢測部；

上述控制電路係在有資料轉送要求時，從上述資源選擇資訊判定須響應於該要求根源之資料轉送通道，同時，有對於複數之資料轉送通道之資料轉送要求競爭時，優先對於設定在上述操作暫存器之高優先順位的資料轉送通道之資料轉送要求，判別響應於資料轉送要求的一資料轉送通道，以未檢測上述位址誤差作爲條件下，使用上述判別之資料轉送通道來實行資料轉送動作。

９．如申請專利範圍第８項所述之資料轉送控制裝置，其中，上述資料轉送控制裝置，係設於微電腦；該微電腦又包括：

中央處理裝置，及

將上述中央處理裝置所輸出之邏輯位址物理位址地變換的記憶管理單位，及

依照從上述記憶管理單元所輸出之物理位址或從上述資料轉送控制裝置所輸出之物理位址來控制匯流排存取循環的匯流排狀態控制器，及

結合於上述匯流排狀態控制器的外部匯流排介面電路；

上述中央處理裝置係經由上述記憶管理單元而實行對於上述資料轉送控制裝置的位址暫存器，控制暫存器及操作暫存器之設定。

１０．如申請專利範圍第９項所述之資料轉送控制裝

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

置，其中，上述微電腦係於資料處理系統；該資料處理系統係包括：結合於該微電腦之上述外部匯流排介面電路的外部匯流排，及結合於上述外部匯流排的外部週邊電路。

１１．一種資料處理系統，其特徵爲；包括

中央處理裝置，及

藉由上述中央處理裝置，設定有資料發送位址及資料接收位址的位址暫存器，及

包括藉由複數位元指定資料發送與資料接收之組合態樣之資源選擇資訊之儲存領域的控制暫存器，及

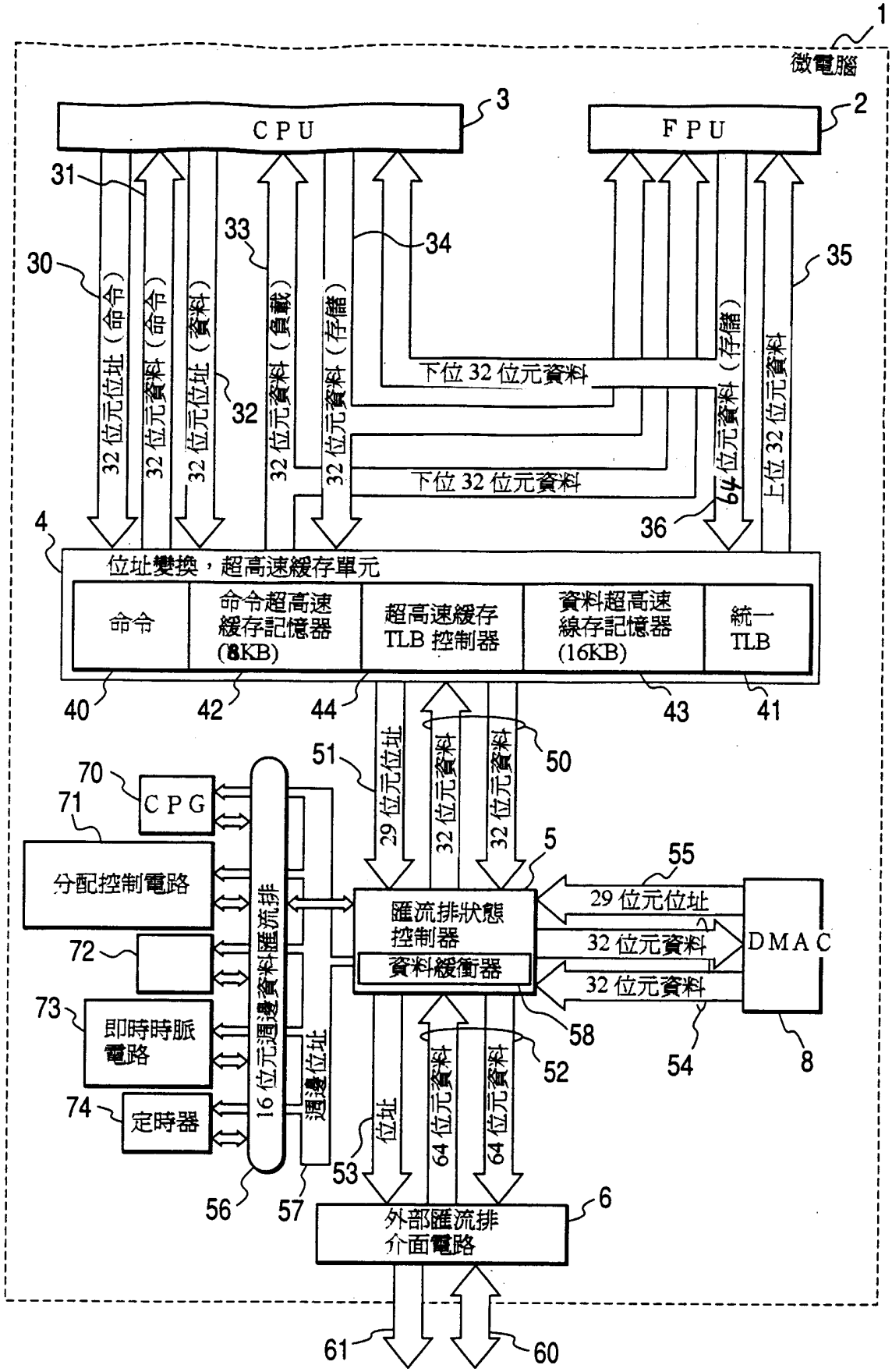
有要求資料轉送要求時，檢測設定於上述位址暫存器之資料發送位址與資料接收位址內之至少一方，從藉由上述控制暫存器之上述資源選擇資訊所指定的資料發送與資料接收之組合態樣超出之位址誤差的位址誤差檢測部，及

在不是上述位址誤差時，實行使用上述位址暫存器及控制暫存器之資訊的資料轉送控制，在上述位址誤差被檢測時，抑制對應於上述要求資料轉送之資料轉送動作的控制電路。

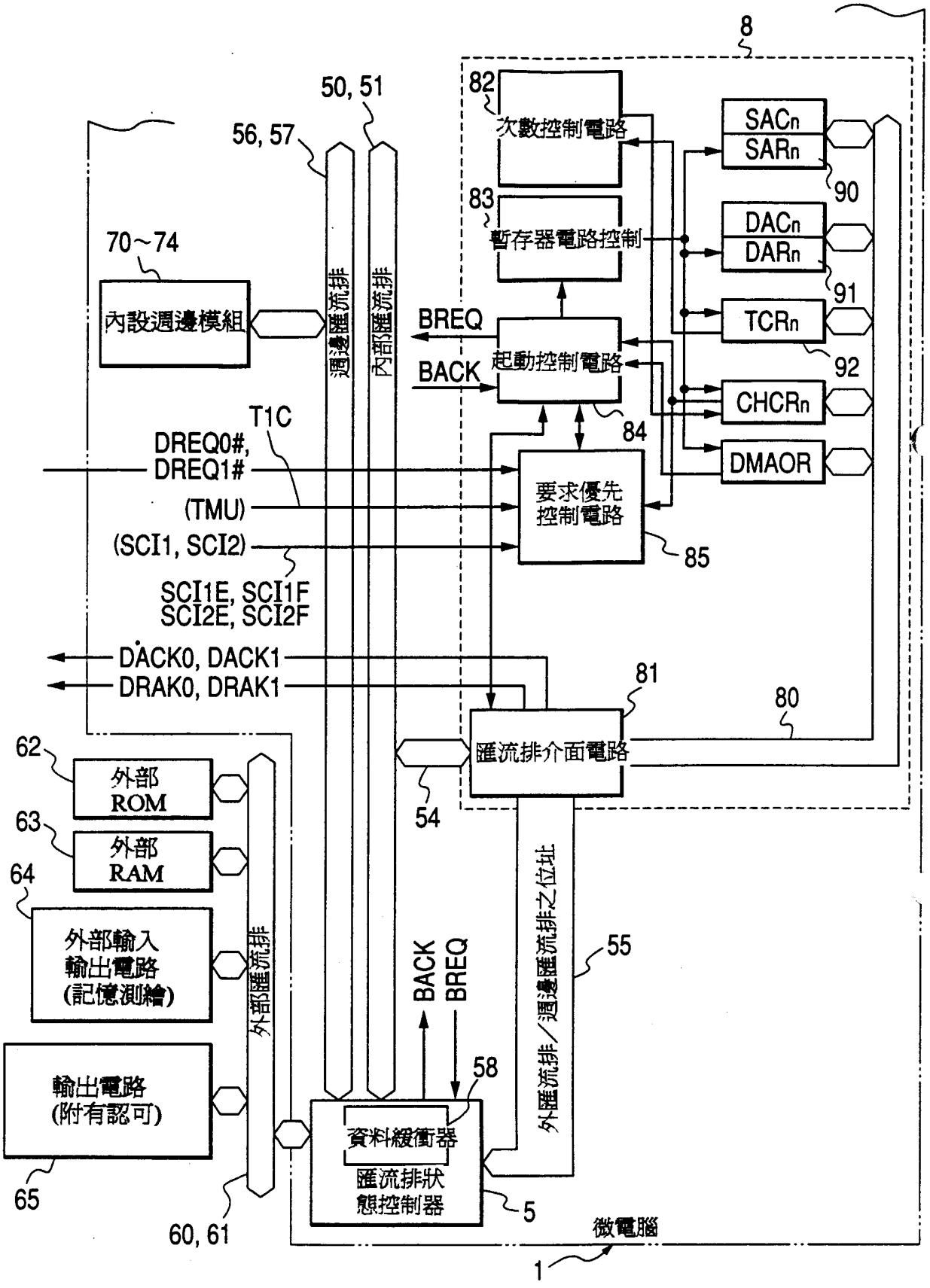
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

87105209

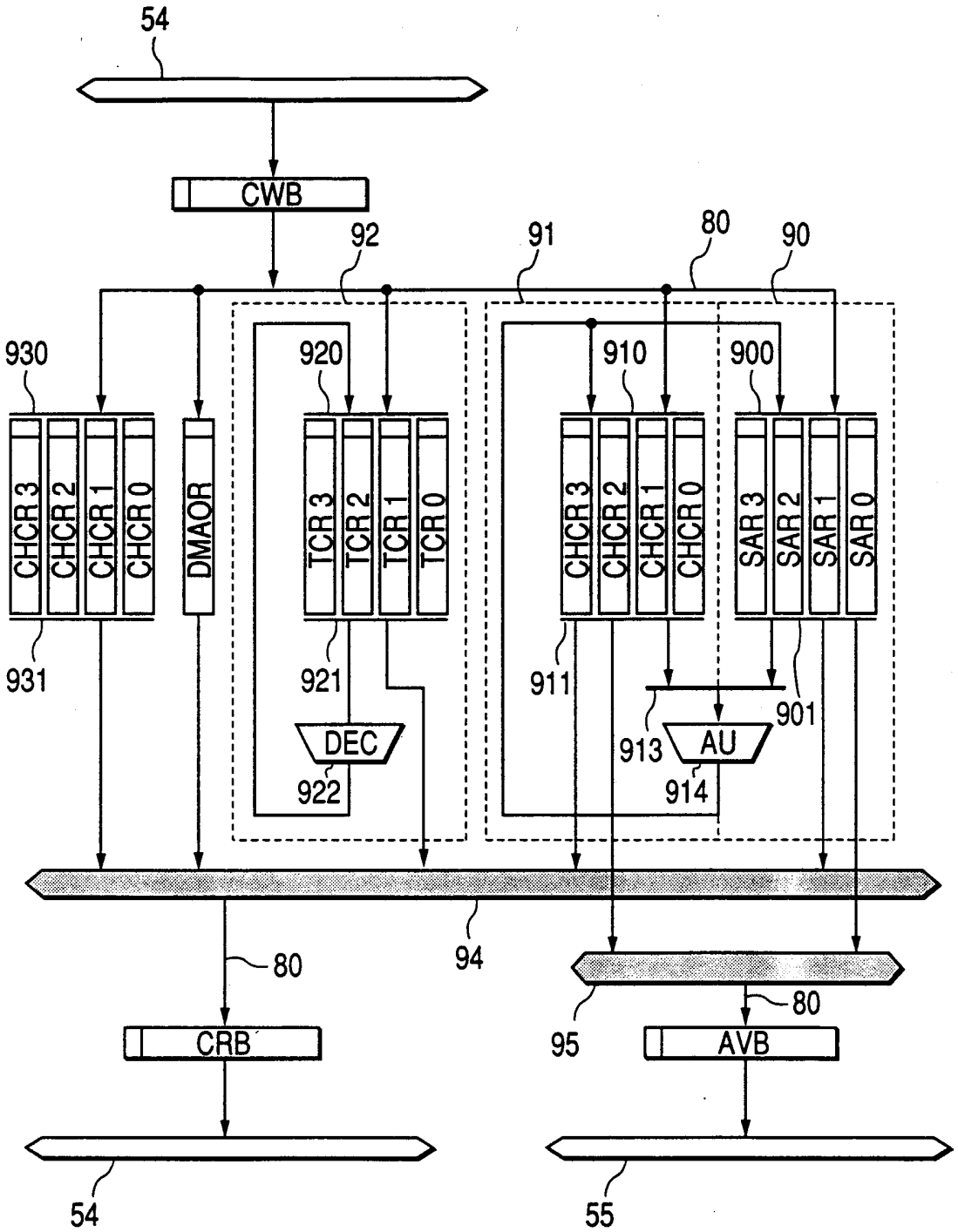
第 1 圖



第 2 圖


8
50, 51
56, 57
82
次數控制電路
SACn
SARn
90
83
暫存器電路控制
DACn
DARn
91
70~74
內設週邊模組
週邊匯流排
內部匯流排
BREQ
BACK
起動控制電路
TCRn
92
CHCRn
84
T1C
DREQ0#,
DREQ1#
(TMU)
(SCI1, SCI2)
要求優先
控制電路
85
DMAOR
SCI1E, SCI1F
SCI2E, SCI2F
DACK0, DACK1
DRAK0, DRAK1
81
80
匯流排介面電路
62
外部
ROM
54
63
外部
RAM
64
外部輸入
輸出電路
(記憶測繪)
外部匯流排
BACK
BREQ
55
外匯流排／週邊匯流排之位址
輸出電路
(附有認可)
58
資料緩衝器
匯流排狀
態控制器
5
65
60, 61
微電腦
1

第 3 圖


54
CWB
92
91
80
90
930
920
910
900
CHCR3
CHCR2
CHCR1
CHCR0
DMAOR
TCR3
TCR2
TCR1
TCR0
CHCR3
CHCR2
CHCR1
CHCR0
SAR3
SAR2
SAR1
SAR0
931
921
911
901
913
DEC
AU
922
914
94
80
80
CRB
95
AVB
54
55

第 4 圖

通道控制暫存器

位元	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	DS	RL	AN	AL
初期值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R	R	R	R	R	(R/W)	(R/W)	(R/W)	(R/W)

位元	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	TM	TS2	TS1	TS0	—	IE	TE	DE
初期值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/(W)	R/W

第 5 圖

通道允許位元

DE	說明
0	對應通道之動作禁止
1	對應通道之動作許可

第 6 圖

資源選擇資訊

RS3	RS2	RS1	RS1	說明
0	0	0	0	外部請求*1（初期值） 雙位址模態 （外部位址空間彼此間）
0	0	0	1	（使用禁止）
0	0	1	0	外部請求，單位址模態 外部位址空間→外部裝置
0	0	1	1	外部請求，單位址模態 外部裝置→外部位址空間
0	1	0	0	自動請求 （外部位址空間彼此間）*2
0	1	0	1	自動請求 （外部位址空間→ P 匯流排）*2
0	1	1	0	自動請求 （ P 匯流排→外部位址空間）*2
0	1	1	1	（使用禁止）
1	0	0	0	SCI1 之發送空白分配轉送要求? （外部位址空間→ SCTDR ）*2
1	0	0	1	SCI1 之接收資料金分配轉送要求 （ SCRDR →外部位址空間）*2
1	0	1	0	SCI2 之發送資料空白分配轉送要求 （外部位址空間→ SCTDR ）*2
1	0	1	1	SCI2 之接收資料全分配轉送要求 （ SCRDR →外部位址空間）*2
1	1	0	0	TMU(輸入捕捉分配，外部位址空間)*2
1	1	0	1	TMU(輸入捕捉分配，外部位址空間→內設空間)*2
1	1	1	0	TMU(輸入捕捉分配，內設週邊→外部位址空間)*2
1	1	1	1	（使用禁止）

*1：外部請求之指定係僅通道 0.1 有效
*2：雙位址模態

第 7 圖

轉送結束位元(TE)

TE	說明
0	DMATCR 指定次數轉送未結束 （初期值） TE=1 之讀出後 0 寫入動力通重設，人工重設，等待 〔清除條件〕
1	DMATCR 指定次數轉送結束

第 8 圖

目的址位址模態資訊（ MD1,DM0 ）

DM1	DM0	說明
0	0	目的地位址係固定 （初期值）
0	1	目的地位址係增加 轉送時+1,16 位元轉時+2,32 位元轉送時+4, 64 位元轉送時+8,32 位元組脈衝轉送時+32)
1	0	目的地位址係減少 轉送時+1,16 位元轉時+2,32 位元轉送時+4, 64 位元轉送時+8,32 位元組脈衝轉送時+32)
1	1	（設定禁止）

第 9 圖

源位址模態資訊（ SM1, SM0 ）

SM1	SM0	說明
0	0	源位址係固定 （初期值）
0	1	源位址係增力 轉送時+1,16 位元轉時+2,32 位元轉送時+4, 64 位元轉送時+8,32 位元組脈衝轉送時+32)
1	0	源位址係減少轉送時+1,16 位元轉時+2,32 位元轉送時+4, 64 位元轉送時+8,32 位元組脈衝轉送時+32)
1	1	（設定禁止）

第10圖

傳送尺寸資料（ TS2,TS1,TS0 ）

TS2	TS1	TS0	說明
0	0	0	正交字尺寸(64 位元)指定
0	0	1	位元組尺寸（８位元）指定
0	1	0	字尺寸（１６位元）指定
0	1	1	長字尺寸（３２位元）指定
1	0	0	３２位元組塊指定

第11圖

分配允許位元（ IE ）

IE	說明
0	DMATCR 指定轉送次數結束時，不發生分配要求。　（初期值）
1	DMATCR 指定轉送次數結時，發生分配要求。

第12圖

傳送模態位元（ TM ）

TM	說明
0	週期挪用模態　　（初期值）
1	脈衝模態

第13圖

操作暫存器（ DMAOR ）

位元	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

位元	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							PR1	PR0						AE	NMIF	DME
初期值	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/(W)	R/(W)	R/W

第14圖

優先模態資訊

PR1	PR0	說明
0	0	CH0>CH1>CH2>CH3 （初期值）
0	1	CH0>CH2>CH3>CH1
1	0	CH2>CH0>CH1>CH3
1	1	（重設時， CH0>CH1>CH2>CH3 ）

第15圖

位址誤差旗標（AE）

AE	說明
0	無位址誤差。DMA 轉送許可狀態。（初期值） 〔消除條件〕：AE=1 讀出後 AE=0 寫入
1	有位址誤差。DMA 轉送禁止狀態。 〔有位址誤差〕：依 DMAC 之位址誤差之發生。

第16圖

NMI 旗標（NMIF）

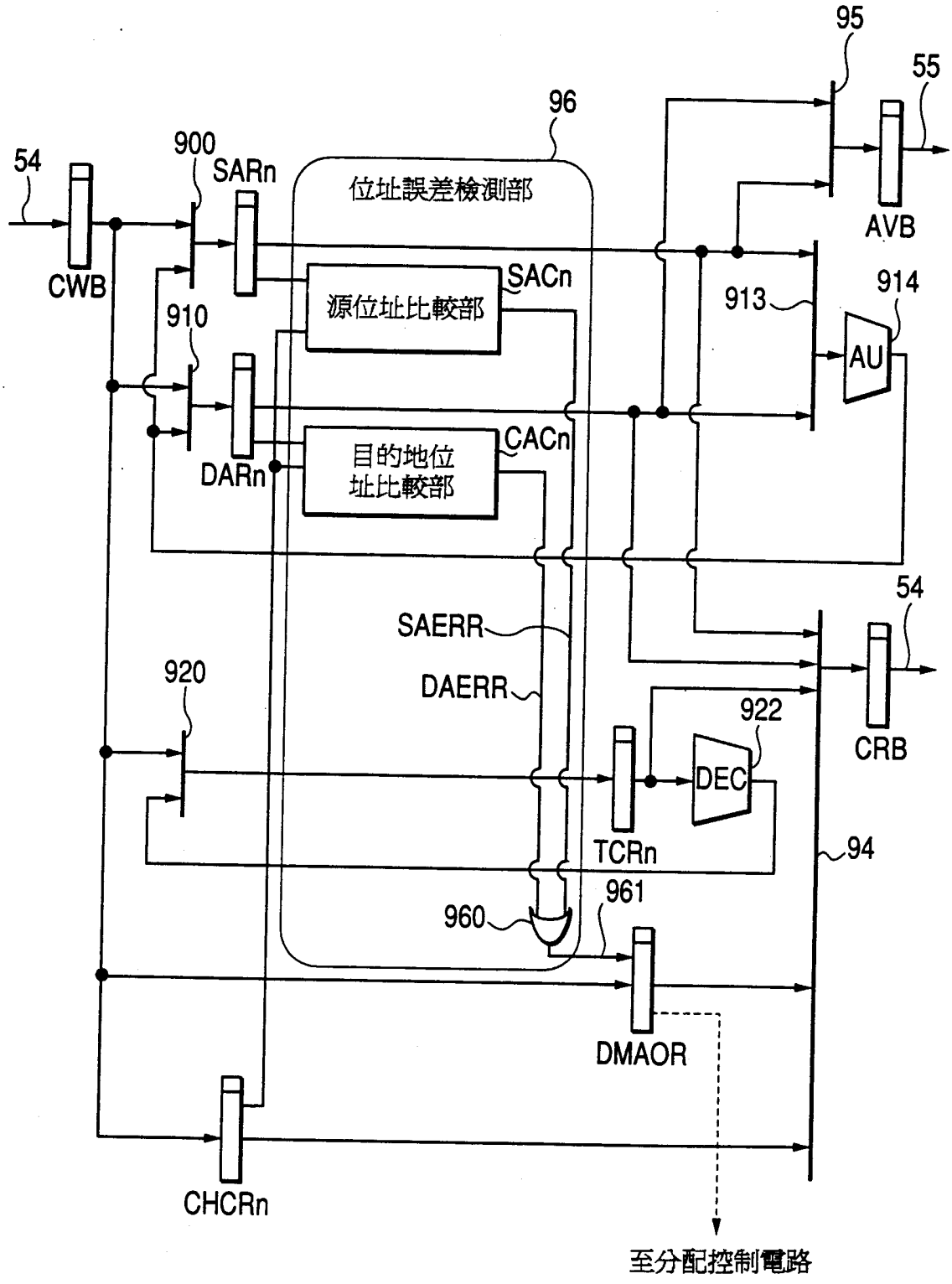
NMIF	說明
0	無 NMI 輸入。DMA 轉送許可狀態。（初期值） 〔清除條件〕：NMIF=1 讀出後 NMIF=0 寫入
1	有 NMI 輸入。DMC 轉送禁止狀態。 〔設定條件〕：分配 NMI 之發生。

第17圖

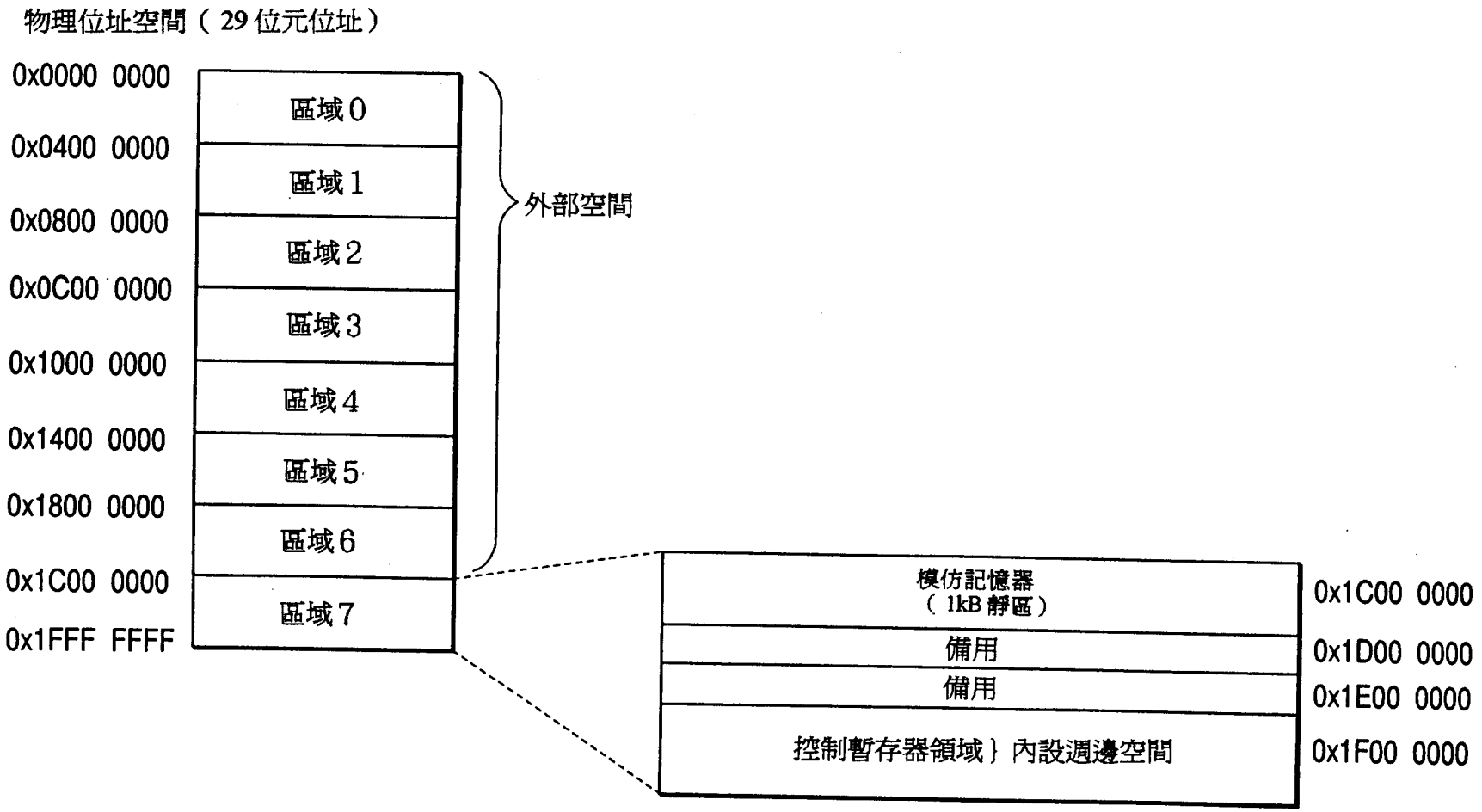
主允許位元（DME）

DME	說明
0	全通道之動作禁止（初期值）
1	全通道之動作許可

第18圖


95
55
96
54
900
SARn
位址誤差檢測部
AVB
CWB
SACn
源位址比較部
913
914
910
AU
CACn
DARn
目的地位
址比較部
54
SAERR
DAERR
920
922
CRB
DEC
TCRn
94
961
960
DMAOR
CHCRn
至分配控制電路

第19圖


物理位址空間（29位元位址）
0x0000 0000
0x0400 0000
0x0800 0000
0x0C00 0000
0x1000 0000
0x1400 0000
0x1800 0000
0x1C00 0000
0x1FFF FFFF
區域0
區域1
區域2
區域3
區域4
區域5
區域6
區域7
外部空間
模仿記憶器
（1kB靜區）
備用
備用
控制暫存器領域｝內設週邊空間
0x1C00 0000
0x1D00 0000
0x1E00 0000
0x1F00 0000

第 20 圖 A

RS3	RS2	RS1	RS0	DAR(28)	DAR(27)	DAR(26)	DAWRR	COMMENT
0	0	0	0	1	1	1	1	外部請求(外部位址空間彼此間)時之對於區域 7 之存取
0	0	1	0	1	1	1	1	外部請求(外部位址→外部位址空間) 時之對於區域 7 之存取
0	1	0	0	1	1	1	1	自動請求(外部位址空間彼此間)時之對於區域 7 之存取
0	1	0	1	1	1	1	1	外部請求(外部位址空間彼此間)時之對於區域 7 之存取
0	1	1	0	0	0	0	1	外部請求(外部位址→內設周邊)時之對於區域 1 之存取
				0	0	1		外部請求(外部位址→內設周邊)時之對於區域 2 之存取
				0	1	0		外部請求(外部位址→內設周邊)時之對於區域 3 之存取
				0	1	1		外部請求(外部位址→內設周邊)時之對於區域 4 之存取
				1	0	0		外部請求(外部位址→內設周邊)時之對於區域 5 之存取
				1	0	1		外部請求(外部位址→內設周邊)時之對於區域 6 之存取
				1	1	0		外部請求(內設周邊→外部位址)時之對於區域 7 之存取

第 20 圖 B

RS3	RS2	RS1	RS0	DAR(28)	DAR(27)	DAR(26)	DAWRR	COMMENT
1	0	0	0	1	1	1	1	SCI1 之發送資料空白分配轉送要求(外部位址空間→ SCRDR)時之對於區域 7 之存取
1	0	0	1	0	0	0	1	SCI1 之接送資料全分配轉送要求(外部位址空間→ SCRDR)時之對於區域 0 之存取
				0	0	1		SCI1 之接送資料全分配轉送要求(外部位址空間→ SCRDR)時之對於區域 1 之存取
				0	1	0		SCI1 之接送資料全分配轉送要求(外部位址空間→ SCRDR) 時之對於區域 2 之存取
				0	1	1		SCI1 之接送資料全分配轉送要求(外部位址空間→ SCRDR)時之對於區域 3 之存取
				1	0	0		SCI1 之接送資料全分配轉送要求(外部位址空間→ SCRDR)時之對於區域 4 之存取
				1	0	1		SCI1 之接送資料全分配轉送要求(外部位址空間→ SCRDR)時之對於區域 5 之存取
				1	1	0		SCI1 之接送資料全分配轉送要求(外部位址空間→ SCRDR)時之對於區域 6 之存取
1	0	1	0	1	1	1	1	SCI2 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 7 之存取
1	0	1	1	0	0	0	1	SCI2 之接送資料全分配轉送要求(外部位址空間→ SCRDR)時之對於區域 0 之存取
				0	0	1		SCI2 之接送資料全分配轉送要求(外部位址空間→ SCRDR)時之對於區域 1 之存取
				0	1	0		SCI2 之接送資料全分配轉送要求(外部位址空間→ SCRDR)時之對於區域 2 之存取
				0	1	1		SCI2 之接送資料全分配轉送要求(外部位址空間→ SCTDR)時之對於區域 3 之存取
				1	0	0		SCI2 之接送資料全分配轉送要求(外部位址空間→ SCTDR)時之對於區域 4 之存取
				1	0	1		SCI2 之接送資料全分配轉送要求(外部位址空間→ SCTDR)時之對於區域 5 之存取
				1	1	0		SCI2 之接送資料全分配轉送要求(外部位址空間→ SCTDR)時之對於區域 6 之存取

第 20 圖 C

RS3	RS2	RS1	RS0	DAR(28)	DAR(27)	DAR(26)	DAWRR	COMMENT
1	1	0	0	1	1	1	1	TUW 之輸入捕捉分配轉送要求(外部位址彼此間)時對於區域 7 之存取
1	1	0	1	1	1	1	1	TUW 之輸入捕捉分配轉送要求(外部位址空間→內設周邊)時之對於區域 7 之存取
1	1	1	0	0	0	0	1	TUW 之輸入捕捉分配轉送要求(內設周邊→外部位址空間)時對之於區域 0 之存取
				0	0	1		TUW 之輸入捕捉分配轉送要求(內設周邊→外部位址空間)時對之於區域 1 之存取
				0	1	0		TUW 之輸入捕捉分配轉送要求(內設周邊→外部位址空間)時對之於區域 2 之存取
				0	1	1		TUW 之輸入捕捉分配轉送要求(內設周邊→外部位址空間)時對之於區域 3 之存取
				1	0	0		TUW 之輸入捕捉分配轉送要求(內設周邊→外部位址空間)時對之於區域 4 之存取
				1	0	1		TUW 之輸入捕捉分配轉送要求(內設周邊→外部位址空間)時對之於區域 5 之存取
				1	1	0		TUW 之輸入捕捉分配轉送要求(內設周邊→外部位址空間)時對之於區域 6 之存取

第 21 圖 A

目的地位址暫存器之位址誤差判定表

RS3	RS2	RS1	RS0	DAR(28)	DAR(27)	DAR(26)	DAWRR	COMMENT
0	0	0	0	1	1	1	1	外部請求(外部位址空間彼此間)時之對於區域 7 之存取
0	0	1	1	1	1	1	1	外部請求(外部裝置→外部位址空間)時之對於區域 7 之存取
0	1	0	0	1	1	1	1	自動請求(外部位址空間彼此間)時之對於區域 7 之存取
0	1	0	0	0	0	0	1	自動請求(外部位址空間→內設周邊) 時之對於區域 0 之存取
				0	0	1		自動請求(外部位址空間→內設周邊) 時之對於區域 1 之存取
				0	1	0		自動請求(外部位址空間→內設周邊) 時之對於區域 2 之存取
				0	1	1		自動請求(外部位址空間→內設周邊) 時之對於區域 3 之存取
				1	0	0		自動請求(外部位址空間→內設周邊) 時之對於區域 4 之存取
				1	0	1		自動請求(外部位址空間→內設周邊) 時之對於區域 5 之存取
				1	1	0		自動請求(外部位址空間→內設周邊) 時之對於區域 6 之存取

第 21 圖 B

目的地位址暫存器之位址誤差判定表

RS3	RS2	RS1	RS0	DAR(28)	DAR(27)	DAR(26)	DAWRR	COMMENT
0	1	1	0	1	1	1	1	自動請求(內設周邊→外部位址空間)時之對於區域 7 之存取
1	0	0	0	0	0	0	1	SCI1 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 0 之存取
				0	0	1		SCI1 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 1 之存取
				0	1	0		SCI1 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 2 之存取
				0	1	1		SCI1 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 3 之存取
				1	0	0		SCI1 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 4 之存取
				1	0	1		SCI1 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 5 之存取
				1	1	0		SCI1 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 6 之存取
1	0	0	1	1	1	1	1	SCI1 之接收資料全分配轉送要求(SCRDR →外部位址空間)時之對於區域 7 之存取
1	0	0	0	0	0	0	1	SCI2 之發送資料空白分配轉送要求(外部位址空間→ SCDR)時之對於區域 0 之存取
				0	0	1		SCI2 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 1 之存取
				0	1	0		SCI2 之發送資料空白分配轉送要求(外部位址空間→ SCTR)時之對於區域 2 之存取
				0	1	1		SCI2 之發送資料空白分配轉送要求(外部位址空間→ SCTR)時之對於區域 3 之存取
				1	0	0		SCI2 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 4 之存取
				1	0	1		SCI2 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 5 之存取
				1	1	0		SCI2 之發送資料空白分配轉送要求(外部位址空間→ SCTDR)時之對於區域 6 之存取

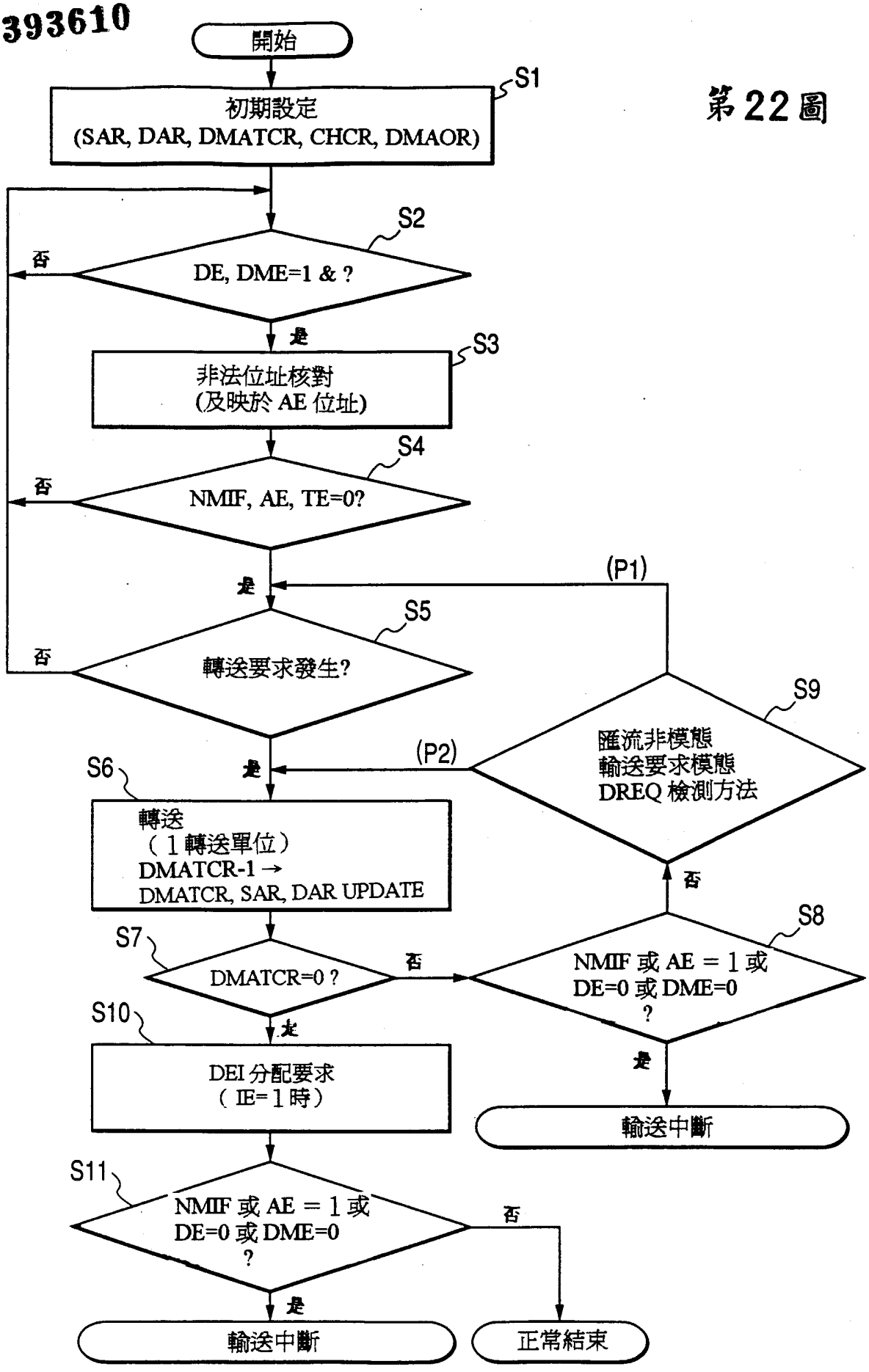
第 21 圖 C

目的地位址暫存器之位址誤差判定表

RS3	RS2	RS1	RS0	DAR(28)	DAR(27)	DAR(26)	DAWRR	COMMENT
1	0	1	1	1	1	1	1	SCI2 接收資料全分配轉送要送(SCRDR →外部位址空間)時之對於區域 7 之存取
1	1	0	0	0	1	1	1	TUW 之輸入捕捉分配轉送要求(外部位址空間彼此間)時之對於區域 7 之存取
1	1	0	1	0	0	0	1	TUW 之輸入捕捉分配轉送要求(外部位址空間→內設周邊)時對之於區域 0 之存取
				0	0	1		TUW 之輸入捕捉分配轉送要求(外部位址空間→內設周邊)時對之於區域 1 之存取
				0	1	0		TUW 之輸入捕捉分配轉送要求(外部位址空間→內設周邊)時對之於區域 2 之存取
				0	1	1		TUW 之輸入捕捉分配轉送要求(外部位址空間→內設周邊)時對之於區域 3 之存取
				1	0	0		TUW 之輸入捕捉分配轉送要求(外部位址空間→內設周邊)時對之於區域 4 之存取
				1	0	1		TUW 之輸入捕捉分配轉送要求(外部位址空間→內設周邊)時對之於區域 5 之存取
				1	1	0		TUW 之輸入捕捉分配轉送要求(外部位址空間→內設周邊)時對之於區域 6 之存取
1	1	1	0	1	1	1	1	TUW 之輸入捕捉分配轉送要求(內設周邊→外部位址空間)時對之於區域 7 之存取

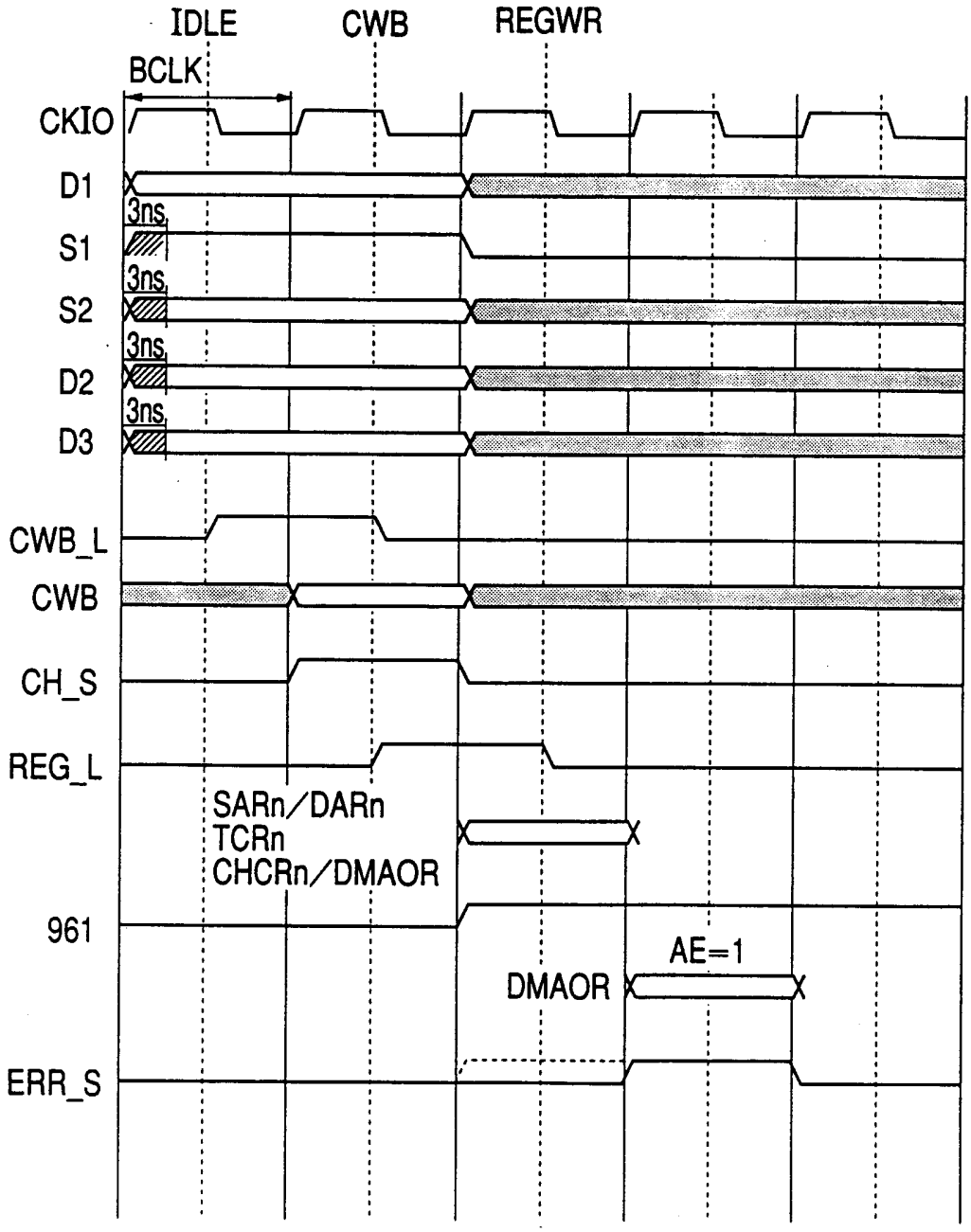
393610

第22圖

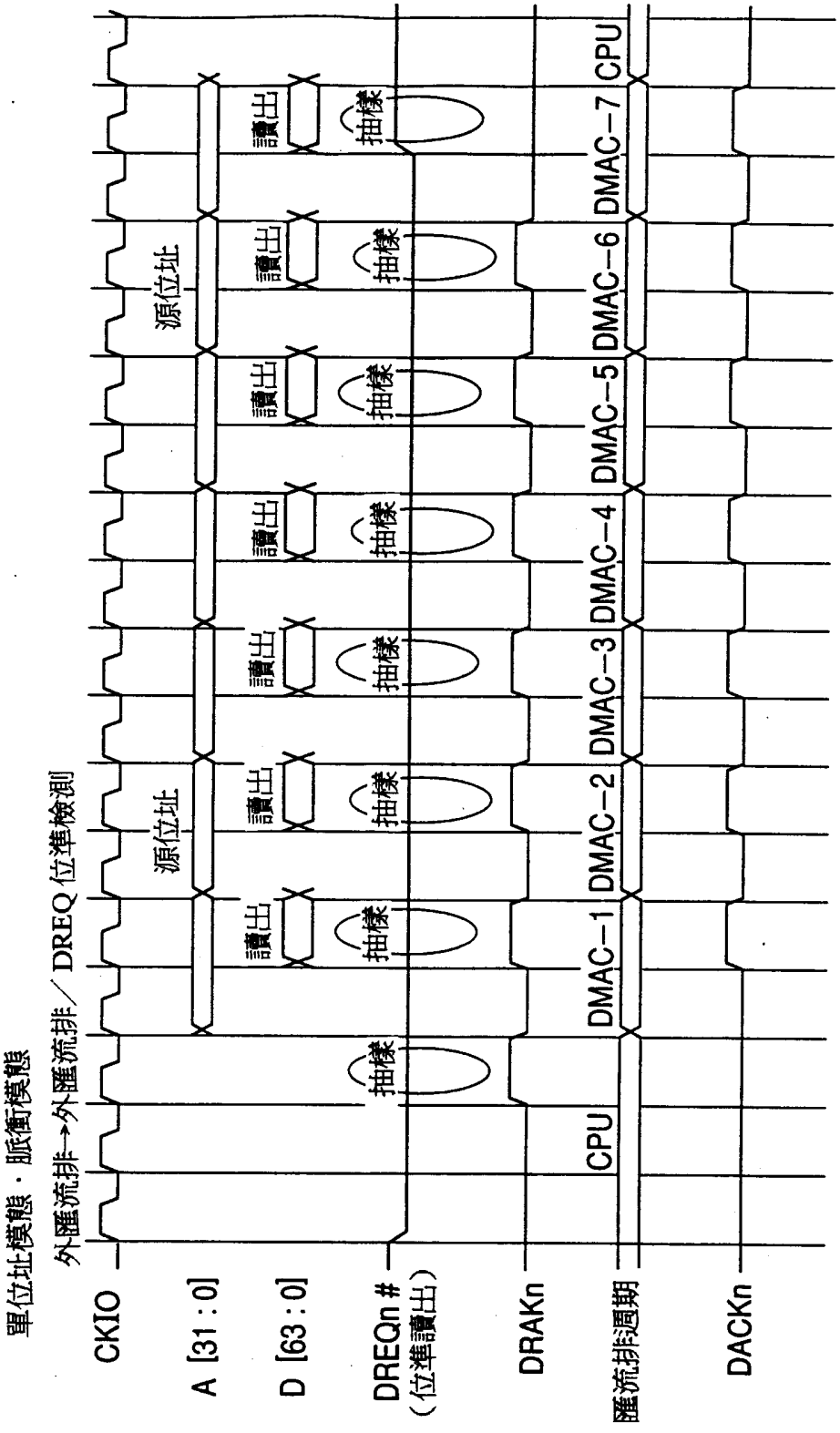

開始
S1
初期設定
(SAR, DAR, DMATCR, CHCR, DMAOR)
S2
DE, DME=1 & ?
否
是
S3
非法位址核對
(及映於 AE 位址)
S4
NMIF, AE, TE=0?
否
是
(P1)
S5
轉送要求發生?
否
是
(P2)
S9
匯流非模態
輸送要求模態
DREQ 檢測方法
否
S6
轉送
(1轉送單位)
DMATCR-1→
DMATCR, SAR, DAR UPDATE
S7
DMATCR=0 ?
否
是
S8
NMIF 或 AE = 1 或
DE=0 或 DME=0
?
是
輸送中斷
S10
DEI 分配要求
(IE=1時)
S11
NMIF 或 AE = 1 或
DE=0 或 DME=0
?
否
是
輸送中斷
正常結束

第23圖

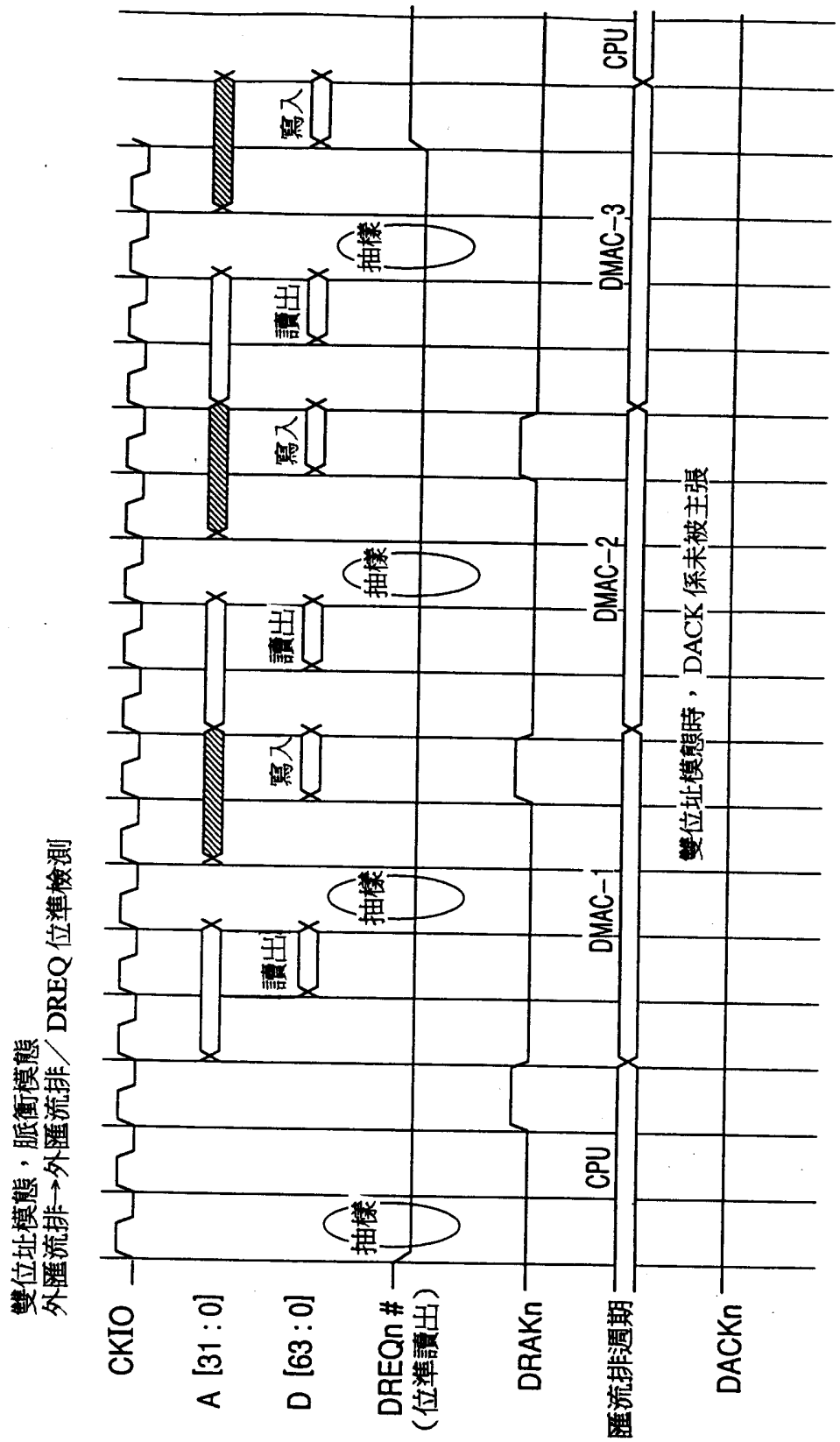
抑制依記憶器保護功能之 DMA 轉送



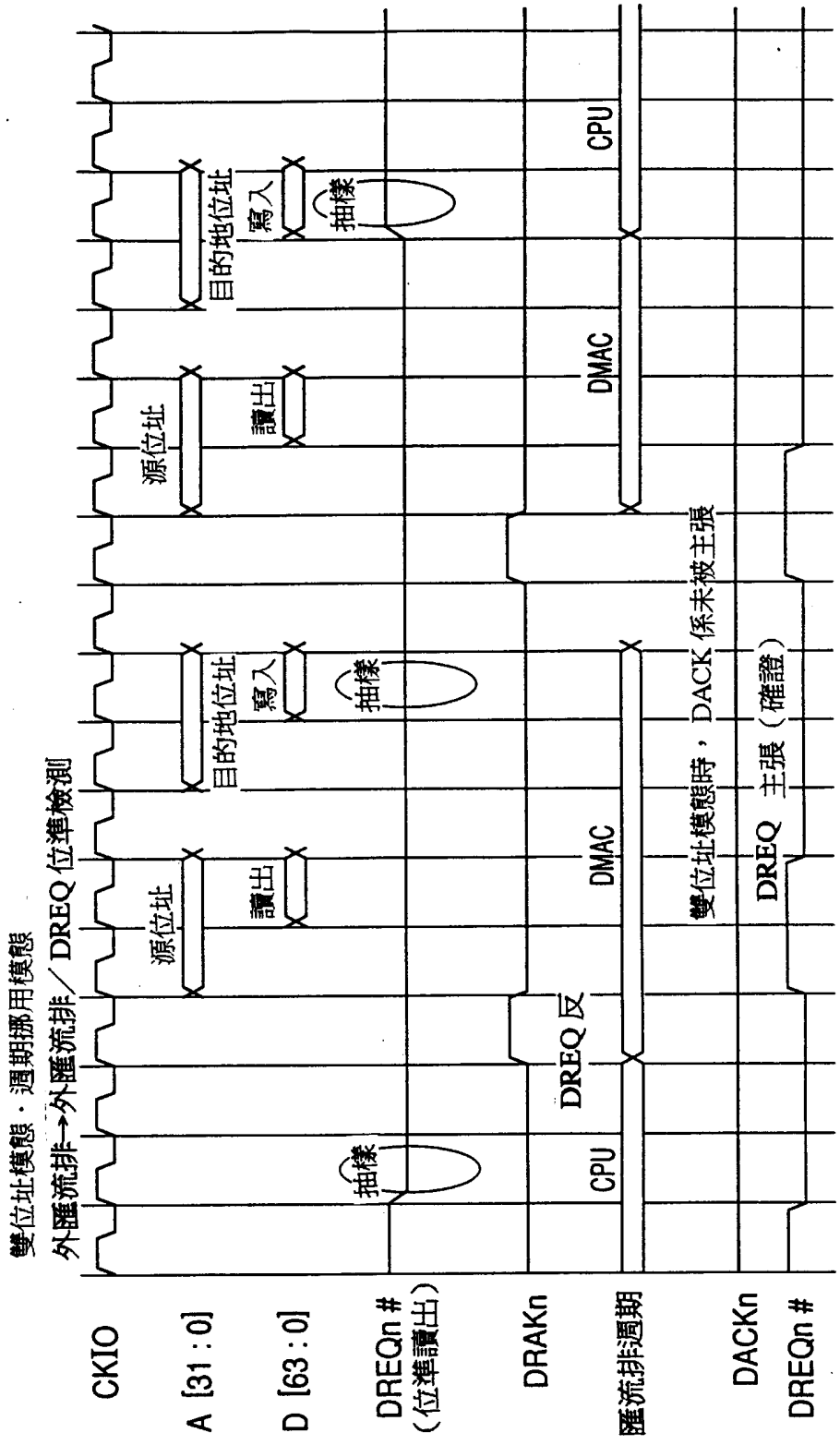
第24圖


單位址模態・脈衝模態
外匯流排→外匯流排／DREQ 位準檢測
CKIO
A [31 : 0]
D [63 : 0]
DREQn #
（位準讀出）
DRAKn
匯流排週期
DACKn
源位址
讀出
抽樣
CPU
DMAC—1
DMAC—2
DMAC—3
DMAC—4
DMAC—5
DMAC—6
DMAC—7
CPU

第25圖


雙位址模態，脈衝模態
外匯流排→外匯流排／DREQ 位準檢測
CKIO
A [31 : 0]
D [63 : 0]
DREQn #
（位準讀出）
DRAKn
匯流排週期
DACKn
讀出
寫入
抽樣
CPU
DMAC−1
DMAC−2
DMAC−3
雙位址模態時，DACK 係未被主張

第 26 圖


雙位址模態・週期挪用模態
外匯流排→外匯流排／DREQ 位準檢測
CKIO
A [31 : 0]
D [63 : 0]
DREQn #
（位準讀出）
DRAKn
匯流排週期
DACKn
DREQn #
源位址
讀出
目的地位址
寫入
抽樣
CPU
DREQ 反
DMAC
雙位址模態時，DACK 係未被主張
DREQ 主張（確證）