



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

208926
(11) (B1)

(22) Přihlášeno 05 07 77
(21) (PV 4479-77)

(40) Zveřejněno 30 01 81

(45) Vydáno 01 11 82

(51) Int. Cl.³.
G 11 C 9/02

(75)

Autor vynálezu

KOKEŠ ANTONÍN RNDr. CSc., PRAHA

(54) Obvod pro výběrový přepis dat mezi kruhově uzavřenými posuvnými registry

Vynález se týká obvodu pro výběrový přepis dat mezi kruhově uzavřenými posuvnými registry, které slouží jako vnitřní paměti děrnoštítkového stroje. Řeší se zde odstranění redundantních bitů a koncentrace dat v povelové paměti stroje.

Stroje na pořizování a přezkušování děrných štítků mají paměti, které obsahují instrukce pro řízení jejich činnosti a dále paměti, do kterých je ukládán text pro pořizovaný, případně přezkušovaný děrný štítek. Pokud jsou tyto paměti tvořeny posuvnými registry, mají oba stejný počet paměťových míst. Symboly pro instrukce však nevyužívají plně kapacity paměti instrukcí, protože kód děrnoštítkových strojů je značně redundantní, takže nárok na rozsah paměti instrukcí je zbytečně velký.

Výše uvedené nevýhody odstraňuje obvod pro výběrový přepis dat mezi kruhově uzavřenými posuvnými registry, kde oba posuvné registry mají stejný počet paměťových míst, jsou řízeny společným generátorem hodinových pulsů a adresovány čítačem, podle vynálezu, jehož podstata spočívá v tom, že před hodinový vstup druhého posuvného registru je zařazen obvod pro zastavování hodinových pulsů připojený na první výstup řídicího obvodu, jehož druhý výstup je připojen k přepínacímu obvodu na jehož výstup je připojen vstup druhého posuvného registru. První vstup přepína-

cího obvodu je spojen s výstupem prvního posuvného registru, zatím co jeho druhý vstup je spojen s výstupem druhého posuvného registru. Řídicí obvod je opatřen adresovými vstupy, vstupem pro zahájení přepisu a dvěma vstupy pro výběr první nebo druhé paměťové oblasti v druhém posuvném registru.

Použitím popsaného obvodu pro přepis dat podle vynálezu se zvýší využití jedné paměti instrukcí na dvojnásobek, takže lze v ní umístit instrukce dvou různých, na sobě nezávislých programů pro řízení činnosti stroje, což přináší úsporu další paměti, která by byla nutná pro druhý soubor instrukcí.

Zařízení bude popsáno pomocí přiložených výkresů, kde

Obr. 1 znázorňuje základní blokové zapojení obvodů pro přepis obsahů paměti,

obr. 2 znázorňuje provedení řídicího obvodu, který ovládá posloupnost činností obvodu pro zastavení hodinových pulsů a přepínacího obvodu.

Před hodinový vstup 261 (obr. 1) druhého posuvného registru 26 je zařazen obvod pro zastavování hodinových pulsů 29 který je připojen na první výstup 18 řídicího obvodu 27. Druhý výstup 19 řídicího obvodu 27 je připojen k přepínacímu obvodu 24, jehož výstup 243 je spojen se

208926

vstupem 263 druhého posuvného registru 26. První vstup 241 přepínacího obvodu 24 je spojen s výstupem 252 prvního posuvného registru 25 zatím co jeho druhý vstup 242 je spojen s výstupem 262 druhého posuvného registru 26. Řídicí obvod 27 je opatřen adresovými vstupy 1 až 14, vstupem pro zahájení přepisu 15 a vstupy 16 a 17 pro výběr první a druhé paměťové oblasti v druhém posuvném registru 26.

Funkce obvodu vychází ze sekvenčního charakteru uložení znaků v posuvných registrech. Každému znaku v prvním posuvném registru 25 odpovídá daný počet po sobě jdoucích paměťových míst. Výběr znaků určených pro instrukce děroštitkového stroje je proveden tak, že pro jejich identifikaci stačí polovina paměťových míst určených pro jeden znak v prvním posuvném registru. Výběrový přepis probíhá tak, že hodinové pulsy pro druhý posuvný registr 26 jsou obvodem pro zastavování hodinových pulsů 29 zastaveny na tak dlouho až se oba posuvné registry dostanou do takové vzájemné fáze, že lze přepsat první bity instrukčních znaků tak, aby zaujaly první místa v intervalech určených

pro znak v druhém posuvném registru 26. Přepis potom přerušovaně probíhá po celý oběh posuvných registrů. Potom jsou hodinové pulsy opět zastaveny a v další požadované fázi je stejným způsobem proveden přepis dalších bitů instrukčních znaků. Tento proces může proběhnout několikrát. Po skončení celého přepisu jsou hodinové pulsy pro druhý posuvný registr opět zastaveny na tak dlouho až oba posuvné registry dosáhnou téže vzájemné fáze jakou měly před začátkem přepisu. Aby při této poslední operaci nedošlo ke ztrátě informace v druhém posuvném registru 26 následkem příliš dlouhého zastavení hodinových pulsů, jsou pro obnovení dat podávány dvojice hodinových pulsů v intervalech odpovídajících minimální přípustné frekvenci hodinových pulsů pro použité posuvné registry. Povel pro zastavení hodinových pulsů a pro přepsání dat z prvního do druhého posuvného registru vydává řídicí obvod 27 podle stavu adresových výstupů 1 až 14, jejichž údaj identifikuje polohu dat v prvním posuvném registru. K volbě oblastí pro uložení prvního nebo druhého souboru instrukcí slouží vstupy 16 a 17.

PŘEDMĚT VYNÁLEZU

1. Obvod pro výběrový přepis dat mezi kruhově uzavřenými posuvnými registry se stejným počtem paměťových míst, řízených společným generátorem hodinových pulsů a adresovaných čítačem vyznačený tím, že před hodinový vstup (261) druhého posuvného registru (26) je zařazen obvod (29) pro zastavování hodinových pulsů připojený na první výstup (18) řídicího obvodu (27), jehož druhý výstup (19) je připojen k přepínacímu obvodu (24), jehož výstup (243) je spojen se vstupem (263) druhého posuvného registru (26), přičemž jeho první vstup (241) je spojen s výstupem (252) prvního posuvného registru (25), zatím co jeho druhý vstup (242) je spojen s výstupem (262) druhého posuvného registru (26), přičemž řídicí obvod (27) je opatřen adresovými vstupy (1 až 14), vstupem pro zahájení přepisu (15) a dvěma vstupy (16, 17) pro výběr první nebo druhé paměťové oblasti v druhém posuvném registru (26).

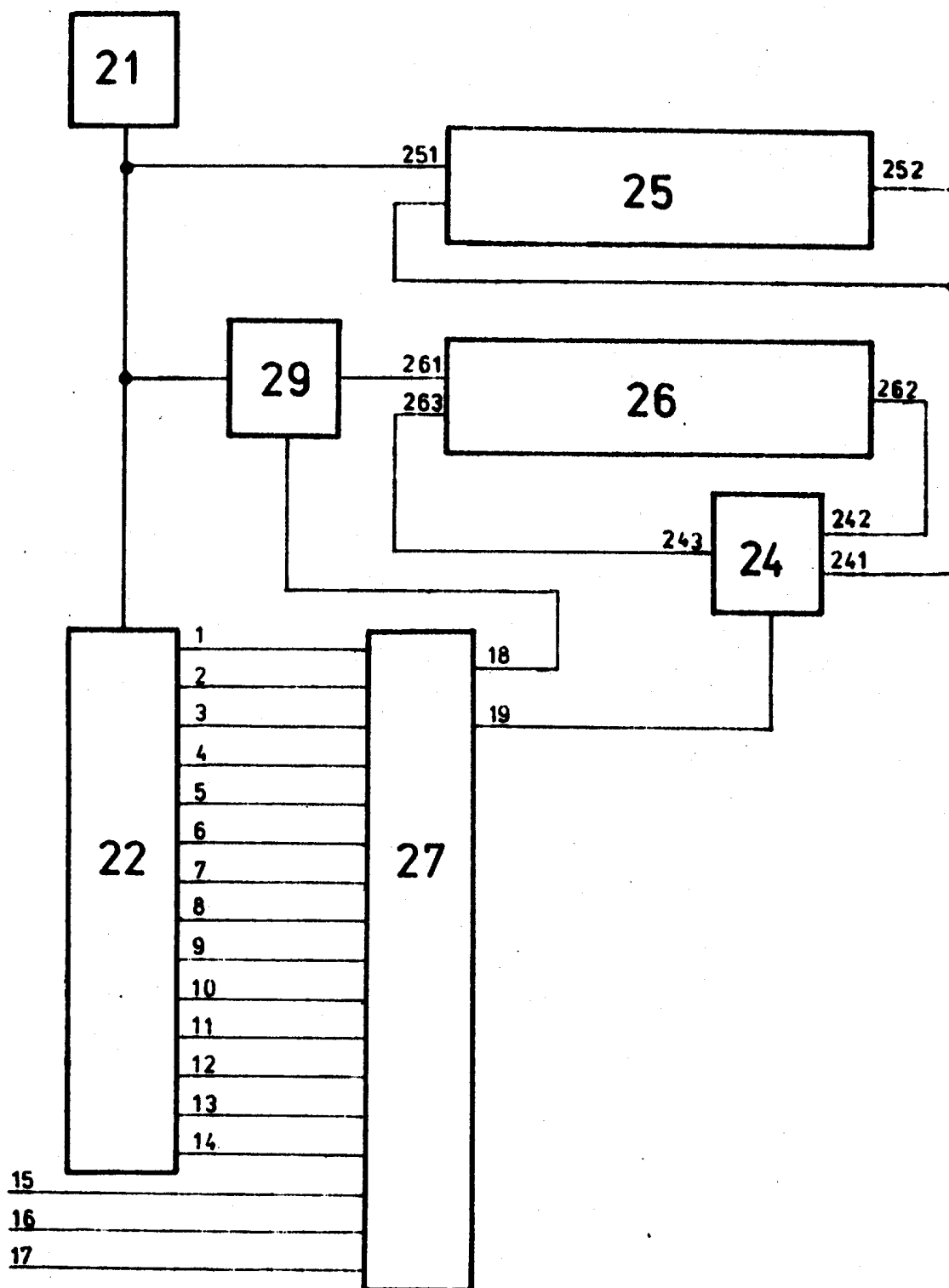
2. Obvod pro výběrový přepis dat podle bodu 1 vyznačený tím, že řídicí obvod (27) je vytvořen dvanáctým hradlem NAND (48), jehož výstup tvoří druhý výstup (19) řídicího obvodu (27), přičemž jeho vstupy jsou spojeny s výstupy pátého a šestého hradla NAND (37, 38), jejichž první vstupy jsou spojeny a tvoří první adresový vstup (1), druhý vstup pátého hradla NAND (37) je spojen s výstupem druhého hradla NAND (36) a s prvním vstupem prvního hradla NAND (35), jehož výstup je spojen s druhým vstupem druhého hradla NAND (36), jehož první vstup tvoří druhý adresový vstup (2), zatím co druhý vstup prvního hradla NAND (35) tvoří třetí adresový vstup (3), přičemž čtvrtý adresový vstup (4) je tvořen třetím

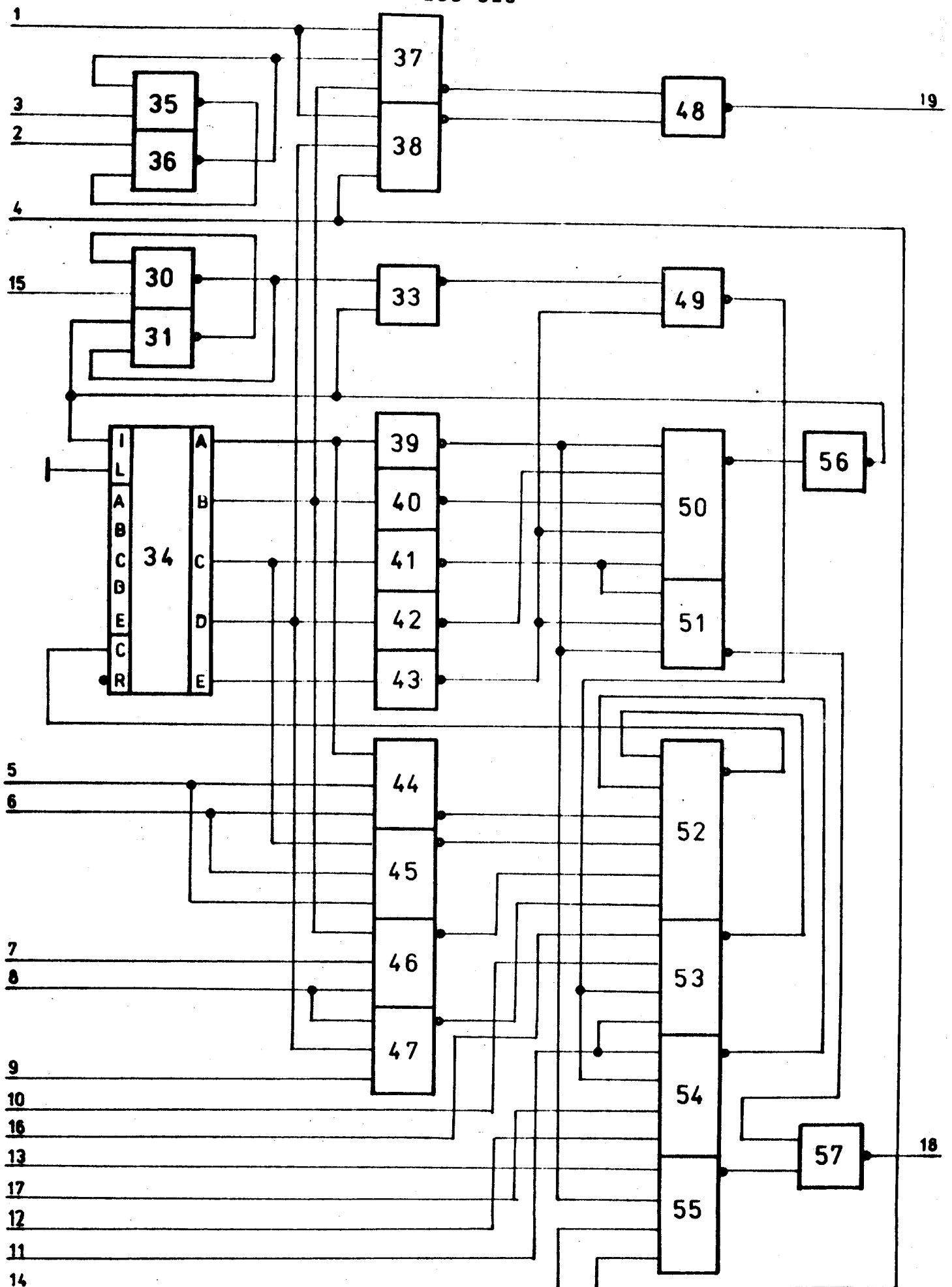
vstupem šestého hradla NAND (38), spojeným se čtvrtým vstupem devatenáctého hradla NAND (55), jehož výstup je spojen s druhým vstupem dvacátého hradla NAND (57), jehož výstup tvoří první výstup (18) řídicího obvodu (27), a jehož první vstup je spojen s výstupem patnáctého hradla NAND (51), jehož první vstup je spojen s pátým vstupem čtrnáctého hradla NAND (50) a zároveň s výstupem třetího invertoru (41), jehož vstup je spojen s prvním vstupem devátého hradla NAND (45) a zároveň s třetím výstupem statického posuvného registru (34), jehož sériový vstup je připojen k prvnímu vstupu čtvrtého hradla NAND (31), k druhému vstupu sedmého hradla NAND (33) a k výstupu šestého invertoru (56), jehož vstup je spojen s výstupem čtrnáctého hradla NAND (50), jehož první vstup je spojen s druhým vstupem patnáctého hradla NAND (51), s druhým vstupem devatenáctého hradla NAND (55) a s výstupem prvního invertoru (39), jehož vstup je spojen s prvním vstupem osmého hradla NAND (44) a s prvním výstupem statického posuvného registru (34), jehož hodinový vstup je spojen s výstupem šestnáctého hradla NAND (52), jehož první vstup je spojen s výstupem sedmnáctého hradla NAND (53), jehož třetí vstup je spojen s druhým vstupem osmnáctého hradla NAND (54) a s výstupem třináctého hradla NAND (49), jehož druhý vstup je spojen se čtvrtým vstupem čtrnáctého hradla NAND (50), s druhým vstupem patnáctého hradla NAND (51) a s výstupem pátého invertoru (43), jehož vstup je spojen s pátým výstupem statického posuvného registru (34), jehož druhý výstup je spojen s třetím vstupem pátého hradla NAND (37), s prvním vstupem desátého

hradla NAND (46) a se vstupem druhého invertoru (40), jehož výstup je spojen s třetím vstupem čtrnáctého hradla NAND (50), jehož druhý vstup je spojen s výstupem čtvrtého invertoru (42), jehož vstup je spojen se čtvrtým výstupem statického posuvného registru (34), s druhým vstupem šestého hradla NAND (38) a s druhým vstupem jedenáctého hradla NAND (47), jehož výstup je spojen se šestým vstupem šestnáctého hradla NAND (52), jehož třetí vstup je spojen s výstupem osmého hradla NAND (44), jehož druhý vstup tvoří pátý adresový vstup (5), a ke kterému je zároveň připojen třetí vstup devátého hradla NAND (45), jehož výstup je spojen se čtvrtým vstupem šestnáctého hradla NAND (52), jehož druhý vstup je spojen s výstupem osmnáctého hradla NAND (54), jehož první vstup spojený se čtvrtým vstupem sedmnáctého hradla NAND (53) tvoří jedenáctý adresový vstup (11), přičemž čtrnáctý adresový vstup (14) je tvořen třetím vstupem devatenáctého hradla NAND (55), jehož první vstup tvoří třináctý adresový vstup (13), zatím co sedmý adresový vstup (7) je tvořen druhým vstupem desátého hradla NAND (46), jehož výstup je

spojen s pátým vstupem šestnáctého hradla NAND (52), osmý adresový vstup je tvořen třetím vstupem desátého hradla NAND (46), spojeným s prvním vstupem jedenáctého hradla NAND (47), jehož třetí vstup tvoří devátý adresový vstup (9), zatím co šestý adresový vstup (6) je tvořen třetím vstupem osmého hradla NAND (44) spojeným s druhým vstupem devátého hradla NAND (45), přičemž desátý adresový vstup (10) je tvořen druhým vstupem sedmnáctého hradla NAND (53), jehož první vstup tvoří vstup pro výběr první paměťové oblasti (16), zatím co vstup (17) pro výběr druhé paměťové oblasti je tvořen třetím vstupem osmnáctého hradla NAND (54), jehož čtvrtý vstup tvoří dvanáctý adresový vstup (12), přičemž vstup pro zahájení přepisu (15) je tvořen druhým vstupem třetího hradla NAND (30), jehož první vstup je spojen s výstupem čtvrtého hradla NAND (31), jehož druhý vstup je spojen s výstupem třetího hradla NAND (30) a s prvním vstupem sedmého hradla NAND (33), jehož výstup je spojen s prvním vstupem třináctého hradla NAND (49).

2 výkresy





Obr. 2