

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-3406

(P2010-3406A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C	5 M 0 2 4
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 6 2 H	
	G 1 1 C 11/34 3 7 1 K	

審査請求 有 請求項の数 4 O L (全 14 頁)

(21) 出願番号	特願2009-230720 (P2009-230720)	(71) 出願人	504199127
(22) 出願日	平成21年10月2日 (2009.10.2)		フリースケール セミコンダクター イン
(62) 分割の表示	特願平11-276317の分割		コーポレイテッド
原出願日	平成11年9月29日 (1999.9.29)		アメリカ合衆国 7 8 7 3 5 テキサス州
(31) 優先権主張番号	259454		オースティン ウィリアム キャノン
(32) 優先日	平成11年3月1日 (1999.3.1)		ドライブ ウェスト 6 5 0 1
(33) 優先権主張国	米国 (US)	(74) 代理人	100142907
			弁理士 本田 淳
		(74) 代理人	100149641
			弁理士 池上 美穂
		(72) 発明者	レイ・チャン
			アメリカ合衆国テキサス州オースティン、フ
			ォレスト・ハイツ・レーン8405

最終頁に続く

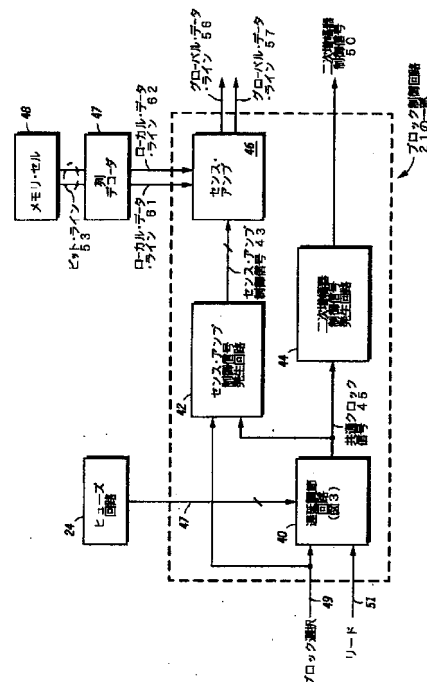
(54) 【発明の名称】 プログラマブル遅延制御機能を有する集積回路

(57) 【要約】

【課題】プログラマブル遅延を使用しクロックの最適化を図った集積回路およびメモリを提供する。

【解決手段】メモリは、各々メモリ・セル(48)とブロック制御回路(21; 22)とを含む複数のメモリ・ブロック(17, 18)と、第1の遅延を指示する第1の選択信号(62)を与える出力を有する第1の選択回路(24)と、各々第1の選択回路(24)の出力に結合されて第1の選択信号(62)を受け取る第1の複数のプログラマブル遅延回路(40)とを備える。第1の複数のプログラマブル遅延回路(40)の各々は、複数のメモリ・ブロック(17, 18)のうちの1つのメモリ・ブロックのブロック制御回路に供給する出力信号(45)を与える出力を有する。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

メモリであって、

各々メモリ・セル（４８）とブロック制御回路（２１；２２）とを含む複数のメモリ・ブロック（１７，１８）と、

第１の遅延を指示する第１の選択信号（６２）を与える出力を有する第１の選択回路（２４）と、

各々前記第１の選択回路（２４）の出力に結合されて前記第１の選択信号（６２）を受け取る第１の複数のプログラマブル遅延回路（４０）とを備え、

前記第１の複数のプログラマブル遅延回路（４０）の各々が、前記複数のメモリ・ブロック（１７，１８）のうちの１つのメモリ・ブロックの前記ブロック制御回路に供給する出力信号（４５）を与える出力を有することを特徴とするメモリ。

10

【請求項 2】

請求項 1 に記載のメモリにおいて、

前記複数のメモリ・ブロックが第１～第３メモリブロックを含むとともに、前記第１の複数のプログラマブル遅延回路が第１～第３プログラマブル遅延回路を含み、

前記第１プログラマブル遅延回路（４０）の出力が前記第１メモリブロック（１７）に結合され、

前記第２プログラマブル遅延回路（４０）の出力が前記第２メモリブロック（１８）に結合され、

20

前記第３プログラマブル遅延回路（４０）の出力が前記第３メモリブロックに結合されることを特徴とするメモリ。

【請求項 3】

請求項 1 に記載のメモリにおいて、

前記第１の複数のプログラマブル遅延回路（４０）の各々は、前記複数のメモリ・ブロック（１７，１８）のうちの１つのメモリ・ブロックの前記ブロック制御回路（２１；２２）内か、またはその近くに配置されて、該ブロック制御回路に前記出力信号（４５）を供給することを特徴とするメモリ。

【請求項 4】

請求項 1 に記載のメモリにおいて、

30

前記第１の遅延回路（２４）の出力は、前記第１の遅延を固定遅延として指示する前記第１の選択信号（６２）を継続的に与えることを特徴とするメモリ。

【発明の詳細な説明】**【技術分野】****【０００１】**

本発明は、メモリにおける遅延制御に関し、更に特定すれば、遅延制御のためのプログラマブル遅延（programmable delay）の使用に関するものである。

【背景技術】**【０００２】**

メモリ回路を設計する際の難題の１つは、メモリ回路において種々の機能を可能（イネーブル）にするクロック信号のタイミングを最適化することである。いずれのクロック信号にも固有に含まれるのが、クロック信号を送信する回路からこれを受信する回路までの伝搬遅延である。クロック信号を発生するのは、通常、ある機能をイネーブルするため、更に具体的には、イネーブルしようとする機能においてある役割を果たす別の何らかの回路をイネーブルするためである。クロック信号は、必要とされる遅延を最適化するタイミングの目的で与えられる。このタイミングを補助するために行われているものの１つに、この遅延をプログラムすることがあげられる。この手法の特徴の１つは、かかるプログラム遅延を実施するためには、ヒューズ（fuse）のような、プログラムされる何らかの機構がなければならないということである。かかるヒューズは、集積回路上に空間を必要とする。また、発生するクロック信号は、それをイネーブルしている１つの回路に対しては最

40

50

適化できるが、受信回路の位置に基づく遅延の差のために、他の回路は、最適な時点よりも前にクロックが供給される場合がある。ある程度の最適化は得られるものの、ヒューズを用いて遅延をプログラムすることは、遅延の最適制御に伴う問題全てを解決する訳ではない。しかしながら、ヒューズは空間を占有するので、各プログラマブル遅延素子は、それ自体に追加の空間を必要とするだけでなく、1つ以上の遅延を含んでしまう。したがって、1つの全体的な遅延回路以上に回路が必要となる。これに加えて、このプログラミングを行うためには、溶融可能な (fusible) リンクまたは他の機構を必要とする。

【 0 0 0 3 】

メモリの設計において、ダイナミック増幅器の利点は良く知られている。ダイナミック増幅器のスタティック増幅器に対する利点は、主として電力の節約にある。スタティック増幅器の利点は、いかなる信号であっても、いつでも増幅し、データをラッチしないことである。データが到達すると直ぐに、増幅し始め、データ自体が反転しなければならない場合、または初期データがその上にノイズを有する場合でも、間違った方向にラッチしないので、出力が間違ったデータを与える危険性はない。間違った方向で始まった場合、それ自体が反転し、最終的には正しいデータを与える。ダイナミック増幅器では、増幅器がイネーブルされると直ちにデータはラッチされる。その時点に誤ったデータまたは不適当なデータがある場合、間違った方向にラッチする。したがって、ダイナミック増幅器の低電力という一面を利用するためには、それをイネーブルするタイミングを最適化することが非常に重要である。必要以上に遅くイネーブルすると、速度上不利となる。イネーブルされるのが余りに速すぎると、信頼性の問題が生ずる。適性なタイミングによって、ダイナミック増幅器は速度もスタティック増幅器よりも高くすることができる。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

メモリには、典型的に、当該メモリを分割する多くのサブアレイがあり、電力消費およびデータ・アクセス速度の効率向上を図っている。入力へのデータおよび入力からのデータをメモリ・セル位置に搬送する長い経路がある。また、クロック信号がチップ全体に広がる場合もある。これらのクロック開始から、これらを受信する回路までの距離は、大きく異なり、したがって、ある回路が別の回路からクロックを受信するまでの遅延は、一貫性 (inconsistent delay) を欠く可能性がある。この問題は、ダイナミック増幅器にも当てはまる。何故なら、これらをイネーブルするためにはクロックが必要であるからである。また、ダイナミック増幅器は、かかる増幅器をどのように駆動するかに影響を与える処理、電源電圧、およびその他の二次的な影響を受ける。かかる二次的な影響には、集積回路の他の部分で発生するノイズが含まれ、かかるノイズは、集積回路内の位置によって変化する可能性がある。この種の変化のために、メモリにダイナミック増幅器を実施するのが困難になる。したがって、クロックを最適化することによって、クロックを受信する回路が、その適性時点にクロックを受信するシステムが必要とされている。

【 課題を解決するための手段 】

【 0 0 0 5 】

本発明の一つの態様は、メモリである。該メモリは、各々メモリ・セルとブロック制御回路とを含む複数のメモリ・ブロックと、第1の遅延を指示する第1の選択信号を与える出力を有する第1の選択回路と、各々前記第1の選択回路の出力に結合されて前記第1の選択信号を受け取る第1の複数のプログラマブル遅延回路とを備え、前記第1の複数のプログラマブル遅延回路の各々が、前記複数のメモリ・ブロックのうちの1つのメモリ・ブロックの前記ブロック制御回路に供給する出力信号を与える出力を有する。

【 図面の簡単な説明 】

【 0 0 0 6 】

【 図 1 】 本発明の一実施例によるメモリのブロック図。

【 図 2 】 図 1 のメモリの選択部分のブロック図。

【 図 3 】 図 2 に示す選択部分の一部の論理図。

【図 4】本発明の一実施例によるセンス・アンプの回路図。

【発明を実施するための形態】

【0007】

図 1 は、集積回路 10 の一実施例を示す。集積回路 10 の少なくとも一部がメモリ回路を含む。アレイ 13, 14 は、このメモリ回路の一部分である。各アレイは、複数のブロックに分割されている。例えば、アレイ 13 はブロック 17, 18 を含む。各メモリ・ブロックは、ブロック制御回路を含む。例えば、メモリ・ブロック 17 はブロック制御回路 21 を含み、メモリ・ブロック 18 はブロック制御回路 22 を含む。本発明の一実施例では、ブロック制御回路 21, 22 は同一である。本発明の別の実施例では、各メモリ・ブロック内のブロック制御回路は、同一の場合も、多少異なる場合もある。ヒューズ回路 24 は、ブロック制御回路 21, 22 に信号 62 を与える出力を有する。信号 62 は、この実施例では、4 ビットの二進データから成る。ブロック回路 21, 22 は、グローバル・データ・ライン (global data line) 56 に結合され、グローバル・データ・ライン 56 を通じて出力を二次増幅器 30 に与える。また、ブロック制御回路 21, 22 はライン 12 にも結合され、ライン 12 を通じて出力を遅延調節可回路 32 に与える。図 1 は、更に、アレイ 14 内のブロック 70, ブロック制御回路 72, グローバル・データ・ライン 74, 二次増幅器 30 に類似した二次増幅器 76, 出力回路 78, および遅延調節回路 80 を示す。ブロック 70 は、ブロック制御回路 21, 22 と類似したブロック制御回路 72 を含む。ブロック制御回路 72 は、グローバル・データ・ライン 74 に結合された 1 対の出力、二次増幅器制御信号 82 を与える出力、およびヒューズ回路 24 の出力に結合された入力

10

20

【0008】

オプションのマルチプレクサ 28 を用いて、二次増幅器 30 にデータを与えるためにアレイ 13 またはアレイ 14 のどちらに位置するブロックを用いるのかについて判定を行うことも可能である。ブロック制御回路 21, 22 は、各々、独立して二次増幅器制御信号 50 を遅延調節回路 32 および等化回路 26 に与えることができる。等化回路 26 は、グローバル・データ・ライン 56 に結合されている。ヒューズ回路 34 は、1 つ以上の信号 54 を遅延調節回路 32 に与える。遅延調節回路 32 は、調節した増幅器制御信号 52 を、二次増幅器 30 に与える。二次増幅器 30 は、データ・ライン 58 を出力回路 36 に与える。出力回路 36 は、データ・ライン 60 を集積回路 10 外部に与える。ラッチ 11 が、ブロック制御回路 21, 22 のようなブロック制御回路を結合するラインに結合されており、二次増幅器制御信号 50 をラッチする。出力、ブロック制御回路 21, 22 のようなブロック制御回路によって与えられる二次増幅器制御信号 50 は、トライ・ステータブル (tri-stateable) である。

30

【0009】

図 2 は、ブロック制御回路 21 の一部およびヒューズ回路 24 を示す。ヒューズ回路 24 は、1 つ以上の信号 47 を遅延調節回路 40 に与える。遅延調節回路 40 は、ブロック選択信号 49 およびリード信号 51 も入力として受信する。ブロック選択信号 49 は、センス・アンプ制御信号発生回路 42 にも入力として与えられる。遅延調節回路 40 は、信号 45 を、センス・アンプ制御信号発生回路 42 および二次増幅器制御信号発生回路 44 に与える。センス・アンプ制御信号発生回路 42 は、センス・アンプ制御信号 43 をセンス・アンプ 46 に与える。二次増幅器制御信号発生回路 44 は、二次増幅器制御信号 50 を与える。センス・アンプ 46 は、列デコーダ 47 に結合されている、ローカル・ライン 61, 62 に結合されている。列デコーダ 47 は、ビット・ライン 53 を通じて、メモリ・セル 48 に結合されている。センス・アンプ 46 は、グローバル・データ・ライン 56, 57 上に出力を与える。

40

50

【 0 0 1 0 】

図 3 は、図 2 の遅延調節回路 4 0 の一実施例である。遅延調節回路 4 0 は、所定の遅延回路 1 0 0 ~ 1 0 3 , トライ・ステータブル・バッファ (tri-stateablebuffer) 1 1 0 ~ 1 1 7 , 反転器 1 1 8 ~ 1 2 1 , および N A N D ゲート 1 0 4 を含む。N A N D ゲート 1 0 4 は、ブロック選択信号 4 9 およびリード信号 5 1 を入力として受信する。N A N D ゲート 1 0 4 の出力は、所定の遅延回路 1 0 0 およびトライ・ステータブル・バッファ 1 1 0 の入力に結合されている。所定の遅延回路 1 0 0 の出力は、トライ・ステータブル・バッファ 1 1 4 の入力に結合されている。所定の遅延回路 1 0 0 の出力は、所定の遅延回路 1 0 1 の入力およびトライ・ステータブル・バッファ 1 1 1 の入力に結合されている。所定の遅延回路 1 0 1 の出力は、トライ・ステータブル・バッファ 1 1 5 の入力に結合されている。トライ・ステータブル・バッファ 1 1 5 の出力は、所定の遅延回路 1 0 2 およびトライ・ステータブル・バッファ 1 1 2 の入力に結合されている。所定の遅延回路 1 0 2 の出力は、トライ・ステータブル・バッファ 1 1 6 の入力に結合されている。トライ・ステータブル・バッファ 1 1 6 の出力は、所定の遅延回路 1 0 3 およびトライ・ステータブル・バッファ 1 1 3 の入力に結合されている。所定の遅延回路 1 0 3 の出力は、トライ・ステータブル・バッファ 1 1 7 の入力に結合されている。トライ・ステータブル・バッファ 1 1 7 の出力は、トライ・ステータブル・バッファ 1 1 3 の出力に結合され、信号 4 5 を与える。トライ・ステータブル・バッファ 1 1 0 の出力は、トライ・ステータブル・バッファ 1 1 1 の入力に結合されている。トライ・ステータブル・バッファ 1 1 1 の出力は、トライ・ステータブル・バッファ 1 1 2 の入力に結合されている。トライ・ステータブル・バッファ 1 1 2 の出力は、トライ・ステータブル・バッファ 1 1 3 の入力に結合されている。

10

20

【 0 0 1 1 】

ヒューズ回路 2 4 は、N 個の選択信号 1 2 2 ~ 1 2 5 を遅延調節回路 4 0 に与える。図 3 に示す実施例は、ヒューズ回路 2 4 から与えられる 4 つの選択信号を示すが、本発明の別の実施例では、他の数の選択信号を使用することも可能である。選択信号 1 2 2 は、反転器 1 1 8 の入力、トライ・ステータブル・バッファ 1 1 0 の反転制御入力、およびトライ・ステータブル・バッファ 1 1 4 の非反転制御入力に結合される。選択信号 1 2 3 は、反転器 1 1 9 の入力、トライ・ステータブル・バッファ 1 1 1 の反転制御入力、およびトライ・ステータブル・バッファ 1 1 5 の非反転制御入力に結合されている。選択信号 1 2 4 は、反転器 1 2 0 の入力、トライ・ステータブル・バッファ 1 1 2 の反転制御入力、およびトライ・ステータブル・バッファ 1 1 6 の非反転制御入力に結合されている。選択信号 1 2 5 は、反転器 1 2 1 の入力、トライ・ステータブル・バッファ 1 1 3 の反転制御入力、およびトライ・ステータブル・バッファ 1 1 7 の非反転制御入力に結合されている。反転器 1 1 8 の出力は、トライ・ステータブル・バッファ 1 1 0 の非反転制御入力およびトライ・ステータブル・バッファ 1 1 4 の反転制御入力に結合されている。反転器 1 1 9 の出力は、トライ・ステータブル・バッファ 1 1 1 の非反転制御入力およびトライ・ステータブル・バッファ 1 1 5 の反転制御入力に結合されている。反転器 1 2 0 の出力は、トライ・ステータブル・バッファ 1 1 2 の非反転制御入力およびトライ・ステータブル・バッファ 1 1 6 の反転制御入力に結合されている。反転器 1 2 1 の出力は、トライ・ステータブル・バッファ 1 1 3 の非反転制御入力およびトライ・ステータブル・バッファ 1 1 7 の反転制御入力に結合されている。

30

40

【 0 0 1 2 】

図 4 は、図 2 に示したセンス・アンプ 4 6 を、より詳細にブロック図形状で表したものである。センス・アンプ 4 6 は、P チャネル・トランジスタ 2 0 2 , P チャネル・トランジスタ 2 0 4 , P チャネル・トランジスタ 2 0 6 , P チャネル・トランジスタ 2 0 8 , N チャネル・トランジスタ 2 1 0 , N チャネル・トランジスタ 2 1 2 , N チャネル・トランジスタ 2 1 4 , P チャネル・トランジスタ 2 1 6 , および P チャネル・トランジスタ 2 1 8 で構成されている。トランジスタ 2 0 2 , 2 0 4 は各々、プリチャージ信号 2 0 0 を受信するゲートを有する。プリチャージ信号 2 0 0 は、図 2 に示したセンス・アンプ制御信

50

号 4 3 の 1 つである。トランジスタ 2 0 2 , 2 0 4 は各々、正電源を受信する正電源端子 V D D に結合されたソースを有する。トランジスタ 2 0 2 は、ローカル・データ・ライン 6 1 に結合されたドレインを有する。トランジスタ 2 0 4 は、ローカル・データ・ライン 6 2 に結合されたドレインを有する。トランジスタ 2 0 6 は、V D D に接続されたソース , ローカル・データ・ライン 6 2 に接続されたゲート , ローカル・データ・ライン 6 1 に接続されたドレインを有する。トランジスタ 2 0 8 は、V D D に接続されたソース , ローカル・データ・ライン 6 1 に接続されたゲート , およびローカル・データ・ライン 6 2 に接続されたドレインを有する。トランジスタ 2 1 0 は、ローカル・データ・ライン 6 2 に接続されたゲート , ローカル・データ・ライン 6 1 に接続されたドレイン , およびソースを有する。トランジスタ 2 1 2 は、ローカル・データ・ライン 6 1 に接続されたゲート , ローカル・データ・ライン 6 2 に接続されたドレイン , およびトランジスタ 2 1 0 のソースに接続されたソースを有する。トランジスタ 2 1 4 は、センス・アンプ・イネーブル信号 2 0 1 を受信するゲートを有する。センス・アンプ・イネーブル信号 2 0 1 は、図 2 に示したセンス・アンプ制御信号 4 3 の 1 つである。トランジスタ 2 1 4 は、トランジスタ 2 1 0 , 2 1 2 のソースに接続されたドレイン , および図 4 にアースとして示す負電源端子に接続されたソースを有する。トランジスタ 2 1 6 は、ローカル・データ・ライン 6 1 に接続されたゲート , アースに接続されたドレイン , およびグローバル・データ・ライン 5 6 に接続されたソースを有する。トランジスタ 2 1 8 は、ローカル・データ・ライン 6 2 に接続されたゲート , アースに接続されたドレイン , およびグローバル・データ・ライン 5 7 に接続されたソースを有する。

10

20

【 0 0 1 3 】

動作において、アレイ 1 3 , 1 4 に類似した 8 つのアレイがあり、これらを便宜的にオクタント (octant) と呼ぶ。ここに記載する実施例では、集積回路 1 0 のメモリに対するいずれの所与のアクセスにおいても、4 つのオクタントがデータを供給する。各アクセスには 3 6 ビットが与えられるので、各オクタントはアクセス当たり 9 ビットを与える。各オクタントは、図 1 に示した 1 7 , 1 8 のそのような、3 2 のブロックを有する。所与のアクセスに対して、1 つのブロックのみがデータを与えるので、所与のアクセスに対して、選択されたブロックが 9 ビットのデータを与える。即ち、選択された各 4 オクタントに対して、1 つのブロックがデータを与える。したがって、アレイ 1 3 , 1 4 は、集積回路 1 0 のサブアレイと考えることができ、ブロック 1 7 , 1 8 はアレイ 1 3 のサブアレイと考えることができる。

30

【 0 0 1 4 】

読み取りに先立って、等化回路 2 6 がグローバル・データ・ライン 5 6 を等化する。図 1 では、マルチプレクサ 2 8 が、ブロック 1 7 , 1 8 を有するオクタントのためのグローバル・データ・ラインに結合されているように示されている。アレイ 1 4 のような異なるオクタントから来るグローバル・データ・ラインも、マルチプレクサ 2 8 に結合される。マルチプレクサ 2 8 は、グローバル・データ・ライン 5 6 から受信したデータ、あるいは図示しない二次増幅器 3 0 からのグローバル・データ・ラインから受信したデータを与える。オプションの場合には、マルチプレクサ 2 8 は存在せず、グローバル・データ・ライン 5 6 は二次増幅器 3 0 に直接接続され、アレイ 1 4 のような他のオクタントからの、図示しないグローバル・データ・ラインからのデータを受信するために、追加の二次増幅器が設けられる。

40

【 0 0 1 5 】

出力回路 3 6 は、二次増幅器 3 0 からデータを受信し、所望の出力をデータ・ライン 6 0 上に与える。遅延調節回路 3 2 は、二次増幅器 3 0 をイネーブルするためのタイミングを与える。遅延量は、ヒューズ回路 3 4 からライン 5 4 に与えられる情報によって決定される。ヒューズ回路 3 4 は、集積回路 1 0 が完全に製造された後に、処理の間に選択される。ヒューズの破断 (fuse blowing) は、メモリ技術では一般的である。メモリは、典型的に、ヒューズの破断によって選択的に実施される冗長性を有する。更に、今日では、ロット番号 , ウエハ上の位置 , およびその他の情報に基づいて、個々の集積回路を識別する

50

ことが一般的になりつつある。この情報も、ヒューズの破断によって、集積回路上に置かれる。この情報は、ヒューズの破断によってエンコードされる。したがって、実際には、ヒューズの破断は、このような場合に、製造する各素子毎に行われる。メモリ内の冗長性に関し、そのような冗長性が必要とされるのは、このような場合のみである。しかしながら、冗長性を実施する技術は非常に信頼性が高いので、各素子に実施するにしても、この技術を用いる危険性は最小である。

【 0 0 1 6 】

ヒューズ回路 2 4 は、同様に、ブロック制御回路 2 1 , 2 2 , および図示しない他のブロックに対する他のブロック制御回路にも情報を与える。最適遅延のための電気検査の後、このヒューズ回路を選択的に破断させる。ブロック制御回路 2 1 , 2 2 は、ヒューズ回路 2 4 からライン 6 2 上に与えられる情報に基づく処理を行う (implement)。例えば、ブロック制御回路 2 1 は、ブロック 1 7 に与えられた情報の検出を開始する。また、この同じ回路、即ち、データの検出を開始したブロック制御回路 2 1 は、二次増幅器制御信号 5 0 を遅延調節回路 3 2 に与える。ヒューズ回路 3 4 によって選択された量だけ遅延した二次増幅器制御信号 5 0 によって、遅延調節回路 3 2 による二次増幅器 3 0 のトリガリング (triggering) が開始される。また、二次増幅器制御信号 5 0 は、等化回路 2 6 が行う等化を終了させるためにも用いられる。信号 5 0 はラッチ 1 1 によってラッチされ、この場合はブロック制御回路によって与えられる論理状態に、遅延調節回路への入力を保持する。信号 5 0 を搬送するライン 1 2 は、物理的にグローバル・データ・ライン 5 6 との整合が取られている。これは意図的であり、遅延を含む信号 5 0 の挙動と、グローバル・データ・ライン 5 6 上に与えられる出力の挙動との整合性が高いという利点をもたらす。ヒューズ回路 2 4 によって行われるこの遅延選択機能は、他の形式のプログラマブル回路によっても行うことができる。例えば、この機能は、4 ビットの不揮発性メモリによって行うことができる。これは、特に、いくつかの E E P R O M も有する M C U に実装された S R A M メモリに遅延を与える場合に適用可能である。遅延をこのように選択すれば、ヒューズの破断の代わりに、E E P R O M にロードすることができるので便利である。

【 0 0 1 7 】

図 2 に、ブロック制御回路 2 1 の一部およびヒューズ回路 2 4 を示す。また、図 2 に、ブロック 1 7 のメモリ・セルを表すメモリ・セル 4 8 のブロックと、メモリ・セルからのデータを選択的にセンス・アンプ 4 6 に結合する列デコーダ 4 7 も示す。したがって、動作時にあっては、メモリ 4 8 内のメモリ・セルの 1 行をイネーブルし、次いでビット・ラインが当該ワード・ラインに沿ってデータを発生する。データは、ビット・ライン対で発生する。次に、これらビット・ライン対から選択した 1 対を列デコーダ 4 7 によってセンス・アンプ 4 6 に結合する。これは、S R A M の標準的な動作である。D R A M についても、列デコーダをイネーブルする前にセンス・アンプをイネーブルすることを除いて、同様である。センス・アンプ 4 6 は、センス・アンプ制御信号 4 3 に応答して、選択されたビット・ライン対からの情報を増幅し、ラッチし始める。この特定実施例では、センス・アンプ 4 6 は、ローカル・データ・ライン 6 1 およびローカル・データ・ライン 6 2 を通じて、ビット・ラインから情報を受信する。列デコーダ 4 7 は、8 つのビット・ライン対から選択するので、8 つのビット・ライン対の内 1 対が、ローカル・データ・ライン 6 1 , 6 2 を通じてセンス・アンプ 4 6 に結合される。センス・アンプ 4 6 は、センス・アンプ制御信号発生回路 4 2 から来るセンス・アンプ制御信号 4 3 によってイネーブルされる。遅延調節回路 4 0 が共通クロック信号をライン 4 5 上に与える。これは、ブロック選択およびリード信号の組み合わせである。センス・アンプ制御信号発生回路 4 2 は、ブロック選択信号 4 9 も受信し、これを用いて、センス・アンプ 4 6 をイネーブルする前に、センス・アンプ 4 6 のプリチャージを放出する。図 4 にセンス・アンプを更に詳細に示す。プリチャージ信号 2 0 0 は、センス・アンプ制御信号 4 3 の 1 つである。

【 0 0 1 8 】

通常の動作では、リード信号が最初にアクティブとなり、これにブロック選択信号が続く。次いで、遅延調節回路 4 0 が、ヒューズ回路 2 4 によって決定されるブロック選択信

10

20

30

40

50

号遅延に回答して、その出力、即ち、共通クロック信号を与える。遅延調節回路 40 は、ヒューズ回路 24 が与える選択信号に回答する、プログラマブル遅延である。ここに説明する実施例では、ヒューズ回路 24 は、4 つの二進ビット・データを与えて、遅延調節回路 40 の遅延を調節する。ヒューズ回路 24 は、ライン 47 を通じて遅延調節回路 40 にデータを与えるように示されている。他のブロックに対する類似の遅延調節回路もヒューズ回路 24 に結合され、そこから 4 つの二進ビット・データを受信する。このように、ブロック制御回路 21 内部にある遅延調節回路 40 のようなブロック制御回路内に位置する、他のプログラマブル遅延の各々は、同じ遅延を有するようにプログラムされる。

【0019】

二次増幅器制御信号発生回路 44 も、遅延調節回路 40 の出力、即ち、共通クロック信号 45 に回答し、二次増幅器制御信号 50 を与える。これは、図 1 に示したように、遅延調節回路 32 によって二次増幅器 30 をイネーブルするために用いられる。このように、センス・アンプ 46 および二次増幅器 30 双方は、共通クロック信号 45 を通じて、ブロック選択信号 49 に回答してイネーブルされる。信号 45 は、ブロック選択 49 から局所的に発生した制御信号であるので、センス・アンプ 46 の駆動 (clocking)、グローバル・データ・ライン 56 上のデータ発生、および二次増幅器 40 を駆動するために用いられる信号 50 の発生は、極めて符号して行われる。二次増幅器制御信号発生回路 44 は、それが含まれているブロックが選択されない場合、高インピーダンス出力を与えるので、他の選択されたブロックからの類似のブロック制御回路は、遅延調節回路 32 を介して、二次増幅器 30 をイネーブルすることができる。二次増幅器制御信号発生回路 44 は、三状態バッファを含む出力段を有する。ラッチ 11 は、アクティブなブロックがない場合、センス・アンプ制御信号 51 を保持する。センス・アンプ 46 は、グローバル・データ・ライン 56、57 上にデータを与える。このデータは、図 1 に示すような一実施例ではマルチプレクサ 28 を介して間接的に、あるいは他の場合には直接的に二次増幅器 30 によって受信される。

【0020】

集積回路 10 を電氣的に検査できるところまで処理した後に行われる電氣的測定に応じて、ヒューズ回路 24、34 を破断する。電氣的検査は、遅延調節回路 40 および遅延調節回路 32 に最適な遅延を決定するために用いられる。これを行うには、各メモリ・セルからデータを信頼性高く検出する結果が得られる最短遅延を決定する。このように、ヒューズ回路 24、34 は、遅いビットでさえも信頼性を損なわないように選択される。過度に遅いビットがいくつかある場合、これらは事実上欠陥であり、遅延調節回路 40、32 のような遅延調節回路に適正な遅延を選択する際には考慮しない。遅延が過剰な場合、このような遅すぎるビットは欠陥と見なし、メモリ上で一般に使用可能な冗長性で置き換える。ヒューズ回路 24、34 を選択することによって遅延調節回路を最適化し、必要であれば冗長性を施し、識別ヒューズ破断 (identification fuse blowing) を行った後、集積回路 10 を再度検査する。

【0021】

ブロック内におけるこの遅延調節回路 40 の構成は、遅延調節回路 40 によって与えられる遅延に関係して発生するその他の遅延も、非常に精度高く追跡することを可能にする。代替案として、遅延調節回路 40 は、隣接するブロック選択回路と共用することができる。例えば、遅延調節回路 40 を、ブロック制御回路 21、22 で共用することができる。ヒューズ回路 24 は、プロセス変化に応じた調整が不可能な微調整のために利用される。例えば、各ブロックに接近して遅延調節回路を有することにより、チップ上の単一の場所に遅延調節回路がある場合と比較して、長い遅延および一貫性のない遅延という問題が減少する。センス・アンプ 46 は、有効であるためには、ビット・ラインに非常に近づけるか、あるいは過度に遅くする必要がある。ビット・ライン上にデータを与えるメモリ・セルの駆動能力は非常に小さい。したがって、ブロック 21 内部にあるセンス・アンプ 46 のように、ブロック内部にあるセンス・アンプでは、集中的な遅延調節回路では、その場所から各ブロックまでの距離を横断しなければならない。このように、遅延回路からブ

10

20

30

40

50

ロックまで横断する距離は、どのブロックが選択されたかに応じて変動する。遅延回路を個別に備える利点の別の例として、電源の変動が整合することがあげられる。電源電圧は、チップ内の位置に基づいて変動する。遅延回路をブロックに近づければ、遅延回路は、当該ブロックから離れて位置する場合よりも、そのブロックが受信する電源電圧に近い可能性が高い電源電圧を受信することになる。同様に、遅延調節回路 32 も二次増幅器 30 に接近して配置し、これら 2 つの整合度を高める。

【0022】

電源電圧は、チップ内の位置に基づいて大幅に変動する可能性がある。電源電圧を搬送するラインは有限の大きさを有し、これらを通過する電流が電圧降下を発生させるので、位置によっては電圧自体が変動する場合がある。したがって、ヒューズを破断させることによってプログラム可能とし、遅延調節回路 40 のようなプログラマブル調節回路に情報を与えるヒューズ回路は、当該回路に接近させることによって、変動するが完全に一致させる必要はない程度のものを調節することができる。これは、電源の変動を含むことができる。別の例として、センス増幅器が使用可能な出力自体を与える速度は、それが受ける処理に基づいて変動する。この特性は、一般の反転器において生ずる遅延やクロック信号を発生する論理ゲートでは調整できない場合があり、あるいは、ある程度調整できても、1対1には調整できない場合がある。したがって、変化するが一致させることができないパラメータ、または少なくとも完全に一致させることができないパラメータは、例えば、単にヒューズ回路 24 をクロック回路に接近させるだけで対処することができる。

【0023】

最も遅いビットが、メモリの速度を決定する。実際の使用時には、どのビットを用いどのビットを用いないかは、全くわからない。これら全てを仮定しなければならない。したがって、製造者は、最も遅いビットに基づいて素子の速度を特定する。同様に、素子のオペレータまたはユーザは、最も低い信頼性レベルを考慮したクロック速度でないと動作させることはできない。この場合、個々の回路は、いずれの所与のビットに対しても最高の動作速度が得られることを保証し、ヒューズ回路は、最も遅いビットをも考慮して、最も遅いビットが最高速度 (fastest capability) で動作することを保証する。

【0024】

このように、信頼性の高い検出のために十分な信号を発生するように遅延を与え、センス・アンプおよび二次増幅器の最適化を図るのであるが、それ以上に長い遅延時間は不要である。これは、クロック遅延回路を、これらの遅延によって駆動されている回路に接近させることによって達成される。これらの遅延をプログラムするためには、単一のヒューズ回路が効果的である。何故なら、最悪の場合とは素子の速度に関する判定の問題であり、最も遅い場合の速度を最適化するには、単一のヒューズ回路で十分であるからである。速いビットはその最高速度では動作しないが、これでは、素子の有用性を全く改善しない。この場合、遅延に関係する情報を全体的かつ継続的に伝達することによって、遅延回路が、遅延情報を受信した後に、遅延すべき信号全てを受信するように構成する。こうすれば、遅延情報の伝達に伴う遅延は発生しない。つまり、タイミングの問題は、典型的に、種々の位置にある他の回路に情報を与えることを単一の回路に行わせる場合に生じるのであり、これはヒューズ回路の配置に関する問題ではない。

【0025】

センス・アンプ 46 および二次増幅器 30 は各々、ダイナミック増幅器として知られている種類のものである。センス・アンプ 46 は、センス・アンプ制御信号 43 によって駆動されるので、必要以上に遅くならないが、信頼性あるデータのラッチを保証する程度の長さである。同様に、二次増幅器 30 は、同じ検討事項を念頭に入れて駆動される。この場合、二次増幅器 30 は、例えば、ブロック 17 によってグローバル・データ・ライン 56 に与えられているデータが、二次増幅器 30 をイネーブルする時点では十分に発生していない場合、オンになるのが早すぎる可能性がある。遅延調節回路 32 は、二次増幅器 30 に接近して配置され、ブロック制御回路はブロック 17 に接近して配置されている。したがって、ブロック 17 から二次増幅器 30 へ伝えられるグローバル・ライン 56 上の遅

延は、クロック制御回路 21 から遅延調節回路 32 へ伝えられるライン 12 上の遅延と一致する。この一致によって、その入力を受信する遅延調節回路 32 と、グローバル・データ・ライン 56 上のデータを受信する二次増幅器 30 との間で、信号発生遅延の一貫性が非常に高くなる。また、増幅器制御信号 50 およびセンス・アンプ制御信号 43 は双方共、共通信号、即ち、ブロック選択 49 から発生されるので、グローバル・データ・ライン 56 上に与えられるデータとライン 12 上に与えられる二次増幅器制御信号との関係を一層密接にするという利点がある。

【0026】

ヒューズ回路 34 は、ヒューズ回路 24 と同様に最適化される。最悪条件を知るために測定を行い、ヒューズ回路 34 がこの情報を遅延調節回路 32 に与えることによって、二次増幅器 30 をイネーブルする遅延を、信頼性のある動作のためには必要なだけ長くするが、最高速度動作のためには可能な限り短くする。ヒューズ回路 34 は、二次増幅器 30 の動作に関する最悪条件に対して選択されるが、各オクタントはそれ自体の二次増幅器を有することができる。ヒューズ回路 34 は、各二次増幅器毎に遅延を選択する。しかしながら、チップの動作は、二次増幅器 30 のような二次増幅器の最も遅い動作より速く行うことができないので、各二次増幅器毎に単一のヒューズ回路集合を有することによって、速度上の不利が生ずることはない。何故なら、ヒューズ回路 34 は最も遅い場合を最適化するためである。センス増幅器 46 および二次増幅器 30 をイネーブルするタイミングを改善することによって、高速動作を与えつつ、電力節約という利点のあるダイナミック増幅器を実施することが可能となる。

【0027】

図 3 に、遅延調節回路 40 として用いる遅延回路を示す。この回路には、4 つの異なる遅延があり、これらは、徐々に増大するように互いに比率が決められている。この場合、所定の遅延 103 を基準遅延と仮定し、図 3 には、括弧を付けて (1) の遅延と示す。所定の遅延 102 は、所定の遅延 103 の 2 倍の遅延 (2) を有し、所定の遅延 101 は、所定の遅延 103 の 4 倍の遅延 (4) を有し、所定の遅延 100 は、所定の遅延の 8 倍の遅延 (8) を有する。入来するのは 4 つの二進ビットであるので、これら 4 つのビットに応じてこれら 4 つの遅延を選択し、0 から 15 までのあらゆる遅延量を選択できるように配列する。これは、4 つの二進ビットから 16 個の選択肢全てが得られることを考慮したものである。

【0028】

その動作としては、所定の遅延 100, 101, 102, 103 のいずれでも、迂回したり、あるいはあらゆる組み合わせで用いることができる。遅延 100, 101, 102, 103 は、それぞれ、二進信号 122, 123, 124, 125 に対応する。特定の二進信号が論理ハイになると、対応する遅延がイネーブルされる。例えば、論理ハイ状態の二進信号 122, 124 および論理ロー状態の二進信号 123, 125 を印加することによって、10 の遅延を得ることができる。これは、所定の遅延 100 および所定の遅延 102 を通過し、一方所定の遅延 101 および所定の遅延 103 を迂回するという効果を有する。2 の乗数とし、遅延間にトライ・ステータブル・ドライバを用いることによって、これらの遅延は、0 から 15 まで線形に全ての選択肢を与える。また、これは、デコード回路を遅延経路に一体化し、その結果面積が比較的小さくなるので、コンパクトである。この種のプログラマブル遅延は、このような面で有利であるが、必須ではない。遅延調節回路 40 の代わりに、当技術分野において既知のその他の種類のプログラマブル遅延を用いることも可能である。

【0029】

二進の 1, 2, 4, 8 の手法以外にも、遅延の比率を選択するためには、他の選択肢も使用可能である。ビット選択に基づいて非線形遅延を用いる状況もあり得る。選択が大量の遅延または殆ど無遅延となる状況もあり得るが、双方の場合、微調整は必要である。このような場合、所定の遅延 100 を、大きな遅延が望まれる場合の遅延の推定値である、比較的大きな値に選択することができる。他の遅延は、同じ 1, 2, 4 の関係のまま残し

ておけば、大きな遅延の場合またはほぼ 0 の遅延の場合のいずれにも、細かい解像度に対応する。いずれにしても、更に有用で、122, 123, 124, 125 上の二進入力によって選択可能な、他の遅延の組み合わせもあり得る。

【0030】

図 4 は、プリチャージ信号を受信するセンス・アンプ 46 を示す。プリチャージ信号は、論理ロー状態において、トランジスタ 202, 204 をイネーブルし、ローカル・データ・ライン 61, 62 を、VDD 上にある電圧までプリチャージする。ローカル・データ・ライン 61 (LDLB, ローカル・データ・ライン・バー) は、相補データ・ラインとして示されている。ローカル・データ・ライン 62 (LDL) は、真のデータ・ラインである。プリチャージ信号 200 は、論理ローでアクティブとなる。何故なら、これは、ローカル・データ・ライン 61, 62 を論理ハイにプリチャージさせる状態であるからである。プリチャージ信号 200 がローカル・データ・ライン 61, 62 をプリチャージすると同時に、等化回路 26 がグローバル・データ・ライン 56, 57 を VDD に等化する。ローカル・データ・ライン 61, 62 が論理ハイになると、トランジスタ 216, 218 はディゼーブルされる。読み取りの開始時に、プリチャージ信号 200 はディゼーブルされるので、ローカル・データ・ライン 61, 62 は、これらのラインに伴う容量およびこれらに結合されたトランジスタ・ノードの容量によって、論理ハイ状態に保持される。読み取りプロセスが開始すると、ビット・ラインはデータを発生し始め、列デコーダ 47 のような列デコーダは、選択したビット・ライン対をローカル・データ・ライン 61, 62 に結合する。ローカル・データ・ライン 61, 62 上に信号を十分発生した後、センス・アンプ・イネーブル信号 201 がイネーブルされ、トランジスタ 214 が導通状態となる。これは、トランジスタ 206, 208, 210, 212 をイネーブルすることによって、センス・アンプ 46 をイネーブルし、ローカル・データ・ライン 61, 62 上に与えられたデータを増幅し始め、ラッチする効果がある。この例において、ローカル・データ・ライン 61, 62 が、それぞれ、論理ロー状態および論理ハイ状態で表される情報を受信すると仮定する。かかる場合、トランジスタ 218 は非導通状態のままであり、トランジスタ 216 は導通状態となる。トランジスタ 216 が導通状態にある間、グローバル・データ・ライン 56 上の電圧は、トランジスタ 216 を通過してアースに流れる電流のために減少していく。グローバル・データ・ライン 56 上の電圧は、トランジスタ 216 が非導通状態になるまで、低下し続ける。トランジスタ 216 が非導通状態になるのは、グローバル・データ・ラインが十分に低下し、トランジスタ 216 のスレシホールド電圧をはや超過しなくなった後である。トランジスタ 216 のスレシホールド電圧は、トランジスタ 216 のソースによる基板効果 (body effect) によって影響を受ける。したがって、グローバル・データ・ライン 56 とローカル・データ・ライン 61 との間の電圧差は、Pチャネル・トランジスタの通常のスレシホールド電圧に基板効果によって加算される量を加えた大きさとなる。

【0031】

グローバル・データ・ライン 57 は不変のままである。したがって、グローバル・データ・ライン 56 とグローバル・データ・ライン 57 との間に電圧差が確立するが、この電圧は、VDD とトランジスタ 16 のスレシホールド電圧に基板効果を加えた値との差に制限される。この種の増幅器の利点は、この差が比較的小さく保たれるが、二次増幅器 30 による素早い検出には十分であるということにある。グローバル・データ・ライン 56, 57 が比較的長く、したがって容量が大きい場合、この電圧差は、次の読み取りのための準備を促進し、プリチャージに要する時間が短縮する。二次増幅器 30 はダイナミック増幅器であるので、この比較的小さな差を検出し、グローバル・データ・ライン 56 から与えられるデータをラッチすることができる。しかしながら、主要な利点は電流を節約することである。何故なら、これらのアクセスは、この場合、恐らく 3 ナノ秒離れて発生するので、グローバル・データ・ライン 56, 57 の大きな容量に流れ込むこの電荷量が大量となるからである。

【0032】

10

20

30

40

50

センス・アンプ・イネーブル信号 201 は、センス・アンプ 46 の動作を最適化するためには重要なタイミング信号である。これは、遅延調節回路 40 によって正確に遅延され、ヒューズ回路 24 が与える遅延選択信号 47 によってプログラムされる信号である。信号 47 は、遅延調節回路 40 のような遅延調節回路に遅延情報を全体的に与え、ブロック選択信号 49 に応答して、共通クロック信号 45 の正確なイネープリング (enabling) を局所的に遅延させる。一方、正確に発生する共通クロック信号 45 は、正確にセンス・アンプ・イネーブル信号 201 を発生する。また、共通信号 45 は、グローバル・データ・ライン 56 上のデータの発生をライン 12 上の二次増幅器信号 50 の発生と一致させるように、二次増幅器信号 50 を発生する。

【符号の説明】

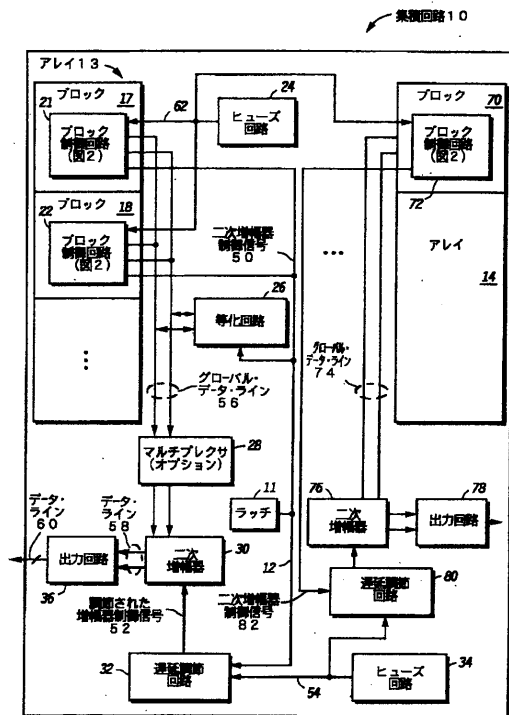
【0033】

10 : 集積回路、13, 14 : アレイ、17, 18 : ブロック、21, 22 : ブロック制御回路、24 : ヒューズ回路、26 : 等化回路、28 : マルチプレクサ、30 : 二次増幅器、32 : 遅延調節可回路、34 : ヒューズ回路、36 : 出力回路、40 : 遅延調節回路、42 : センス・アンプ制御信号発生回路、44 : 二次増幅器制御信号発生回路、46 : センス・アンプ、47 : 列デコーダ、48 : メモリ・セル、70 : ブロック、72 : ブロック制御回路、74 : グローバル・データ・ライン、76 : 二次増幅器、78 : 出力回路、80 : 遅延調節回路、100 ~ 103 : 遅延回路、104 : NAND ゲート、110 ~ 117 : トライ・ステータブル・バッファ、118 ~ 121 : 反転器、202, 204, 206, 208 : Pチャネル・トランジスタ、210, 210, 210, 216, 218 : Nチャネル・トランジスタ。

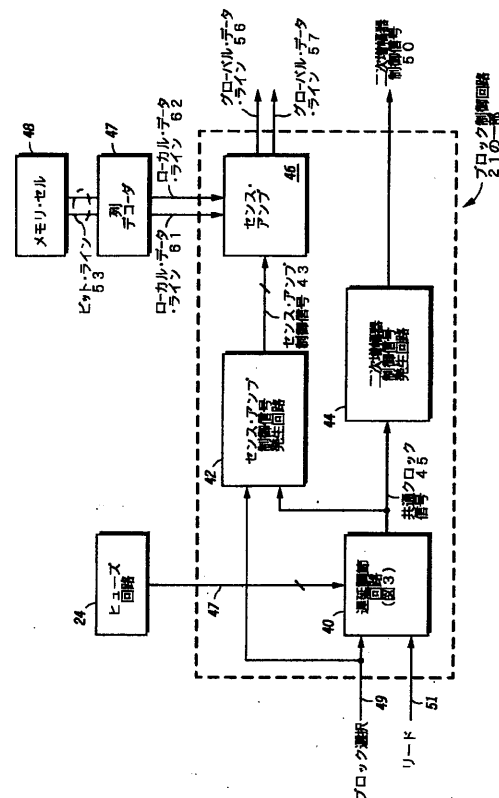
10

20

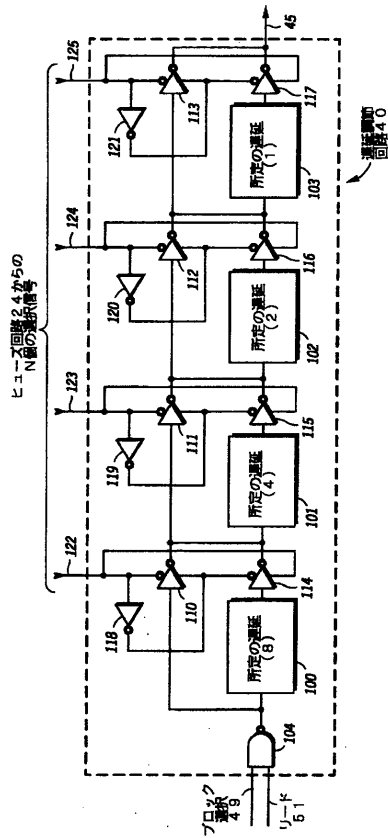
【図 1】



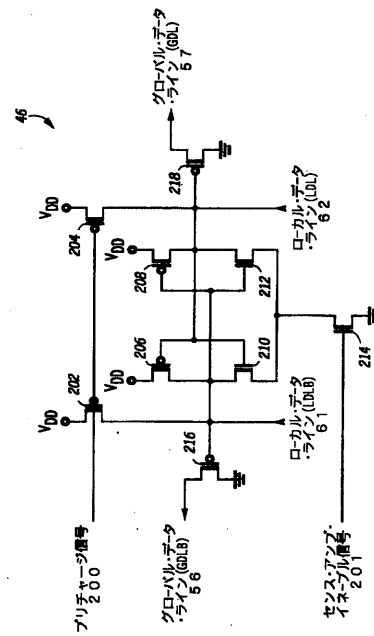
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 ウィリアム・アール・ワイアー

アメリカ合衆国テキサス州オースチン、ライトウッド・ループ 9 3 0 7

(72)発明者 リチャード・ワイ・ウォン

アメリカ合衆国テキサス州オースチン、ドライ・ウェルス・ロード 5 3 0 6

F ターム(参考) 5M024 AA36 BB27 BB35 CC82 DD86 GG01 HH10 LL01 PP01 PP02
PP03