



(12) 发明专利

(10) 授权公告号 CN 105390448 B

(45) 授权公告日 2021. 04. 06

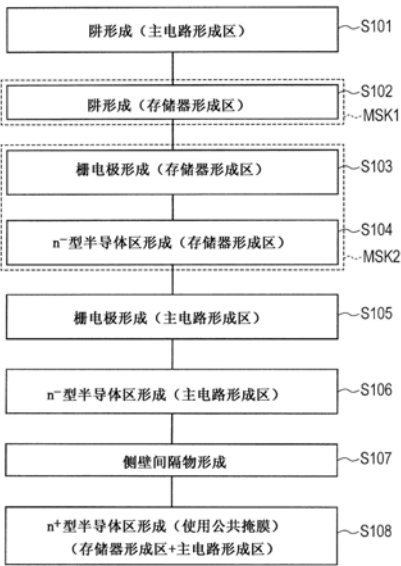
(21) 申请号 201510535778.7
(22) 申请日 2015.08.27
(65) 同一申请的已公布的文献号
 申请公布号 CN 105390448 A
(43) 申请公布日 2016.03.09
(30) 优先权数据
 2014-172680 2014.08.27 JP
(73) 专利权人 瑞萨电子株式会社
 地址 日本东京
(72) 发明人 大和田福夫
(74) 专利代理机构 北京市金杜律师事务所
 11256
 代理人 王茂华

(51) Int.Cl.
H01L 27/11575 (2017.01)
H01L 27/11568 (2017.01)
H01L 27/11573 (2017.01)
H01L 23/525 (2006.01)
审查员 徐晓雷

权利要求书4页 说明书30页 附图67页

(54) 发明名称
 制造半导体器件的方法

(57) 摘要
 本发明涉及制造半导体器件的方法。为了以降低成本提供其中混合装载有非易失性存储器单元和场效应晶体管的半导体器件。所述制造半导体器件的方法包括：通过使用覆盖存储器形成区的栅电极形成区并且暴露主电路形成区即场效应晶体管形成区的额外掩膜将导体膜图案化，并且从而在所述存储器形成区中形成非易失性存储器单元的栅电极，并且然后使用上述额外掩膜而无需将其更改为另一个，通过离子注入在所述半导体衬底中形成所述非易失性存储器单元的n⁻型半导体区。



1. 一种制造半导体器件的方法,所述半导体器件包含:

非易失性存储器单元,所述非易失性存储器单元形成在半导体衬底的第一区中;以及
场效应晶体管,所述场效应晶体管形成在所述半导体衬底的第二区中,

所述非易失性存储器单元包括:

阱,所述阱形成在所述半导体衬底中;

源极区,所述源极区形成在所述阱中;

漏极区,所述漏极区与所述源极区分开地形成在所述阱中;

沟道区,所述沟道区夹于所述源极区和所述漏极区之间;

第一绝缘膜,所述第一绝缘膜形成在所述沟道区上方;

电荷存储膜,所述电荷存储膜形成在所述第一绝缘膜上方;

第二绝缘膜,所述第二绝缘膜形成在所述电荷存储膜上方;以及

第一栅电极,所述第一栅电极形成在所述第二绝缘膜上方,

所述源极区和所述漏极区每一个都包括:

第一半导体区,所述第一半导体区具有第一杂质浓度;以及

第二半导体区,所述第二半导体区具有比所述第一杂质浓度高的浓度,

所述方法包含以下步骤:

(a) 在所述半导体衬底上方形成绝缘膜;

(b) 在所述绝缘膜上方形成第一导体膜;

(c) 通过使用暴露所述第一区并且覆盖所述第二区的第一掩膜,从所述第一区去除所述第一导体膜和所述绝缘膜;

(d) 在所述步骤(c)之后,使用所述第一掩膜,通过离子注入在所述第一区中形成所述阱;

(e) 在所述步骤(d)之后,在所述半导体衬底和所述第一导体膜上方形成所述第一绝缘膜;

(f) 在所述第一绝缘膜上方形成所述电荷存储膜;

(g) 在所述电荷存储膜上方形成所述第二绝缘膜;

(h) 在所述第二绝缘膜上方形成第二导体膜;

(i) 通过使用覆盖所述第一区的第一栅电极形成部分并且暴露所述第二区的第二掩膜将所述第二导体膜图案化,并且从而在所述第一区中形成所述第一栅电极;

(j) 在所述步骤(i)之后,使用所述第二掩膜,通过离子注入在所述半导体衬底中形成所述第一半导体区;以及

(k) 在所述步骤(j)之后,通过使用覆盖所述第二区的第二栅电极形成区并且覆盖所述第一区的第三掩膜将所述第一导体膜图案化,并且从而在所述第二区中形成所述场效应晶体管的第二栅电极,

其中,在所述步骤(j)中,经由具有所述第一绝缘膜、所述电荷存储膜和所述第二绝缘膜并且从所述第一栅电极暴露的堆叠绝缘膜,在所述半导体衬底中形成所述第一半导体区,

在所述步骤(j)和所述步骤(k)之间进一步包含以下步骤:

(o) 去除所述第二掩膜;

(p) 在所述步骤 (o) 之后,通过湿法蚀刻去除从所述第一栅电极暴露的所述第二绝缘膜;

(q) 在所述步骤 (p) 之后,将所述第一栅电极的暴露表面氧化;以及

(r) 在所述步骤 (q) 之后,通过湿法蚀刻去除从所述栅电极暴露的所述电荷存储膜。

2. 根据权利要求1所述的制造半导体器件的方法,

其中,所述电荷存储膜是氮化硅膜,并且

其中,使用热磷酸执行所述步骤 (r)。

3. 根据权利要求1所述的制造半导体器件的方法,

其中,所述第一区和所述第二区具有在所述第一区和所述第二区之间的边界区。

4. 根据权利要求3所述的制造半导体器件的方法,

其中,在所述步骤 (k) 之后,在所述边界区中具有残余物图案。

5. 根据权利要求4所述的制造半导体器件的方法,

其中,所述残余物图案具有:第一残余物部,所述第一残余物部为所述第一导体膜的残余物;第二残余物部,所述第二残余物部为具有所述第一绝缘膜、所述电荷存储膜和所述第二绝缘膜的堆叠绝缘膜的残余物;以及第三残余物部,所述第三残余物部为所述第二导体膜的残余物,并且

其中,所述第一残余物部在其侧壁上具有经由所述第二残余物部的侧壁形式的所述第三残余物部。

6. 根据权利要求5所述的制造半导体器件的方法,

其中,所述残余物图案具有的高度不大于所述场效应晶体管的所述第二栅电极的高度。

7. 根据权利要求1所述的制造半导体器件的方法,

其中,所述非易失性存储器单元用作电熔丝。

8. 根据权利要求1所述的制造半导体器件的方法,

其中,所述非易失性存储器单元用于存储所述半导体器件的修整信息的存储器部。

9. 根据权利要求1所述的制造半导体器件的方法,

其中,所述场效应晶体管是功率晶体管。

10. 根据权利要求1所述的制造半导体器件的方法,

其中,所述第一绝缘膜是氧化硅膜,

其中,所述电荷存储膜是氮化硅膜,

其中,所述第二绝缘膜是氧化硅膜,

其中,所述第一导体膜是多晶硅膜,并且

其中,所述第二导体膜是多晶硅膜。

11. 一种制造半导体器件的方法,所述半导体器件包含:

非易失性存储器单元,所述非易失性存储器单元形成在半导体衬底的第一区中;以及场效应晶体管,所述场效应晶体管形成在所述半导体衬底的第二区中,

所述非易失性存储器单元包括:

阱,所述阱形成在所述半导体衬底中;

源极区,所述源极区形成在所述阱中;

漏极区,所述漏极区与所述源极区分开地形成在所述阱中;

沟道区,所述沟道区夹于所述源极区和所述漏极区之间;

第一绝缘膜,所述第一绝缘膜形成在所述沟道区上方;

电荷存储膜,所述电荷存储膜形成在所述第一绝缘膜上方;

第二绝缘膜,所述第二绝缘膜形成在所述电荷存储膜上方;以及

第一栅电极,所述第一栅电极形成在所述第二绝缘膜上方,

所述源极区和所述漏极区每一个都包括:

第一半导体区,所述第一半导体区具有第一杂质浓度;以及

第二半导体区,所述第二半导体区具有比所述第一杂质浓度高的浓度,

所述方法包含以下步骤:

(a) 在所述半导体衬底上方形成绝缘膜;

(b) 在所述绝缘膜上方形成第一导体膜;

(c) 使用暴露所述第一区并且覆盖所述第二区的第一掩膜,从所述第一区去除所述第一导体膜和所述绝缘膜;

(d) 在所述步骤(c)之后,使用所述第一掩膜,通过离子注入在所述第一区中形成所述阱;

(e) 在所述步骤(d)之后,在所述半导体衬底和所述第一导体膜上方形成所述第一绝缘膜;

(f) 在所述第一绝缘膜上方形成所述电荷存储膜;

(g) 在所述电荷存储膜上方形成所述第二绝缘膜;

(h) 在所述第二绝缘膜上方形成第二导体膜;

(i) 通过使用覆盖所述第一区的第一栅电极形成部分并且暴露所述第二区的第二掩膜将所述第二导体膜图案化,并且从而在所述第一区中形成所述第一栅电极;

(j) 在所述步骤(i)之后,使用在去除所述第二掩膜之后暴露的所述第一栅电极作为掩膜,通过离子注入在所述半导体衬底中形成所述第一半导体区;以及

(k) 在所述步骤(j)之后,通过使用覆盖所述第二区的第二栅电极形成区并且覆盖所述第一区的第三掩膜将所述第一导体膜图案化,并且从而在所述第二区中形成所述场效应晶体管的第二栅电极;

在所述步骤(i)和所述步骤(j)之间进一步包括步骤:

(l) 去除所述第二掩膜;

(m) 在所述步骤(l)之后,通过湿法蚀刻去除从所述第一栅电极暴露的所述第二绝缘膜;

(n) 在所述步骤(m)之后,对所述第一栅电极的暴露表面进行氧化;以及

(o) 在所述步骤(n)之后,通过湿法蚀刻去除从所述第一栅电极暴露的所述电荷存储膜。

12. 根据权利要求11所述的制造半导体器件的方法,在所述步骤(o)和所述步骤(j)之间进一步包含以下步骤:

(p) 通过湿法蚀刻去除从所述第一栅电极暴露的所述第一绝缘膜。

13. 根据权利要求11所述的制造半导体器件的方法，
其中，所述第一绝缘膜是氧化硅膜，
其中，所述电荷存储膜是氮化硅膜，
其中，所述第二绝缘膜是氧化硅膜，
其中，所述第一导体膜是多晶硅膜，
其中，所述第二导体膜是多晶硅膜，并且
其中，使用热磷酸执行所述步骤(o)。
14. 根据权利要求11所述的制造半导体器件的方法，
其中，所述第二导体膜是多晶硅膜，
其中，在所述步骤(n)中，在所述第一栅电极的所述暴露表面上方形成氧化硅膜，并且
其中，当执行所述步骤(j)时，在所述第一栅电极的所述暴露表面上方形成的所述氧化硅膜用作偏移间隔物。

制造半导体器件的方法

[0001] 相关申请交叉参考

[0002] 于2014年8月27日递交的包括说明书、附图和摘要的日本专利申请No.2014-172680的公开内容整体以引入方式并入本文。

技术领域

[0003] 本发明涉及一种半导体器件的制造技术,例如,涉及一种当被应用于具有包括场效应晶体管的主电路和作为附加电路的非易失性存储器的半导体器件的制造技术时有效的技术。

背景技术

[0004] 日本未审查专利申请公开No.2007-234861(专利文献1)描述了一种通过分别由不同的步骤形成场效应晶体管的栅电极和非易失性存储器单元的栅电极来制造半导体器件的技术,其中所述场效应晶体管和所述非易失性存储器单元可以具有改善的可靠性。

[0005] [专利文献1]日本未审查专利申请公开No.2007-234861

发明内容

[0006] 具有包括场效应晶体管的主电路的半导体器件除了用于实现半导体器件的主要功能的主电路有时还具有被添加到主电路的添加电路(附加电路)。添加电路的实例包括将用于主电路的修整或释放的电熔丝和用于存储修整信息的存储器。

[0007] 现在,最流行的电熔丝之一是OTP(One Time Program)(一次性编程)型电熔丝,通过对多晶硅膜施加大电流以将它物理性地熔断而实现[0]/[1]。近年来,出现了通过对利用可重写非易失性存储器而可以重复调整的MTP(Multi Time Program)(多次性编程)型电熔丝的日益增加的需求。

[0008] 现在,作为用于存储修整信息的存储器,采用的是具有浮置栅极结构并且适合与包括在主电路中的场效应晶体管混合装载的非易失性存储器(NV存储器)。使用这样的非易失性存储器会增加存储器单元的大小,因此向能够使存储器单元小型化的非易失性存储器的转变正在研究中。

[0009] 在这样的情况下,已经对使用具有MONOS(Metal Oxide Nitride Oxide Semiconductor)(金属氧化物氮化物氧化物半导体)结构作为添加电路的非易失性存储器进行了研究。当使用具有MONOS结构的非易失性存储器作为添加电路时,包括场效应晶体管的主电路的制造步骤中应该并入具有MONOS结构的非易失性存储器的制造步骤。这可以提高半导体器件的制造成本。更具体地说,具有MONOS结构的非易失性存储器与主电路的场效应晶体管的混合装载增加掩膜的数量。因此存在减少要添加的掩膜的数量并且从而降低半导体器件的制造成本的需求。

[0010] 从本文的描述和附图将显而易见另一个问题和新颖特征。

[0011] 在根据一个实施例的一种制造半导体器件的方法中,通过用覆盖存储器形成区的

栅电极形成区并且暴露MISFET形成区(场效应晶体管形成区)的掩膜将导体膜图案化来在存储器形成区中形成非易失性存储器单元的栅电极;并且然后,使用上述掩膜而无需将其更改为另一个,通过离子注入在半导体衬底中形成非易失性存储器单元的 n^- 型半导体区。

[0012] 在根据另一个实施例的一种制造半导体器件的方法中,通过用覆盖存储器形成区的栅电极形成区并且暴露MISFET形成区的掩膜将导体膜图案化来在存储器形成区中形成非易失性存储器单元的栅电极;并且然后,使用通过将上述掩膜去除而暴露的非易失性存储器单元的栅电极作为掩膜通过离子注入在半导体衬底中形成非易失性存储器单元的 n^- 型半导体区。

[0013] 根据上述实施例,可以以降低的成本制造同时具有非易失性存储器单元和场效应晶体管的半导体器件。

附图说明

[0014] 图1示出了第一实施例的半导体芯片的布局配置实例;

[0015] 图2示出了非易失性存储器的电路块配置的一个实例;

[0016] 图3是示出第一实施例的半导体芯片的器件结构实例的剖面图;

[0017] 图4是示出非易失性存储器的存储器阵列结构和操作条件的一个实例的说明图;

[0018] 图5是示出现有技术中的半导体器件的制造步骤的流程图;

[0019] 图6是示出第一实施例的半导体器件的制造步骤的流程图;

[0020] 图7是示出第一实施例的半导体器件的制造步骤的剖面图;

[0021] 图8是示出在图7的制造步骤之后的半导体器件的制造步骤的剖面图;

[0022] 图9是示出在图8的制造步骤之后的半导体器件的制造步骤的剖面图;

[0023] 图10是示出在图9的制造步骤之后的半导体器件的制造步骤的剖面图;

[0024] 图11是示出在图10的制造步骤之后的半导体器件的制造步骤的剖面图;

[0025] 图12是示出在图11的制造步骤之后的半导体器件的制造步骤的剖面图;

[0026] 图13是示出在图12的制造步骤之后的半导体器件的制造步骤的剖面图;

[0027] 图14是示出在图13的制造步骤之后的半导体器件的制造步骤的剖面图;

[0028] 图15是示出在图14的制造步骤之后的半导体器件的制造步骤的剖面图;

[0029] 图16是示出在图15的制造步骤之后的半导体器件的制造步骤的剖面图;

[0030] 图17是示出在图16的制造步骤之后的半导体器件的制造步骤的剖面图;

[0031] 图18是示出在图17的制造步骤之后的半导体器件的制造步骤的剖面图;

[0032] 图19是示出在图18的制造步骤之后的半导体器件的制造步骤的剖面图;

[0033] 图20是示出在图19的制造步骤之后的半导体器件的制造步骤的剖面图;

[0034] 图21A示出了在第一实施例中的边界区中形成的残余物图案,并且图21B示出了在边界区中留下抗蚀剂膜并且故意形成大的残余物图案的技术;

[0035] 图22是示出修改实例1的半导体器件的制造步骤的剖面图;

[0036] 图23是示出在图22的制造步骤之后的半导体器件的制造步骤的剖面图;

[0037] 图24是示出在图23的制造步骤之后的半导体器件的制造步骤的剖面图;

[0038] 图25是示出修改实例2的半导体器件的制造步骤的剖面图;

[0039] 图26是示出在图25的制造步骤之后的半导体器件的制造步骤的剖面图;

- [0040] 图27是示出在图26的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0041] 图28是示出在图27的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0042] 图29是示出修改实例3的半导体器件的制造步骤的剖面图；
- [0043] 图30是示出在图29的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0044] 图31是示出在图30的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0045] 图32是示出在图31的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0046] 图33示出了第二实施例的半导体芯片的布局配置实例；
- [0047] 图34示出了第二实施例的半导体芯片的器件结构实例；
- [0048] 图35是示出第二实施例的半导体器件的制造步骤的剖面图；
- [0049] 图36是示出在图35的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0050] 图37是示出在图36的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0051] 图38是示出在图37的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0052] 图39是示出在图38的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0053] 图40是示出在图39的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0054] 图41是示出在图40的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0055] 图42是示出在图41的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0056] 图43是示出在图42的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0057] 图44是示出在图43的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0058] 图45是示出在图44的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0059] 图46是示出在图45的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0060] 图47是示出在图46的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0061] 图48示出第三实施例的半导体芯片的器件结构实例；
- [0062] 图49是示出现有技术中的半导体器件的制造步骤的流程图；
- [0063] 图50是示出第三实施例的半导体器件的制造步骤的流程图；
- [0064] 图51是示出第三实施例的半导体器件的制造步骤的剖面图；
- [0065] 图52是示出在图51的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0066] 图53是示出在图52的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0067] 图54是示出在图53的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0068] 图55是示出在图54的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0069] 图56是示出在图55的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0070] 图57是示出在图56的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0071] 图58是示出在图57的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0072] 图59是示出在图58的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0073] 图60是示出在图59的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0074] 图61是示出在图60的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0075] 图62是示出在图61的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0076] 图63是示出在图62的制造步骤之后的半导体器件的制造步骤的剖面图；
- [0077] 图64是示出修改实例的半导体器件的制造步骤的剖面图；
- [0078] 图65是示出在图64的制造步骤之后的半导体器件的制造步骤的剖面图；以及

[0079] 图66是示出在图65的制造步骤之后的半导体器件的制造步骤的剖面图。

[0080] 在下面的实施例中,如果为了方便起见需要的话,可以在将说明分成多个部分或实施例之后来进行。除非另外特别指明,否则这些部分或实施例不是彼此独立的,而是其中的一个可以是另一个的一部分或整体的修改实例、详细说明、补充说明等。

[0081] 在下面的实施例中,当提及元件的数(包括数目、值、量、范围等)时,除非另外特别指明或大体上显而易见该数目限于特定数目,否则该数目并不限于该特定数目,而是可以大于或小于该特定数目。

[0082] 此外,不必说,在下面的实施例中,构成成分(包括组成步骤等)不一定是必不可少的,除非另外特别指明或大体上显而易见它是必不可少的。

[0083] 同样,在下面的实施例中,当提及构成成分的形状、位置关系等时,也包含基本上接近或类似于该形状、位置关系等的形状、位置关系等,除非另外特别指明或大体上显而易见事实并非如此。这也适用于上述的数目或范围。

[0084] 在用于说明实施例的所有附图中,具有相同功能的部件将用相同的标号来标识并且重复的说明将被省略。甚至可以在平面图上使用阴影以便于对它的理解。

具体实施方式

[0085] (第一实施例)

[0086] 第一实施例中的技术思路是关于这样的半导体器件的技术思路,所述半导体器件在一个半导体芯片中具有用于实现半导体芯片的主要功能的主电路和将被添加到主电路并且被称为“附加电路”的添加电路,并且具有MONOS型可重写非易失性存储器作为附加电路。

[0087] 例如,SOC(片上系统)具有存储器电路例如DRAM(动态随机存取存储器)或SRAM(静态随机存取存储器)、逻辑电路例如CPU(中央处理单元)或MPU(微处理单元)或者这样的存储电路和逻辑电路的混合电路作为主电路。另一方面,附加电路的实例包括用于存储与主电路相关的相对小容量的信息的存储电路和将用于电路的释放的电熔丝。相对小容量的信息的实例包括将用于半导体芯片中的修整的元件的位置地址信息、将用于存储器电路的释放的存储器单元的位置地址信息以及半导体器件的产品编号。当半导体芯片是LCD(液晶显示器)驱动器时,相对小容量的信息的实例包括将用于LCD图像调整的调整电压的修整分支信息。

[0088] <半导体芯片的布局配置实例>

[0089] 接下来将使用具有用于实现主要功能的系统的半导体芯片作为实例对第一实施例进行说明。第一实施例中的半导体芯片中包括以相对低的电压驱动的低击穿电压MISFET(金属绝缘体半导体场效应晶体管)、以相对高的电压驱动以实现高电压驱动的高击穿电压MISFET和可重写非易失性存储器单元。

[0090] 将用于说明MISFET的术语“击穿电压”是指在源极区与半导体衬底(阱)之间的或在漏极区与半导体衬底(阱)之间的MISFET的边界处产生的pn结击穿电压或者栅绝缘膜的介电击穿电压。在第一实施例中,半导体衬底在其上具有:具有相对高的击穿电压的高击穿电压MISFET和具有相对低的击穿电压的低击穿电压MISFET。

[0091] 图1示出了第一实施例的半导体芯片CHP1的布局配置实例。在图1中,半导体芯片

CHP1具有CPU1、ROM(只读存储器)2、RAM 3、模拟电路4、非易失性存储器5和I/O(输入/输出)电路6。

[0092] CPU 1也称为中央处理单元并且是计算机的心脏。CPU 1从存储器器件读取并解码指令,并且基于它们执行各种操作或控制。它需要具有高速处理性能。在形成于半导体芯片CHP1上的元件中,用于构造CPU 1的MISFET需要相对高的电流驱动力能力。这意味着CPU 1由低击穿电压MISFET构成。

[0093] ROM 2是其中存储器信息以不可变的方式被固定的存储器并且被称为只读存储器。ROM 2具有两种类型的配置,也就是,其中MISFET串联耦合的NAND型和其中MISFET并联耦合的NOR型。NAND型和NOR型通常分别用于集成度至上的宗旨和操作率至上的宗旨。ROM 2还需要具有高速可操作性,使得配置ROM 2的MISFET需要相对高的电流驱动力能力。这意味着ROM 2由低击穿电压MISFET构成。

[0094] RAM 3是能够随机读取存储的信息或能够重新写入存储的信息的存储器,随机读取存储的信息意味着在任何时间读取存储的信息。它也被称为随机存取存储器。作为IC存储器的RAM 3具有两种类型,即,使用动态电路的DRAM(动态RAM)和使用静态电路的SRAM(静态RAM)。DRAM是需要存储保持操作的随机存取存储器,而SRAM是不需要存储保持操作的随机存取存储器。由于RAM 3需要高速可操作性,因此配置RAM 3的MISFET需要相对高的电流驱动力能力。这意味着RAM 3由低击穿电压MISFET构成。

[0095] 模拟电路4是处置展现出连续的时间相关的变化的电压或电流的信号也就是模拟信号的电路。它由例如放大电路、转换电路、调制电路、振荡电路和电源电路组成。在形成于半导体芯片CHP1上的元件中,这种模拟电路4使用具有相对高的击穿电压的高击穿电压MISFET。

[0096] 非易失性存储器5是能够电重写写入操作和擦除操作这两者的非易失性存储器中的一种并且也被称为“电可擦除可编程只读存储器”。在第一实施例中,此非易失性存储器5由MONOS晶体管构成。MONOS晶体管利用例如福勒-诺德海姆隧穿现象用于它的写入操作和擦除操作。它也可以利用热电子或热空穴用于它的写入操作或擦除操作。

[0097] 当非易失性存储器5执行写入操作时,高电位差(约12V)被施加到MONOS晶体管,使得必需具有相对高的击穿电压的晶体管作为MONOS晶体管。

[0098] I/O电路6是输入/输出电路并且是用于从半导体芯片CHP1向耦合到半导体芯片CHP1的外部的装置输出数据或从耦合到半导体芯片CHP1的外部的装置向半导体芯片CHP1输入数据的电路。此I/O电路6由具有相对高的击穿电压的高击穿电压MISFET构成。

[0099] 在本实施例中,主电路由CPU 1、ROM 2、RAM 3和模拟电路4构成,而附加电路由非易失性存储器5构成。这意味着第一实施例的半导体芯片CHP1具有用于实现主要功能的主电路和被添加到主电路的附加电路。第一实施例与现有技术的区别在于使用MONOS晶体管作为附加电路。由于这种区别,本实施例提供以下优点。

[0100] 例如,当附加电路包括电熔丝并且此电熔丝由MONOS晶体管——其为可重写非易失性存储器——构成时,可以实现可以以晶片形式或封装形式反复调整的MTP(多次性编程)型电熔丝(第一优势)。

[0101] 已使用具有浮置栅极结构并且适合以包括在主电路中的场效应晶体管进行混合装载的非易失性存储器(NV存储器)作为用于存储修整信息的存储器,但是它增加存储器单

元的大小。通过使用MONOS晶体管代替非易失性存储器(NV存储器),可以使存储器单元小型化。除了这个优点,MONOS晶体管使得能够以恒定电流和低功耗重写数据,因为它使用FN隧穿电流用于数据的重写。

[0102] 因此,第一实施例与现有技术的区别在于,在配备有主电路和附加电路的半导体器件中,使用MONOS晶体管作为附加电路。在实现半导体器件的配置时,针对半导体器件的制造技术采取一些措施。在第一实施例中采取的这些措施是与混合装载作为是附加电路的构成成分的MONOS晶体管与作为是主电路的构成成分的低击穿电压MISFET和高击穿电压MISFET的技术相关的措施。这些措施将在后面说明。

[0103] <非易失性存储器的电路块的构成>

[0104] 接下来,图2示出了非易失性存储器5的电路块配置的一个实例。在图2中,非易失性存储器5具有存储器阵列10以及用于存储器阵列10的直接外围电路部分11和间接外围电路部分12作为用于驱动存储器阵列10的驱动器电路。

[0105] 存储器阵列10是非易失性存储器5的存储器部,并且它具有许多以二维方式布置成行和列(以阵列形式)的存储器单元。每个存储器单元是用于存储1位作为信息的单位的电路并且它由作为存储器部的MONOS晶体管构成。

[0106] 驱动器电路是用于驱动存储器阵列10的电路并且它具有例如用于使电压电平从电源电压升高几次的升压电路、用于升压的时钟发生器电路、电压钳位电路、用于选择一行或一行的列解码器或行地址解码器、列锁存器电路、阱控制电路等作为直接外围电路部分11。用于构造直接外围电路部分11的MISFET由在半导体芯片CHP1所具有的元件中需要相对高的击穿电压的高击穿电压MISFET构成。

[0107] 作为间接外围电路部分12,形成的是存储器阵列的可编程控制电路,并且它由设定电路和分别具有用于普通使用的可编程时钟发生器单元、用于高速使用的可编程时钟发生器单元、可编程时序控制单元等的电路构成。用于构造间接外围电路部分12的MISFET由在半导体芯片CHP1所具有的元件中可以以相对低的电压驱动并且可以以高速操作的低击穿电压MISFET构成。

[0108] <半导体芯片的器件结构>

[0109] 图3是示出第一实施例的半导体芯片CHP1的器件结构实例的剖面图。在图3中,示出的是存储器形成区MR、主电路形成区AR和夹于存储器形成区MR和主电路形成区AR之间的边界区BR并且主电路形成区AR由低击穿电压MISFET形成区LR和高击穿电压MISFET形成区HR构成。

[0110] 存储器形成区MR中具有图1中所示的非易失性存储器5的存储器单元并且该存储器单元由MONOS晶体管MC构成。低击穿电压MISFET形成区LR中具有为实现高速操作而需要大电流驱动力能力的低击穿电压MISFETQ1。这样的低击穿电压MISFETQ1可以例如在CPU 1、ROM 2或RAM 3的形成区中形成。低击穿电压MISFETQ1以例如约1.5V的电源电压操作。高击穿电压MISFET形成区HR中具有高击穿电压MISFETQ2并且这样的高击穿电压MISFETQ2可以例如在模拟电路4或I/O电路的形成区6中形成。此高击穿电压MISFETQ2以例如约5V的电源电压操作。

[0111] 如图3中所示,半导体衬底1S中具有用于隔离元件的元件隔离区STI并且由元件隔离区STI隔离的有源区分别是存储器形成区MR、低击穿电压MISFET形成区LR和高击穿电压

MISFET形成区HR。存储器形成区MR、低击穿电压MISFET形成区LR和高击穿电压MISFET形成区HR的半导体衬底1S中具有阱隔离层NISO并且阱隔离层NISO上具有阱。例如,在存储器形成区MR中,阱隔离层NISO上具有p阱MPW。同样,在低击穿电压MISFET形成区LR中,阱隔离层NISO上具有p阱PW,并且在高击穿电压MISFET形成区HR中,阱隔离层NISO上具有p阱HPW。在边界区BR中,阱隔离层NISO上具有隔离层HNW。

[0112] 在第一实施例中,n沟道MISFET被示出和说明为是在低击穿电压MISFET形成区LR和高击穿电压MISFET形成区HR中的每一者中形成的MISFET,但是这些区中的每一者中具有p沟道MISFET。

[0113] 接下来,将对图3中所示的MONOS晶体管MC的配置进行说明。

[0114] 在存储器形成区MR中形成的MONOS晶体管MC具有以下配置。具体地说明,在半导体衬底1S中形成的p阱MPW上具有绝缘膜(势垒膜)IF1并且绝缘膜IF1上具有电荷存储膜EC。此电荷存储膜EC上具有绝缘膜(势垒膜)IF2。绝缘膜IF2上具有由导电膜制成的栅电极CG。栅电极CG由例如多晶硅膜PF2和硅化物膜CS的堆叠膜构成,以便降低电阻。栅电极CG在它的两个侧壁上具有由例如绝缘膜制成的侧壁SW以形成LDD(轻掺杂漏极)结构。

[0115] 侧壁SW下方的半导体衬底1S中具有 n^- 型半导体区MLD和 n^+ 型半导体区NDF作为半导体区。p阱MPW中具有在绝缘膜IF1正下方的沟道区。

[0116] 在具有这样的配置的MONOS晶体管MC中,用作栅绝缘膜的绝缘膜IF1由例如氧化硅膜制成并且它也用作隧道绝缘膜。此MONOS晶体管MC通过经由绝缘膜IF1将电子从半导体衬底1S射入到电荷存储膜EC中或将存储在电荷存储膜EC中的电子射入到半导体衬底1S使得绝缘膜IF1用作隧道绝缘膜来存储或擦除数据。

[0117] 电荷存储膜EC是提供用于存储有助于数据存储的电荷的膜并且它由例如氮化硅膜构成。

[0118] 多晶硅膜以往主要用作电荷存储膜EC。当多晶硅膜用作电荷存储膜EC并且包围电荷存储膜EC的氧化物膜在其一部分中具有缺陷时,存储在电荷存储膜EC中的所有电荷可能由于异常泄漏而逃脱,因为电荷存储膜EC是导体。

[0119] 如上所述,作为绝缘体的氮化硅膜已经逐渐被用作电荷存储膜EC。在这种情况下,有助于数据存储的电荷存储在存在于氮化硅膜中的离散陷阱能级(陷阱能级)中。即使在包围电荷存储膜EC的氧化物膜的一部分中出现缺陷,所有的电荷不会从电荷存储膜EC逃脱,因为电荷存储在电荷存储膜EC的离散陷阱能级中。因此可以改善数据保持的可靠性。

[0120] 因为上述原因,可以通过不仅使用氮化硅膜而且使用包含离散陷阱能级的膜作为电荷存储膜EC来改善数据保持的可靠性。

[0121] 侧壁经形成SW以获得源极区和漏极区,它们是MONOS晶体管MC的半导体区,从而具有LDD结构。具体地说明,MONOS晶体管MC的源极区和漏极区分别由 n^- 型半导体区MLD和 n^+ 型半导体区NDF制成。可以通过由 n^- 型半导体区MLD在栅电极CG下方形成源极区和漏极区来抑制栅电极CG的端部下方的电场浓度。

[0122] 接下来将对低击穿电压MISFETQ1的配置进行说明。在低击穿电压MISFETQ1中,在半导体衬底1S中形成的p阱PW上具有栅绝缘膜GOX1。此栅绝缘膜GOX1上具有栅电极G1。栅绝缘膜GOX1由例如氧化硅膜制成,并且栅电极G1由例如多晶硅膜PF1和硅膜CS的堆叠膜制成以便具有减小的电阻。栅电极G1在它的两个侧壁上具有侧壁SW并且在此侧壁SW下方的半导

体衬底1S中具有 n^- 型半导体区LNLD和 n^+ 型半导体区NDF作为半导体区。栅绝缘膜GOX1正下方的p阱PW中具有沟道区。

[0123] 接下来,将对高击穿电压MISFETQ2的配置进行说明。在高击穿电压MISFETQ2中,在半导体衬底1S中形成的p阱HPW上具有栅绝缘膜GOX2并且此栅绝缘膜GOX2上具有栅电极G2。栅绝缘膜GOX2由例如氧化硅膜制成,并且栅电极G2由例如多晶硅膜PF1和硅化物膜CS的堆叠膜制成以便具有减小的电阻。

[0124] 栅电极G2在它的两个侧壁上具有侧壁SW并且在侧壁SW下方的半导体衬底1S中具有 n^- 型半导体区HNLD和 n^+ 型半导体区NDF作为半导体区。栅绝缘膜GOX2正下方的p阱PW中具有沟道区。

[0125] 接下来,将接着对低击穿电压MISFETQ1和高击穿电压MISFETQ2之间的差别进行说明。高击穿电压MISFETQ2的栅电极G2的栅极长度被设定为长于低击穿电压MISFETQ1的栅极长度电极G1的栅极长度。在低击穿电压MISFETQ1中,通过减小栅电极G1的栅极长度并且从而降低源极区和漏极区之间的电阻,电流驱动力能力应当改善。另一方面,在高击穿电压MISFETQ2中,施加相对高的电位,使得栅极长度的减小可以引起源极区和漏极区之间的穿通。

[0126] 此外,施加到高击穿电压MISFETQ2的电压比施加到低击穿电压MISFETQ1的电压更高,使得栅绝缘膜GOX2比低击穿电压MISFETQ1的栅绝缘膜GOX1更厚。因此,高击穿电压MISFETQ2的栅绝缘膜GOX2具有改善的绝缘阻值允差。

[0127] 边界区BR中具有残余物图案LFT,残余物图案LFT是制造步骤的痕迹。更具体地说,如图3中所示,第一实施例中的残余物图案LFT由残余物部LFT3——其为多晶硅膜PF2的残余物,残余物部LFT2——其为由绝缘膜IF1、电荷存储膜EC和绝缘膜IF2构成的堆叠绝缘膜的残余物,和残余物部LFT1——其为多晶硅膜PF1的残余物构成。残余物部LFT3在残余物部LFT1的侧表面上经由残余物部LFT2以侧壁形式形成。

[0128] <非易失性存储器的操作>

[0129] 第一实施例的半导体器件具有如上所述的配置。接下来将对包括在半导体器件中的存储器单元(非易失性存储器单元)的操作进行说明。

[0130] 图4是示出图1中所示的非易失性存储器的存储器阵列结构和操作条件(1单元/1晶体管)的一个实例的说明图。图4中的单元晶体管CT1到CT8分别对应于由图3中所示的MONOS晶体管MC构成的存储器单元。单元晶体管CT1到CT8的栅电极耦合到字线WL1到WL2并且它们的源极区耦合到源极线SL1到SL4。它们的漏极区耦合到数据线DL1到DL4。单元晶体管CT1、CT2、CT5和CT6的背栅耦合到阱WE1,而单元晶体管CT3、CT4、CT7和CT8的背栅耦合到阱WE2。

[0131] 为了简化说明,存储器单元在图4中布置成两行和四列,但是它们并不限于此。在实践中,更多的存储器单元布置成矩阵形式并且构造存储器阵列。在图4中,共享相同的阱和相同的字线的存储器单元布置是例如单元晶体管CT1和CT2的两列配置。在8位(1字节)配置中,八列单元晶体管共享相同的阱。在这种情况下,一次一个字节地执行存储器单元的擦除和写入操作。

[0132] 接下来,参考图4,接下来将对1单元/1晶体管型存储器单元的擦除、写入和读取操作进行说明。

[0133] 首先,将对擦除动作进行说明。例如,假设擦除存储在作为其数据要被擦除的存储器单元(选择的存储器单元)的单元晶体管CT1和CT2中的数据。选择的阱WE1、字线WL1、源极线SSL1和SL2以及数据线DL1和DL2的电位分别被设定为1.5V、-8.5V、1.5V和浮置电位。存储在单元晶体管CT1和CT2的电荷存储膜中的电荷然后被汲取到半导体衬底侧并且数据被擦除。关于其数据不会被擦除的其它存储器单元(未选择的存储器单元)的单元晶体管CT3到CT8,未选择的阱WE2、字线WL2、源极线SL3和SL4以及数据线DL3和DL4的电位分别被设定为-8.5V、1.5V、1.5V和浮置电位。因此防止存储在单元晶体管CT3到CT8的电荷存储膜中的电荷的逃脱,从而数据也不会被擦除。

[0134] 接下来,将对写入操作进行说明。例如,假设将数据写入作为数据要被写入其中的存储器单元(选择的存储器单元)的单元晶体管CT1中。选择的阱WE1、字线WL1、源极线SL1和数据线DL1的电位分别被设定为-10.5V、1.5V、-10.5V和浮置电位。然后电荷被射入到单元晶体管CT1的电荷存储膜中并且数据被写入其中。关于不在其中写入数据的其他单元晶体管CT2到CT8(未选择的存储器单元),未选择的阱WE2、字线WL2、源极线SL2到SL4以及数据线DL2到DL4的电位分别被设定为-10.5V、-10.5V、1.5V和浮置电位。因此防止电荷被射入到单元晶体管CT2到CT8的电荷存储膜中。

[0135] 接下来,将对读取操作进行说明。例如,假设在单元晶体管CT1中的数据“1”的写入已增加晶体管的阈值电压,而在单元晶体管CT2中的数据“0”已降低晶体管的阈值电压。当从单元晶体管CT1和CT2读出数据时,选择的阱WE1、字线WL1、源极线SL1和SL2以及数据线DL1和DL2的电位分别被设定为-2V、0V、0V和1V。以这样的方式,从单元晶体管CT1和CT2读出数据。在这种情况下,由于单元晶体管CT1的阈值电压高并且单元晶体管CT2的阈值电压低,因此数据线DL2的电位降低,而数据线DL1的电位不变。关于不从中读出数据的其他存储器单元CT3到CT8,未选择的阱WE2、字线WL2、源极线SL3和SL4以及数据线DL3和DL4分别被设定为-2V、-2V、0V和0V,由此防止单元晶体管CT3到CT8接通。通过在读取操作期间减小未选择的存储器单元的背栅电位,存储器单元不需要选择的晶体管。

[0136] <改进的余地>

[0137] 第一实施例的半导体器件具有用于实现主要功能的主电路和被添加到主电路的附加电路。在第一实施例中,从在附加电路中并入MTP型电熔丝或使非易失性存储器单元小型化的观点出发,将MONOS晶体管用于附加电路。

[0138] 然而,当MONOS晶体管用作附加电路时,必须在具有场效应晶体管的主电路的制造步骤中并入具有MONOS结构的非易失性存储器的制造步骤,这可能会增加半导体器件的制造成本。这意味着希望的是能够混合装载作为附加电路的MONOS晶体管同时使其中具有主电路的基础产品的制造过程中的变化最小化的制造过程。更具体地说,MONOS晶体管与主电路的场效应晶体管的混合装载增加掩膜的数量,使得希望减少由于混合装载而添加的掩膜的数量并且从而降低半导体器件的制造成本。首先,将对关于作为主电路的构成成分的场效应晶体管和作为附加电路的构成成分的MONOS晶体管的混合装载的现有技术进行说明,并且然后将对该技术的改进余地进行说明。

[0139] 图5是示出在现有技术中用于作为主电路的构成成分的场效应晶体管和作为附加电路的构成成分的MONOS晶体管的混合装载的制造步骤的流程图。在图5中所示的流程图中,为了MONOS晶体管的混合装载需要额外掩膜的步骤由虚线包围。

[0140] 如图5中所示,首先,在主电路形成区中形成阱(S1001)。然后,在存储器形成区中形成阱(S1002)。此时,使用覆盖主电路形成区并且暴露存储器形成区的额外掩膜MSK1。这意味着在存储器形成区中形成MONOS晶体管的阱需要额外掩膜MSK1。

[0141] 接下来,在存储器形成区中形成栅电极(S1003)。此时,在存储器形成区中形成MONOS晶体管的栅电极需要额外掩膜MSK2。然后,在主电路形成区中形成场效应晶体管的栅电极(S1004)。

[0142] 接下来,在存储器形成区中形成 n^- 型半导体区(扩展区)(S1005)。此时,在存储器形成区中形成MONOS晶体管的 n^- 型半导体区需要额外掩膜MSK3。然后,在主电路形成区中形成场效应晶体管的 n^- 型半导体区(S1006)。

[0143] 然后,在MONOS晶体管的栅电极的侧壁和场效应晶体管的栅电极的侧壁中的每一者上形成侧壁间隔物(S1007)。然后,在存储器形成区中形成 n^+ 型半导体区(扩散层)(S1008)。此时,在存储器形成区中形成MONOS晶体管的 n^+ 型半导体区需要额外掩膜MSK4。然后,在主电路形成区中形成场效应晶体管的 n^+ 型半导体区(S1009)。

[0144] 在这之后的步骤不需要额外掩膜,因此省略对它们的说明。在现有技术中,因此可以混合装载作为主电路的构成成分的场效应晶体管和作为附加电路的构成成分的MONOS晶体管。如图5中所示,现有技术中的半导体器件的制造步骤为了MONOS晶体管(附加电路)与基础产品(主电路)的混合装载需要四个额外掩膜MSK1到MSK4。在这点上,希望减少MONOS晶体管的混合装载所需的掩膜的数量并且从而降低半导体器件的制造成本。希望进一步减少在现有技术中使用的额外掩膜的数量(四个掩膜)。因此,在第一实施例中,采取使为了MONOS晶体管的混合装载而添加的掩膜的数量比在现有技术中为了MONOS晶体管的混合装载而添加的掩膜的数量要少的措施。接下来将对采取此措施的第一实施例的技术思路进行说明。

[0145] <第一实施例的基本思路>

[0146] 图6是示出用于作为主电路的构成成分的场效应晶体管和作为附加电路的构成成分的MONOS晶体管的混合装载的制造步骤的流程图。在图6中所示的流程图中,为了MONOS晶体管的混合装载需要额外掩膜的步骤由虚线包围。

[0147] 如图6中所示,在主电路形成区中形成阱(S101)。然后,在存储器形成区中形成阱(S102)。此时,使用覆盖主电路形成区并且同时暴露存储器形成区的额外掩膜MSK1。这意味着在存储器形成区中形成MONOS晶体管的阱需要额外掩膜MSK1。

[0148] 接下来,在存储器形成区中形成栅电极(S103)。此时,在存储器形成区中形成MONOS晶体管的栅电极需要额外掩膜MSK2。然后,在第一实施例中,通过使用用于在存储器形成区中形成MONOS晶体管的栅电极的额外掩膜而无需将其更改为另一个,在存储器形成区中形成 n^- 型半导体区(扩展区)(S1004)。这意味着在第一实施例中,使用用于MONOS晶体管的栅电极的形成的图案化的额外掩膜而无需将其更改为另一个,通过离子注入,与MONOS晶体管的栅电极对准形成 n^- 型半导体区。换句话说,在第一实施例中,在用于MONOS晶体管的栅电极的形成的处理与用于与MONOS晶体管的栅电极对准地形成 n^- 型半导体区的离子注入之间共享掩膜。因此第一实施例使得能够减少为了MONOS晶体管的混合装载而添加的掩膜的数量(第一掩膜减少效果)。

[0149] 接下来,在主电路形成区中形成场效应晶体管的栅电极(S105)。然后,在主电路形

成区中形成场效应晶体管的 n^- 型半导体区(S106)。接下来,在MONOS晶体管的栅电极的侧壁和场效应晶体管的栅电极的侧壁中的每一者上形成侧壁间隔物(S107)。然后,在存储器形成区中形成MONOS晶体管的 n^+ 型半导体区(扩散层)并且同时在主电路形成区中形成场效应晶体管的 n^+ 型半导体区(扩散层)(S108)。这意味着在第一实施例中,同时形成MONOS晶体管的 n^+ 型半导体区和场效应晶体管的 n^+ 型半导体区。换句话说,在第一实施例中,使用公共掩膜通过离子注入同时形成MONOS晶体管的 n^+ 型半导体区和场效应晶体管的 n^+ 型半导体区。

[0150] 在第一实施例中,因此,MONOS晶体管的 n^+ 型半导体区的形成不需要额外掩膜。因此,在第一实施例中,可以混合装载MONOS晶体管同时减少额外掩膜的数量(第二掩膜减少效果)。

[0151] 因此,在第一实施例中,由于第一掩膜减少效果和第二掩膜减少效果,可以使为了MONOS晶体管的混合装载而将添加的掩膜的数量比现有技术为了MONOS晶体管的混合装载而将添加的掩膜的数量要少。具体地说明,在现有技术中,MONOS晶体管(附加电路)与基础产品(主电路)的混合装载需要四个额外掩膜MSK 1到MSK 4。另一方面,在第一实施例中,可以使用两个额外掩膜MSK 1和MSK 2实现MONOS晶体管(附加电路)与基础产品(主电路)的混合装载。在第一实施例的半导体器件中,可以混合装载MONOS晶体管作为将被添加到主电路的附加电路,同时使其中具有主电路的基础产品的制造过程中的变化最小化。因此,可以降低半导体器件的制造成本。

[0152] <制造第一实施例中的半导体器件的方法>(MONOS LAST)

[0153] 下面将参考一些附图对制造第一实施例中的半导体器件的方法进行具体说明。制造第一实施例中的半导体器件的方法被称为“MONOS LAST”。这种“MONOS LAST”是首先形成将被处理成将是主电路的构成成分的场效应晶体管的栅电极的导体膜(第一导体膜)并且然后形成将被处理成将是附加电路的构成成分的MONOS晶体管的栅电极的导体膜(第二导体膜)的方法。被称为“MONOS LAST”的制造方法的优点在于,可以抑制在形成主电路的场效应晶体管时施加的热负荷对附加电路的MONOS晶体管的影响。因此从抑制过量热负荷到MONOS晶体管的施加并且从而减少将是附加电路的构成成分的MONOS晶体管的特性的变化的观点出发,被称为“MONOS LAST”的制造方法是有用的制造方法。

[0154] 首先,如图7中所示,提供由注入有p型杂质例如硼(B)的硅单晶制成的半导体衬底1S。半导体衬底1S此时是具有大致圆盘状的半导体晶片。在半导体衬底1S中形成元件隔离区STI。提供元件隔离区STI以便防止元件之间的干扰。可以例如通过STI(浅沟槽隔离)形成这个元件隔离区STI。在STI方法中,以下面的方式形成元件隔离区STI。具体地说明,通过光刻和蚀刻在半导体衬底1S中形成元件隔离沟槽。在半导体衬底1S上形成绝缘膜(氧化硅膜或类似物)以便填充元件隔离沟槽。然后,通过化学机械抛光(CMP)去除半导体衬底1S上的氧化硅膜的不需要的部分。因此通过用绝缘膜(氧化硅膜或类似物)只填充元件隔离沟槽而形成元件隔离区STI。如图7中所示,通过元件隔离区STI,存储器形成区MR和主电路形成区AR经由阻挡区BR彼此分离并且主电路形成区AR分被离成低击穿电压MISFET形成区LR和高击穿电压MISFET形成区HR。

[0155] 然后,通过将n型杂质例如磷(P)或砷(As)注入到半导体衬底1S中在半导体衬底1S中形成由n型半导体区制成的阱隔离层NISO。然后,通过光刻和离子注入,在低击穿电压MISFET形成区LR的半导体衬底1S中形成p阱PW并且在高击穿电压MISFET形成区HR的半导体

衬底1S中形成p阱HPW。在形成于边界区BR中的元件隔离区STI下方形成隔离层HNW。然后,在低击穿电压MISFET形成区LR中,通过离子注入将导电杂质注入到p阱PW的沟道区中,以便调整低击穿电压MISFET的阈值电压。同时,在高击穿电压MISFET形成区HR中,通过离子注入将导电型杂质注入到p阱HPW的沟道区中,以便调整高击穿电压MISFET的阈值电压

[0156] 接下来,在用氢氟酸或类似物洗涤半导体衬底1S的表面之后,在低击穿电压MISFET形成区LR的半导体衬底1S上形成栅绝缘膜GOX1并且在高击穿电压MISFET形成区HR和存储器形成区MR的半导体衬底1S上形成栅绝缘膜GOX2。栅绝缘膜GOX1和栅绝缘膜GOX2各自由例如氧化硅膜制成并且栅绝缘膜GOX1的厚度比栅绝缘膜GOX2的厚度小。

[0157] 接下来,在半导体衬底1S的整个主表面上形成多晶硅膜(polycrystalline silicon film)PF1。如图8中所示,在通过涂敷在多晶硅膜PF1上形成抗蚀剂膜PR1之后,通过光刻将抗蚀剂膜PR1图案化。执行抗蚀剂膜PR1的图案化以便覆盖主电路形成区AR并且暴露存储器形成区MR。经图案化的抗蚀剂膜PR1用作图6的流程图中所示的额外掩膜MSK1。通过将经图案化的抗蚀剂膜PR1作为掩膜的蚀刻,去除在存储器形成区MR中形成的多晶硅膜PF1和栅绝缘膜GOX2。然后,通过将经图案化的抗蚀剂膜PR1作为掩膜的离子注入,在存储器形成区MR的半导体衬底1S中形成p阱MPW。此外,在存储器形成区MR中,通过离子注入将导电型杂质注入到p阱MPW中的沟道区中以便调整MONOS晶体管的阈值电压。

[0158] 接下来,如图9中所示,在半导体衬底1S和多晶硅膜PF1上形成绝缘膜IF1,接着在绝缘膜IF1上形成电荷存储膜EC。然后,在电荷存储膜EC上形成绝缘膜IF2,并且然后,在绝缘膜IF2上形成多晶硅膜PF2。绝缘膜IF1由例如氧化硅膜制成并且为了它的形成,可以使用能够形成具有良好的膜质量的致密氧化硅膜的ISSG氧化。绝缘膜IF1具有约4nm的厚度。电荷存储膜EC由氮化硅膜制成并且可以例如通过CVD形成。电荷存储膜EC具有约10nm的厚度。绝缘膜IF2由氧化硅膜制成并且为了它的形成,可以使用能够形成具有良好的膜质量的致密氧化硅膜的HTO(高温氧化物)。绝缘膜IF2具有约5nm的厚度。可以使用例如CVD形成多晶硅膜PF2。以这样的方式,可以形成致密、具有优良的绝缘阻值允差并且具有良好的膜质量的堆叠绝缘膜(ONO膜)。

[0159] 接下来,如图10中所示,在通过涂敷在多晶硅膜PF2上形成抗蚀剂膜PR2之后,通过光刻将抗蚀剂膜PR2图案化。执行抗蚀剂膜PR2的图案化以便覆盖存储器形成区MR的栅电极形成区并且暴露主电路形成区AR。这样获得的经图案化的抗蚀剂膜PR2成为图6的流程图中所示的额外掩膜MSK2。然后,通过使用将经图案化的抗蚀剂膜PR2作为掩膜的蚀刻将多晶硅膜PR2图案化以在存储器形成区MR中形成栅电极CG。此时,如图10中所示,在边界区BR中,多晶硅膜PF2的残余物部LFT3以侧壁形式形成。然后,如图11中所示,使用例如干法蚀刻去除暴露的绝缘膜IF2、电荷存储膜EC和绝缘膜IF1。因此,由绝缘膜IF1、电荷存储膜EC和绝缘膜IF2构成的堆叠绝缘膜在形成于存储器形成区MR中的栅电极CG下方保留下来,同时由绝缘膜IF2、电荷存储膜EC和绝缘膜IF1构成的残余物部LFT2在边界区BR的覆盖有残余物部LFT3的一部分中形成。

[0160] 然后,使用由经图案化的抗蚀剂膜PR2制成的掩膜而无需将其更改为另一个,通过离子注入在存储器形成区MR的半导体衬底1S中与栅电极CG对准形成 n^- 型半导体区(扩展区或轻掺杂杂质扩散区)MLD。这意味着在第一实施例中,在用于MONOS晶体管的栅电极的形成的处理与用于与MONOS晶体管的栅电极CG对准的 n^- 型半导体区MLD的形成的离子注入之间

共享掩膜。因此,根据第一实施例,可以减少MONOS晶体管的混合装载所需的额外掩膜的数量。

[0161] 在图12中所示的离子注入步骤中,由于暴露在主电路形成区AR中形成的多晶硅膜PF1,也在此多晶硅膜PF1中注入n型杂质。然而,同样在这种情况下,通过控制离子注入步骤中的注入能量,可以防止n型杂质穿透多晶硅膜PF1和注入到主电路形成区AR的半导体衬底1S中。

[0162] 由于为了保护多晶硅膜PF1的导电性,已经以比图12中所示的离子注入步骤中的浓度高几个数量级的浓度将n型杂质注入到多晶硅膜PF1中,n型杂质通过图12中所示的离子注入步骤到多晶硅膜PF1中的注入不会造成任何问题。在主电路形成区AR中,不仅形成n沟道型场效应晶体管而且也形成p沟道型场效应晶体管并且将p型杂质注入到p沟道型场效应晶体管形成区中的多晶硅膜PF1中。然而p型杂质的浓度也高,使得图12中所示的离子注入步骤中的n型杂质注入不会造成任何问题。

[0163] 接下来,如图13中所示,在去除经图案化的抗蚀剂膜PR2之后,通过涂敷形成从存储器形成区MR延伸到主电路形成区AR的抗蚀剂膜PR3。更具体地说,通过涂敷形成覆盖在存储器形成区MR中形成的栅电极CG并且在形成于主电路形成区AR中的多晶硅膜PF1上延伸的抗蚀剂膜PR3。然后,通过光刻将抗蚀剂膜PR3图案化。执行抗蚀剂膜PR3的图案化以便覆盖存储器形成区MR并且同时覆盖主电路形成区AR的栅电极形成区。通过将经图案化的抗蚀剂膜PR3作为掩膜的蚀刻,处理多晶硅膜PF1并且在主电路形成区AR的低击穿电压MISFET形成区LR中和在主电路形成区AR的高击穿电压MISFET形成区HR中分别形成栅电极G1和栅电极G2。同时,作为多晶硅膜PF1的残余物的残余物部LFT1在边界区BR中形成。因此,在边界区BR中,具有其中残余物部LFT1在其侧壁上经由残余物部LFT2具有残余物部LFT3的结构的残余物图案LFT保留下来。

[0164] 接下来,如图14中所示,在去除经图案化的抗蚀剂膜PR3之后,通过涂敷在半导体衬底1S上形成抗蚀剂膜PR4。然后通过光刻将抗蚀剂膜PR4图案化。执行抗蚀剂膜PR4的图案化以便覆盖存储器形成区MR、边界区BR和低击穿电压MISFET形成区LR,同时暴露高击穿电压MISFET形成区HR。然后,通过将经图案化的抗蚀剂膜PR4作为掩膜的离子注入,在高击穿电压MISFET形成区HR的半导体衬底1S中与栅电极G2对准形成n⁻型半导体区HNLD。

[0165] 接下来,如图15中所示,在去除经图案化的抗蚀剂膜PR4之后,通过涂敷在半导体衬底1S上形成抗蚀剂膜PR5。然后,通过光刻将抗蚀剂膜PR5图案化。执行抗蚀剂膜PR5的图案化以便覆盖存储器形成区MR、边界区BR、高击穿电压MISFET形成区HR,同时暴露低击穿电压MISFET形成区LR。然后,通过将经图案化的抗蚀剂膜PR5作为掩膜的离子注入,在低击穿电压MISFET形成区LR的半导体衬底1S中与栅电极G1对准形成n⁻型半导体区LNLD。

[0166] 接下来,在去除经图案化的抗蚀剂膜PR5之后,在半导体衬底1S上形成氧化硅膜、氮化硅膜和氧化硅膜的堆叠膜,如图16中所示。为了氧化硅膜和氮化硅膜的形成,例如,可以使用CVD。然后,将堆叠膜进行各向异性蚀刻以形成侧壁SW。更具体地说,在存储器形成区MR中,在栅电极CG的两个侧壁上形成侧壁SW(堆叠结构:栅电极CG+ONO膜)。另一方面,在主电路形成区AR的低击穿电压MISFET形成区LR中,在栅电极G1的两个侧壁上形成侧壁SW,并且在主电路形成区AR的高击穿电压MISFET形成区HR中,在栅电极G2的两个侧壁上形成侧壁SW。同样在边界区BR中,在残余物图案LFT的侧壁上形成侧壁SW。

[0167] 接下来,如图17中所示,通过使用光刻和离子注入,在存储器形成区MR中与侧壁SW对准形成 n^+ 型半导体区(扩散层或重掺杂的杂质扩散区)NDF。 n^+ 型半导体区NDF是注入有 n 型杂质例如磷或砷的半导体区。 n^+ 型半导体区NDF和 n^- 型半导体区MLD构造成MONOS晶体管的源极区或漏极区。通过由 n^+ 型半导体区NDF和 n^- 型半导体区MLD形成MONOS晶体管的源极区和漏极区中的每一者,MONOS晶体管的源极区和漏极区可各自具有LDD(轻掺杂漏极)结构。

[0168] 通过类似的离子注入步骤,也在主电路形成区AR的低击穿电压MISFET形成区LR中与侧壁SW对准形成 n^+ 型半导体区NDF。 n^+ 型半导体区NDF和 n^- 型半导体区LNLD构造成低击穿电压MISFET的源极区或漏极区。同样在低击穿电压MISFET中,通过分别由 n^+ 型半导体区NDF和 n^- 型半导体区LNLD形成源极区和漏极区中的每一者,低击穿电压MISFET的源极区和漏极区可各自具有LDD结构。

[0169] 通过类似的离子注入步骤,也在主电路形成区AR的高击穿电压MISFET形成区HR中与侧壁SW对准形成 n^+ 型半导体区NDF。 n^+ 型半导体区NDF和 n^- 型半导体区HNLD构造成高击穿电压MISFET的源极区或漏极区。同样在高击穿电压MISFET中,通过由 n^+ 型半导体区NDF和 n^- 型半导体区HNLD形成源极区和漏极区中的每一者,高击穿电压MISFET的源极区和漏极区可各自具有LDD结构。

[0170] 因此,在第一实施例中,MONOS晶体管的 n^+ 型半导体区NDF、低击穿电压MISFET的 n^+ 型半导体区NDF和高击穿电压MISFET的 n^+ 型半导体区NDF一起形成。这意味着在第一实施例中,使用公共掩膜通过离子注入同时形成MONOS晶体管的 n^+ 型半导体区NDF、低击穿电压MISFET的 n^+ 型半导体区NDF和高击穿电压MISFET的 n^+ 型半导体区NDF。因此,根据第一实施例,用于MONOS晶体管的 n^+ 型半导体区NDF的形成的额外掩膜变得不必要。因此,根据第一实施例,可以减少MONOS晶体管的混合装载所需的额外掩膜的数量。

[0171] 接下来,如图18中所示,在在半导体衬底1S上形成镍铂膜(NiPt膜)之后,执行热处理以引起构造栅电极CG的多晶硅膜PF2和存储器形成区MR中的镍铂膜之间的反应,以形成由镍铂硅化物膜(NiPtSi膜)制成的硅化物膜CS。因此,栅电极CG具有多晶硅膜PF2和硅化物膜CS的堆叠结构。同样,硅和镍铂膜在 n^+ 型半导体区NDF的表面上彼此反应以形成硅化物膜CS。

[0172] 同样,也在主电路形成区AR的低击穿电压MISFET形成区LR中,在构造栅电极G1的多晶硅膜PF1的表面上形成由镍铂硅化物膜制成的硅化物膜CS。因此,栅电极G1由多晶硅膜PF1和硅化物膜CS构成。作为 n^+ 型半导体区NDF的表面的硅和镍铂膜之间的反应的结果,也形成由镍铂硅化物膜制成的硅化物膜CS。

[0173] 同样,也在主电路形成区AR的高击穿电压MISFET形成区HR中,在构造栅电极G2的多晶硅膜PF1的表面上形成由镍铂硅化物膜制成的硅化物膜CS。因此,栅电极G2由多晶硅膜PF1和硅化物膜CS构成。同样,作为 n^+ 型半导体区NDF的表面的硅和镍铂膜之间的反应的结果,形成由镍铂硅化物膜制成的硅化物膜CS。

[0174] 在第一实施例中,形成镍铂硅化物膜,但是例如可以形成硅化钴膜、硅化镍膜、硅化钛膜或硅化铂膜代替镍铂硅化物膜。

[0175] 如上所述,在半导体衬底1S的存储器形成区MR中形成MONOS晶体管,在主电路形成区AR的低击穿电压MISFET形成区LR中形成低击穿电压MISFETQ1,并且在主电路形成区AR的高击穿电压MISFET形成区HR中形成高击穿电压MISFETQ2。

[0176] 接下来,将对布线步骤进行说明。如图19中所示,在半导体衬底1S的主表面上形成氮化硅膜SNF。然后,如图20中所示,通过在氮化硅膜SNF上形成氧化硅膜OXF,可以形成由氮化硅膜SNF和氧化硅膜OXF构成的接触层间绝缘膜IL。然后通过使用例如CMP(化学机械抛光)将接触层间绝缘膜IL的表面平面化。

[0177] 接下来,如图20中所示,通过使用光刻和蚀刻在接触层间绝缘膜IL中形成接触孔CNT。然后,如图3中所示,在包括底表面和接触孔CNT的内壁的接触层间绝缘膜IL上形成钛/氮化钛膜。钛/氮化钛膜由钛膜和氮化钛膜的堆叠膜构成并且可以使用例如溅射来形成。此钛/氮化钛膜防止例如将在后面的步骤中填充的膜的材料钨扩散到硅中。简言之,它具有所谓的阻挡特性。

[0178] 在半导体衬底1S的整个主表面上形成钨膜以便填充接触孔CNT。钨膜可以例如通过CVD形成。例如通过CMP去除在接触层间绝缘膜IL上形成的钛/氮化钛膜和钨膜的不需要的部分。然后,在氢气氛中执行退火以形成插塞PLG。

[0179] 接下来,如图3中所示,在其中具有插塞PLG的接触层间绝缘膜IL上形成由例如氧化硅膜制成的层间绝缘膜IL1。然后,通过光刻和蚀刻在层间绝缘膜IL1中形成布线沟槽。然后,在层间绝缘膜IL1上并且也在布线沟槽中形成钽/氮化钽膜。钽/氮化钽膜可以例如通过溅射来形成。然后,在例如通过溅射在钽/氮化钽膜上形成由薄铜膜制成的种子膜之后,在其中具有布线沟槽的层间绝缘膜IL1上通过将种子膜作为电极进行电镀来形成铜膜。然后,例如通过CMP将在层间绝缘膜IL1上除在布线沟槽的内侧以外的暴露的铜膜抛光和去除,以仅留下在层间绝缘膜IL1中形成的布线沟槽中的铜膜。因此,可以形成布线W1。在布线W1之上形成另一个布线,但是省略了对它的说明。以这种方式,第一实施例的半导体器件可以最终形成。

[0180] 在第一实施例中,已对形成由铜膜制成的布线W1的实例进行了说明。布线W1可以例如由铝膜代替形成。在这种情况下,在层间绝缘膜IL1和插塞PLG上依次形成钛/氮化钛膜、铝膜和钛/氮化钛膜。这些膜可以使用例如溅射来形成。然后,通过使用光刻和溅射将这些膜图案化成布线W1。因此,可以形成由铝膜制成的布线W1。

[0181] <第一实施例中的特性>

[0182] 接下来将对第一实施例的特性进行说明。第一实施例中的第一特性是,如图10到图12中所示,将经图案化的抗蚀剂膜PR2作为掩膜对多晶硅膜PF2进行处理以在存储器形成区MR中形成栅电极CG;并且然后,使用该掩膜而无需将其更改为另一个,通过离子注入,在存储器形成区MR的半导体衬底1S中与栅电极CG对准形成 n^- 型半导体区MLD。换句话说,第一实施例的第一特性是,在通过处理对MONOS晶体管MC的栅电极CG的形成与用于与MONOS晶体管MC的栅电极CG自对准的 n^- 型半导体区MLD的形成的离子注入之间共享掩膜。因此,在第一实施例中,可以减少MONOS晶体管MC的混合装载所需的额外掩膜的数量。

[0183] 接下来,第一实施例的第二特性是,如图17中所示,同时形成MONOS晶体管MC的 n^+ 型半导体区NDF、低击穿电压MISFETQ1的 n^+ 型半导体区NDF和高击穿电压MISFETQ2的 n^+ 型半导体区NDF。换句话说,第一实施例的第二特性是,使用公共掩膜通过离子注入同时形成MONOS晶体管MC的 n^+ 型半导体区NDF、低击穿电压MISFETQ1的 n^+ 型半导体区NDF和高击穿电压MISFETQ2的 n^+ 型半导体区NDF。根据第一实施例的第二特性,用于形成MONOS晶体管MC的 n^+ 型半导体区NDF的额外掩膜变得不必要。第一实施例因此使得可以减少MONOS晶体管MC的混合

装载所需的额外掩膜的数量。

[0184] 在同时具有第一特性和第二特性的第一实施例中,可以使为了MONOS晶体管MC的混合装载而将添加的掩膜的数量比在现有技术中为了MONOS晶体管MC的混合装载而将添加的掩膜的数量要少。更具体地说,在现有技术中,MONOS晶体管MC(附加电路)与基础产品(主电路)的混合装载需要四个额外掩膜。另一方面,在第一实施例中,可以通过仅使用两个额外掩膜将MONOS晶体管MC(附加电路)与基础产品(主电路)混合装载。根据第一实施例的半导体器件,在使其中具有主电路的基础产品的制造过程中的变化最小化的同时,可以混合装载MONOS晶体管作为将被添加到主电路的附加电路。

[0185] 与第一实施例的第二特性相关联,似乎可以同时形成MONOS晶体管MC的 n^- 型半导体区MLD、低击穿电压MISFETQ1的 n^- 型半导体区LNLD和高击穿电压MISFETQ2的 n^- 型半导体区HNLD。然而,从写入操作或干扰特性的观点出发,难以与构造主电路的低击穿电压MISFETQ1的 n^- 型半导体区LNLD和高击穿电压MISFETQ2的 n^- 型半导体区HNLD同时形成作为相同的半导体区的MONOS晶体管的 n^- 型半导体区MLD。因此,在第一实施例中,形成MONOS晶体管MC的 n^- 型半导体区MLD的步骤与形成低击穿电压MISFETQ1的 n^- 型半导体区LNLD的步骤或形成高击穿电压MISFETQ2的 n^- 型半导体区HNLD的步骤分开执行,但是基于第一特性,额外掩膜的数量减少。另一方面,通过适当的优化可以作为相同的半导体区同时形成MONOS晶体管MC的 n^+ 型半导体区NDF、低击穿电压MISFETQ1的 n^+ 型半导体区NDF和高击穿电压MISFETQ2的 n^+ 型半导体区NDF,并且因此,基于第二特性,额外掩膜的数量减少。

[0186] 在第一实施例中,通过采取被说明为用于形成MONOS晶体管MC的源极区和漏极区的离子注入步骤中的第一和第二特性的措施,可以减少额外掩膜的数量。因此,在第一实施例中,由于额外掩膜的数量减少,可以降低半导体器件的制造成本。

[0187] 接下来将对第一实施例的第三特性进行说明。图21是第一实施例中的第三特性的说明图。在制造第一实施例的半导体器件的方法中,用于MONOS晶体管MC的栅电极CG的形成的多晶硅膜PF2不同于用于低击穿电压MISFETQ1的栅电极G1或高击穿电压MISFETQ2的栅电极G2的形成的多晶硅膜PF1,使得残余物图案不可避免地边界区BR中形成。

[0188] 这里,例如,图21B示出在边界区BR中留下抗蚀剂膜并且从而有意地形成大尺寸残余物图案LFT(P)的技术。如图21B中所示,这样形成的大尺寸残余物图案LFT(P)增加残余物图案LFT(P)的粘合力,以便它提供防止残余物图案剥落并且成为异物的优点。然而,考虑到混合装载MONOS晶体管作为将被添加到主电路的附加电路同时使主电路的制造过程中的变化最小化,增加残余物图案的尺寸具有下面的缺点。具体地说明,如图21B中所示,增加残余物图案LFT(P)的尺寸会减小接触层间绝缘膜的表面与残余物图案LFT(P)的上表面之间的距离LB。这意味着需要增加接触层间绝缘膜的厚度L2。换句话说,增加残余物图案LFT(P)的尺寸从防止残余物图案LFT(P)剥离的观点出发是有用的,但该技术需要在主电路的制造过程中的变化以便保证接触层间绝缘膜的表面与残余物图案LFT(P)的上表面之间的距离LB。当混合装载MONOS晶体管时,这个过程因此难以使主电路的制造过程中的变化最小化。因此,由于主电路的制造过程中的变化,它增加制造成本。

[0189] 另一方面,图21A示出了在第一实施例中的边界区BR中形成的残余物图案LFT的形状。在第一实施例中,如图21A中所示,形成残余物图案LFT而不在边界区BR中留下抗蚀剂膜(第三特性)。在这种情况下,残余物图案LFT的高度不大于在主电路形成区AR中形成的场效

应晶体管的栅电极的高度。这意味着在第一实施例中,可以保证接触层间绝缘膜的表面与残余物图案LFT的上表面之间的距离 LA 。因此,根据第一实施例,没有必要改变接触层间绝缘膜的厚度 $L1$ 并且可以使主电路的制造过程中的变化最小化。因此,根据第一实施例,可以避免由于主电路的制造过程中的变化造成的制造成本的增加。

[0190] 由于使得能够减少额外掩膜的数量和第一和第二特性与使得能够使主电路的制造过程中的变化最小化的第三特性的协同效应,第一实施例对具有MONOS晶体管MC作为将被添加到主电路的附加电路的半导体器件的制造成本的降低具有显著效果。

[0191] <修改实例1>

[0192] 接下来,将对修改实例1进行说明。修改实例1中的半导体器件的制造方法基本上类似于第一实施例的半导体器件的制造方法,因此将主要对它们之间的区别进行说明。

[0193] 类似于第一实施例,执行图7到图9中所示的步骤。然后,如图22中所示,通过涂敷在多晶硅膜PF2上形成抗蚀剂膜PR2并且使用光刻将这样形成的抗蚀剂膜PR2图案化。执行抗蚀剂膜PR2的图案化以便覆盖存储器形成区MR的栅电极形成区并且暴露主电路形成区AR。通过将经图案化的抗蚀剂膜PR2作为掩膜的蚀刻,将多晶硅膜PR2图案化以在存储器形成区MR中形成栅电极CG。

[0194] 接下来,如图23中所示,使用经图案化的抗蚀剂膜PR2作为掩膜而无需将其更改为另一个,通过离子注入,在存储器形成区MR的半导体衬底1S中与栅电极CG对准形成 n^- 型半导体区MLD。同样在修改实例1中,在用于MONOS晶体管的栅电极CG的形成的处理与用于与MONOS晶体管的栅电极CG对准的 n^- 型半导体区MLD的形成的离子注入之间共享掩膜。同样在修改实例1中,这使得可以减少用于MONOS晶体管的混合装载的额外掩膜的数量。

[0195] 在修改实例1中,如图23中所示,经由由绝缘膜IF1、电荷存储膜EC和绝缘膜IF2构成并且从栅电极CG暴露的堆叠绝缘膜在半导体衬底1S中形成 n^- 型半导体区MLD。简言之,修改实例1的特性是,通过离子注入形成 n^- 型半导体区MLD,同时留下从栅电极CG暴露的堆叠绝缘膜。

[0196] 然后,如图24中所示,然后例如通过干法蚀刻去除暴露的绝缘膜IF2、电荷存储膜EC和绝缘膜IF1。在这之后的步骤类似于第一实施例的那些步骤。

[0197] 如上所述,在修改实例1中的半导体器件的制造方法中,由于经由堆叠绝缘膜(绝缘膜IF1、电荷存储膜EC和绝缘膜IF2)形成 n^- 型半导体区MLD(如图23中所示),可以保护半导体衬底1S的表面免受可以在离子注入时发生的损害。换句话说,在修改实例1中,由于堆叠绝缘膜的存在,可以减少可以在离子注入时发生的损害,并且同时,可以防止半导体衬底1S的表面遭受可以由离子注入引起的污染。此外,在主电路形成区AR中的多晶硅膜PF1上保留下来的堆叠绝缘膜有效地防止离子注入的导电型杂质容易地穿透多晶硅膜PF1。

[0198] <修改实例2>

[0199] 接下来,将对修改实例2进行说明。修改实例2中的半导体器件的制造方法几乎类似于第一实施例的半导体器件的制造方法,因此将主要对它们之间的区别进行说明。

[0200] 以类似于第一实施例的方式,执行图7到图9中所示的步骤。然后,如图25中所示,通过涂敷在多晶硅膜PF2上形成抗蚀剂膜PR2并且使用光刻将抗蚀剂膜PR2图案化。执行抗蚀剂膜PR2的图案化以便覆盖存储器形成区MR的栅电极形成区并且同时暴露主电路形成区AR。通过将经图案化的抗蚀剂膜PR2作为掩膜的蚀刻,将多晶硅膜PR2图案化以在存储器形

成区MR中形成栅电极CG。

[0201] 接下来,如图26中所示,在去除由经图案化的抗蚀剂膜PR2制成的掩膜之后,例如通过湿法蚀刻去除从栅电极CG暴露的绝缘膜IF2。然后,将栅电极CG的暴露表面氧化,以在栅电极CG的暴露表面上形成氧化硅膜OX1。

[0202] 然后,如图27中所示,例如通过湿法蚀刻用热磷酸去除由氮化硅膜制成的电荷存储膜EC。然后,如图28中所示,通过使用栅电极CG作为掩膜的离子注入,在存储器形成区MR的半导体衬底1S中与栅电极CG对准形成 n^- 型半导体区MLD。在图28中,也可以在通过湿法蚀刻去除从栅电极CG暴露的绝缘膜IF1之后,通过使用栅电极CG作为掩膜的离子注入在存储器形成区MR的半导体衬底1S中与栅电极CG对准形成 n^- 型半导体区MLD。这之后的步骤类似于第一实施例的那些步骤。

[0203] 如上所述,在修改实例2中的半导体器件的制造方法中,可以防止半导体衬底1S遭受由于干法蚀刻造成的损害,因为堆叠绝缘膜不是通过干法蚀刻而是通过湿法蚀刻去除。此外,在修改实例2中,在栅电极CG的暴露表面上形成氧化硅膜OX1并且此氧化硅膜OX1在使用栅电极CG作为掩膜的离子注入步骤期间用作偏移间隔物,使得可以抑制MONOS晶体管MC处的短沟道效应。

[0204] <修改实例3>

[0205] 接下来,将对修改实例3进行说明。修改实例3中的半导体器件的制造方法基本上类似于第一实施例的半导体器件的制造方法,因此将主要对它们之间的区别进行说明。

[0206] 以类似于第一实施例的方式,执行图7到图9中所示的步骤。然后,如图29中所示,通过涂敷在多晶硅膜PF2上形成抗蚀剂膜PR2并且使用光刻将抗蚀剂膜PR2图案化。执行抗蚀剂膜PR2的图案化以便覆盖存储器形成区MR的栅电极形成区并且同时暴露主电路形成区AR。通过将经图案化的抗蚀剂膜PR2作为掩膜的蚀刻,将多晶硅膜PR2图案化以在存储器形成区MR中形成栅电极CG。

[0207] 接下来,如图30中所示,使用经图案化的抗蚀剂膜PR2作为掩膜而无需将其更改为另一个,通过离子注入,在存储器形成区MR的半导体衬底1S中与栅电极CG对准形成 n^- 型半导体区MLD。这时,在修改实例3中,经由从栅电极CG暴露的堆叠绝缘膜(绝缘膜IF1、电荷存储膜EC和绝缘膜IF2)在半导体衬底1S中形成 n^- 型半导体区MLD。

[0208] 然后,如图31中所示,在去除由经图案化的抗蚀剂膜PR2制成的掩膜之后,例如通过湿法蚀刻去除从栅电极CG暴露的绝缘膜IF2。然后,将栅电极CG的暴露表面氧化,以在栅电极CG的暴露表面上形成氧化硅膜OX1。

[0209] 接下来,如图32中所示,例如,通过湿法蚀刻用热磷酸去除由氮化硅膜制成的电荷存储膜EC。在图32中所示的步骤之后,通过湿法蚀刻去除从栅电极CG暴露的绝缘膜IF1(未图示)。这之后的步骤类似于第一实施例的那些步骤。

[0210] 如上所述,修改实例3中的半导体器件的制造方法可以抑制半导体衬底1S受到干法蚀刻的损害,因为堆叠绝缘膜不是通过干法蚀刻而是通过湿法蚀刻去除。

[0211] (第二实施例)

[0212] 在第二实施例中,将对具有具有功率晶体管的主电路和包括在附加电路中的MONOS晶体管两者的半导体器件进行说明。

[0213] <半导体芯片的布局配置实例>

[0214] 图33示出了第二实施例的半导体芯片CHP2布局配置实例。在图33中,第二实施例的半导体芯片CHP2具有模拟电路4、非易失性存储器5、I/O电路6、逻辑电路7和驱动器电路8。逻辑电路7由例如n沟道型低击穿电压MISFET (n型MISFET) 和p沟道型低击穿电压MISFET (p型MISFET) 构成,而驱动器电路8由例如n沟道型功率晶体管 (n型功率晶体管) 和p沟道型功率晶体管 (p型功率晶体管) 构成。

[0215] 主电路由模拟电路4、逻辑电路7和驱动器电路8构成,而附加电路由非易失性存储器5构成。简言之,第二实施例的半导体芯片CHP2具有实现主要功能的主电路和将被添加到主电路的附加电路。在第二实施例中,MONOS晶体管用于附加电路。特别是,在第二实施例中,附加电路由在晶片的完成之后要用于电压调节的电熔丝构成。通过从作为可重写非易失性存储器的MONOS晶体管构造此电熔丝,可以实现可以以晶片形式或封装形式反复调节的MTP (多次性编程) 型电熔丝。

[0216] <半导体芯片的器件结构>

[0217] 图34是示出第二实施例中的半导体芯片CHP2的器件结构实例的剖面图。图34示出存储器形成区MR、主电路形成区AR和夹于存储器形成区MR和主电路形成区AR之间的边界区BR。主电路形成区AR由n型MISFET形成区LR (N)、p型MISFET形成区LR (P)、n型功率晶体管形成区PWR (N) 和p型功率晶体管形成区PWR (P) 构成。

[0218] 在图34中,半导体衬底1S上具有掩埋绝缘层BOX。此掩埋绝缘层BOX上具有硅层SIL。此硅层SIL中具有用于使元件彼此隔离的元件隔离区STI。由元件隔离区STI隔离的有源区分别成为存储器形成区MR、n型MISFET形成区LR (N)、p型MISFET形成区LR (P)、n型功率晶体管形成区PWR (N) 和p型功率晶体管形成区PWR (P)。特别是,将n型功率晶体管形成区PWR (N) 与p型功率晶体管形成区PWR (P) 分离的元件隔离区STI具有穿透硅层SIL并且到达掩埋绝缘层BOX的深沟槽隔离区DTI。

[0219] 在存储器形成区MR中形成的MONOS晶体管MC具有以下配置。具体地说明,在硅层SIL中形成的p阱MPW上具有绝缘膜(势垒膜) IF1并且该绝缘膜IF1上具有电荷存储膜EC。此电荷存储膜EC上具有绝缘膜(势垒膜) IF2并且绝缘膜IF2上具有由导电膜制成的栅电极CG。栅电极CG由例如多晶硅膜PF2和硅化物膜CS的堆叠膜构成以便降低电阻。栅电极CG在它的两个侧壁上具有由例如绝缘膜制成的侧壁SW以具有LDD结构。

[0220] 侧壁SW下方的硅层SIL中具有 n^- 型半导体区MLD和 n^+ 型半导体区NDF作为半导体区。绝缘膜IF1正下方的p阱MPW中具有沟道区。

[0221] 接下来,将对在n型MISFET形成区LR (N) 中形成的n型MISFETQ1 (N) 的配置进行说明。在n型MISFETQ1 (N) 中,在硅层SIL中形成的p阱PW上具有栅绝缘膜GOX1并且此栅绝缘膜GOX1上具有栅电极G1 (N)。栅绝缘膜GOX1由例如氧化硅膜制成,而栅电极G1 (N) 由例如多晶硅膜制成。栅电极G1 (N) 在它的两个侧壁上具有侧壁SW并且在此侧壁SW下方的硅层SIL中具有 n^- 型半导体区LNLD和 n^+ 型半导体区NDF作为半导体区。栅绝缘膜GOX1正下方的p阱PW中具有沟道区。

[0222] 接下来,将对在p型MISFET形成区LR (P) 中形成的p型MISFETQ1 (P) 的配置进行说明。在p型MISFETQ1 (P) 中,在硅层SIL中形成的n阱NW上具有栅绝缘膜GOX1并且此栅绝缘膜GOX1上具有栅电极G1 (P)。栅绝缘膜GOX1由例如氧化硅膜制成,而栅电极G1 (P) 由例如多晶硅膜制成。栅电极G1 (P) 在它的两个侧壁上具有侧壁SW并且在此侧壁SW下方的硅层SIL中具

有 p^- 型半导体区LPLD和 p^+ 型半导体区PDF作为半导体区。栅绝缘膜GOX1正下方的n阱NW中具有沟道区。

[0223] 接下来,将对在n型功率晶体管形成区PWR(N)中形成的n型功率晶体管Q3(N)的配置进行说明。在n型功率晶体管Q3(N)中,硅层SIL中具有彼此分离的n阱NWL和p阱PW。形成n阱NW以便包含在n阱NWL中。形成 n^+ 型半导体区NDF(漏极区)以便包含在n阱NW中。另一方面,形成 n^+ 型半导体区NDF(源极区)和 p^+ 型半导体区PDF(体接触区)以便包含在p型阱PW(体区)中。形成 n^+ 型半导体区NDF和 p^+ 型半导体区PDF以使其彼此相邻。硅层SIL在其表面上具有栅绝缘膜GOX2并且此栅绝缘膜GOX2上具有栅电极G3(N)。栅电极GOX2由例如氧化硅膜制成并且栅电极G3(N)由例如多晶硅膜制成。

[0224] 接下来,将对在p型功率晶体管形成区PWR(P)中形成的p型功率晶体管Q3(P)的配置进行说明。在p型功率晶体管Q3(P)中,硅层SIL中具有彼此分离的p阱HPW和n阱NW。形成p阱PW以便包含在p阱HPW中。形成 p^+ 型半导体区PDF(漏极区)以便包含在p阱PW中。另一方面,形成 p^+ 型半导体区PDF(源极区)和 n^+ 型半导体区NDF(体接触区)以便包含在n阱NW(体区)中。形成 p^+ 型半导体区PDF和 n^+ 型半导体区NDF以使其彼此相邻。硅层SIL在其表面上具有栅绝缘膜GOX2并且此栅绝缘膜GOX2上具有栅电极G3(P)。栅电极GOX2由例如氧化硅膜制成并且栅电极G3(P)由例如多晶硅膜制成。

[0225] 边界区BR中具有残余物图案LFT,残余物图案LFT是制造步骤的痕迹。更具体地说,第二实施例中的残余物图案LFT,如图34中所示,由以下构成:作为多晶硅膜的残余物的残余物部LFT3,作为由绝缘膜IF1、电荷存储膜EC和绝缘膜IF2构成的堆叠绝缘膜的残余物的残余物部LFT2,和作为多晶硅膜的残余物的残余物部LFT1。残余物部LFT3在残余物部LFT1的侧表面上经由残余物部LFT2以侧壁形式形成。

[0226] <制造第二实施例中的半导体器件的方法>(MONOS LAST)

[0227] 第二实施例的半导体器件具有如上所述的配置。下面将参考一些附图对它的制造方法进行说明。制造第二实施例的半导体器件的方法被称为“MONOS LAST”。这种“MONOS LAST”特别是在抑制过量热负荷到MONOS晶体管的施加方面是有利的。具体地说明,第二实施例的前提是功率晶体管和MONOS晶体管的混合装载。此时,相当大的热负荷被施加到功率晶体管作为其制造条件,因为它的使用需要大的电压或电流的控制。因此,当混合装载功率晶体管和MONOS晶体管时,在功率晶体管的形成期间的大的热负荷可以对MONOS晶体管的特性产生影响。在第二实施例中,被称为“MONOS LAST”的制造方法能够抑制过量热负荷到MONOS晶体管的施加。下面将对使用称为“MONOS LAST”的制造方法的第二实施例的半导体器件的制造方法进行说明。

[0228] 首先,在图35中,提供在半导体衬底1S上具有掩埋绝缘层BOX并且在掩埋绝缘层BOX上具有硅层SIL的SOI(绝缘体上硅)。然后,在硅层SIL中形成元件隔离区STI,由此将存储器形成区MR、n型MISFET形成区LR(N)、p型MISFET形成区LR(P)、n型功率晶体管形成区PWR(N)和p型功率晶体管形成区PWR(P)彼此分离。然后,通过光刻和离子注入,在n型MISFET形成区LR(N)的硅层SIL中形成p阱PW并且在p型MISFET形成区LR(P)的硅层SIL中形成n阱NW。在n型功率晶体管形成区PWR(N)中,形成n阱NWL、n阱NW和p阱PW。同样,在p型功率晶体管形成区PWR(P)的硅层SIL中,形成p阱HPW、p阱PW和n阱NW。然后,在n型MISFET形成区LR(N)和p型MISFET形成区LR(P)中的每一者的硅层SIL的表面上形成栅绝缘膜GOX1,而在n型功率晶

体管形成区PWR (N) 和p型功率晶体管形成区PWR (P) 中的每一者的硅层SIL的表面上形成栅绝缘膜GOX2。

[0229] 接下来,如图36中所示,在SOI衬底的整个表面上形成多晶硅膜(polycrystalline silicon film) PF1。在通过涂敷将抗蚀剂膜PR6形成到多晶硅膜PF1上之后,使用光刻将抗蚀剂膜PR6图案化。执行抗蚀剂膜PR6的图案化以便覆盖主电路形成区AR并且同时暴露存储器形成区MR。然后,通过将经图案化的抗蚀剂膜PR6作为掩膜的蚀刻,从存储器形成区MR去除多晶硅膜PF1和栅绝缘膜GOX1。然后,通过将经图案化的抗蚀剂膜PR6作为掩膜的离子注入,在存储器形成区MR的硅层SIL中形成p阱MPW。此外,在存储器形成区MR中,通过离子注入将导电型杂质注入到p阱MPW的沟道区中以便调节MONOS晶体管的阈值电压。

[0230] 接下来,如图37中所示,在SOI衬底和多晶硅膜PF1上形成绝缘膜IF1并且在此绝缘膜IF1上形成电荷存储膜EC。然后,在电荷存储膜EC上形成绝缘膜IF2,接着在绝缘膜IF2上形成多晶硅膜PF2。绝缘膜IF1由例如氧化硅膜制成并且为了它的形成,可以使用能够形成致密并且具有良好的膜质量的氧化硅膜的ISSG氧化。绝缘膜IF1具有约4nm的厚度。电荷存储膜EC由氮化硅膜制成并且可以例如通过CVD形成。电荷存储膜EC具有约10nm的厚度。绝缘膜IF2由氧化硅膜制成并且为了它的形成,可以使用能够形成致密并且具有良好的膜质量的氧化硅膜的HTO(高温氧化物)。绝缘膜IF2具有约5nm的厚度。可以使用例如CVD形成多晶硅膜PF2。以这样的方式,可以形成致密、具有优良的绝缘阻值允差并且具有良好的质量的堆叠绝缘膜(ONO膜)。

[0231] 接下来,如图38中所示,在通过涂敷将抗蚀剂膜PR7形成到多晶硅膜PF2上之后,通过光刻将抗蚀剂膜PR7图案化。执行抗蚀剂膜PR7的图案化以便覆盖存储器形成区MR的栅电极形成区并且同时暴露主电路形成区AR。通过将经图案化的抗蚀剂膜PR7作为掩膜的蚀刻,将多晶硅膜PF2图案化以在存储器形成区MR中形成栅电极CG。此时,如图38中所示,在边界区BR中,多晶硅膜PF2的残余物部LFT3以侧壁形式形成。然后,如图39中所示,例如通过干法蚀刻去除暴露的绝缘膜IF2、电荷存储膜EC和绝缘膜IF1。因此,由绝缘膜IF1、电荷存储膜EC和绝缘膜IF2构成的堆叠绝缘膜在形成于存储器形成区MR中的栅电极CG下方保留下来,并且同时由绝缘膜IF2、电荷存储膜EC和绝缘膜IF1构成的残余物部LFT2在边界区BR的覆盖有残余物部LFT3的一部分中形成。

[0232] 然后,如图40中所示,使用由经图案化的抗蚀剂掩膜PR7制成的掩膜而无需将其更改为另一个,通过离子注入,在存储器形成区MR的硅层SIL中与栅电极CG对准形成n⁻型半导体区MLD。这意味着在第二实施例中,在用于MONOS晶体管的栅电极CG的形成的处理与用于与MONOS晶体管的栅电极CG对准的n⁻型半导体区MLD的形成的离子注入之间共享掩膜。在第二实施例中,这使得可以减少MONOS晶体管的混合装载所需的额外掩膜的数量。

[0233] 接下来,如图41中所示,在去除经图案化的抗蚀剂膜PR7之后,通过涂敷形成从存储器形成区MR延伸到主电路形成区AR的抗蚀剂膜PR8。更具体地说,通过涂敷形成覆盖在存储器形成区MR中形成的栅电极CG并且同时在形成于主电路形成区AR中的多晶硅膜PF1上延伸的抗蚀剂膜PR8。然后,通过光刻将抗蚀剂膜PR8图案化。执行抗蚀剂膜PR8的图案化以便覆盖存储器形成区MR并且同时覆盖主电路形成区AR的栅电极形成区。通过将经图案化的抗蚀剂膜PR8作为掩膜的蚀刻,处理多晶硅膜PF1。因此,可以在主电路形成区AR的n型MISFET形成区LR (N) 中和在主电路形成区AR的p型MISFET形成区LR (P) 中分别形成栅电极G1 (N) 和

栅电极G1 (P)。同样,可以在主电路形成区AR的n型功率晶体管形成区PWR (N) 中和在主电路形成区AR的p型功率晶体管形成区PWR (P) 中分别形成栅电极G3 (N) 和栅电极G3 (P)。此时,在边界区BR中,作为多晶硅膜PF1的残余物的残余物部LFT1形成。因此,具有其中残余物部LFT1在其侧壁上经由残余物部LFT2具有残余物部LFT3的结构的残余物图案LFT在边界区BR中保留下来。

[0234] 然后,如图42中所示,在去除经图案化的抗蚀剂膜PR8之后,通过涂敷在SOI衬底上形成抗蚀剂膜PR9。通过光刻将抗蚀剂膜PR9图案化。执行抗蚀剂膜PR9的图案化以使用其覆盖存储器形成区MR、边界区BR、p型MISFET形成区LR (P)、n型功率晶体管形成区PWR (N) 和p型功率晶体管形成区PWR (N),同时暴露n型MISFET形成区LR (N)。然后,通过将经图案化的抗蚀剂膜PR9作为掩膜的离子注入,在n型MISFET形成区LR (N) 的硅层SIL中与栅电极G1 (N) 对准形成n⁻型半导体区LNLD。

[0235] 接下来,如图43中所示,在去除经图案化的抗蚀剂膜PR9之后,通过涂敷在SOI衬底上形成抗蚀剂膜PR10。通过使用光刻,将抗蚀剂膜PR10图案化。执行抗蚀剂膜PR10的图案化以使用其覆盖存储器形成区MR、边界区BR、n型MISFET形成区LR (N)、n型功率晶体管形成区PWR (N) 和p型功率晶体管形成区PWR (N),同时暴露p型MISFET形成区LR (P)。然后,通过将经图案化的抗蚀剂膜PR10作为掩膜的离子注入,在p型MISFET形成区LR (P) 的硅层SIL中与栅电极G1 (P) 对准形成p⁻型半导体区LPLD。

[0236] 接下来,在去除经图案化的抗蚀剂膜PR10之后,例如在SOI衬底上形成氧化硅膜,如图44中所示。氧化硅膜例如可以通过CVD来形成。然后,将氧化硅膜进行各向异性蚀刻以形成侧壁SW。更具体地说,在存储器形成区MR中,在栅电极CG的两个侧壁上形成侧壁SW (堆叠结构:栅电极CG+ON0膜)。另一方面,在主电路形成区AR的n型MISFET形成区LR (N) 中,在栅电极G1 (N) 的两个侧壁上形成侧壁SW,而在主电路形成区AR的p型MISFET形成区LR (P) 中,在栅电极G2 (P) 的两个侧壁上形成侧壁SW。此外,在主电路形成区AR的n型功率晶体管形成区PWR (N) 中,在栅电极G3 (N) 的两个侧壁上形成侧壁SW,并且在主电路形成区AR的p型功率晶体管形成区PWR (P) 中,在栅电极G3 (P) 的两个侧壁上形成侧壁SW。同样在边界区BR中,在残余物图案LFT的侧壁上形成侧壁SW。

[0237] 接下来,如图45中所示,通过涂敷在SOI衬底上形成抗蚀剂膜PR11。通过使用光刻,将抗蚀剂膜PR11图案化。执行抗蚀剂膜PR11的图案化以便暴露存储器形成区MR、边界区BR、n型MISFET形成区LR (N) 和n型功率晶体管形成区PWR (N) 的除体接触区以外的区。同时,执行抗蚀剂膜PR11的图案化以便覆盖p型MISFET形成区LR (P)、n型功率晶体管形成区PWR (N) 的体接触区和p型功率晶体管形成区PWR (P) 的除体接触区以外的区。

[0238] 然后,通过将经图案化的抗蚀剂膜PR11作为掩膜的离子注入,在存储器形成区MR中与侧壁SW对准形成n⁺型半导体区NDF。MONOS晶体管的源极区或漏极区由n⁺型半导体区NDF和n⁻型半导体区MLD形成。

[0239] 通过类似的离子注入步骤,也在主电路形成区AR的n型MISFET形成区LR (N) 中与侧壁SW对准形成n⁺型半导体区NDF。n型MISFET的源极区或漏极区由n⁺型半导体区NDF和n⁻型半导体区LNLD形成。

[0240] 通过类似的离子注入步骤,也在主电路形成区AR的n型功率晶体管形成区PWR (N) 中形成n⁺型半导体区NDF。n型功率晶体管的源极区或漏极区由此n⁺型半导体区NDF形成。

[0241] 此外,通过类似的离子注入步骤,也在主电路形成区AR的p型功率晶体管形成区PWR(P)中形成 n^+ 型半导体区NDF,该 n^+ 型半导体区NDF将是体接触区。

[0242] 因此,在第二实施例中,同时形成MONOS晶体管的 n^+ 型半导体区NDF、n型MISFET的 n^+ 型半导体区NDF、n型功率晶体管的 n^+ 型半导体区NDF和p型功率晶体管的 n^+ 型半导体区NDF。这意味着在第二实施例中,使用公共掩膜通过离子注入同时形成MONOS晶体管的 n^+ 型半导体区NDF、n型MISFET的 n^+ 型半导体区NDF、n型功率晶体管的 n^+ 型半导体区NDF和p型功率晶体管的 n^+ 型半导体区NDF。因此,根据第二实施例,用于形成MONOS晶体管的 n^+ 型半导体区NDF的额外掩膜变得不必要。因此,第二实施例使得可以减少MONOS晶体管的混合装载所需的额外掩膜的数量。

[0243] 接下来,如图46中所示,在去除经图案化的抗蚀剂膜PR11之后,通过涂敷在SOI衬底上形成抗蚀剂膜PR12。通过使用光刻,将抗蚀剂膜PR12图案化。执行抗蚀剂膜PR12的图案化以便覆盖存储器形成区MR、边界区BR、n型MISFET形成区LR(N)、n型功率晶体管形成区PWR(N)的除体接触区以外的区和p型功率晶体管形成区PWR(P)的体接触区。同时,执行抗蚀剂膜PR12的图案化以便暴露p型MISFET形成区LR(P)、n型功率晶体管形成区PWR(N)的体接触区和p型功率晶体管形成区PWR(P)的除体接触区以外的区。

[0244] 然后,通过将经图案化的抗蚀剂膜PR12作为掩膜的离子注入,在主电路形成区AR的p型MISFET形成区LR(P)中与侧壁SW对准形成 p^+ 型半导体区PDF。 p 型MISFET的源极区或漏极区由 p^+ 型半导体区PDF和 n^- 型半导体区LPLD形成。

[0245] 通过类似的离子注入步骤,也在主电路形成区AR的n型功率晶体管形成区PWR(N)中形成 p^+ 型半导体区PDF,该 p^+ 型半导体区PDF将是体接触区。

[0246] 此外,通过类似的离子注入步骤,也在主电路形成区AR的p型功率晶体管形成区PWR(P)中形成 p^+ 型半导体区PDF。 p 型功率晶体管的源极区或漏极区由所得的 p^+ 型半导体区PDF形成。

[0247] 接下来,如图47中所示,在将n型功率晶体管形成区PWR(N)与p型功率晶体管形成区PWR(P)分离的元件隔离区STI中,形成穿透硅层SIL并且到达掩埋绝缘层BOX的深沟槽隔离区DTI。然后如在第一实施例中一样执行布线步骤。

[0248] 通过上述的方法,可以制造其中混合装载有MONOS晶体管MC、n型MISFETQ1(N)、p型MISFETQ1(P)、n型功率晶体管Q3(N)和p型功率晶体管Q3(P)的第二实施例的半导体器件。

[0249] (第三实施例)

[0250] 在第三实施例中,接下来将说明被称为“MONOS FIRST”的半导体器件的制造方法的使用实例作为其中混合装载有包括场效应晶体管的主电路和包括在附加电路中的MONOS晶体管的半导体器件的制造方法。

[0251] <半导体芯片的器件结构>

[0252] 图48是示出第三实施例中的半导体芯片CHP3的器件结构实例的剖面图。图48示出存储器形成区MR、主电路形成区AR和夹于存储器形成区MR和主电路形成区AR之间的边界区BR。主电路形成区AR由低击穿电压MISFET形成区LR和高击穿电压MISFET形成区HR构成。第三实施例中的半导体芯片CHP3的器件结构基本上类似于第一实施例的半导体芯片CHP1的器件结构(参见图3),因此将主要对它们之间的区别进行说明。

[0253] 在第三实施例的半导体芯片CHP3中,在边界区BR中形成的残余物图案LFT与第一

实施例的残余物图案LFT不同。这归因于半导体器件的制造方法的差异。在第一实施例中使用被称为“MONOS LAST”的半导体器件制造方法,而在第三实施例中使用被称为“MONOS FIRST”的半导体器件制造方法。更具体地说,在第一实施例中使用被称为“MONOS LAST”的制造方法,使得第一实施例的残余物图案LET如图3中所示具有其中残余物部LFT1在其侧壁上具有经由残余物部LFT2的以侧壁形式的残余物部LFT3的结构。另一方面,在第三实施例中,采用被称为“MONOS FIRST”的制造方法,并且因此,如图48中所示,第三实施例的残余物图案LFT具有其中残余物部LFT3在其侧壁上具有经由残余物部LFT2的以侧壁形式的残余物部LFT1。这意味着在第一实施例中,残余物部LFT3是侧壁形式的,而在第三实施例中,残余物部LFT1是侧壁形式的。

[0254] 第三实施例的半导体芯片CHP3的另一种器件结构类似于第一实施例中的半导体芯片CHP1的器件结构。

[0255] <改进的余地>

[0256] 第三实施例的半导体器件的制造方法是被称为“MONOS FIRST”的方法。“MONOS FIRST”是这样的制造方法,形成将被处理成作为附加电路的构成成分的MONOS晶体管的栅电极的导体膜,即第二导体膜,并且然后形成将被处理成作为主电路的构成成分的场效应晶体管的栅电极的导体膜,即第一导体膜。被称为“MONOS FIRST”的制造方法是有利的,因为可以抑制在形成MONOS晶体管期间施加的热负荷对主电路(基础产品)的场效应晶体管的影响。因此被称为“MONOS FIRST”的制造方法特别对于抑制过量热负荷到配置主电路的场效应晶体管的施加并且从而减少作为主电路的构成成分的场效应晶体管的特性的变化是有效的。

[0257] 在类似于被称为“MONOS LAST”的半导体器件的制造方法的被称为“MONOS FIRST”的半导体器件的制造方法中,希望混合装载MONOS晶体管作为附加电路,同时使其中具有主电路的基础产品的制造过程中的变化最小化。更具体地说,MONOS晶体管与主电路的场效应晶体管的混合装载增加掩膜的数量,使得希望减少额外掩膜的数量并且从而降低半导体器件的制造成本。首先,将对“MONOS FIRST”的现有技术进行说明,接着对该现有技术的改进余地进行说明。

[0258] 图49是示出用于混合装载场作为主电路的构成成分的效应晶体管和作为附加电路的构成成分的MONOS晶体管的制造步骤的流程的现有技术流程图。在图49中所示的流程图中,为了MONOS晶体管的混合装载需要额外掩膜的步骤由虚线包围。

[0259] 首先,如图49中所示,在主电路形成区中形成阱(S2001)。在阱的形成期间,使用覆盖主电路形成区并且暴露存储器形成区的额外掩膜MSK1。这意味着在存储器形成区中形成MONOS晶体管的阱需要额外掩膜MSK1。在半导体衬底的整个主表面上形成多晶硅膜。然后去除在主电路形成区中形成的多晶硅膜,同时留下在存储器形成区中形成的多晶硅膜(S2002)。此时,使用覆盖存储器形成区并且同时暴露主电路形成区的额外掩膜MSK2。然后,在主电路形成区中形成阱(S2003)。

[0260] 接下来,在主电路形成区中形成栅电极(S2004)。然后,在存储器形成区中形成栅电极(S2005)。此时,在存储器形成区中形成MONOS晶体管的栅电极需要额外掩膜MSK3。

[0261] 接下来,在存储器形成区中形成n⁻型半导体区(扩展区)(S2006)。此时,在存储器形成区中形成MONOS晶体管的n⁻型半导体区需要额外掩膜MSK4。接下来,在主电路形成区中

形成场效应晶体管的 n^- 型半导体区(S2007)。

[0262] 然后,在MONOS晶体管的栅电极的侧壁和场效应晶体管的栅电极的侧壁中的每一者上形成侧壁间隔物(S2008)。然后,在存储器形成区中形成 n^+ 型半导体区(扩散层)(S2009)。此时,在存储器形成区中形成MONOS晶体管的 n^+ 型半导体区需要额外掩膜MSK5。接下来,在主电路形成区中形成场效应晶体管的 n^+ 型半导体区(S2010)。

[0263] 这之后的步骤不需要额外掩膜,因此省略对它们的说明。在现有技术中,可以以这样的方式混合装载作为主电路的构成成分的场效应晶体管和作为附加电路的构成成分的MONOS晶体管。如图49中所示,根据现有技术的半导体器件的制造步骤需要五个额外掩膜MSK1到MSK5用于MONOS晶体管(附加电路)与基础产品(主电路)的混合装载。在这点上,希望减少为了MONOS晶体管的混合装载而将添加的掩膜的数量并且从而降低半导体器件的制造成本。因此,希望进一步减少在现有技术中使用的额外掩膜的数量(五个掩膜)。因此,在第三实施例中,采取使为了MONOS晶体管的混合装载而添加的掩膜的数量比在现有技术中为了MONOS晶体管的混合装载而添加的掩膜的数量要少的措施。接下来将对采取此措施的第三实施例的技术思路进行说明。

[0264] <第三实施例中的技术思路>

[0265] 图50是示出用于作为主电路的构成成分的场效应晶体管和作为附加电路的构成成分的MONOS晶体管的混合装载的第三实施例的制造步骤的流程的流程图。在图50中所示的流程图中,为了MONOS晶体管的混合装载需要额外掩膜的步骤由虚线包围。

[0266] 如图50中所示,在主电路形成区中形成阱(S201)。在阱形成期间,使用覆盖主电路形成区并且暴露存储器形成区的额外掩膜MSK1。简言之,在存储器形成区中形成MONOS晶体管的阱需要额外掩膜MSK1。然后,在半导体衬底的整个表面上形成多晶硅膜。然后,去除在主电路形成区中形成的多晶硅膜,同时留下在存储器形成区中形成的多晶硅膜(S202)。此时,使用覆盖存储器形成区并且暴露主电路形成区的额外掩膜MSK2。然后,在主电路形成区中形成阱(S203)。

[0267] 接下来,在主电路形成区中形成栅电极(S204)。然后,在存储器形成区中形成栅电极(S205)。此时,在存储器形成区中形成MONOS晶体管的栅电极需要额外掩膜MSK3。在第三实施例中,在使用用于在存储器形成区中形成MONOS晶体管的栅电极的额外掩膜而无需将其更改为另一个时,在存储器形成区中形成 n^- 型半导体区(S206)。换句话说,在第三实施例中,使用用于MONOS晶体管的栅电极的形成的图案化的额外掩膜而无需将其更改为另一个,通过离子注入与MONOS晶体管的栅电极对准形成 n^- 型半导体区。这意味着在第三实施例中,在用于MONOS晶体管的栅电极的形成的处理与用于与MONOS晶体管的栅电极对准的 n^- 型半导体区的形成的离子注入之间共享掩膜。因此第三实施例实现用于MONOS晶体管的混合装载的额外掩膜的数量减少(第一掩膜减少效果)。

[0268] 接下来,在主电路形成区中形成场效应晶体管的 n^- 型半导体区(S207)。然后,在MONOS晶体管的栅电极和场效应晶体管的栅电极中的每一者的侧壁上形成侧壁间隔物(S208)。然后,在存储器形成区中形成MONOS晶体管的 n^+ 型半导体区并且同时主电路形成区中形成场效应晶体管的 n^+ 型半导体区(S209)。这意味着在第三实施例中,同时形成MONOS晶体管的 n^+ 型半导体区和场效应晶体管的 n^+ 型半导体区。换句话说,在第三实施例中,使用公共掩膜通过离子注入同时形成MONOS晶体管的 n^+ 型半导体区和场效应晶体管的 n^+ 型半导

体区。

[0269] 因此,根据第三实施例,MONOS晶体管的 n^+ 型半导体区的形成不需要额外掩膜。因此第三实施例实现用于MONOS晶体管的混合装载的额外掩膜的数量的减少(第二掩膜减少效果)。

[0270] 因此,在第三实施例中,由于上述第一掩膜减少效果和第二掩膜减少效果,可以使用用于MONOS晶体管的混合装载的额外掩膜的数量比现有技术的用于MONOS晶体管的混合装载的额外掩膜的数量要少。更具体地说,在现有技术中,MONOS晶体管(附加电路)与基础产品(主电路)的混合装载需要五个额外掩膜MSK1到MSK5,而在第三实施例中,MONOS晶体管(附加电路)与基础产品(主电路)的混合装载只需要三个额外掩膜MSK1到MSK3。在第三实施例的半导体器件中,可以混合装载MONOS晶体管作为将被添加到主电路的附加电路,同时使其中具有主电路的基础产品的制造过程中的变化最小化。因此,可以降低半导体器件的制造成本。

[0271] <第三实施例中的半导体器件的制造方法>(MONOS FIRST)

[0272] 接下来将参考附图对第三实施例的半导体器件的制造方法进行说明。第三实施例的半导体器件的制造方法称为“MONOS FIRST”。

[0273] 如图51中所示,提供由注入有p型杂质例如硼(B)的硅单晶制成的半导体衬底1S。半导体衬底1S此时是具有大致圆盘状的半导体晶片的形式。在半导体衬底1S中形成元件隔离区STI。提供元件隔离区STI以便防止元件之间的干扰。然后,通过将n型杂质例如磷(P)或砷(As)注入到半导体衬底1S中在半导体衬底1S中形成由n型半导体区构成的阱隔离层NISO。

[0274] 接下来,通过涂敷在半导体衬底1S上形成抗蚀剂膜PR13。然后通过光刻将抗蚀剂膜PR13图案化。执行抗蚀剂膜PR13的图案化以暴露存储器形成区MR并且覆盖主电路形成区AR。然后,通过使用经图案化的抗蚀剂膜PR13作为掩膜的离子注入,在存储器形成区MR的半导体衬底1S中形成p阱MPW。此外,在存储器形成区MR中,通过离子注入将导电型杂质注入到p阱MPW中的沟道区中以便控制MONOS晶体管的阈值电压。

[0275] 接下来,如图52中所示,在去除经图案化的抗蚀剂膜PR13之后,在半导体衬底1S上形成绝缘膜IF1,接着在绝缘膜IF1上形成电荷存储膜EC。然后,在电荷存储膜EC上形成绝缘膜IF2,并且然后,在绝缘膜IF2上形成多晶硅膜PF2。绝缘膜IF1由例如氧化硅膜制成并且为了它的形成,可以使用能够形成具有良好的膜质量的致密氧化硅膜的ISSG氧化。绝缘膜IF1具有约4nm的厚度。电荷存储膜EC由氮化硅膜制成并且可以例如通过CVD形成。电荷存储膜EC具有约10nm的厚度。绝缘膜IF2由氧化硅膜制成并且为了它的形成,可以使用能够形成具有良好的膜质量的致密氧化硅膜的HTO(高温氧化物)。绝缘膜IF2具有约5nm的厚度。可以使用例如CVD形成多晶硅膜PF2。以这样的方式,可以形成致密、具有优良的绝缘阻值允差并且具有良好的膜质量的堆叠绝缘膜(ONO膜)。

[0276] 接下来,如图53中所示,通过涂敷在多晶硅膜PF2上形成抗蚀剂膜PR14。然后通过光刻将抗蚀剂膜PR14图案化。执行抗蚀剂膜PR14的图案化以便覆盖整个存储器形成区MR并且暴露主电路形成区AR。然后,通过将经图案化的抗蚀剂膜PR14作为掩膜的蚀刻,从主电路形成区AR去除多晶硅膜PF2和堆叠绝缘膜(ONO膜)。

[0277] 在此步骤中,多晶硅膜PF2和堆叠绝缘膜留在整个存储器形成区MR中,并且不在存

存储器形成区MR中执行用于MONOS晶体管的栅电极的形成的处理,因为当在此步骤中在存储器形成区MR中形成MONOS晶体管的栅电极时,由于将在后面执行的在主电路形成区AR中形成栅绝缘膜的步骤,MONOS晶体管不可避免地具有鸟嘴。因此,在第三实施例中,为了防止MONOS晶体管具有鸟嘴,在此步骤中在整个存储器形成区MR中留下多晶硅膜PF2和堆叠绝缘膜。

[0278] 接下来,如图54中所示,在去除经图案化的抗蚀剂膜PR14之后,通过涂敷在多晶硅膜PF2和半导体衬底1S上形成抗蚀剂膜PR15。然后通过光刻将抗蚀剂膜PR15图案化。执行抗蚀剂膜PR15的图案化以便覆盖存储器形成区MR和低击穿电压MISFET形成区LR并且同时暴露高击穿电压MISFET形成区HR。接下来,通过将经图案化的抗蚀剂膜PR15作为掩膜的离子注入,在高击穿电压MISFET形成区HR的半导体衬底1S中形成p阱HPW。虽然没有详细说明,但是如图55中所示,通过光刻和离子注入,在低击穿电压MISFET形成区LR的半导体衬底1S中形成p阱PW,并且在形成于边界区BR中的元件隔离区STI下方形成隔离层HNW。

[0279] 接下来,如图56中所示,在用氢氟酸或类似物洗涤半导体衬底1S的表面之后,在半导体衬底1S上的低击穿电压MISFET形成区LR上形成栅绝缘膜GOX1并且在半导体衬底1S的高击穿电压MISFET形成区HR上形成栅绝缘膜GOX2。栅绝缘膜GOX1和栅绝缘膜GOX2各自自由例如氧化硅膜制成并且栅绝缘膜GOX1的厚度比栅绝缘膜GOX2的厚度小。在此步骤中,在存储器形成区MR中,在多晶硅膜PF2上形成栅绝缘膜GOX2。然后,在栅绝缘膜GOX1和栅绝缘膜GOX2上形成多晶硅膜PF1。

[0280] 接下来如图57中所示,在通过涂敷在多晶硅膜PF1上形成抗蚀剂膜PR16之后,使用光刻将抗蚀剂膜PR16图案化。执行抗蚀剂膜PR16的图案化以便覆盖主电路形成区AR的栅电极形成区并且暴露存储器形成区MR。通过使用经图案化的抗蚀剂膜PR16作为掩膜的蚀刻将多晶硅膜PF1图案化,在低击穿电压MISFET形成区LR中形成栅电极G1并且在高击穿电压MISFET形成区HR中形成栅电极G2。此时,如图57中所示,在边界区BR中,侧壁形式的残余物部LFT2和残余物部LFT1在多晶硅膜PF2的侧壁上形成。

[0281] 接下来,如图58中所示,在去除经图案化的抗蚀剂膜PR16之后,通过涂敷形成从存储器形成区MR延伸到主电路形成区AR的抗蚀剂膜PR17。更具体地说,通过涂敷形成覆盖在主电路形成区AR中形成的栅电极G1和栅电极G2并且在存储器形成区MR中的多晶硅膜PF2上延伸的抗蚀剂膜PR17。然后,通过光刻将抗蚀剂膜PR17图案化。执行抗蚀剂膜PR17的图案化以便覆盖主电路形成区AR并且同时覆盖存储器形成区MR的栅电极形成区。通过将经图案化的抗蚀剂膜PR17作为掩膜的蚀刻,处理多晶硅膜PF2并且在存储器形成区MR中形成栅电极CG。然后例如通过干法蚀刻去除暴露的绝缘膜IF2、电荷存储膜EC和绝缘膜IF1。

[0282] 在边界区BR中,具有下述结构的残余物图案LFT保留下来,其中残余物部LFT3在其侧壁上经由残余物部LFT2具有残余物部LFT1。

[0283] 接下来,如图59中所示,使用经图案化的抗蚀剂膜PR17作为掩膜而无需将其更改为另一个,通过离子注入在存储器形成区MR的半导体衬底1S中与栅电极CG对准形成 n^- 型半导体区MLD。这意味着在第三实施例中,在用于MONOS晶体管的栅电极CG的形成的处理与用于与MONOS晶体管的栅电极CG对准的 n^- 型半导体区MLD的形成的离子注入之间共享掩膜。因此,在第三实施例中,可以减少用于MONOS晶体管的混合装载的额外掩膜的数量。

[0284] 接下来,如图60中所示,在去除经图案化的抗蚀剂膜PR17之后,在半导体衬底1S的

整个主表面上形成氧化硅膜OX2,并且通过涂敷在所得的氧化硅膜OX2上形成抗蚀剂膜PR18。然后通过光刻将抗蚀剂膜PR18图案化。执行抗蚀剂膜PR18的图案化以便覆盖存储器形成区MR、边界区BR和低击穿电压MISFET形成区LR,同时暴露高击穿电压MISFET形成区HR。然后,通过将经图案化的抗蚀剂膜PR18作为掩膜的离子注入,在高击穿电压MISFET形成区HR的半导体衬底1S中与栅电极G2对准形成 n^- 型半导体区HNLD。

[0285] 接下来,如图61中所示,在去除经图案化的抗蚀剂膜PR18之后,通过涂敷在半导体衬底1S上形成抗蚀剂膜PR19。然后通过光刻将抗蚀剂膜PR19图案化。执行抗蚀剂膜PR19的图案化以便覆盖存储器形成区MR、边界区BR和高击穿电压MISFET形成区HR,同时暴露低击穿电压MISFET形成区LR。然后,通过将经图案化的抗蚀剂膜PR19作为掩膜的离子注入,在低击穿电压MISFET形成区LR的半导体衬底1S中与栅电极G1对准形成 n^- 型半导体区LNLD。

[0286] 接下来,在去除经图案化的抗蚀剂膜PR19之后,在半导体衬底1S上形成氧化硅膜、氮化硅膜和氧化硅膜的堆叠膜,如图62中所示。氧化硅膜和氮化硅膜可以各自例如通过CVD形成。然后将堆叠膜进行各向异性蚀刻以形成侧壁SW。更具体地说,在存储器形成区MR中,在栅电极CG的两个侧壁上形成侧壁SW(堆叠结构:栅电极CG+ONO膜)。另一方面,在主电路形成区AR的低击穿电压MISFET形成区LR中,在栅电极G1的两个侧壁上形成侧壁SW,并且在主电路形成区AR的高击穿电压MISFET形成区HR中,在栅电极G2的两个侧壁上形成侧壁SW。同样在边界区BR中,在残余物图案LFT的侧壁上形成侧壁SW。

[0287] 接下来,如图63中所示,通过光刻和离子注入在存储器形成区MR中与侧壁SW对准形成 n^+ 型半导体区NDF。 n^+ 型半导体区NDF是注入有 n 型杂质例如磷或砷的半导体区。MONOS晶体管的源极区或漏极区由 n^+ 型半导体区NDF和 n^- 型半导体区MLD形成。通过由 n^+ 型半导体区NDF和 n^- 型半导体区MLD形成MONOS晶体管的源极区和漏极区中的每一者,MONOS晶体管的源极区和漏极区可以具有LDD结构。

[0288] 通过类似的离子注入步骤,也在主电路形成区AR的低击穿电压MISFET形成区LR中与侧壁SW对准形成 n^+ 型半导体区NDF。低击穿电压MISFET的源极区或漏极区由 n^+ 型半导体区NDF和 n^- 型半导体区LNLD形成。因此,也在低击穿电压MISFET中,通过由 n^+ 型半导体区NDF和 n^- 型半导体区LNLD形成源极区和漏极区中的每一者,低击穿电压MISFET的源极区和漏极区可以具有LDD结构。

[0289] 通过类似的离子注入步骤,也在主电路形成区AR的高击穿电压MISFET形成区HR中与侧壁SW对准形成 n^+ 型半导体区NDF。高击穿电压MISFET的源极区或漏极区由 n^+ 型半导体区NDF和 n^- 型半导体区HNLD形成。因此,也在高击穿电压MISFET中,通过由 n^+ 型半导体区NDF和 n^- 型半导体区HNLD形成源极区和漏极区中的每一者,高击穿电压MISFET的源极区和漏极区可以具有LDD结构。

[0290] 因此,在第三实施例中,MONOS晶体管的 n^+ 型半导体区NDF、低击穿电压MISFET的 n^+ 型半导体区NDF和高击穿电压MISFET的 n^+ 型半导体区NDF同时形成。这意味着在第三实施例中,使用公共掩膜通过离子注入同时形成MONOS晶体管的 n^+ 型半导体区NDF、低击穿电压MISFET的 n^+ 型半导体区NDF和高击穿电压MISFET的 n^+ 型半导体区NDF。因此,在第三实施例中,用于MONOS晶体管的 n^+ 型半导体区NDF的形成的额外掩膜变得不必要。因此,在第三实施例中,可以减少用于MONOS晶体管的混合装载的额外掩膜的数量。

[0291] 这之后的步骤类似于第一实施例的那些步骤,因此省略对它们的说明。可以以上

述方式制造第三实施例的半导体器件。

[0292] <修改实例>

[0293] 接下来将对修改实例进行说明。制造本修改实例的半导体器件的方法基本上类似于第三实施例的半导体器件的制造方法,因此将主要对它们之间的区别进行说明。

[0294] 类似于第三实施例,执行图51到图57中所示的步骤。然后,如图64中所示,在去除经图案化的抗蚀剂膜PR16之后,通过涂敷形成从存储器形成区MR延伸到主电路形成区AR的抗蚀剂膜PR17。更具体地说,通过涂敷形成覆盖在主电路形成区AR中形成的栅电极G1和栅电极G2并且在形成于存储器形成区MR中的多晶硅膜PF2上延伸的抗蚀剂膜PR17。然后通过光刻将如此获得的抗蚀剂膜PR17图案化。执行抗蚀剂膜PR17的图案化以便覆盖主电路形成区AR并且覆盖存储器形成区MR的栅电极形成区。通过将经图案化的抗蚀剂膜PR17作为掩膜的蚀刻,处理多晶硅膜PF2并且在存储器形成区MR中形成栅电极CG。

[0295] 接下来,如图65中所示,使用经图案化的抗蚀剂膜PR17作为掩膜而无需将其更改为另一个,通过离子注入在存储器形成区MR的半导体衬底1S中与栅电极CG对准形成 n^- 型半导体区MLD。同样在本修改实例中,在用于MONOS晶体管的栅电极CG的形成的处理与用于与MONOS晶体管的栅电极CG对准的 n^- 型半导体区MLD的形成的离子注入之间共享掩膜。因此,在本修改实例中,可以实现用于MONOS晶体管的混合装载的额外掩膜的数量减少。

[0296] 在本修改实例中,如图65中所示,经由绝缘膜IF1、电荷存储膜EC和绝缘膜IF2构成并且从栅电极CG暴露的堆叠绝缘膜在半导体衬底1S中形成 n^- 型半导体区MLD。这意味着本修改实例的特性是,通过离子注入形成 n^- 型半导体区MLD,同时留下从栅电极CG暴露的堆叠绝缘膜。

[0297] 接下来,如图66中所示,例如通过干法蚀刻去除暴露的绝缘膜IF2、电荷存储膜EC和绝缘膜IF1。在这之后的步骤类似于第三实施例的那些步骤。

[0298] 根据本修改实例的半导体器件的制造方法,如图65中所示,经由堆叠绝缘膜(绝缘膜IF1、电荷存储膜EC和绝缘膜IF2)形成 n^- 型半导体区MLD,使得可以保护半导体衬底1S的表面免受离子注入期间的损害。换句话说,根据本修改实例,堆叠绝缘膜的存在可以降低离子注入期间的损害,并且同时,抑制由于离子注入引起的半导体衬底1S的表面的污染。

[0299] 已经基于一些实施例对由本发明的发明人作出的本发明进行了具体说明。不用说,本发明并不限于这些实施例或由这些实施例限制,而是可以在不脱离本发明的要旨的前提下做出各种改变。

[0300] 上述实施例包括以下模式。

[0301] (附录1) (MONOS FIRST)

[0302] 一种制造半导体器件的方法,所述半导体器件配备有在半导体衬底的第一区中形成的非易失性存储器单元和在所述半导体衬底的第二区中形成的场效应晶体管,所述非易失性存储器单元具有:阱,其在所述半导体衬底中形成;源极区,其在所述阱中形成;漏极区,其与所述源极区分开地来在所述阱中形成;沟道区,其夹于所述源极区和所述漏极区之间;第一绝缘膜,其在所述沟道区上形成;电荷存储膜,其在所述第一绝缘膜上形成;第二绝缘膜,其在所述电荷存储膜上形成;以及第一栅电极,其在所述第二绝缘膜上形成;并且所述源极区和所述漏极区各自包含具有第一杂质浓度的第一区和具有比所述第一杂质浓度高的浓度的第二半导体区,所述方法包括以下步骤:

- [0303] (a) 使用暴露所述第一区并且覆盖所述第二区的第一掩膜,通过离子注入在所述第一区中形成所述阱;
- [0304] (b) 在步骤(a)之后,在所述半导体衬底上形成所述第一绝缘膜;
- [0305] (c) 在所述第一绝缘膜上形成所述电荷存储膜;
- [0306] (d) 在所述电荷存储薄膜上形成所述第二绝缘膜;
- [0307] (e) 在所述第二绝缘膜上形成第二导体膜;
- [0308] (f) 通过使用覆盖所述第一区并且暴露所述第二区的第二掩膜将所述第二导体膜图案化,并且从而去除在所述第二区中形成的所述第二导体膜;
- [0309] (g) 在步骤(f)之后,在所述第二导体膜和所述半导体衬底上形成绝缘膜;
- [0310] (h) 在所述绝缘膜上形成第一导体膜;
- [0311] (i) 在步骤(h)之后,通过使用覆盖所述第二区的第二栅电极并且暴露所述第一区的第三掩膜将所述第一导体膜图案化,以在所述第二区中形成所述场效应晶体管的第二栅电极;
- [0312] (j) 在步骤(i)之后,通过使用覆盖所述第一区的第一栅电极形成区并且覆盖所述第二区的第四掩膜将所述第二导体膜图案化,以在所述第一区中形成所述第一栅电极;以及
- [0313] (k) 在步骤(j)之后,使用所述第四掩膜,通过离子注入在所述半导体衬底中形成所述第一半导体区。
- [0314] (附录2) (ONO膜的去除)
- [0315] 根据附录1所述的半导体器件的制造方法,在步骤(j)和步骤(k)之间进一步包括以下步骤:
- [0316] (1) 去除从所述第一栅电极暴露的所述第二绝缘膜,
- [0317] (m) 在步骤(1)之后,去除从所述第一栅电极暴露的所述电荷存储膜,以及
- [0318] (n) 在步骤(m)之后,去除从所述第一栅电极暴露的所述第一绝缘膜。
- [0319] (附录3) (ONO膜的保留)
- [0320] 根据附录1所述的半导体器件的制造方法,
- [0321] 其中,在步骤(k)中,经由由所述第一绝缘膜、所述电荷存储膜和所述第二绝缘膜构成并且从所述第一栅电极暴露的所述堆叠绝缘膜,在所述半导体衬底中形成所述第一半导体区。
- [0322] (附录4) (边界区)
- [0323] 根据附录1所述的半导体器件的制造方法,
- [0324] 其中,所述第一区和所述第二区之间具有边界区。
- [0325] (附录5) (残余物图案)
- [0326] 根据附录4所述的半导体器件的制造方法,
- [0327] 其中,在步骤(k)之后,所述边界区中具有残余物图案。

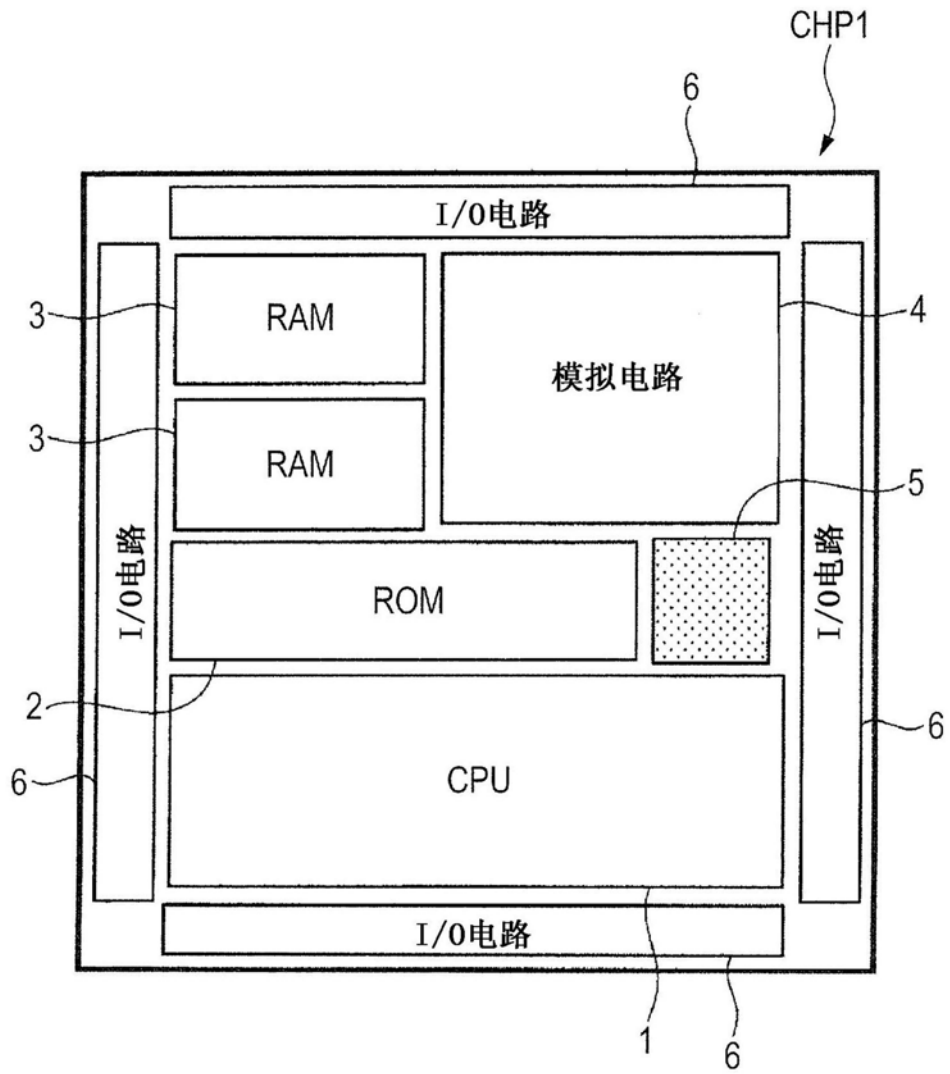


图1

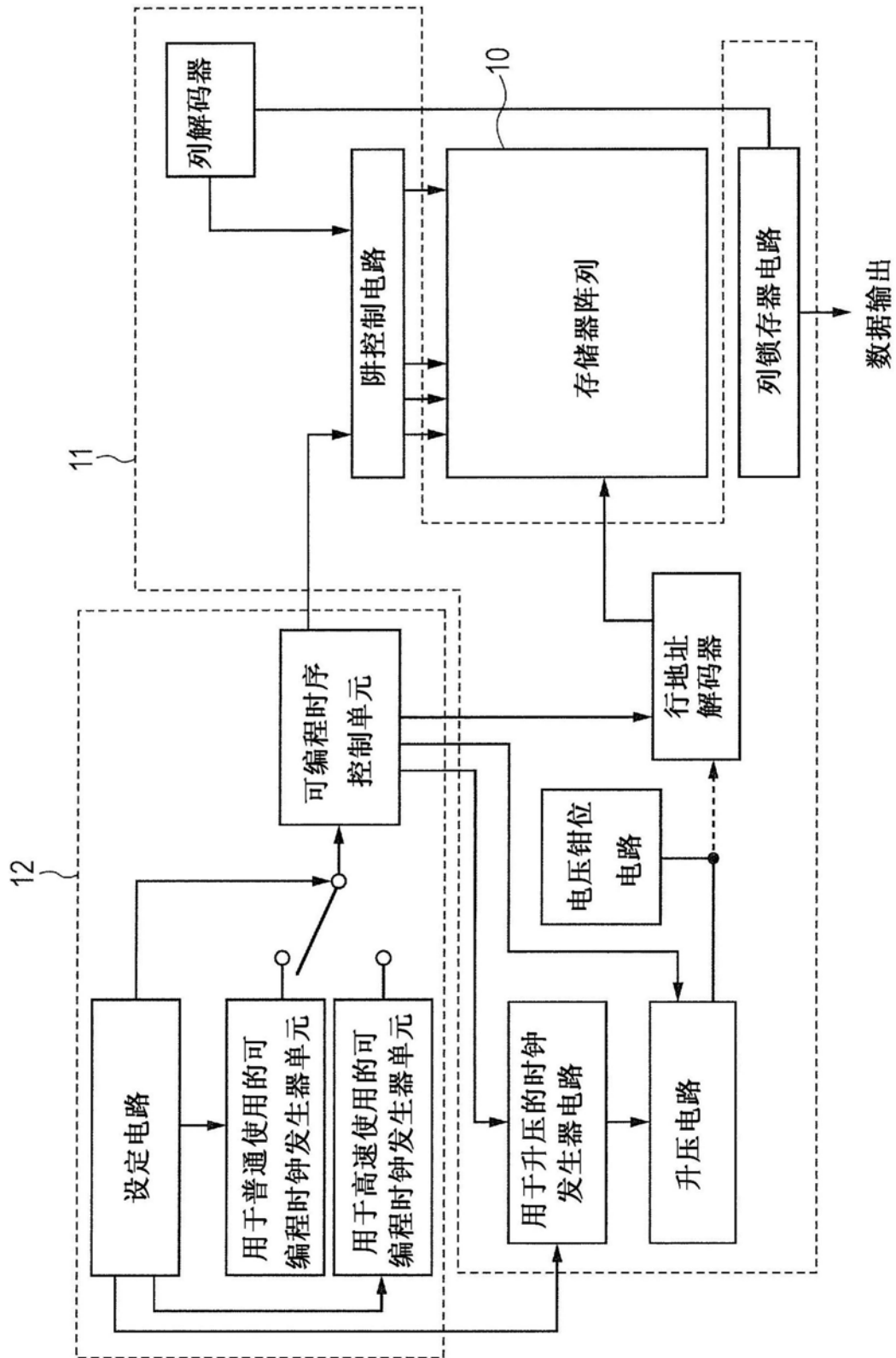


图2

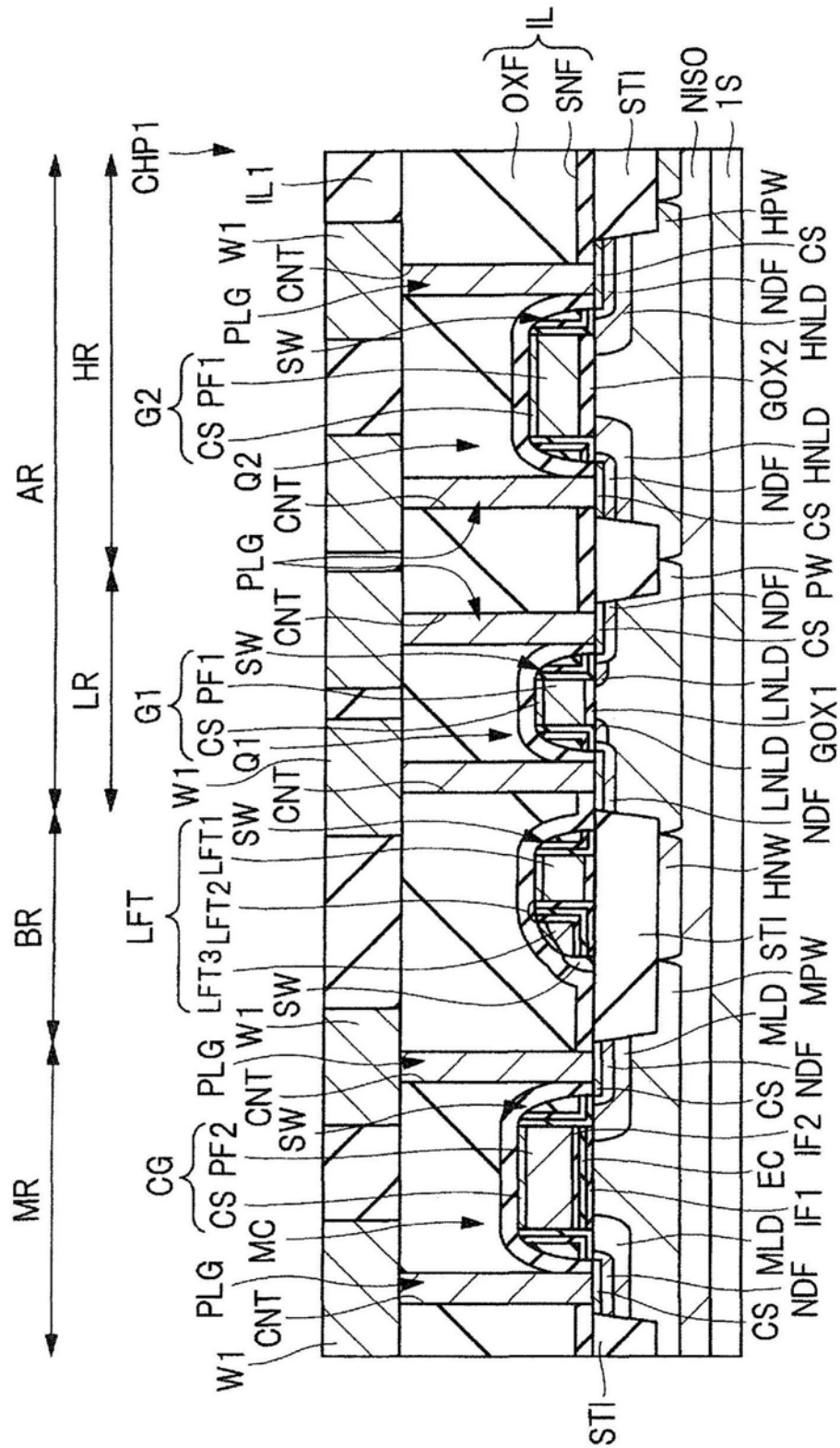


图3

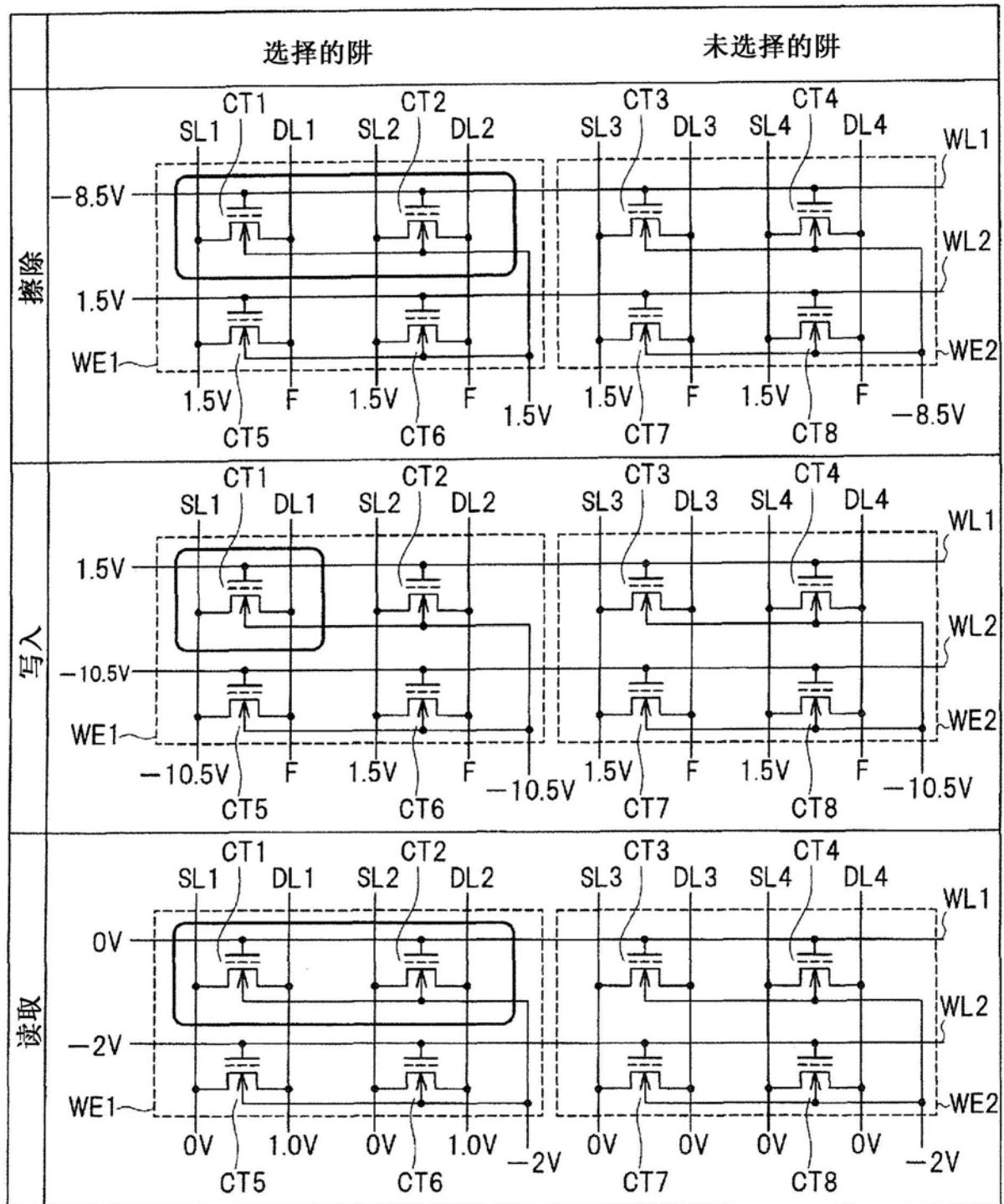


图4

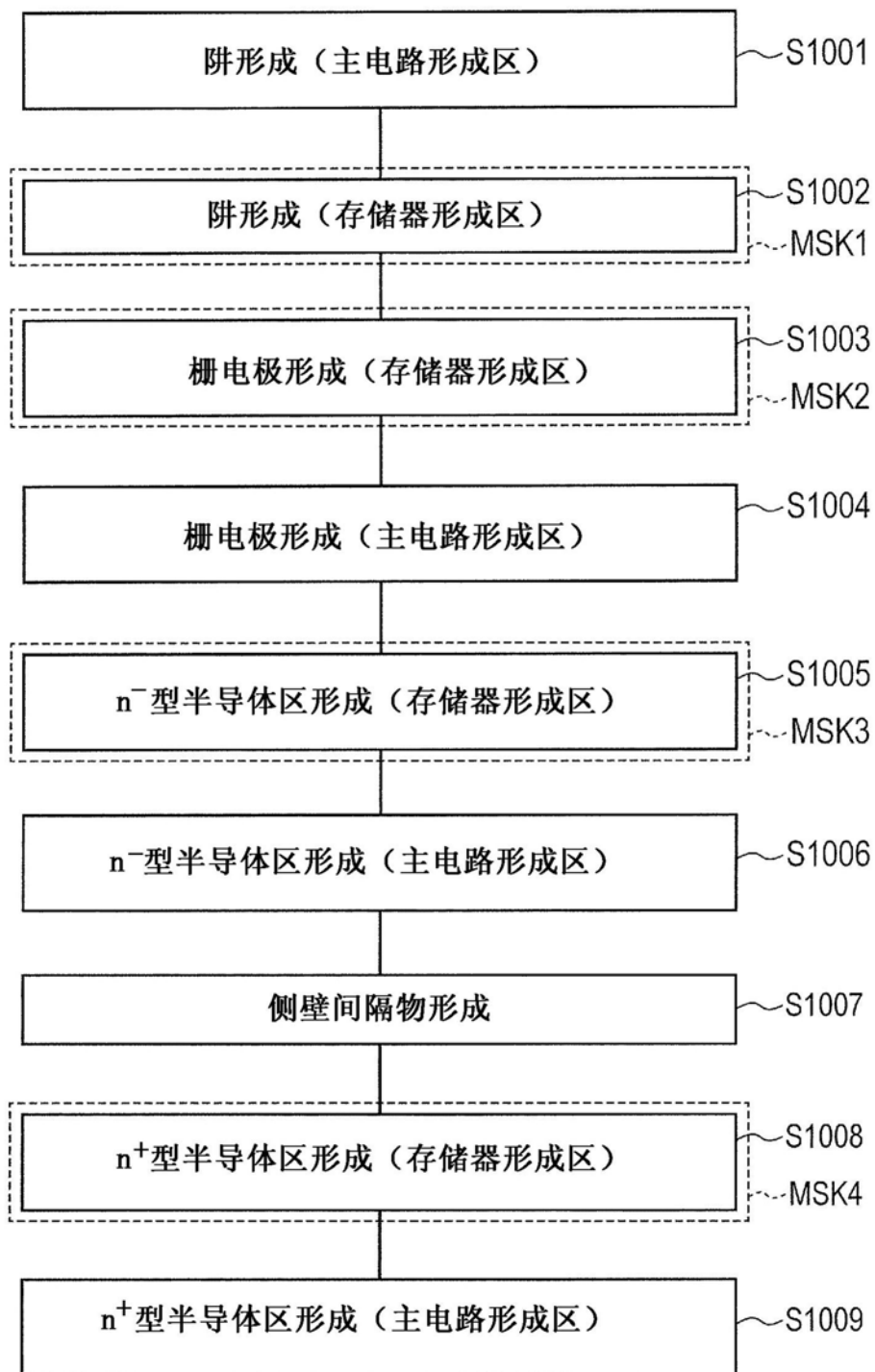


图5

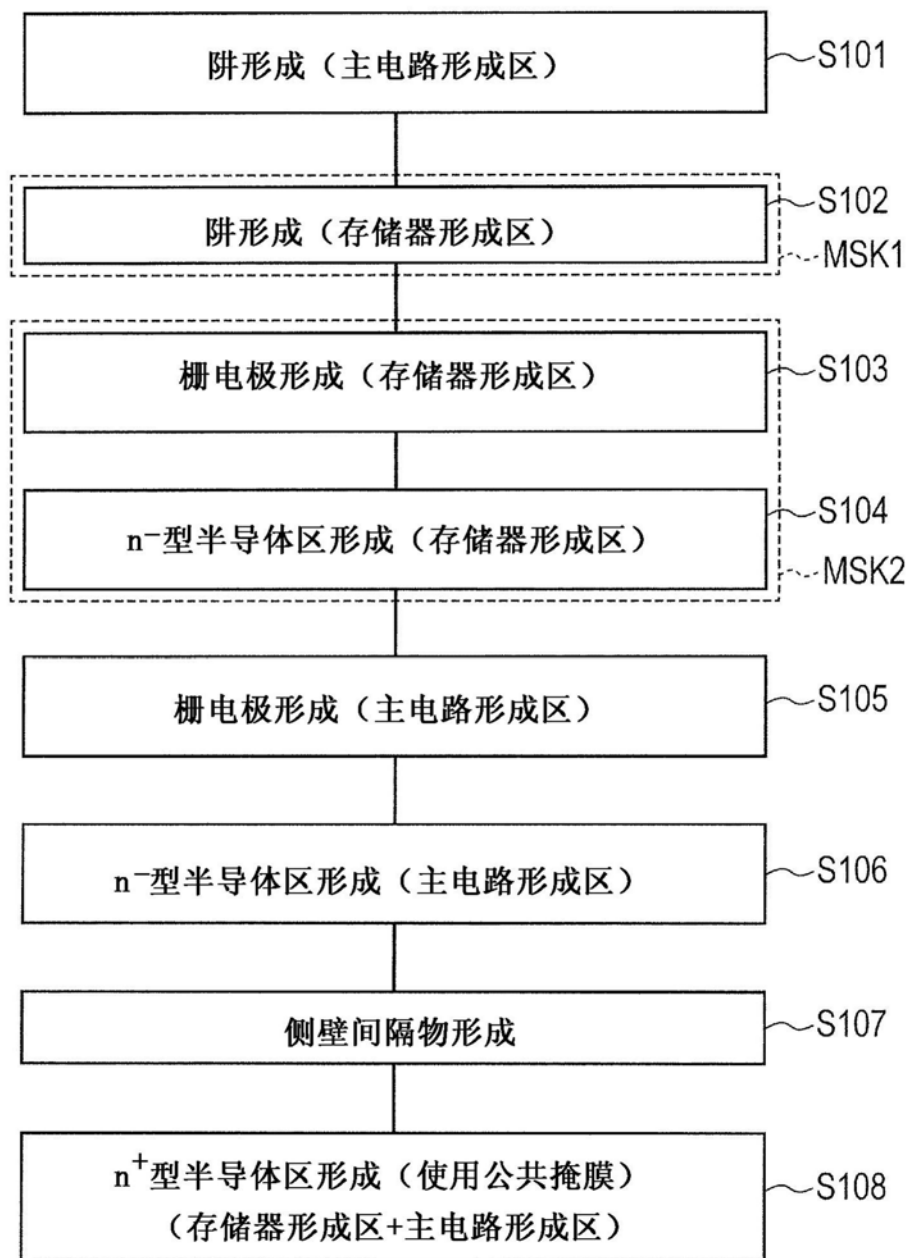


图6

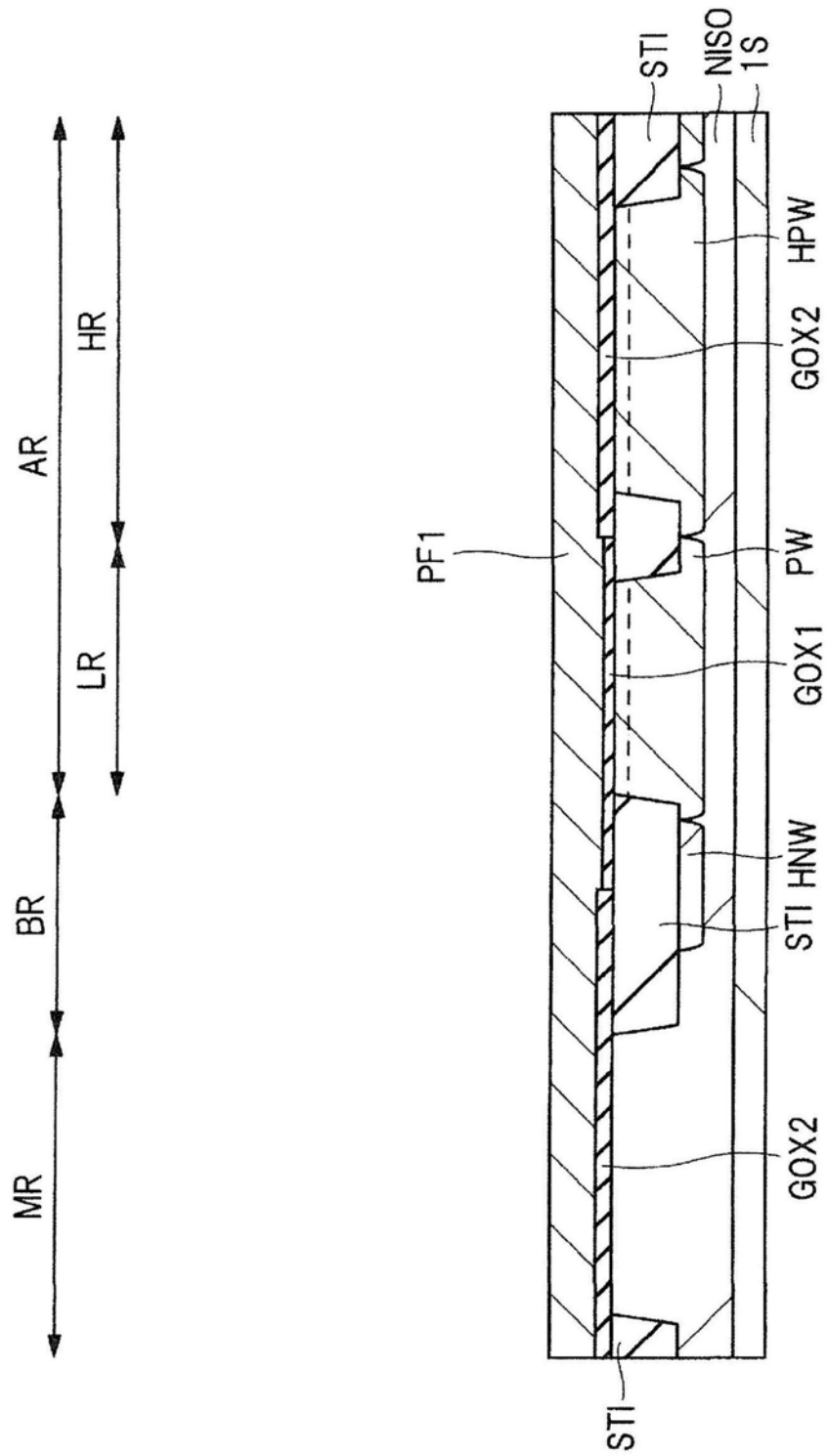


图7

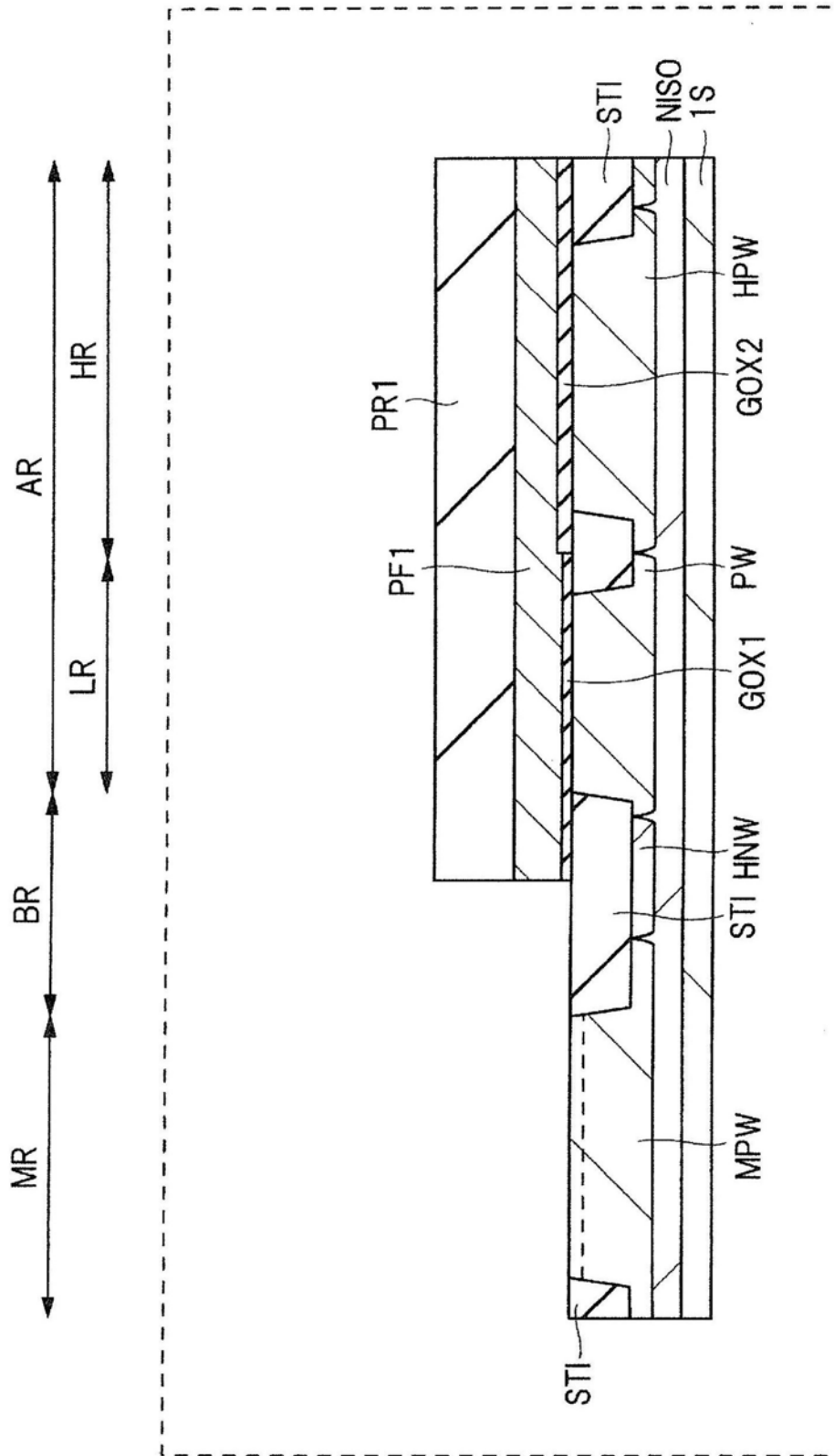


图8

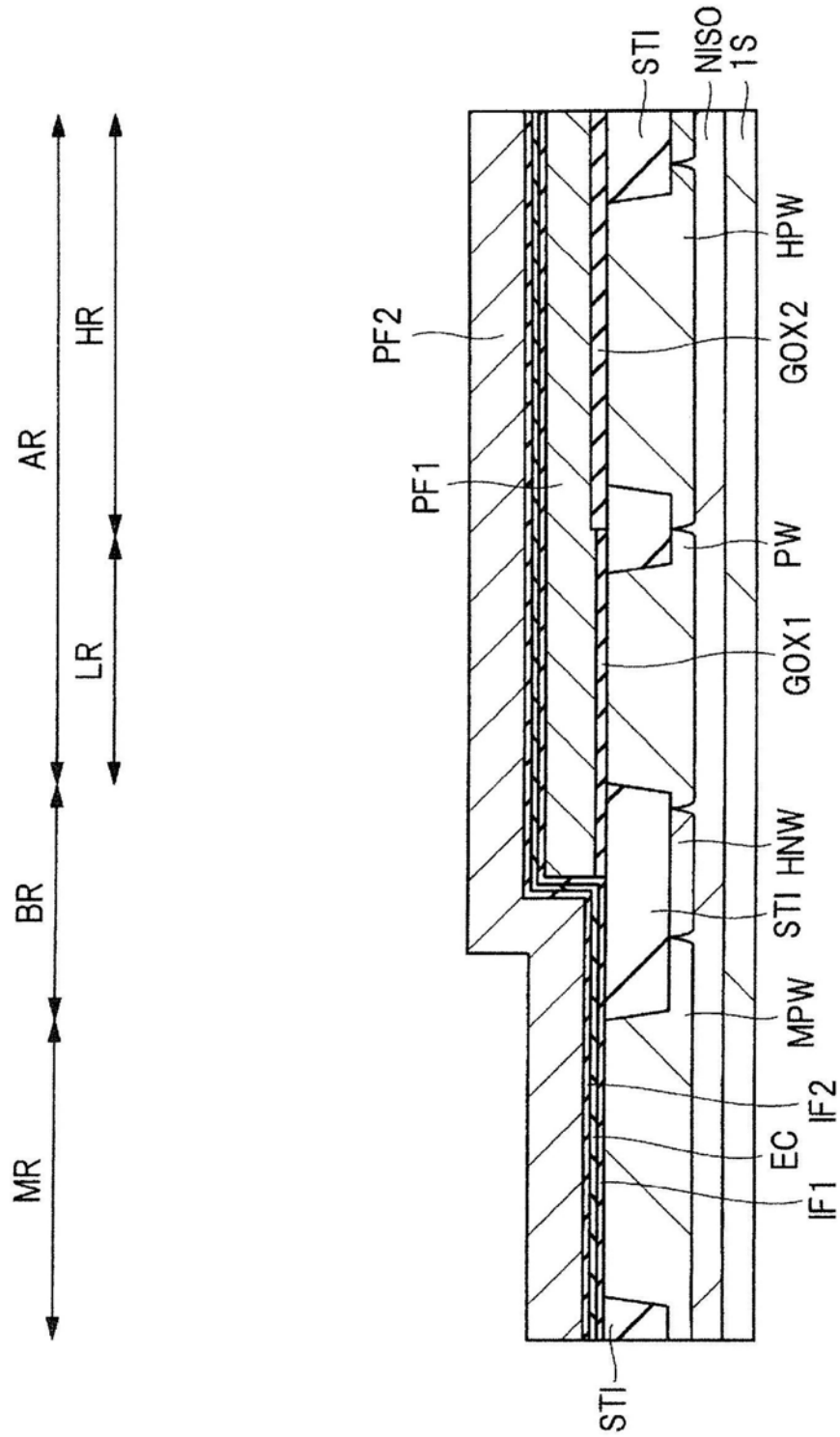


图9

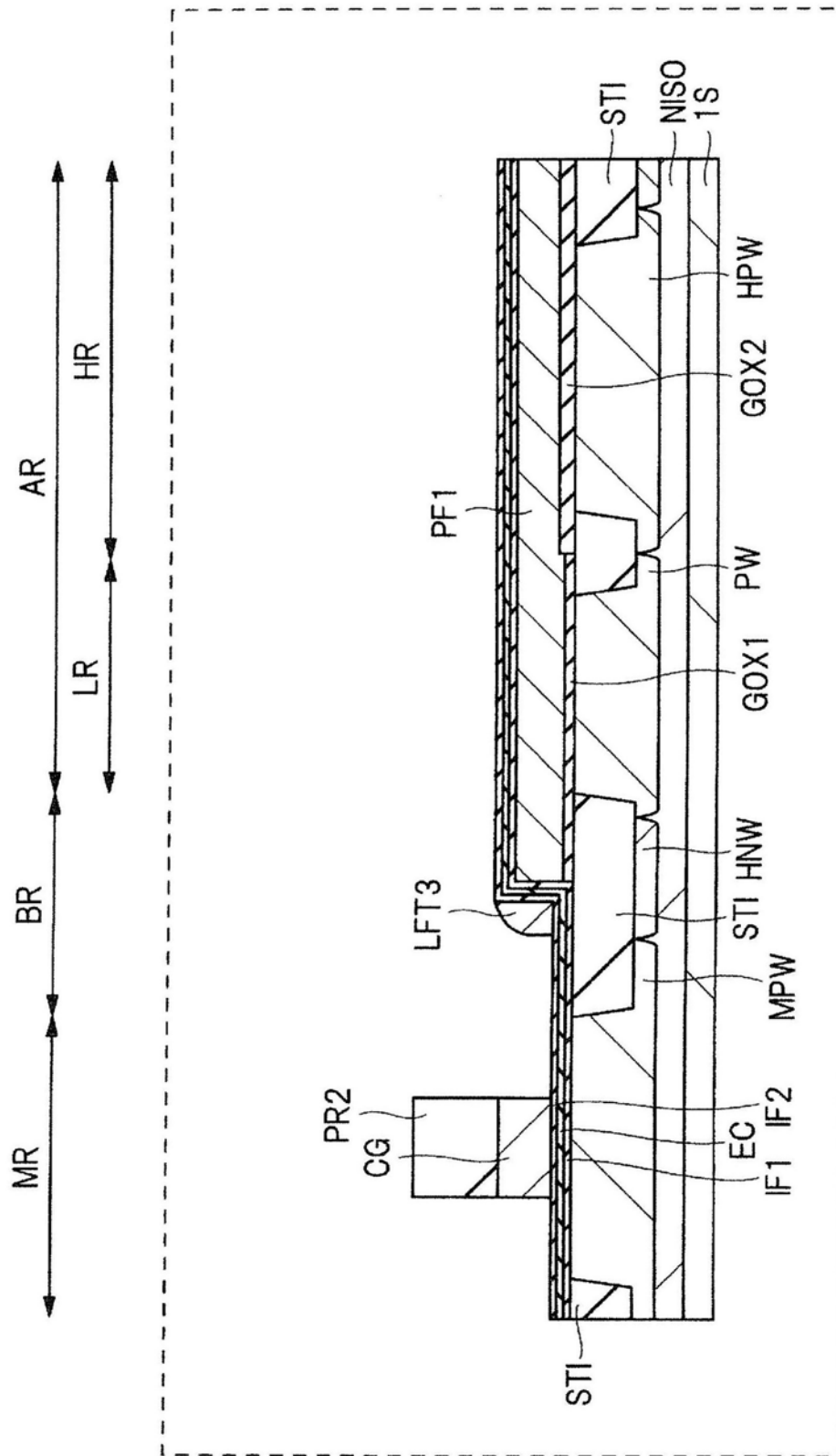


图10

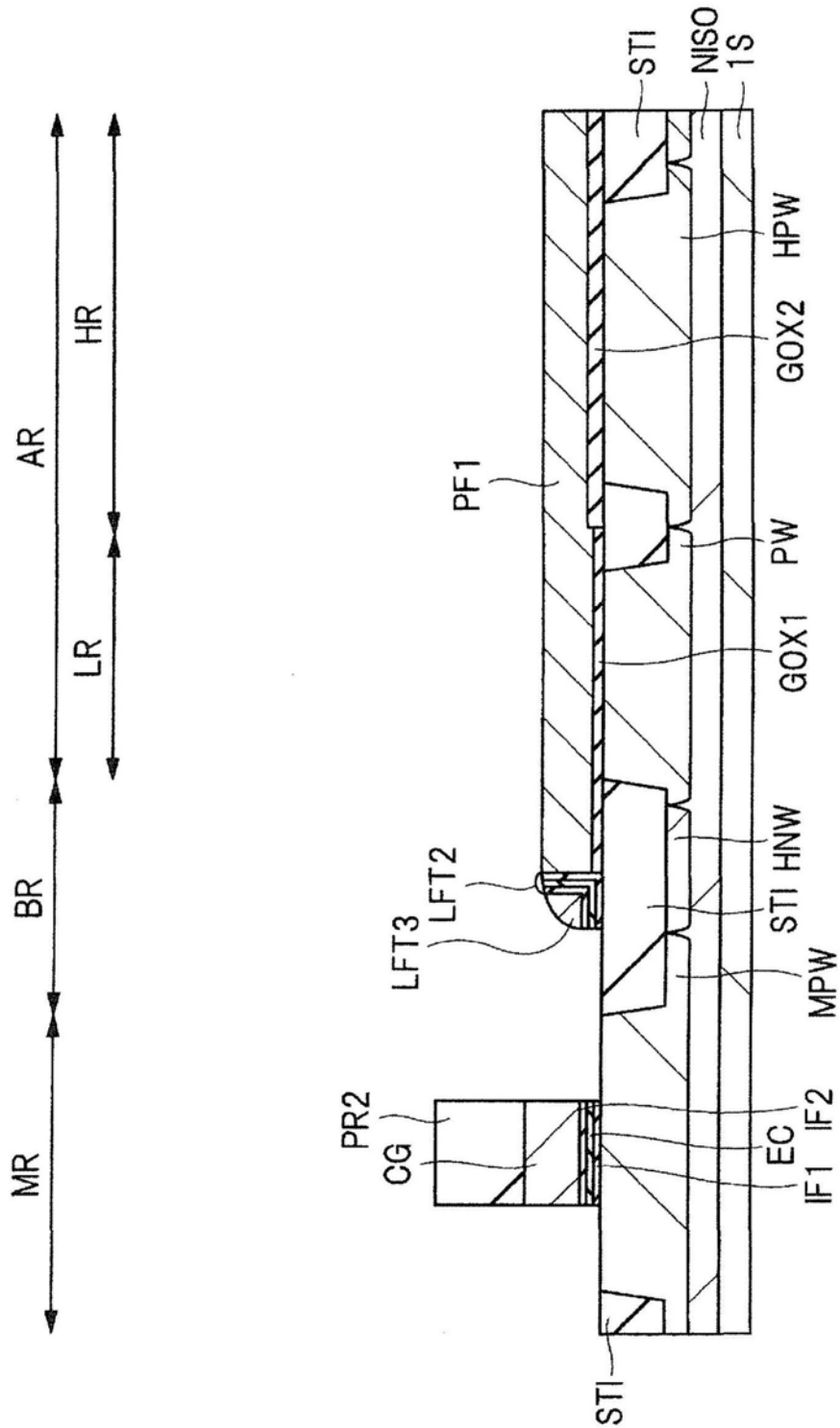


图11

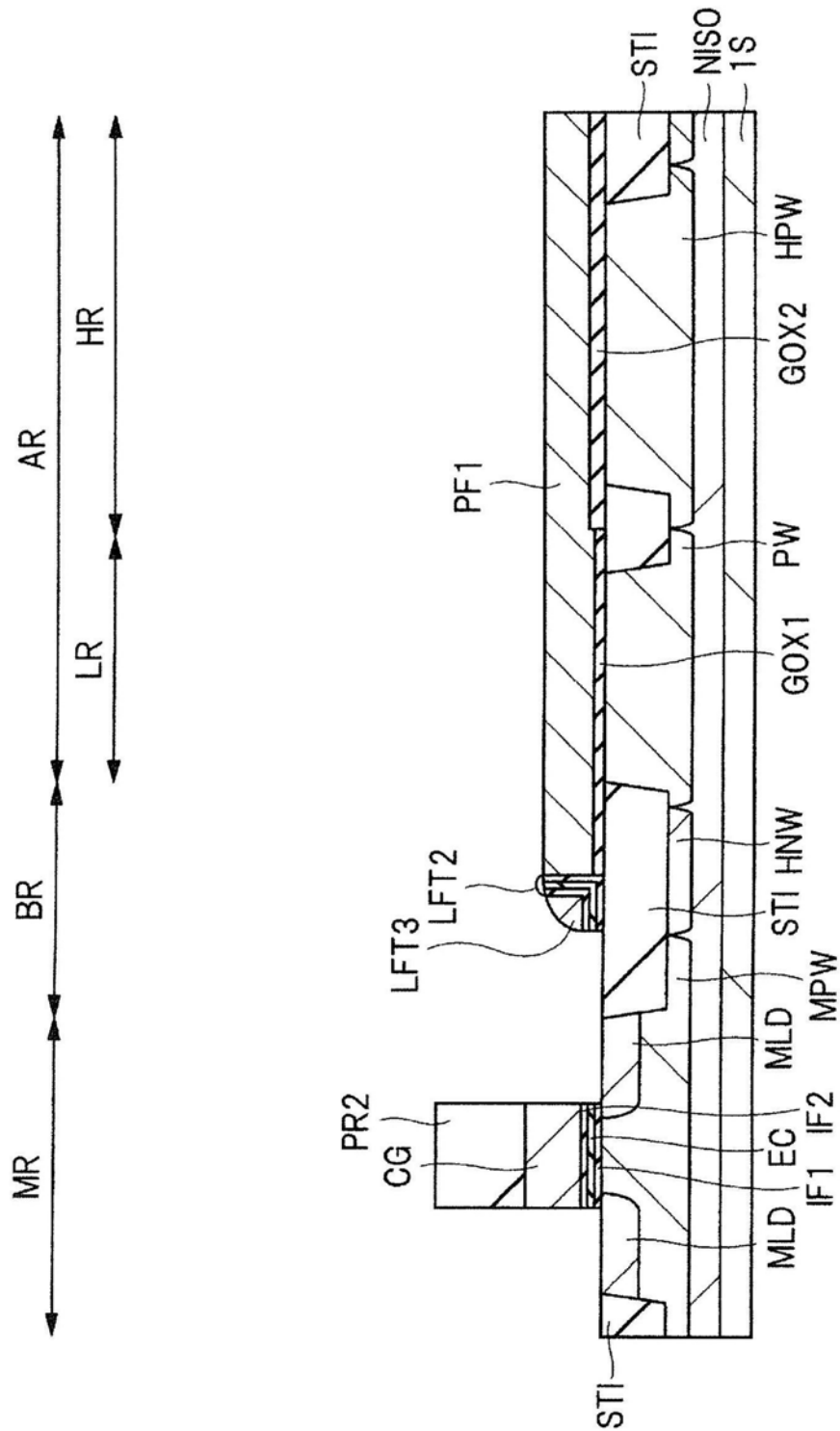


图12

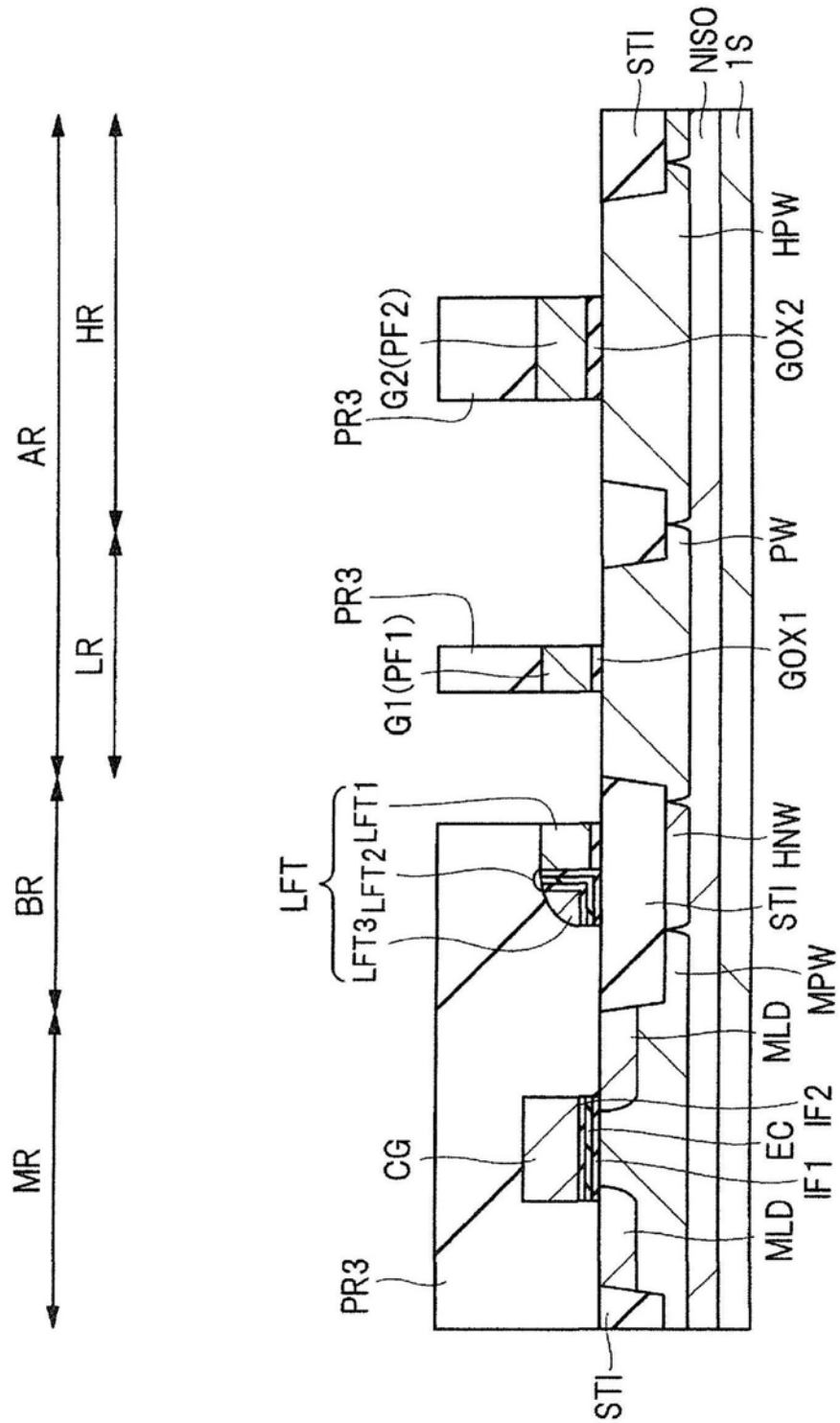


图13

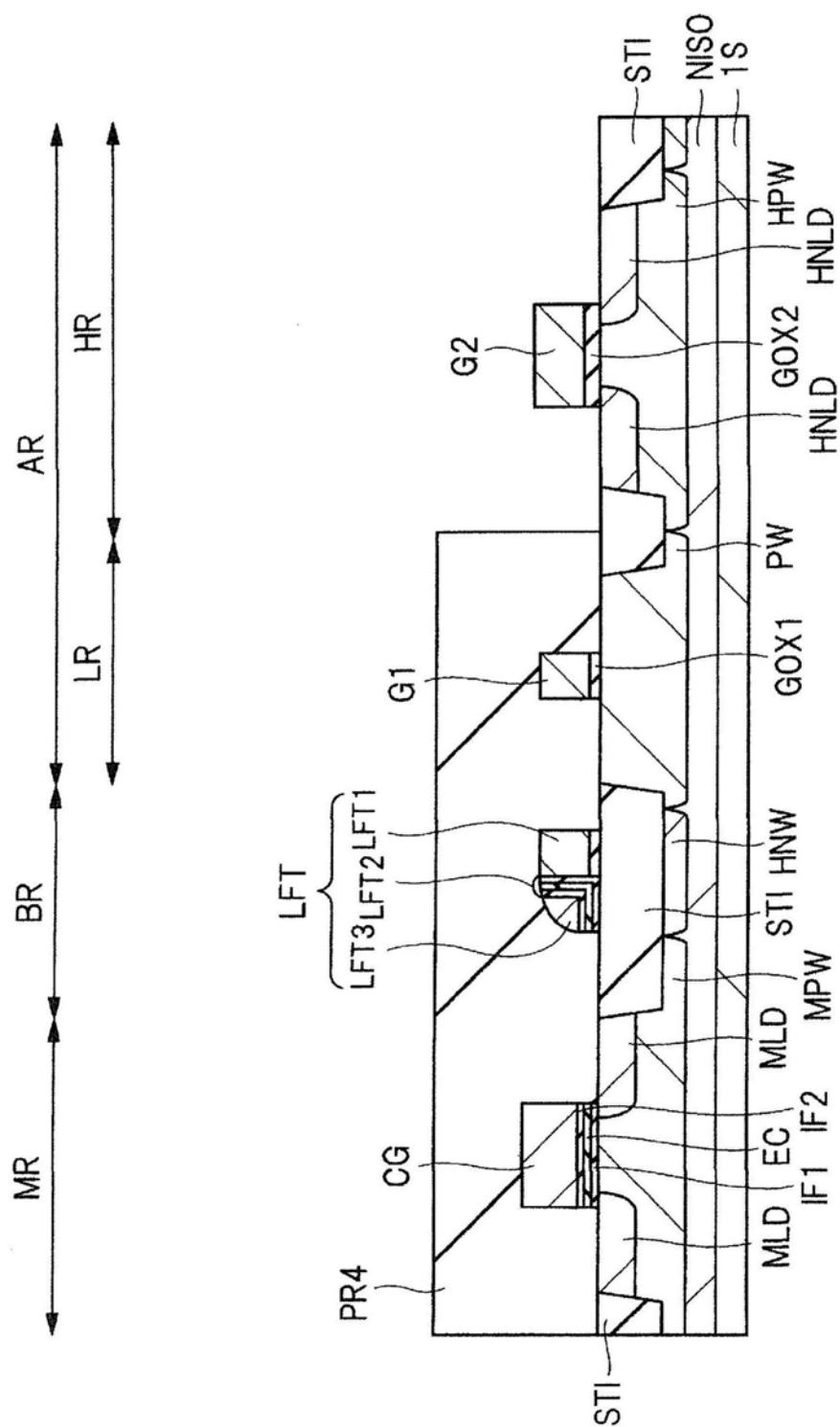


图14

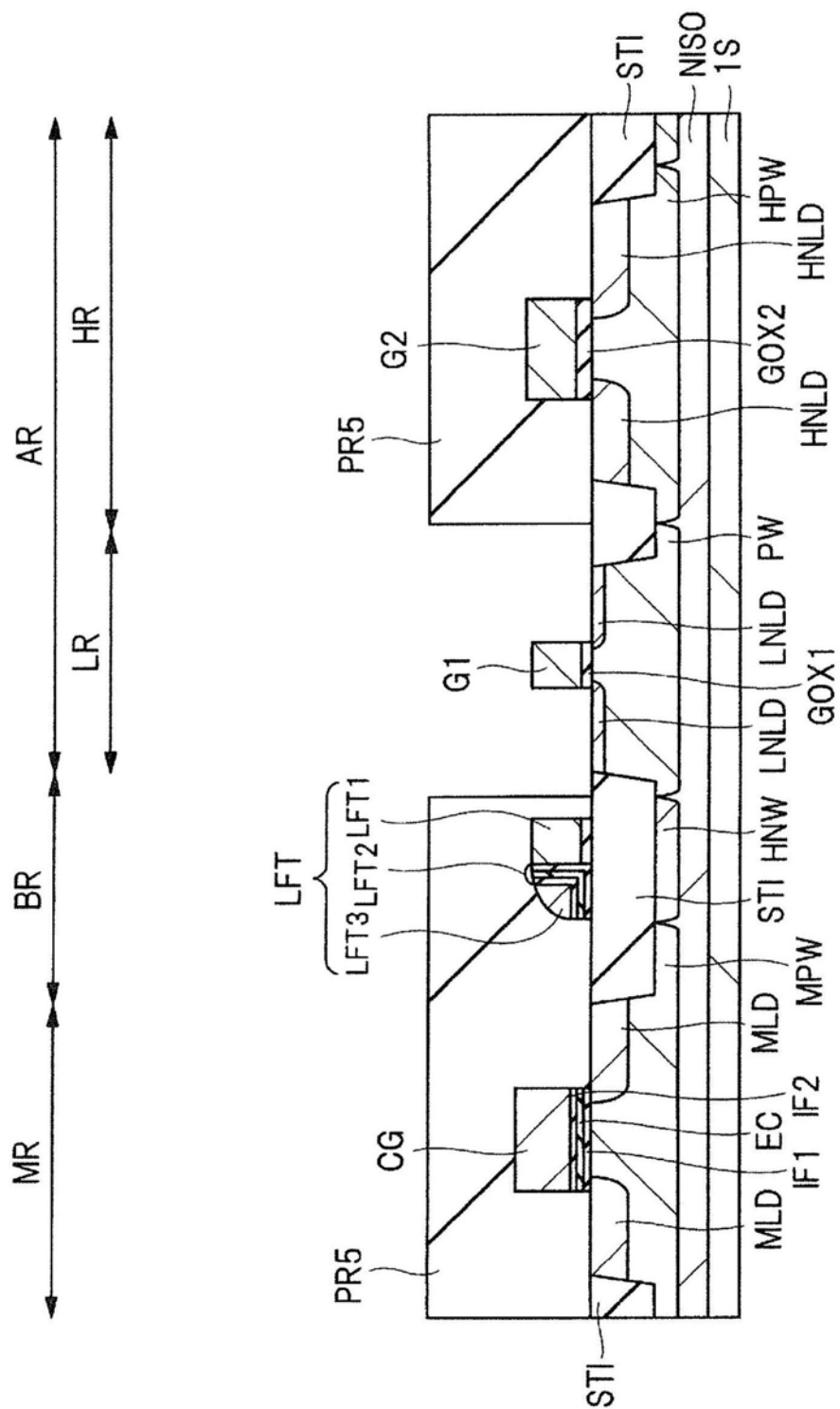


图15

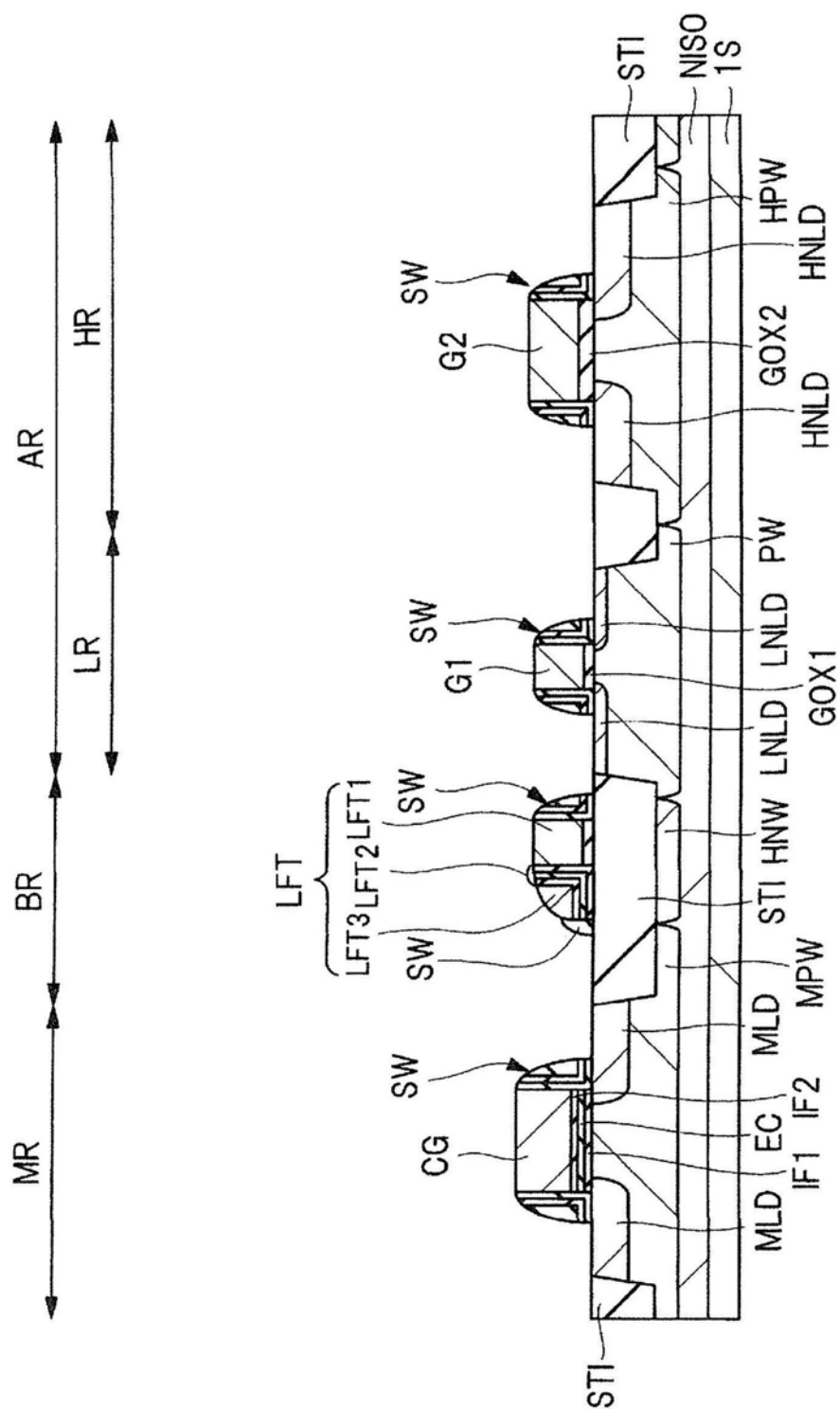


图16

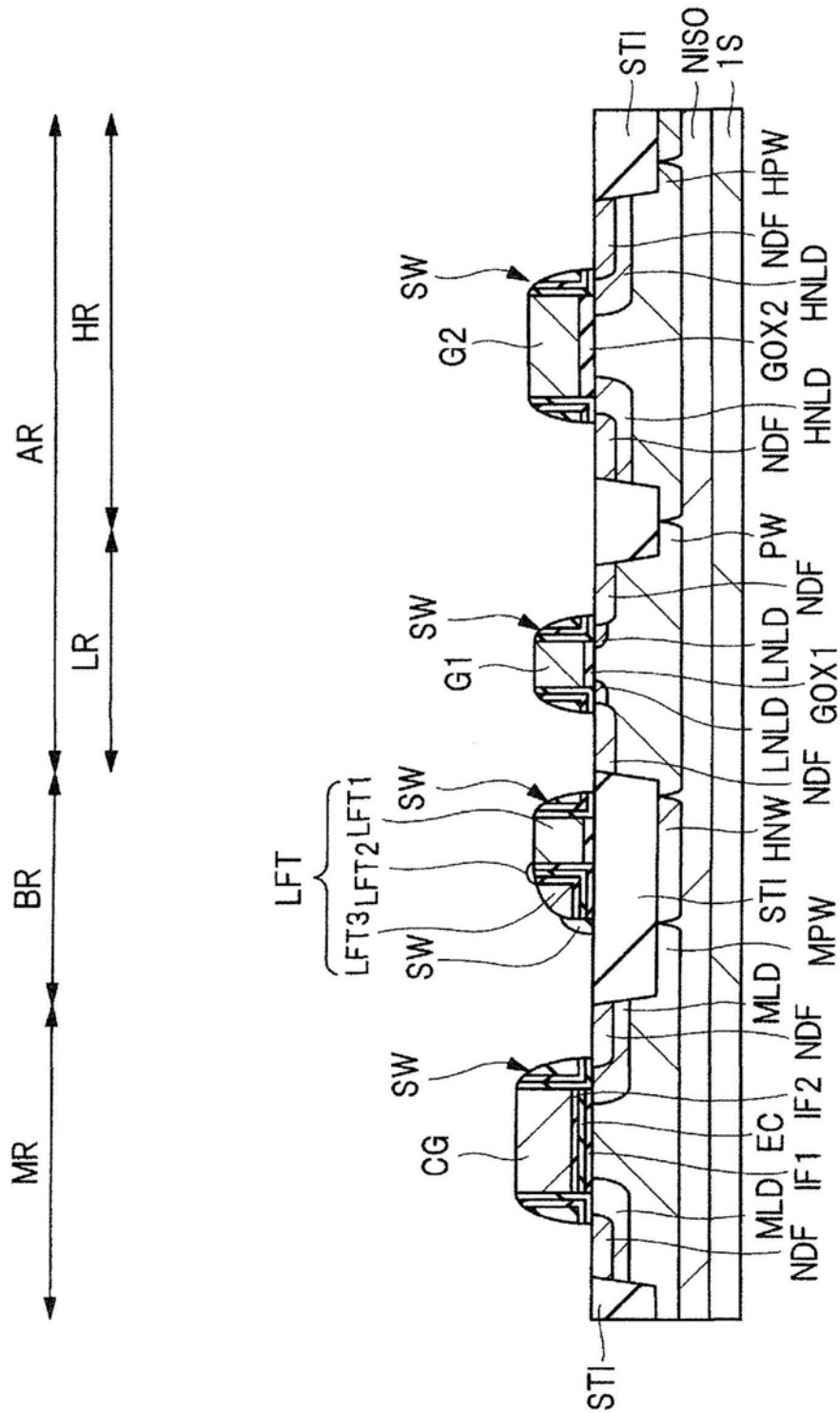


图17

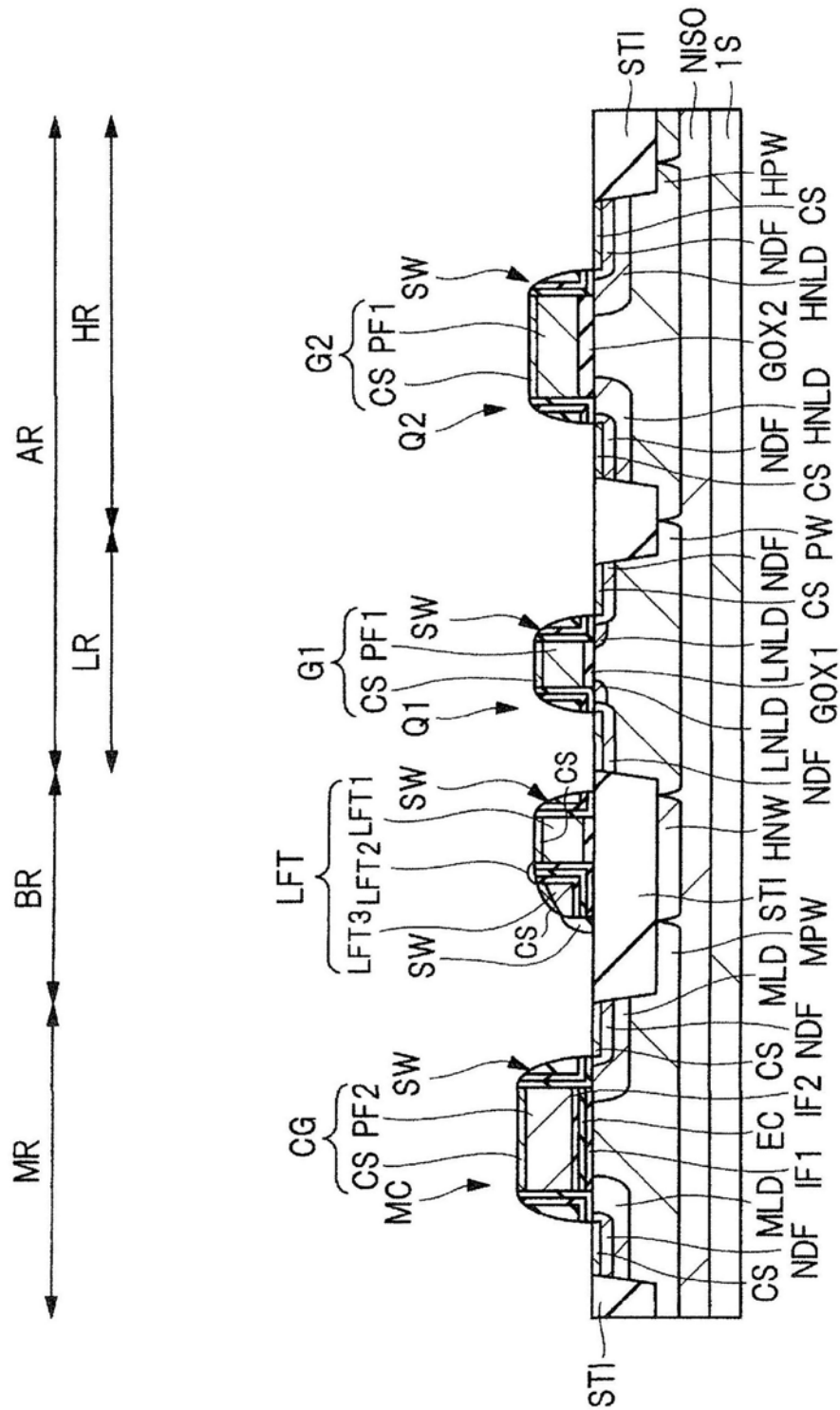


图18

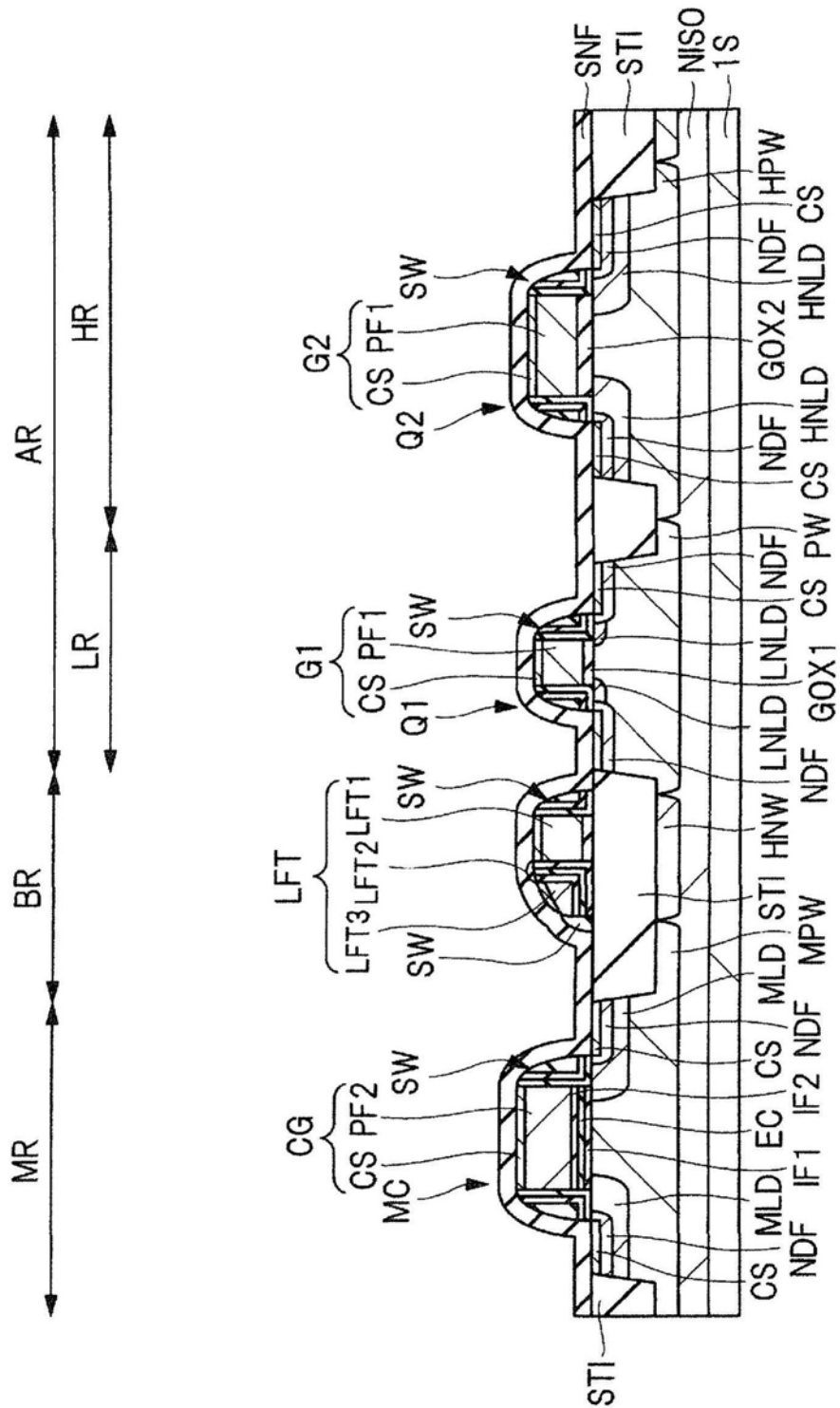


图19

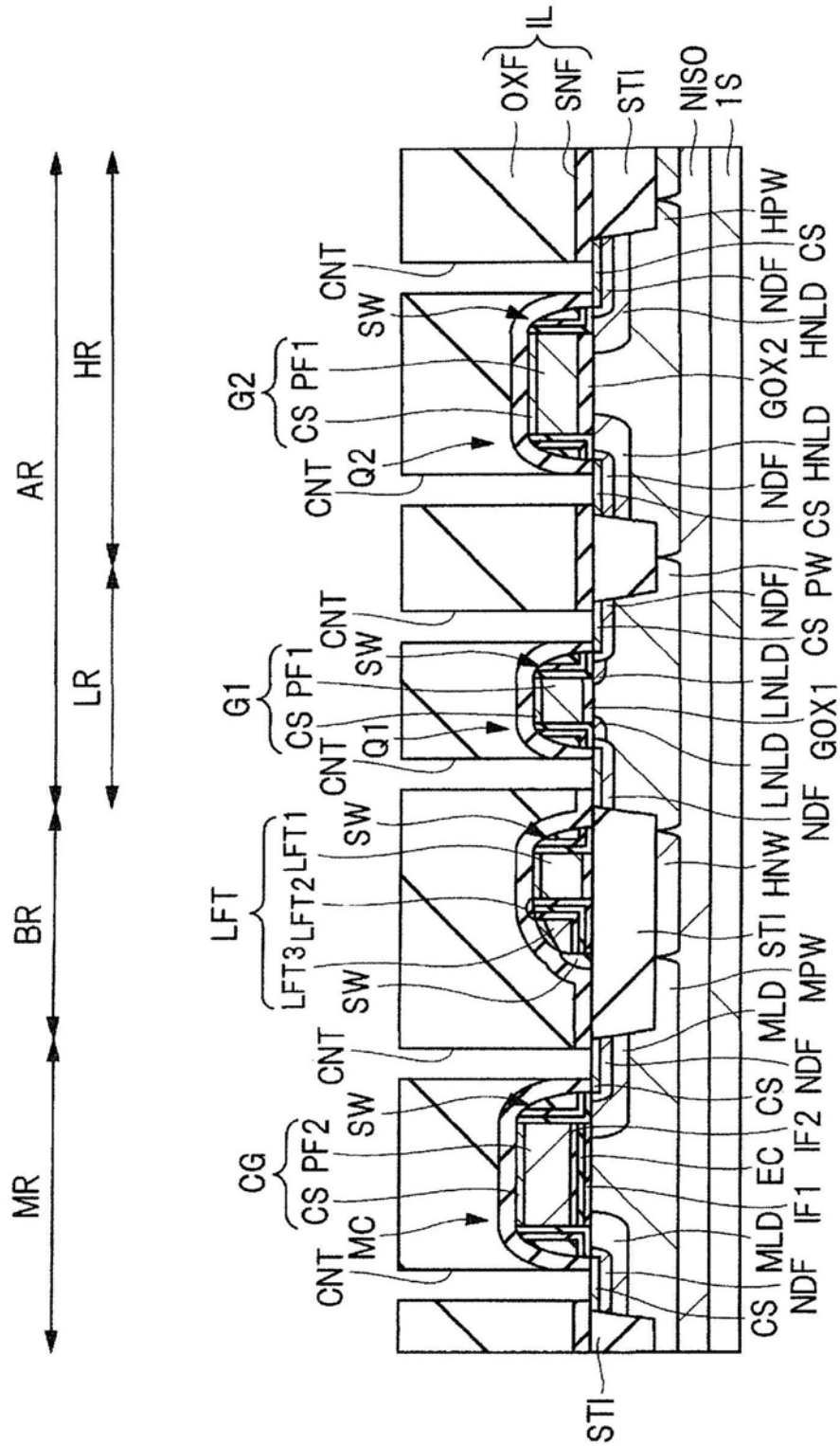


图20

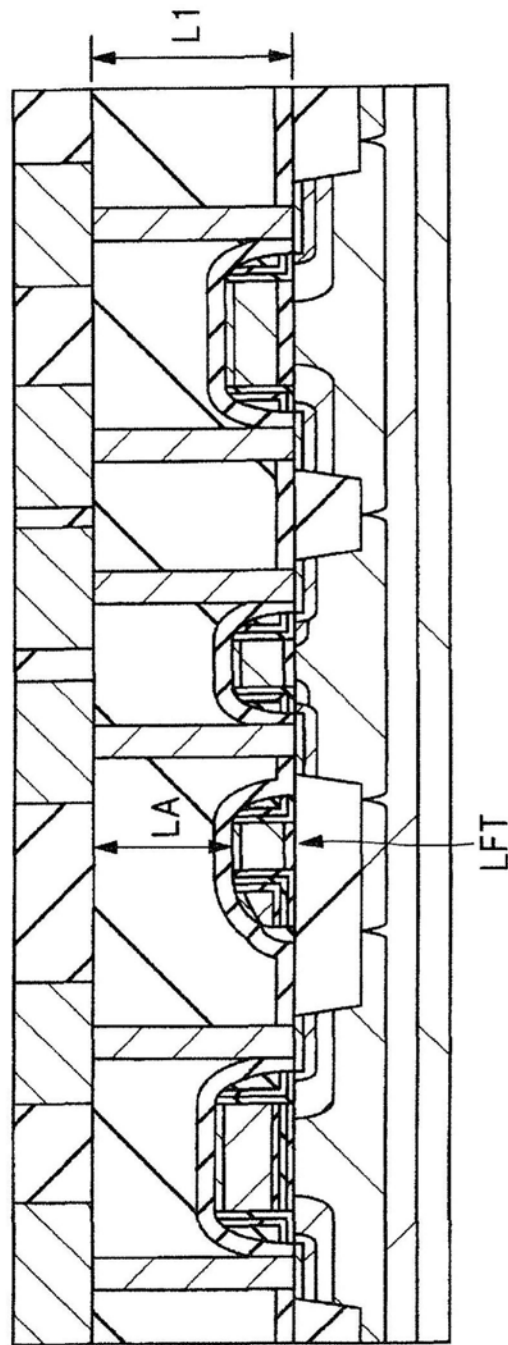


图21A

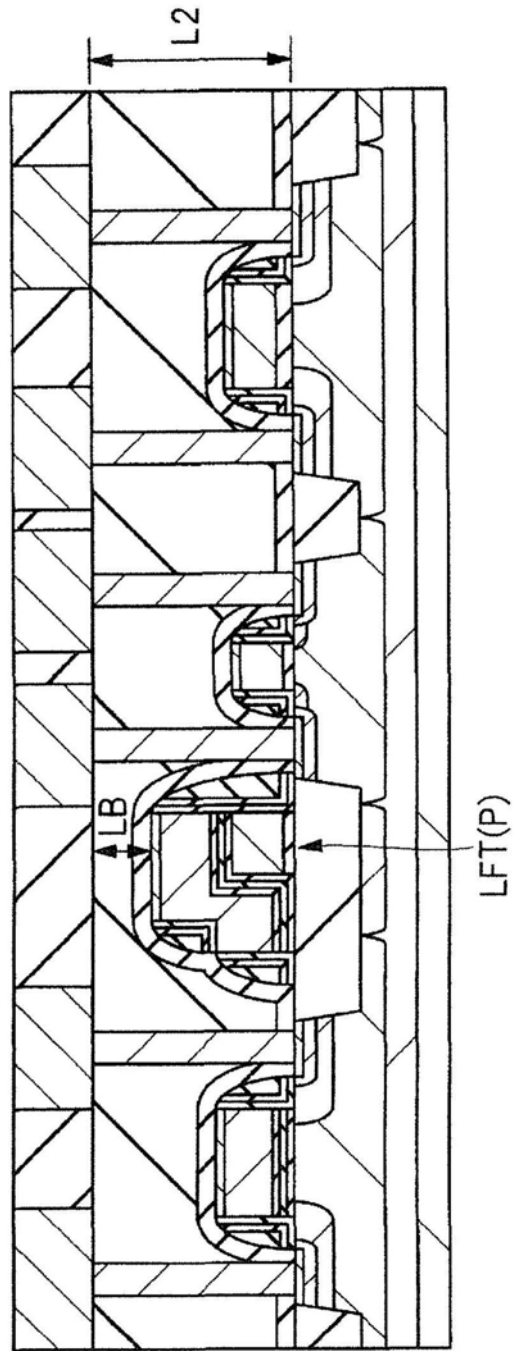


图21B

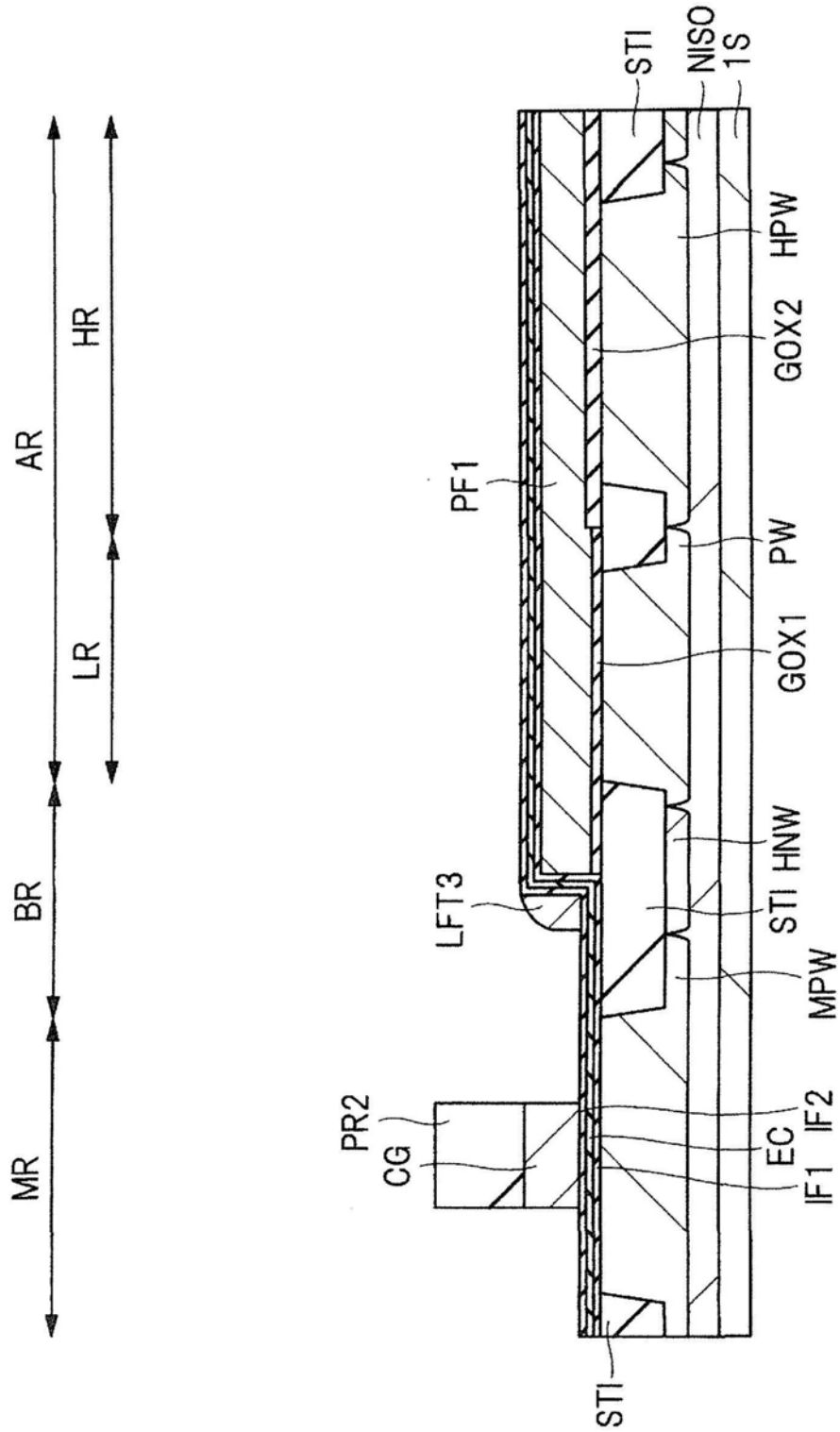


图22

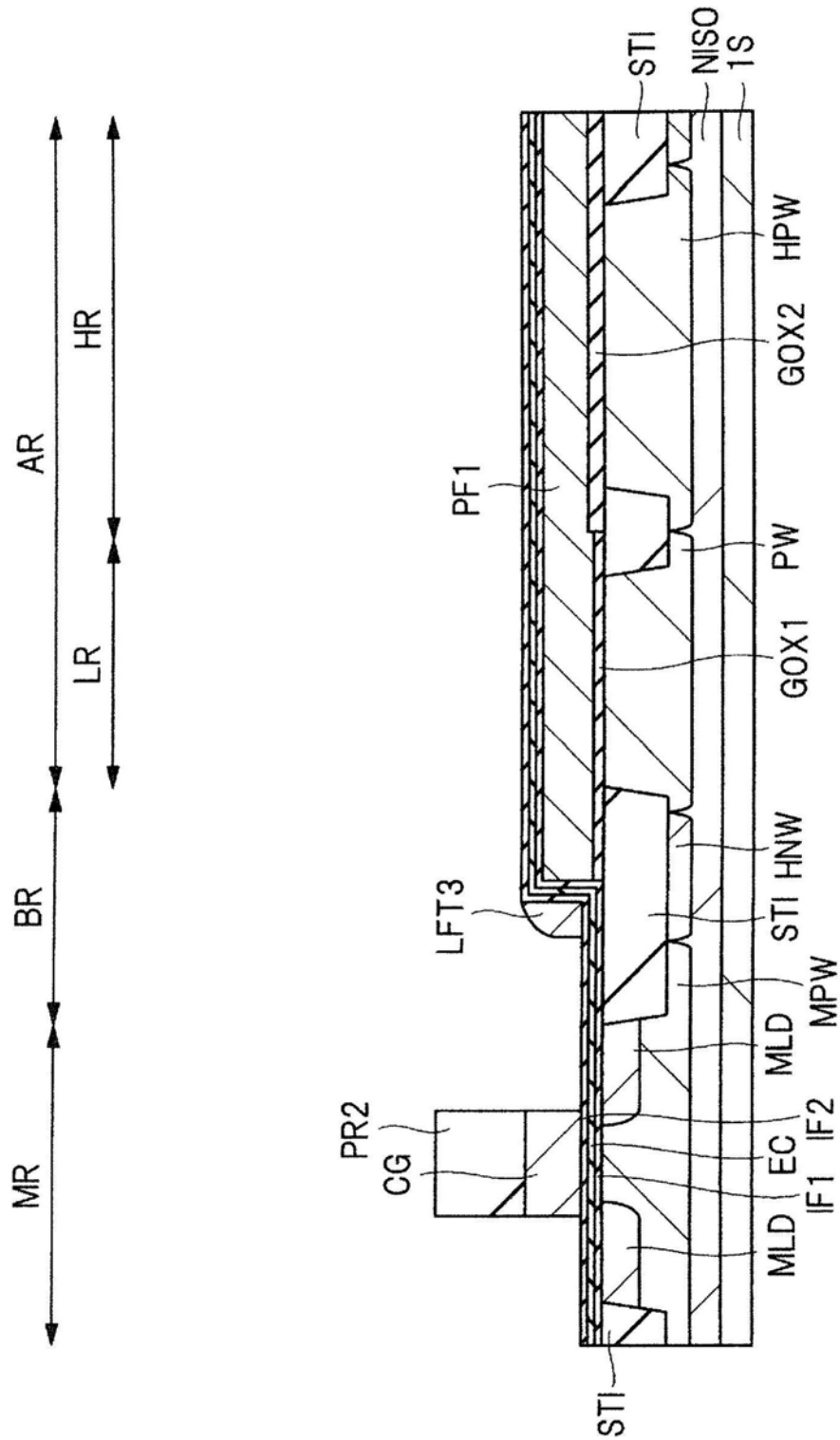


图23

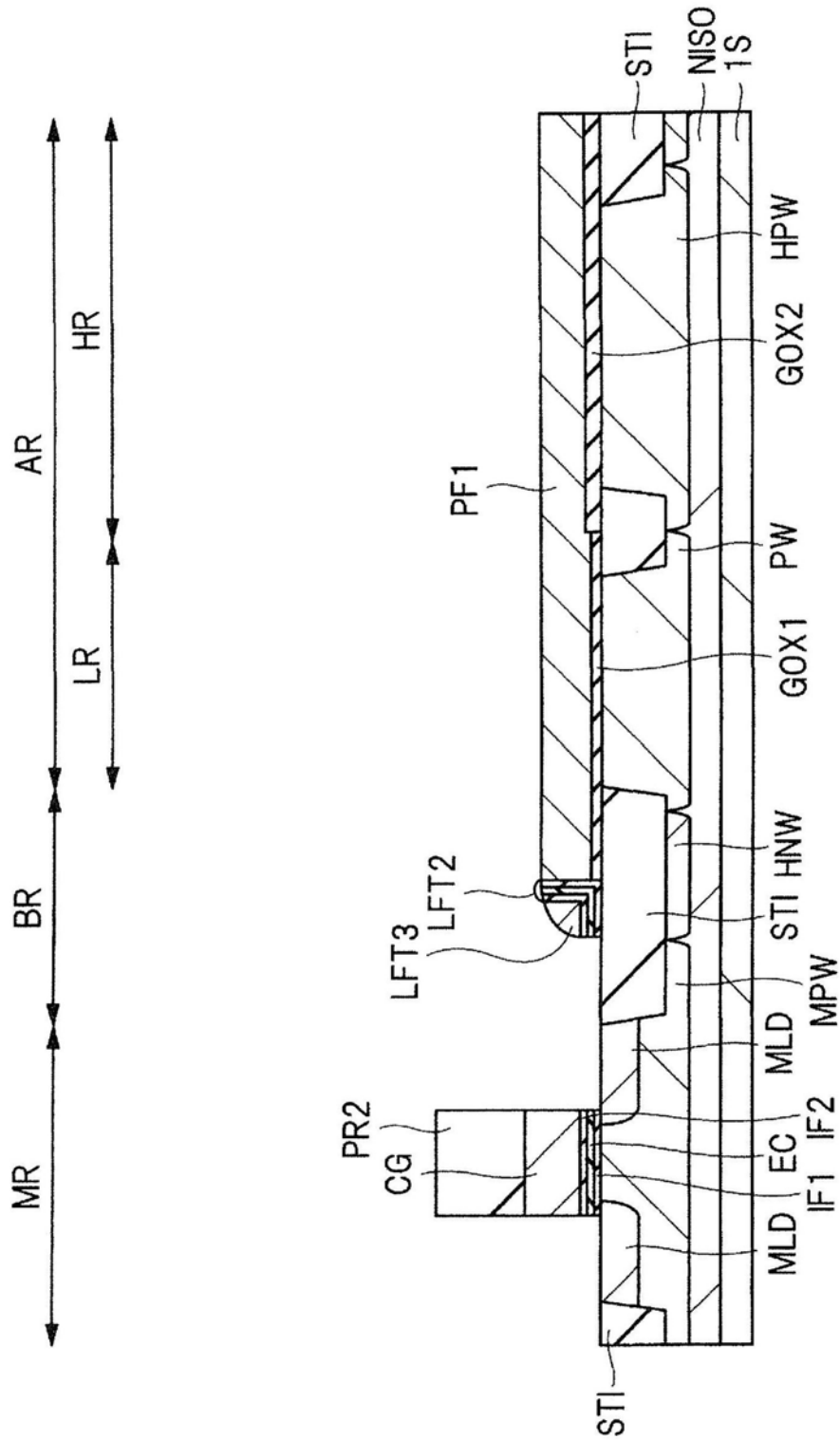


图24

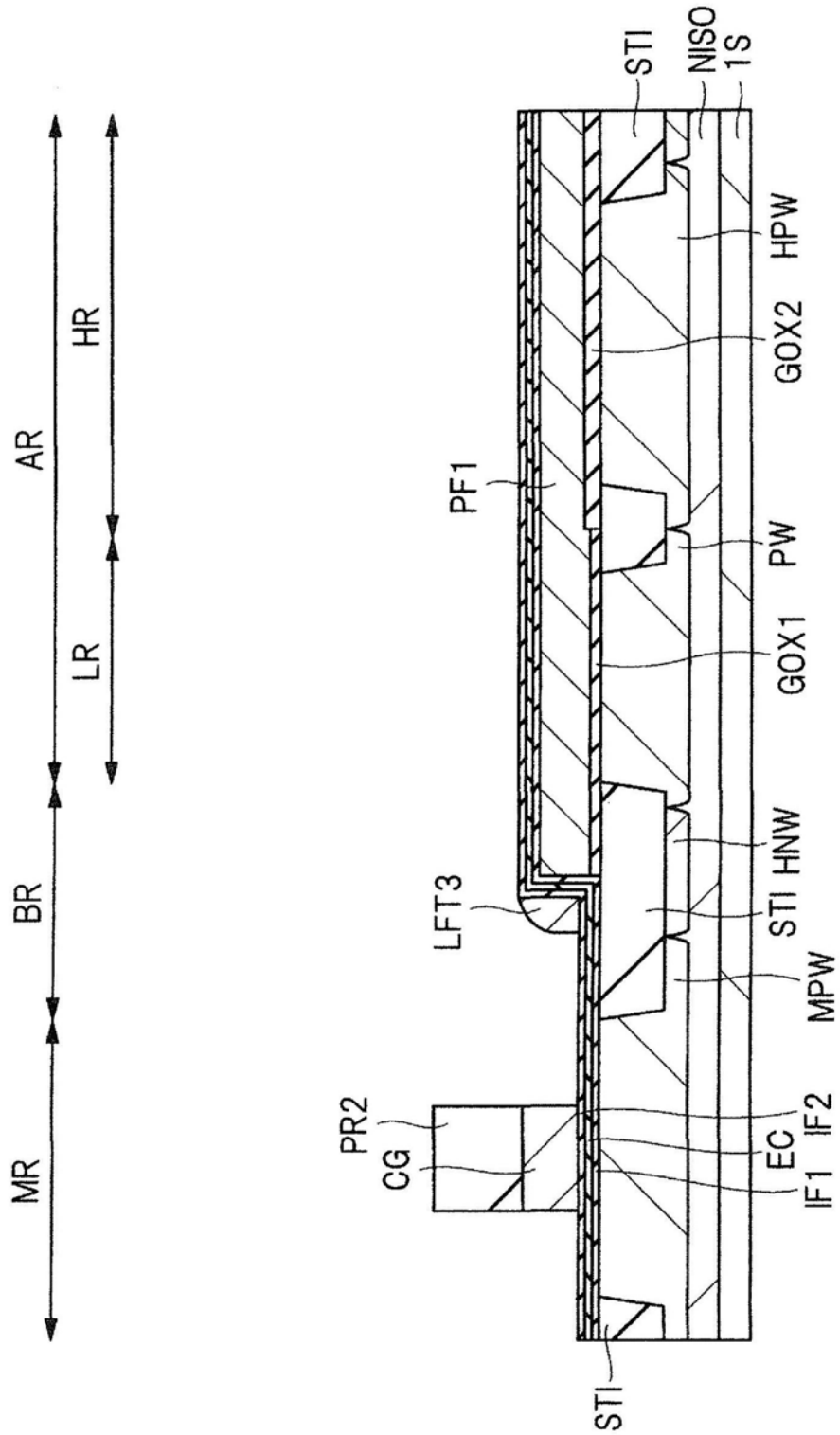


图25

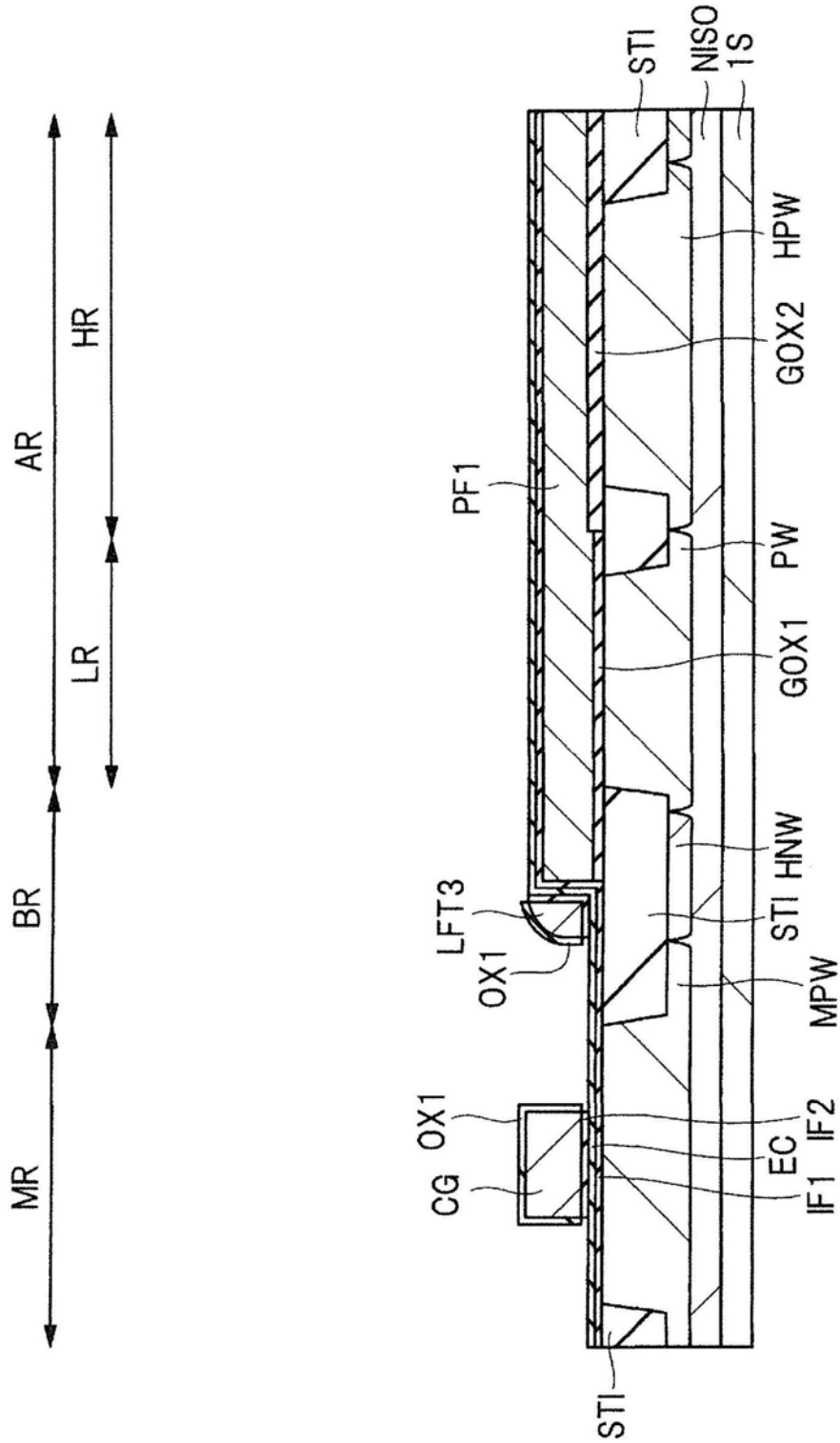


图26

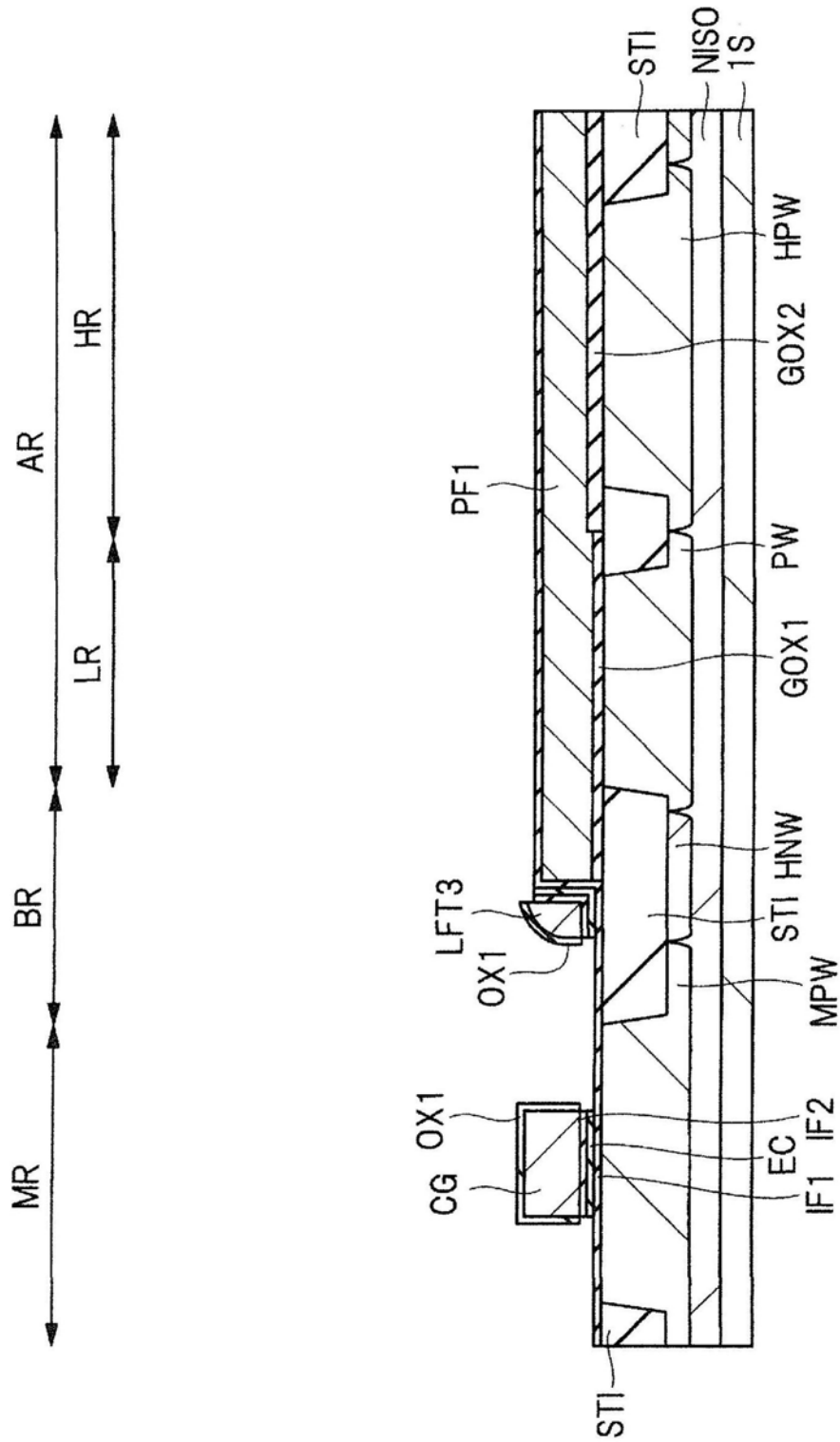


图27

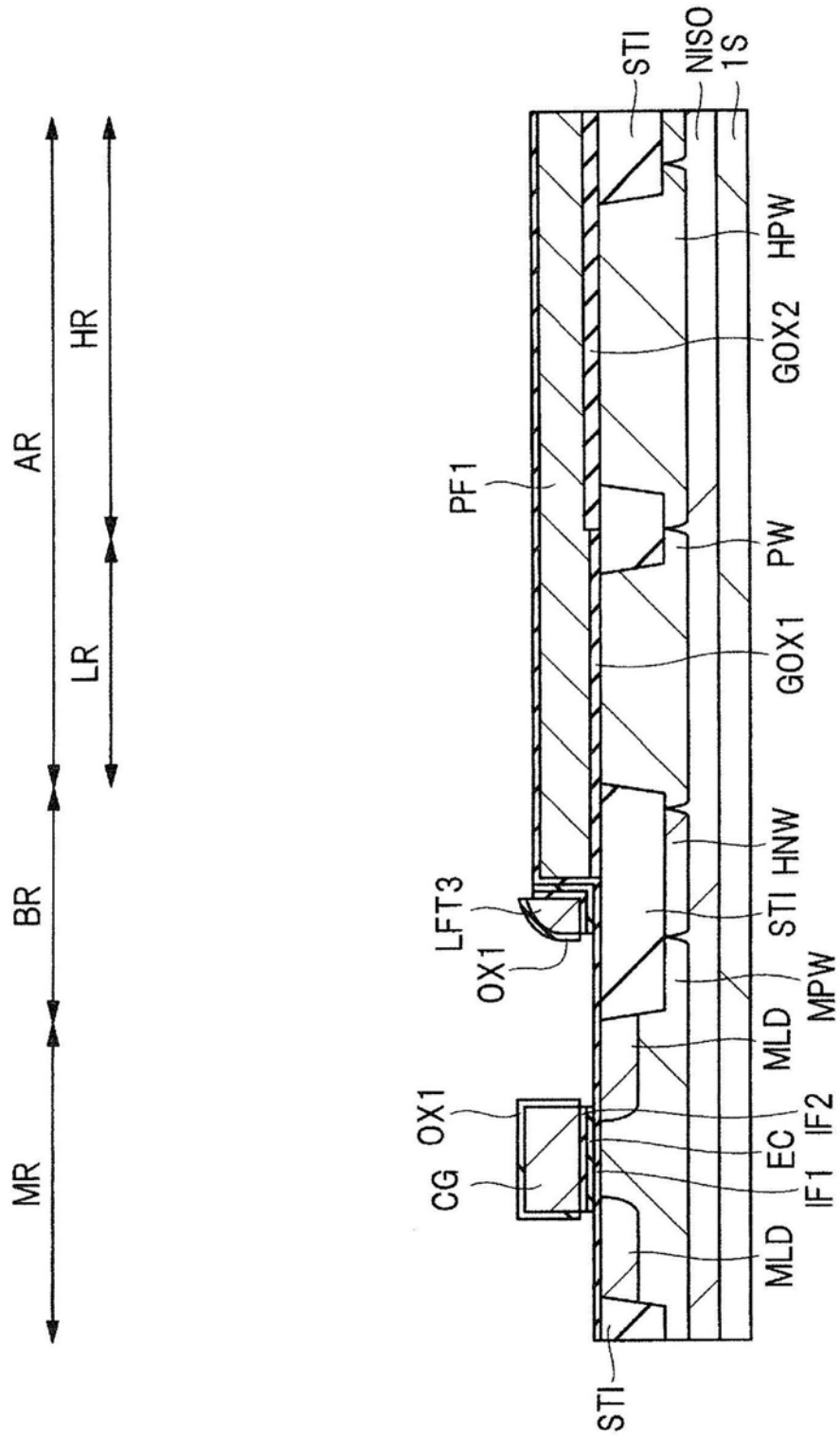


图28

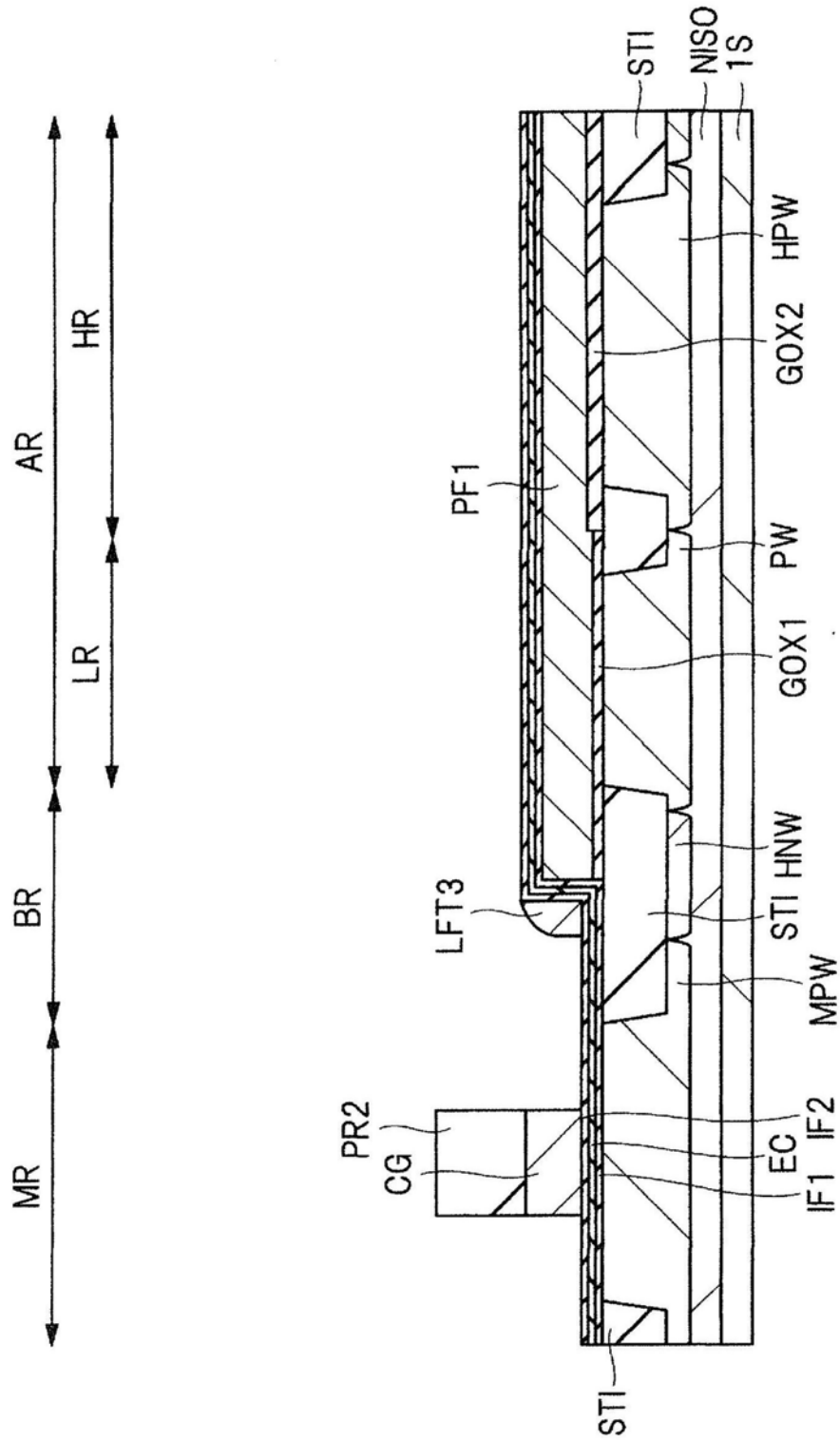


图29

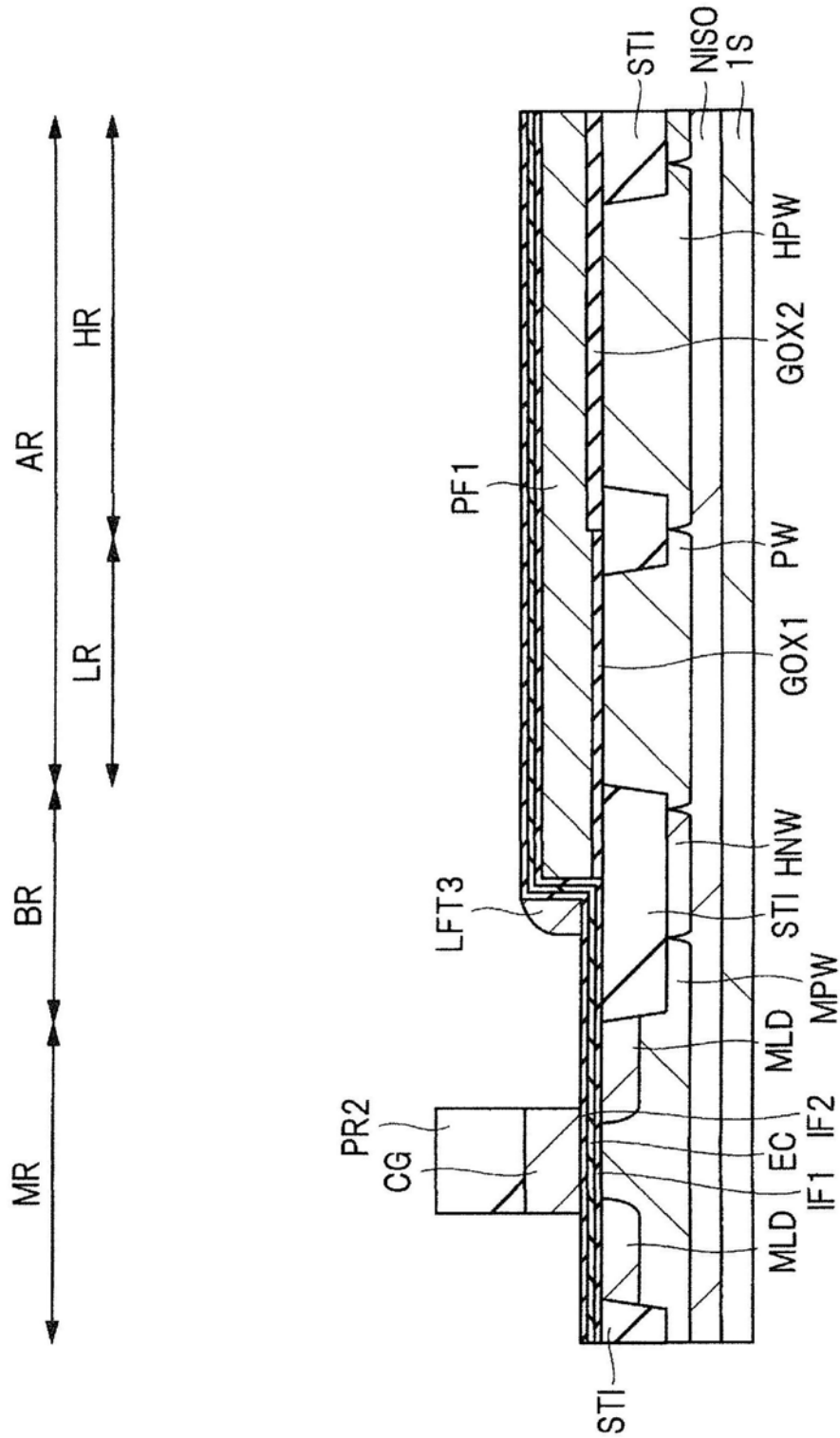


图30

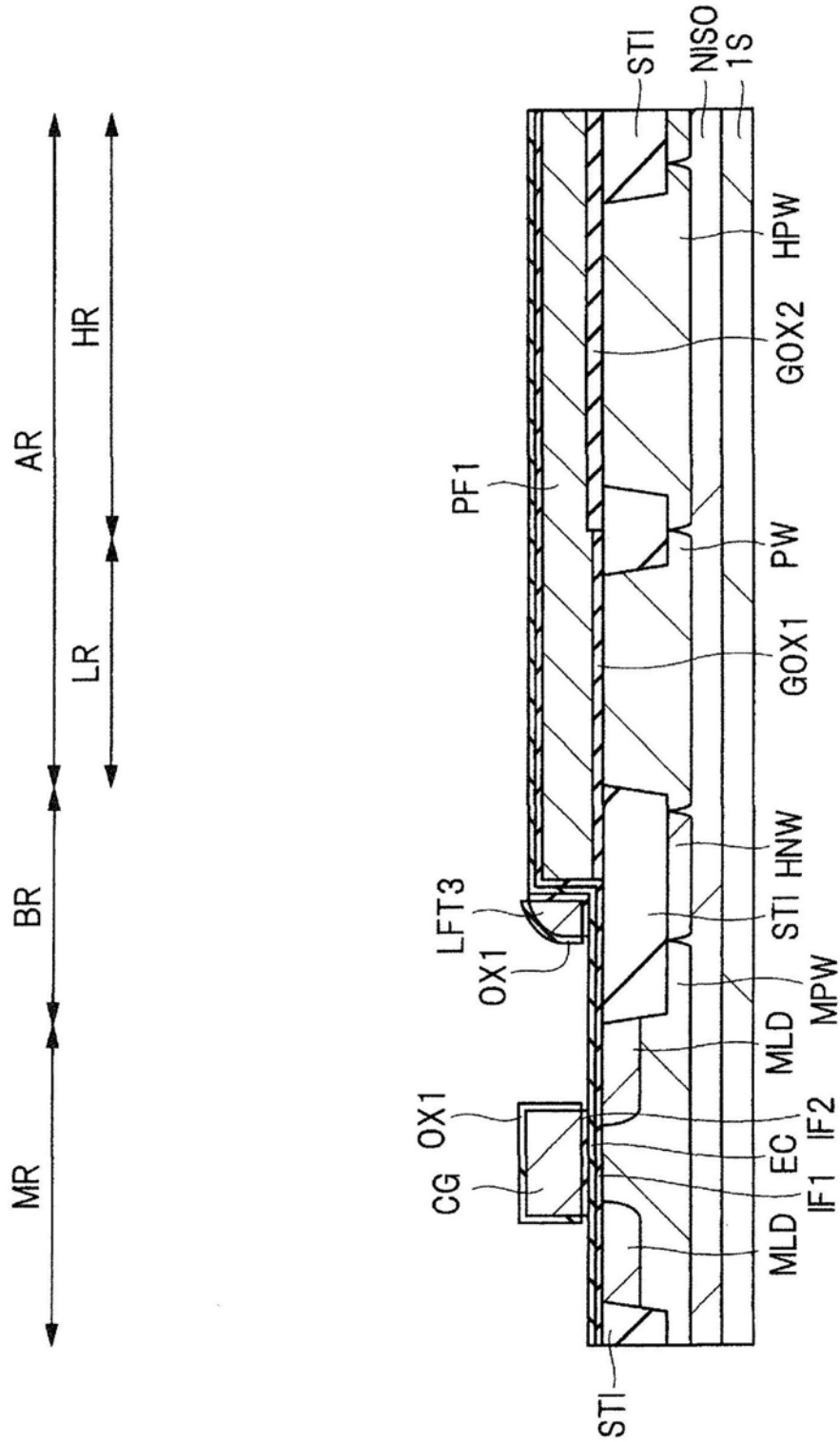


图31

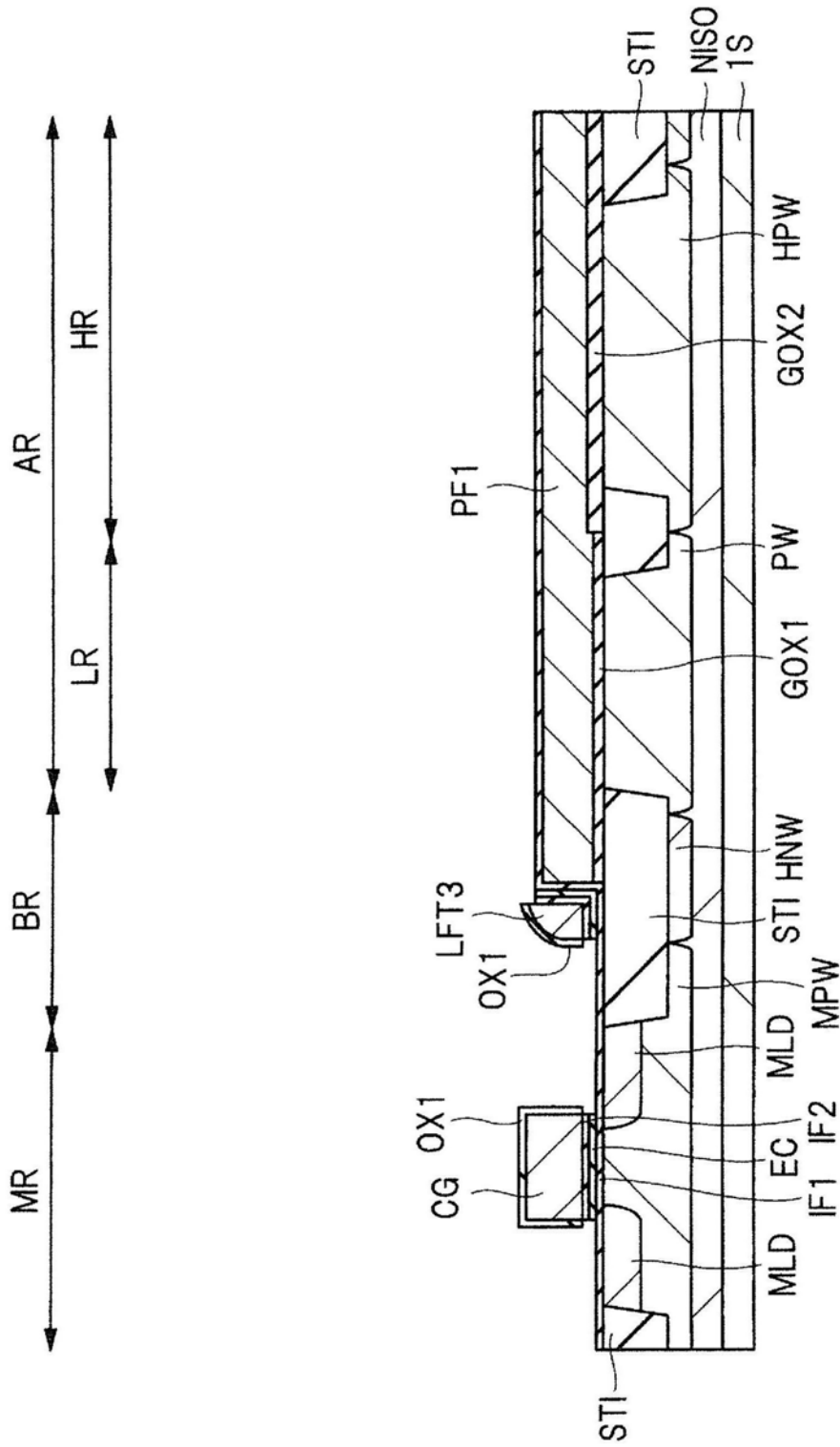


图32

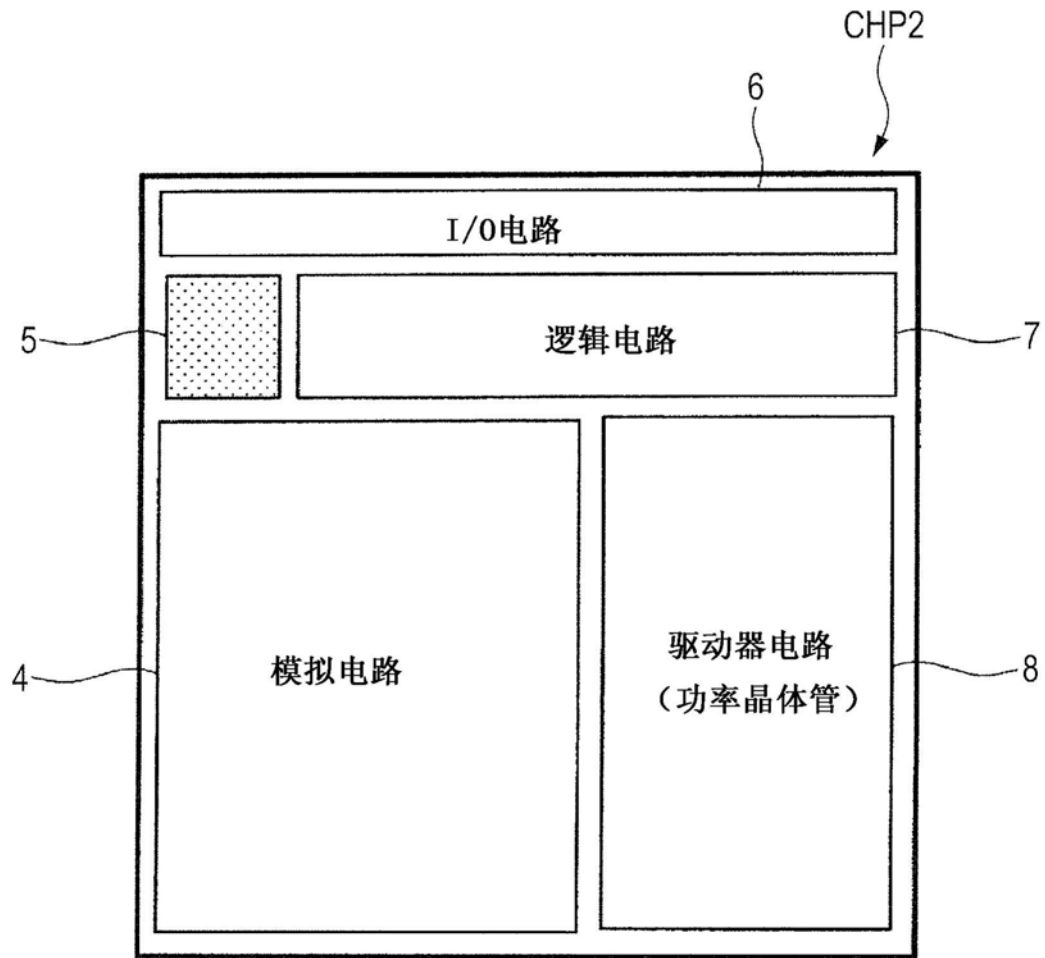


图33

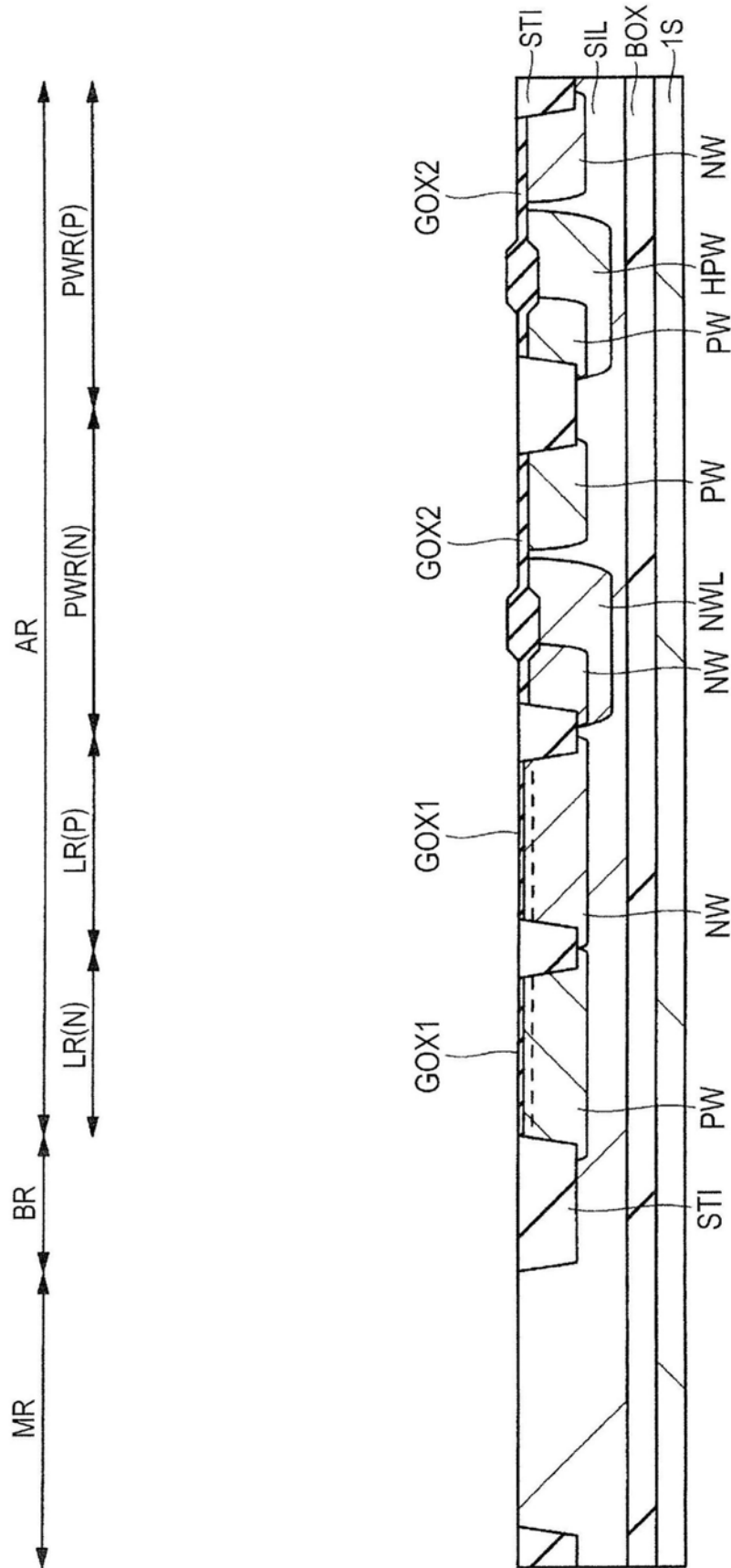


图35

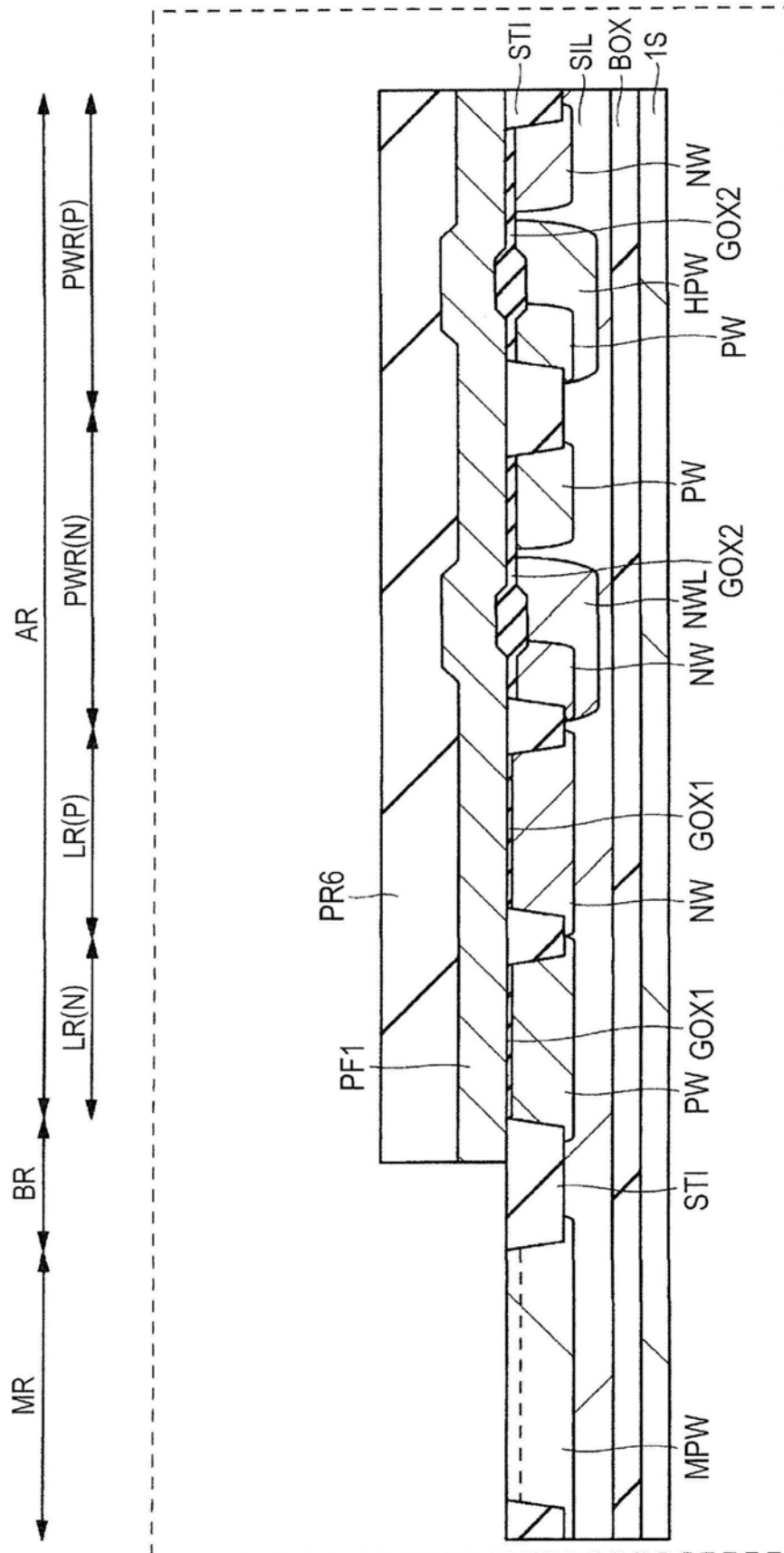


图36

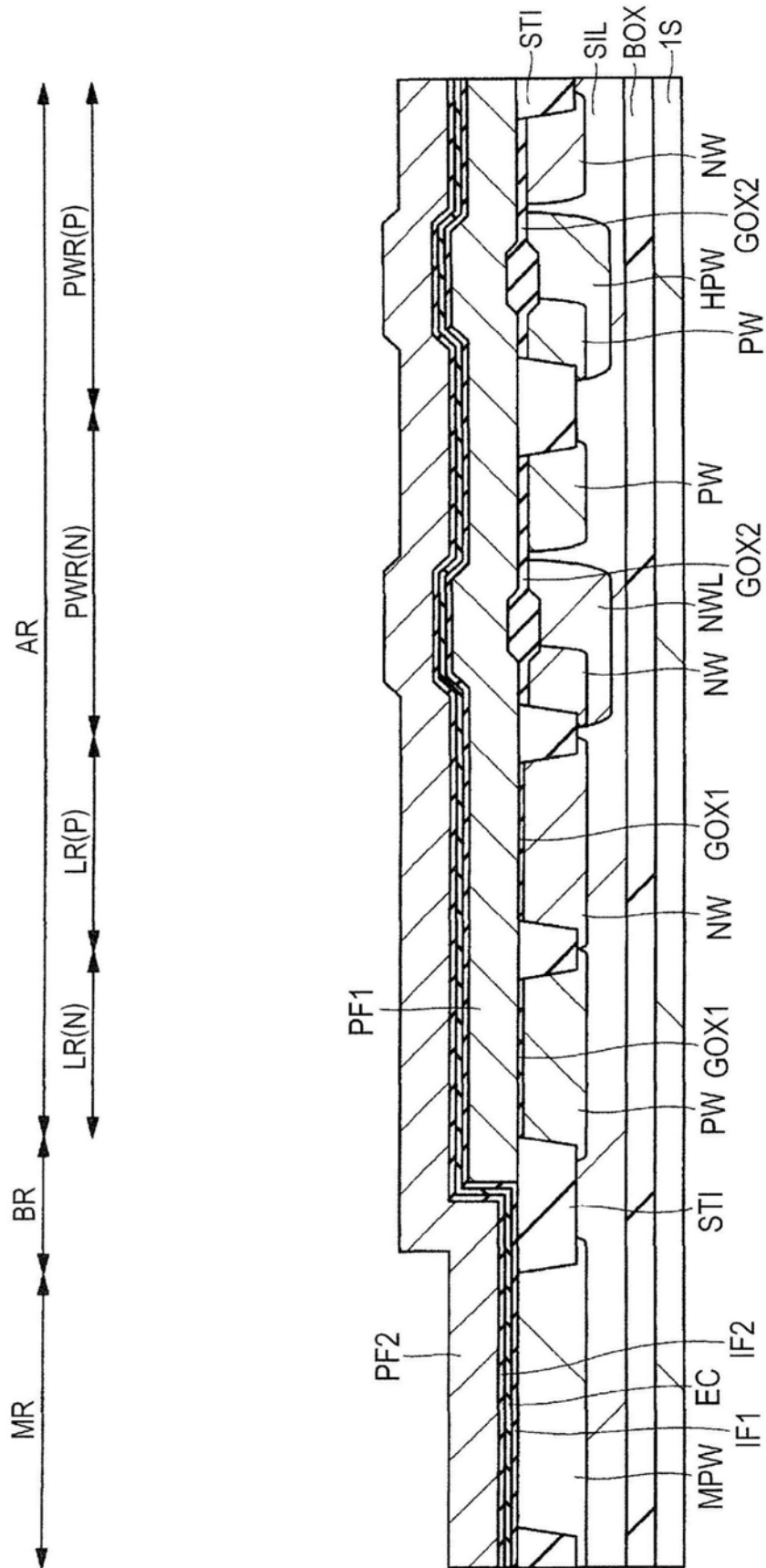


图37

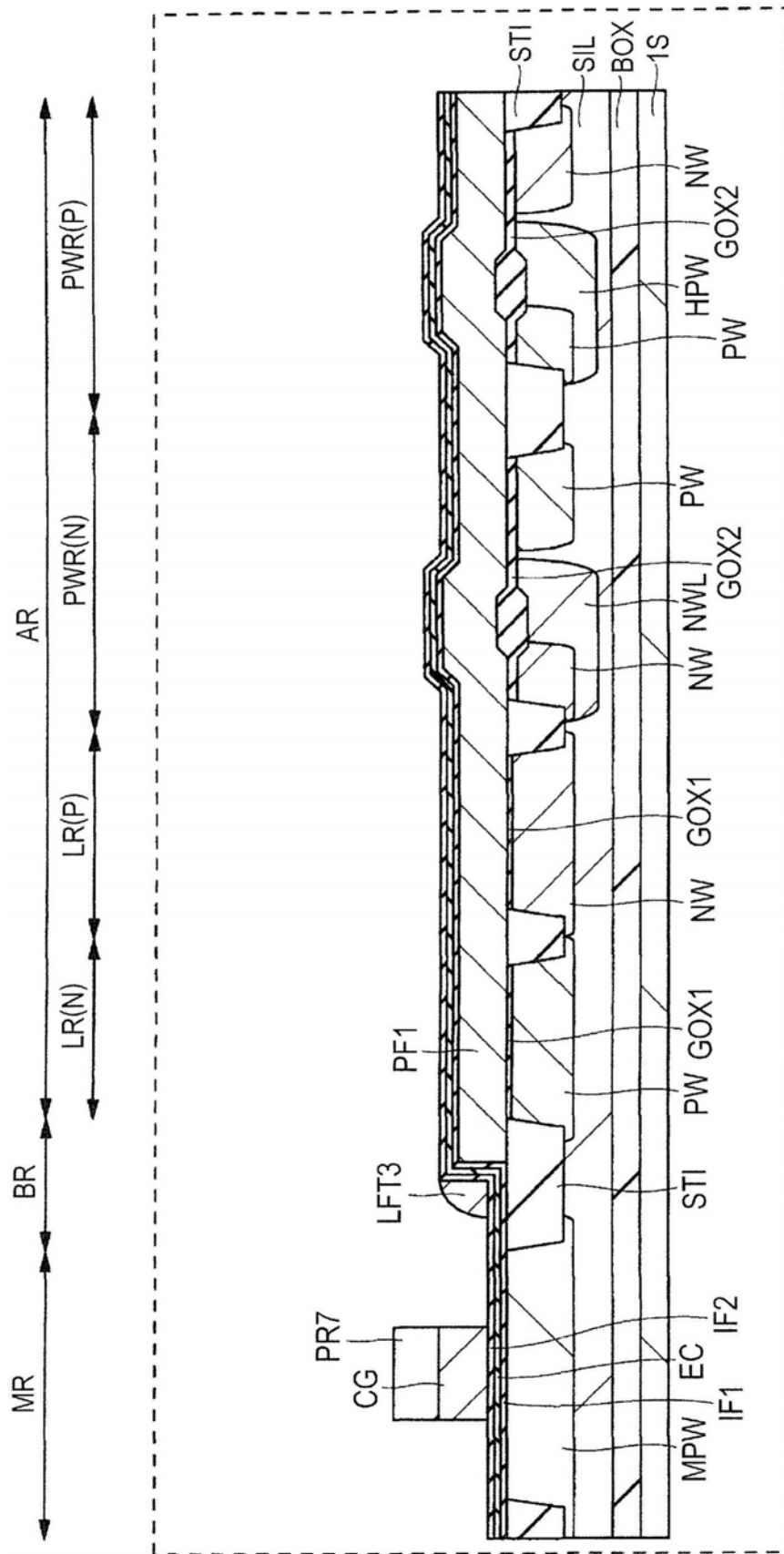


图38

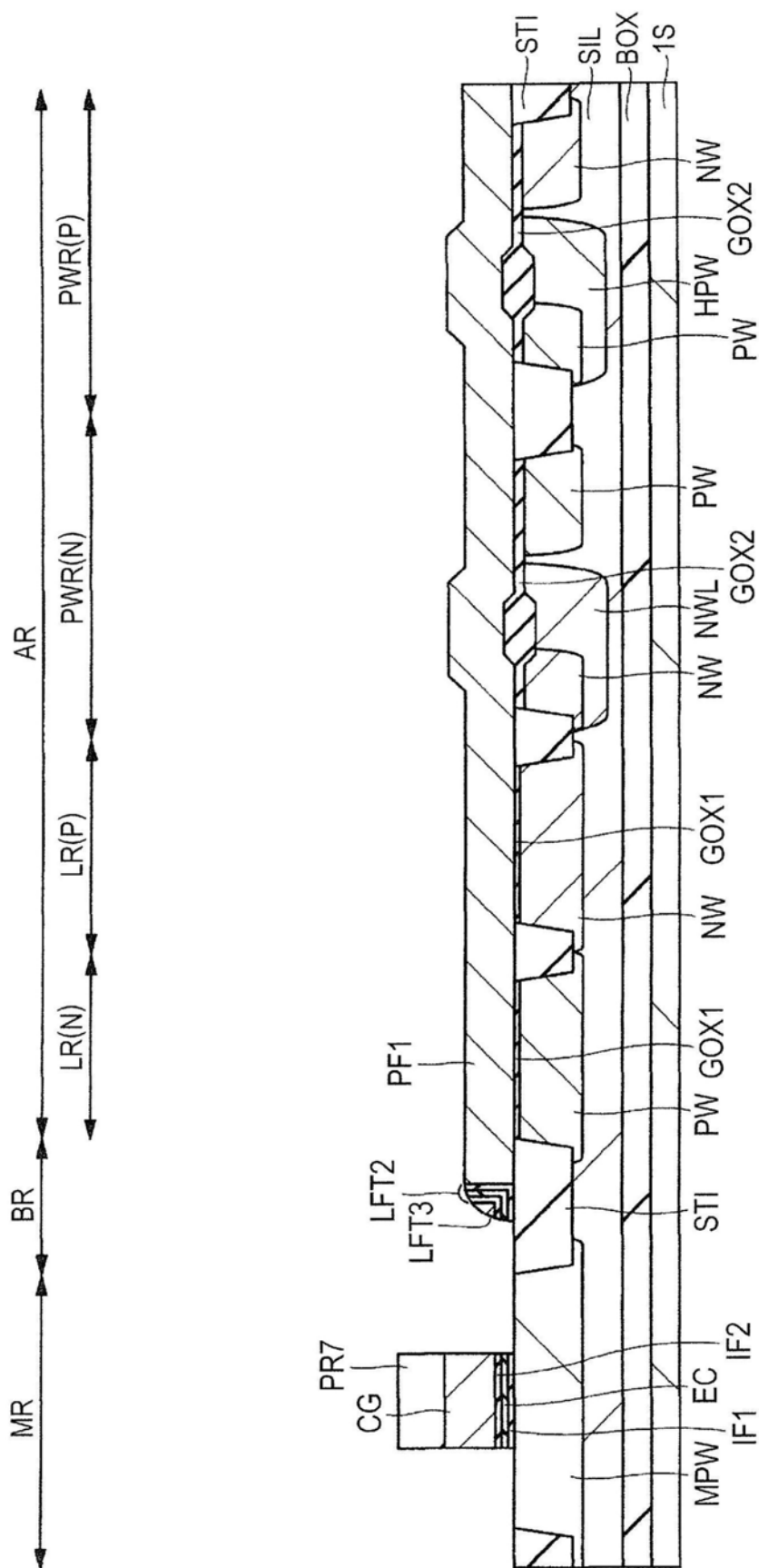


图39

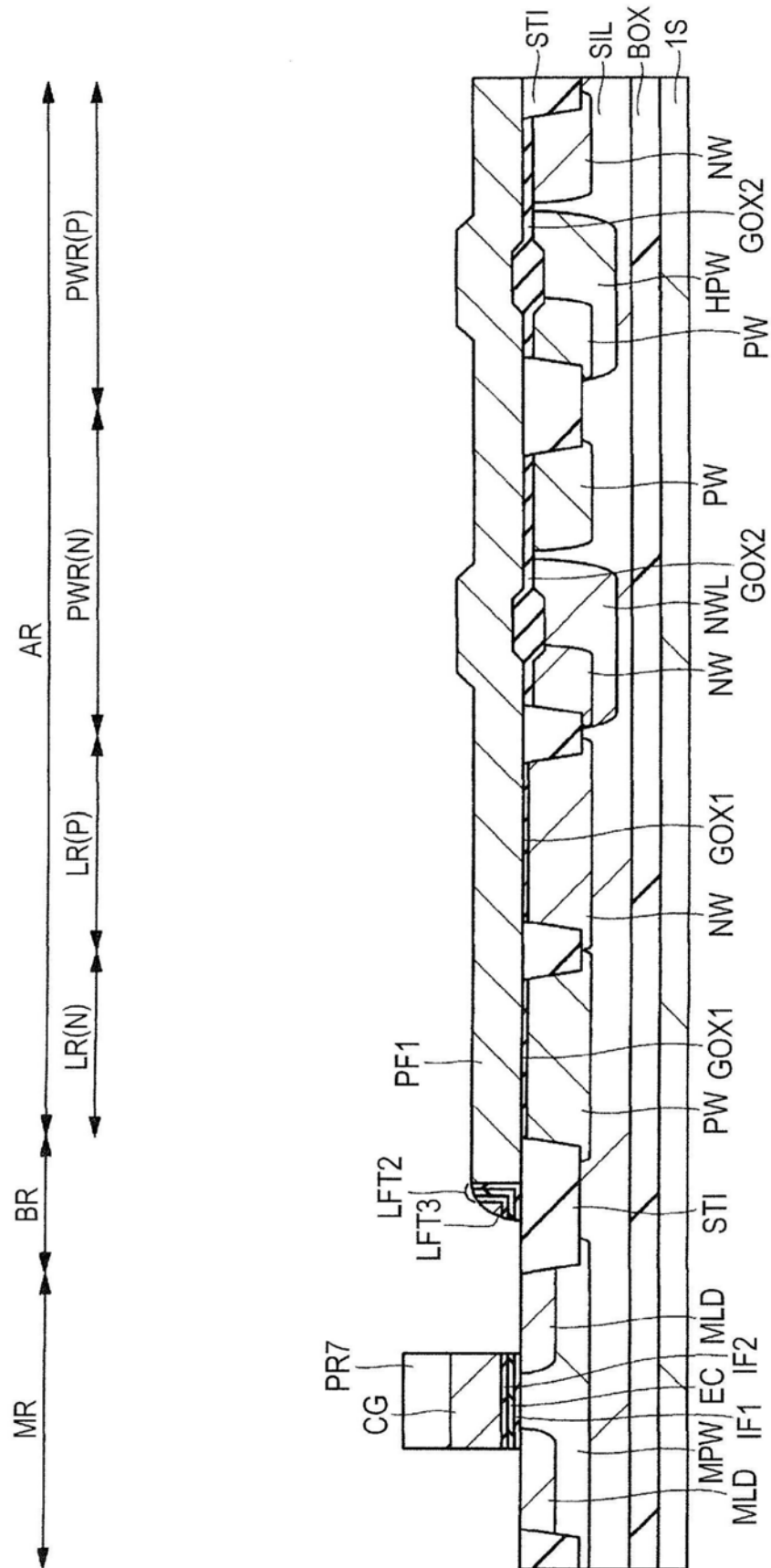


图40

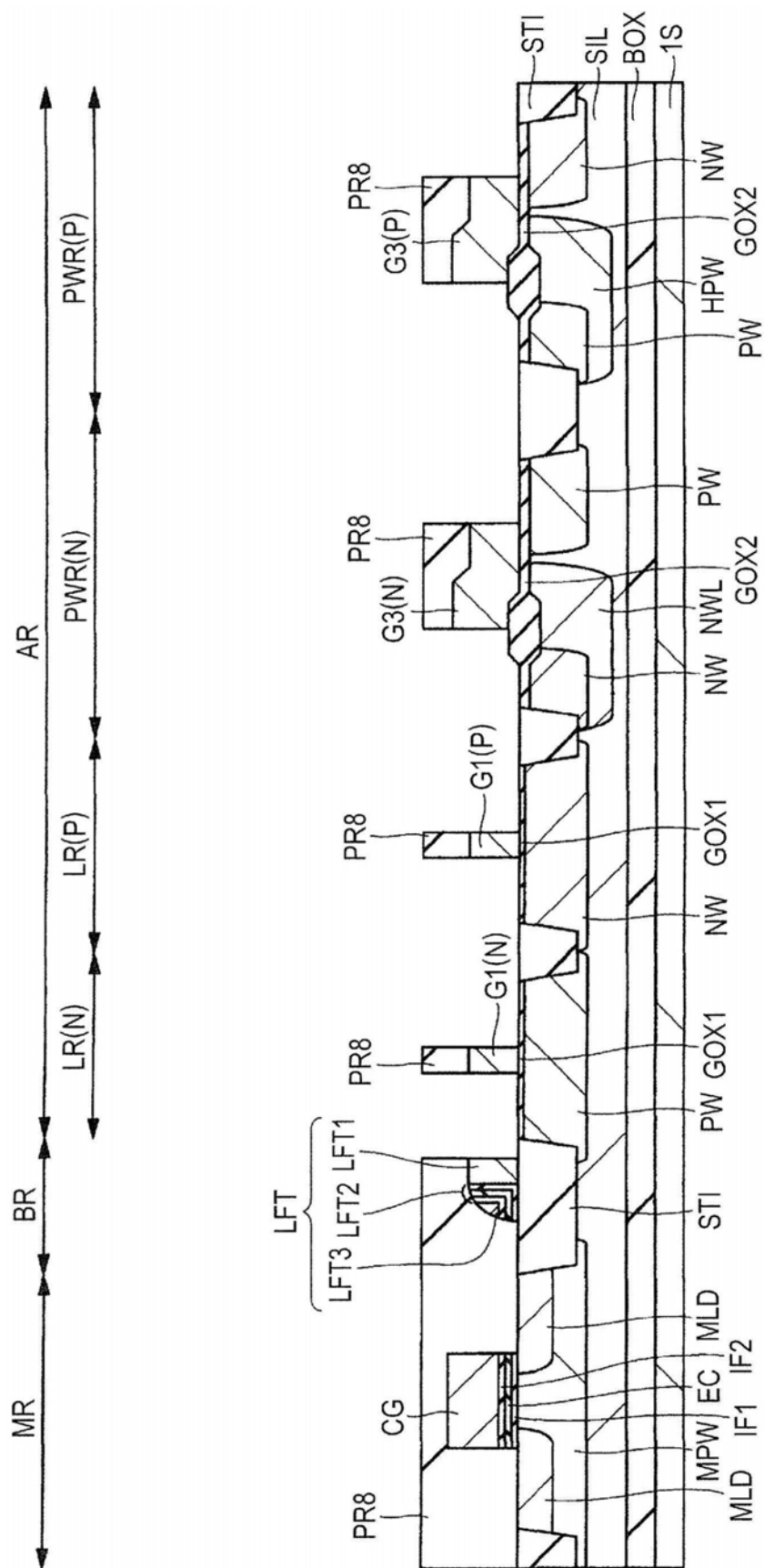


图41

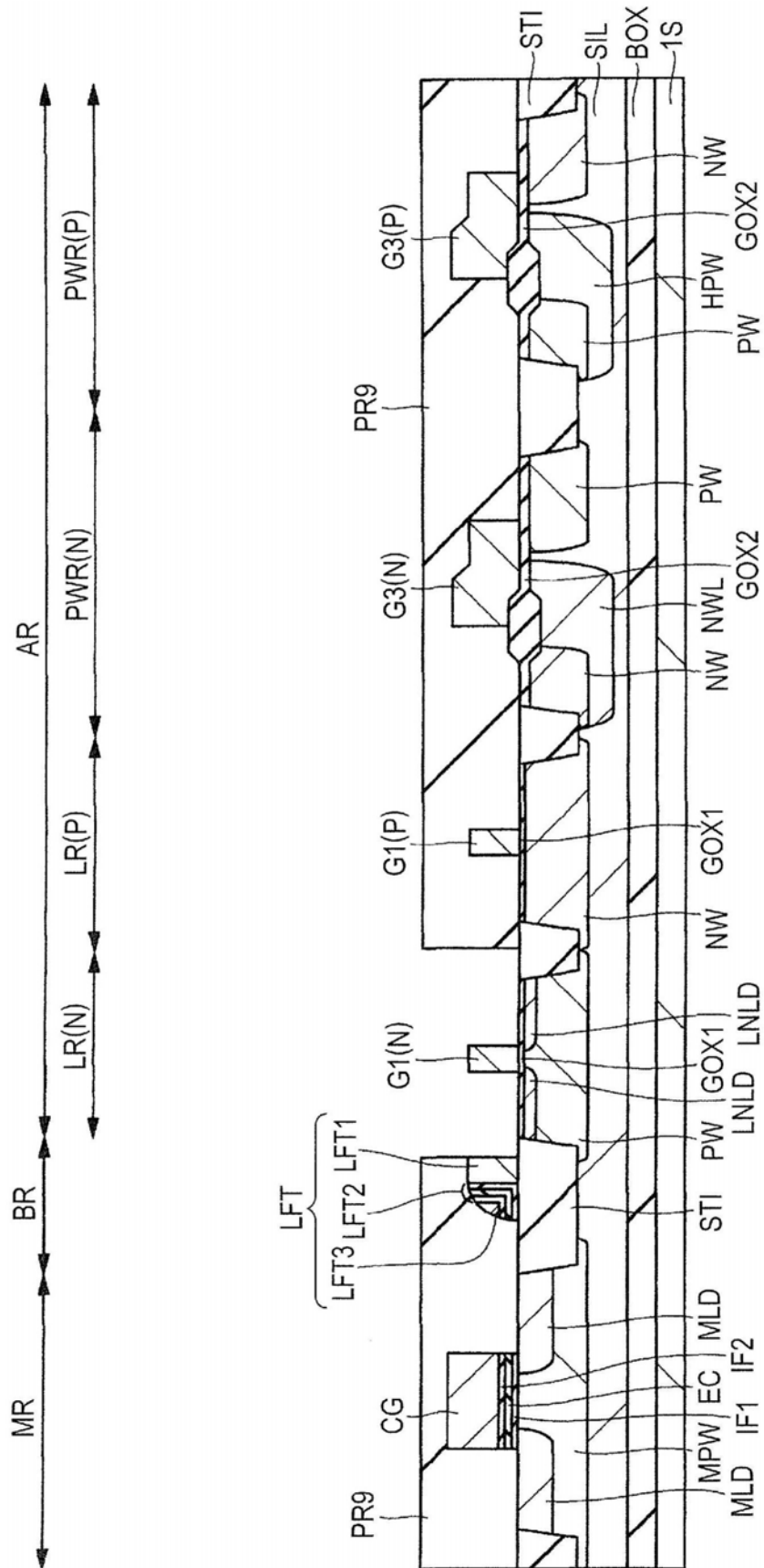


图42

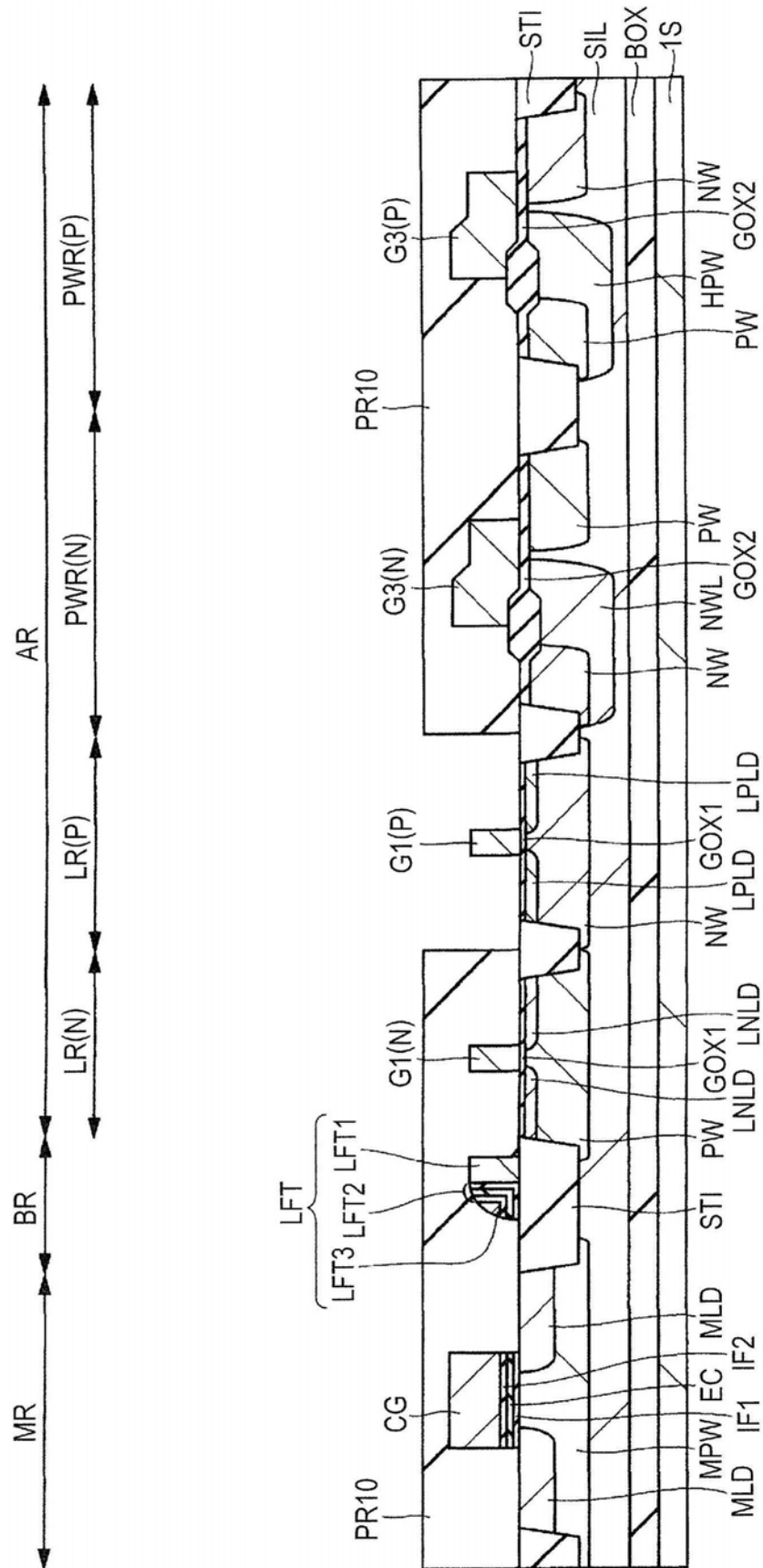


图43

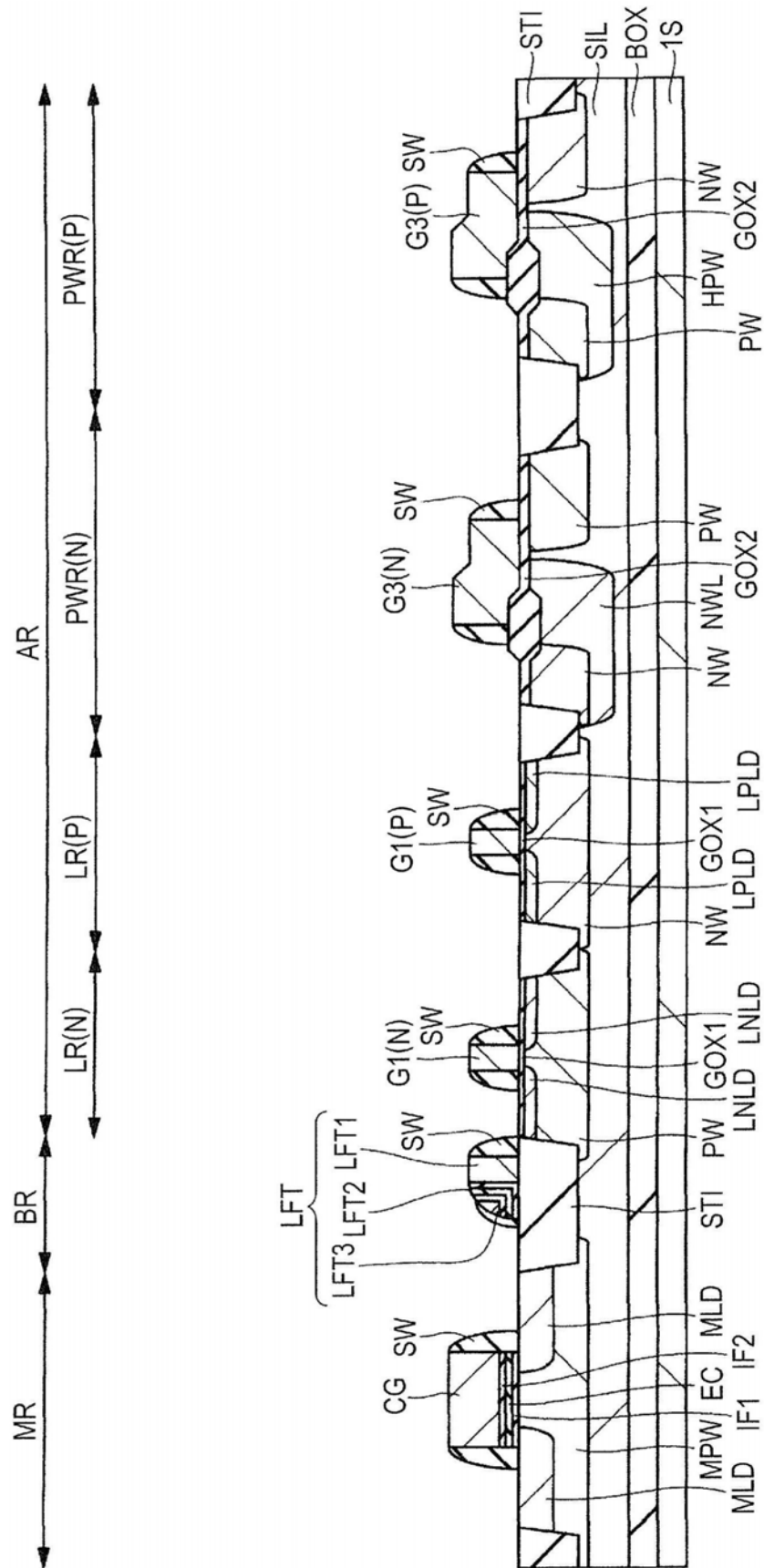


图44

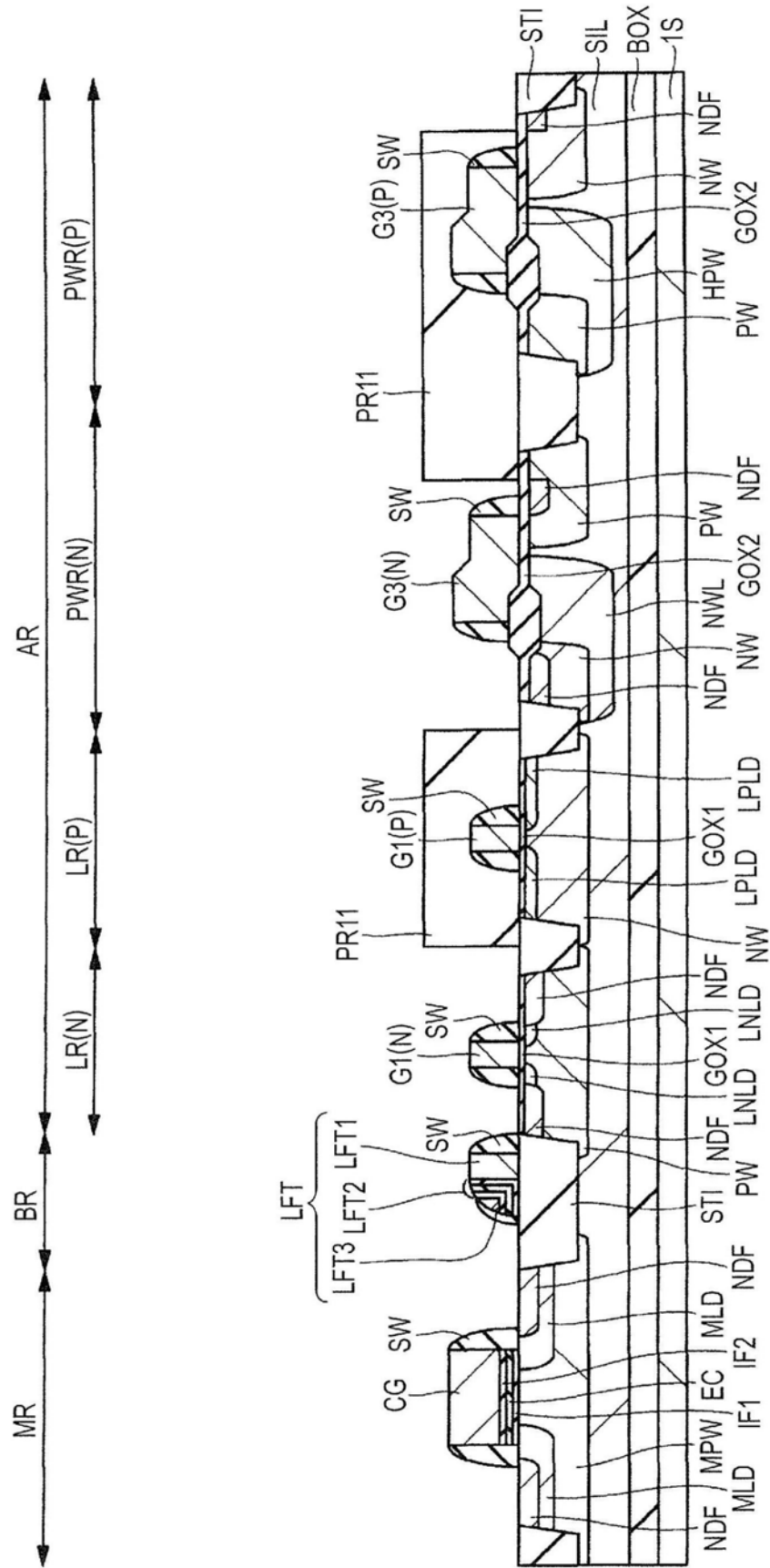


图45

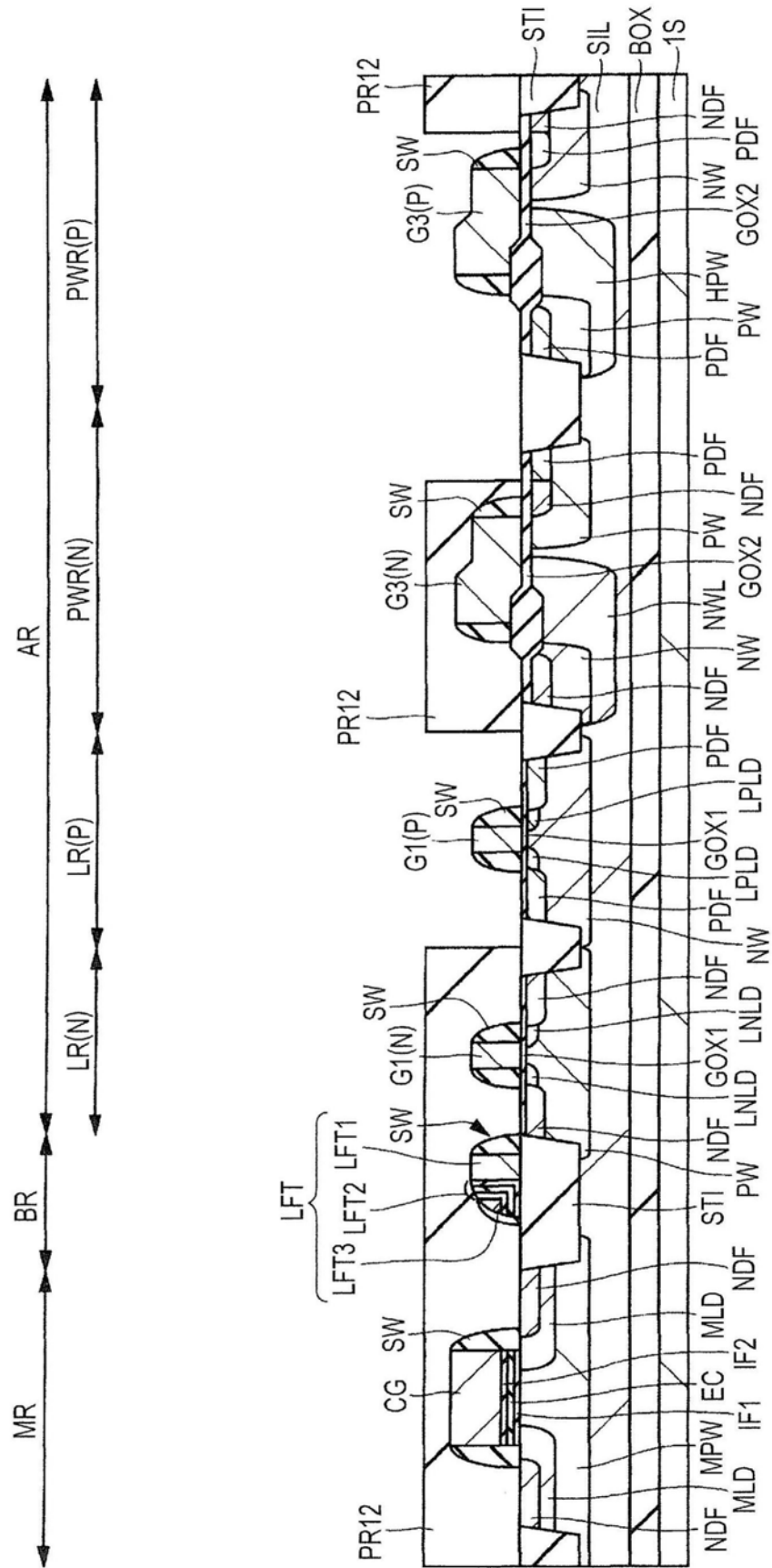


图46

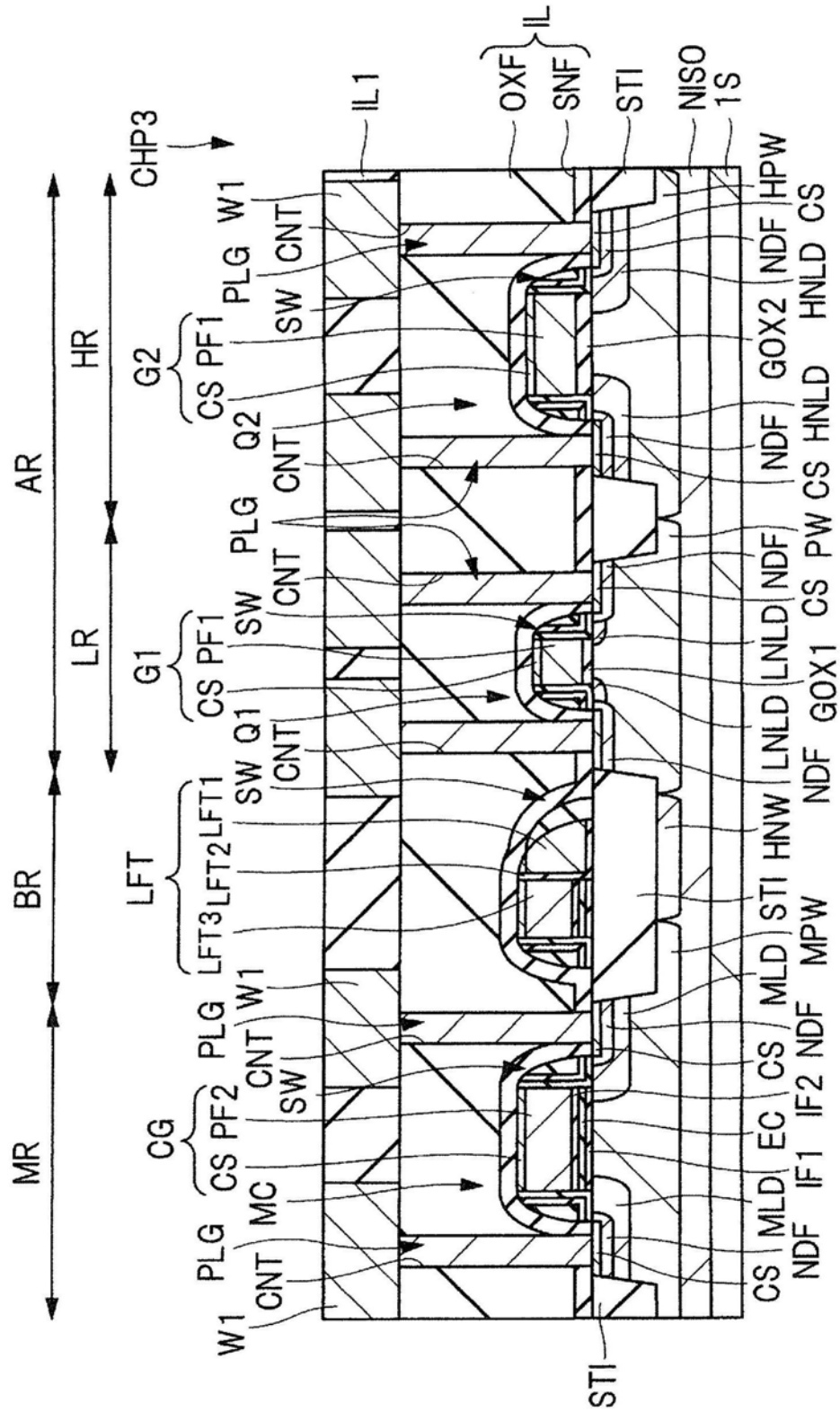


图48

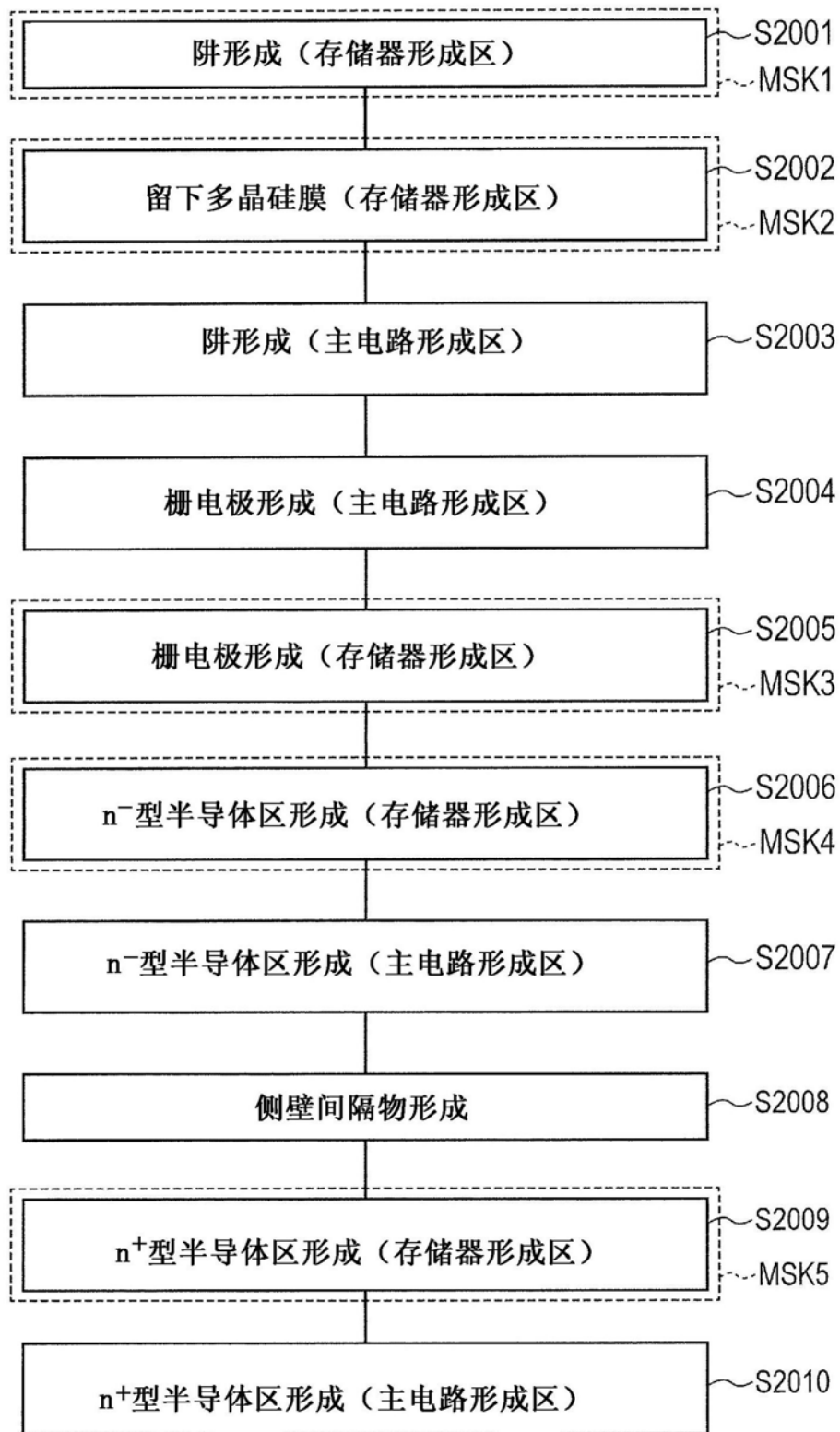


图49

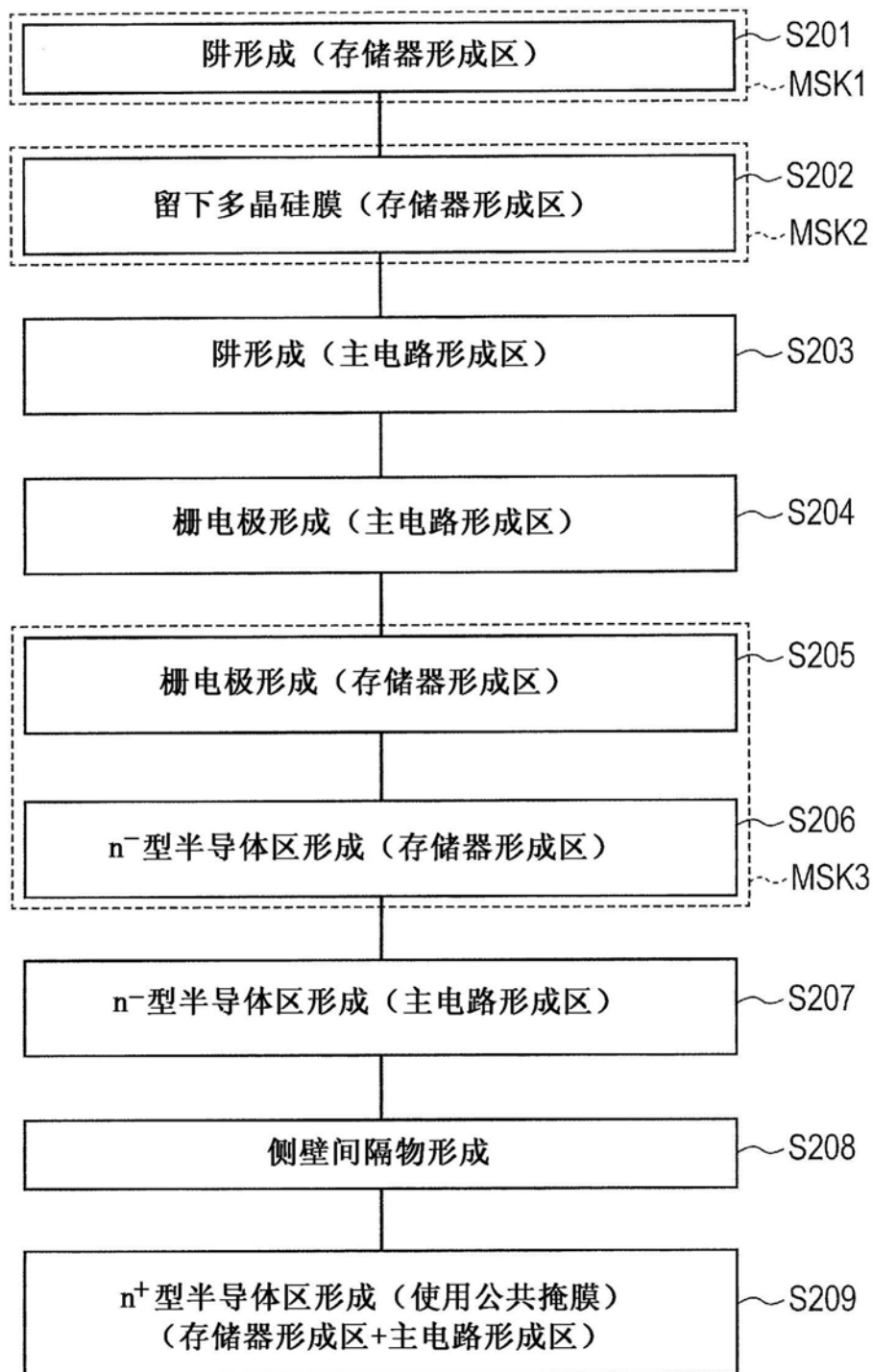


图50

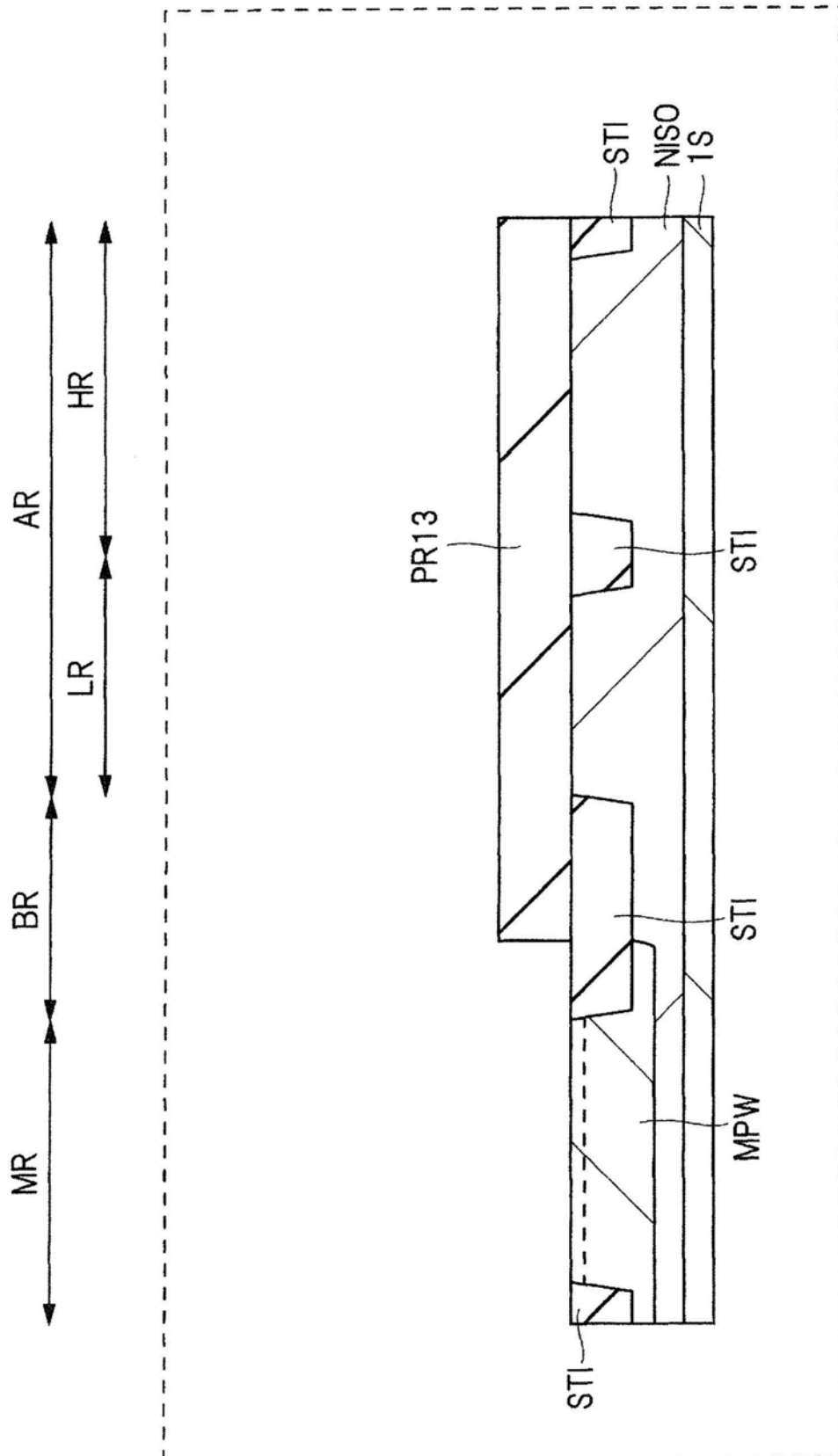


图51

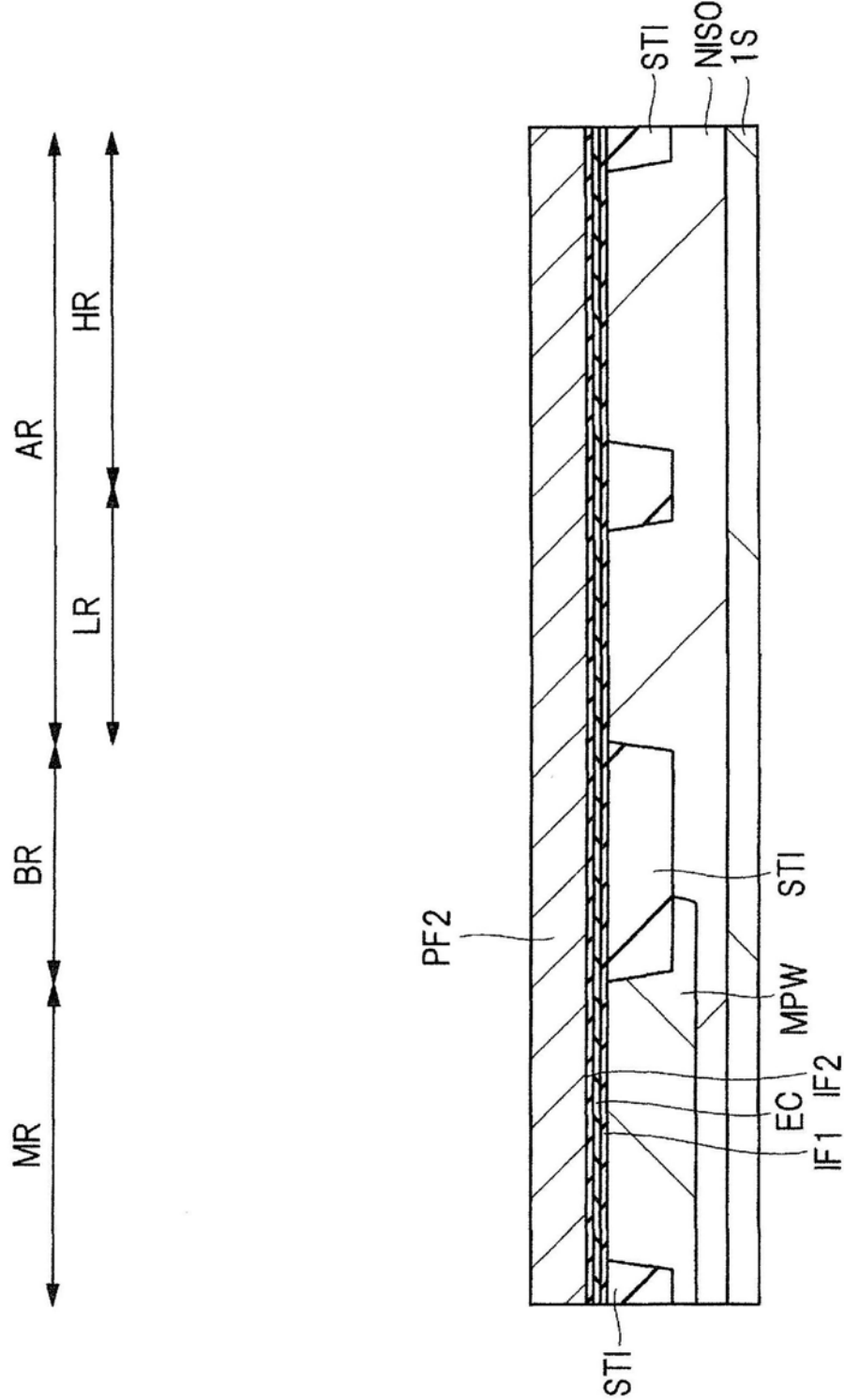


图52

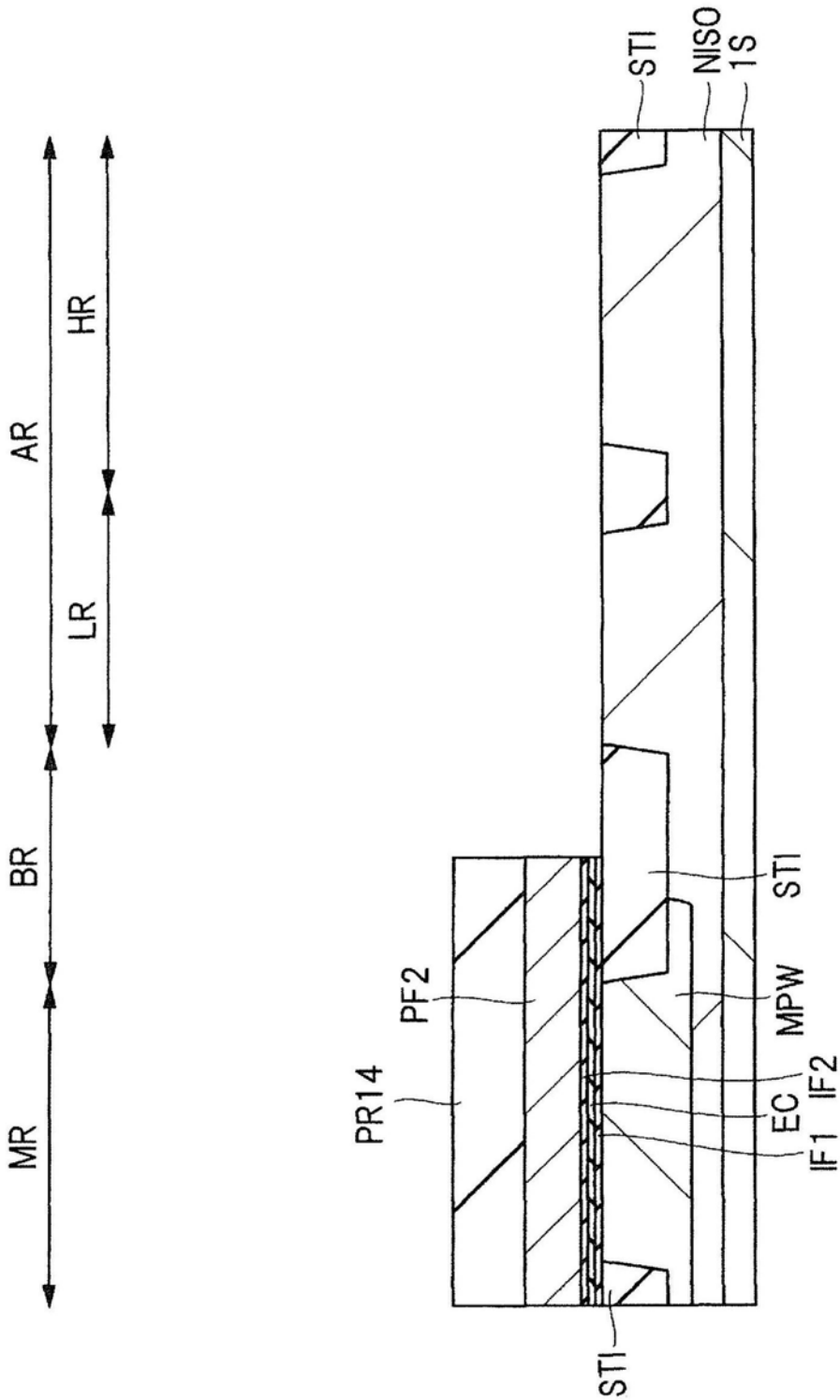


图53

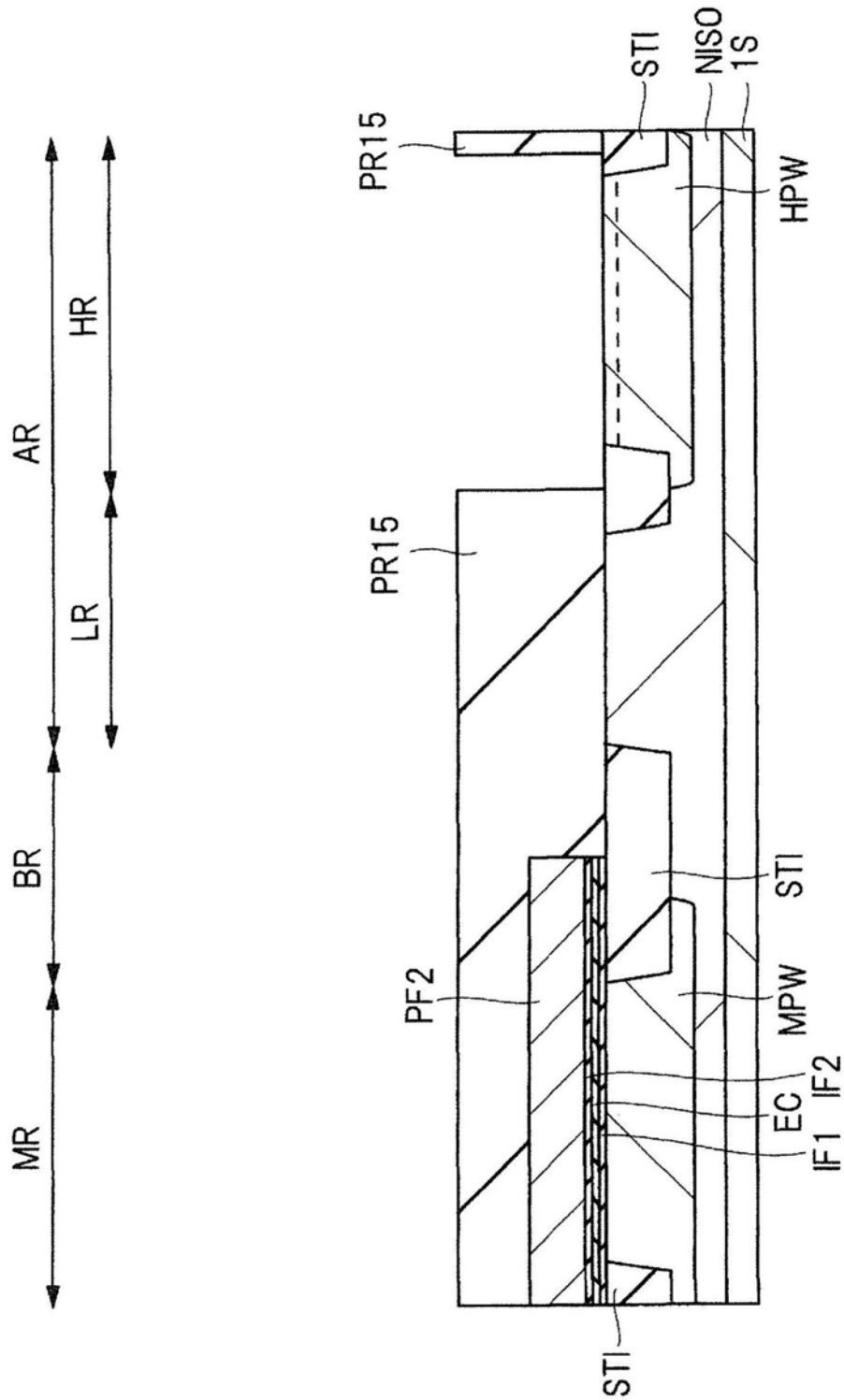


图54

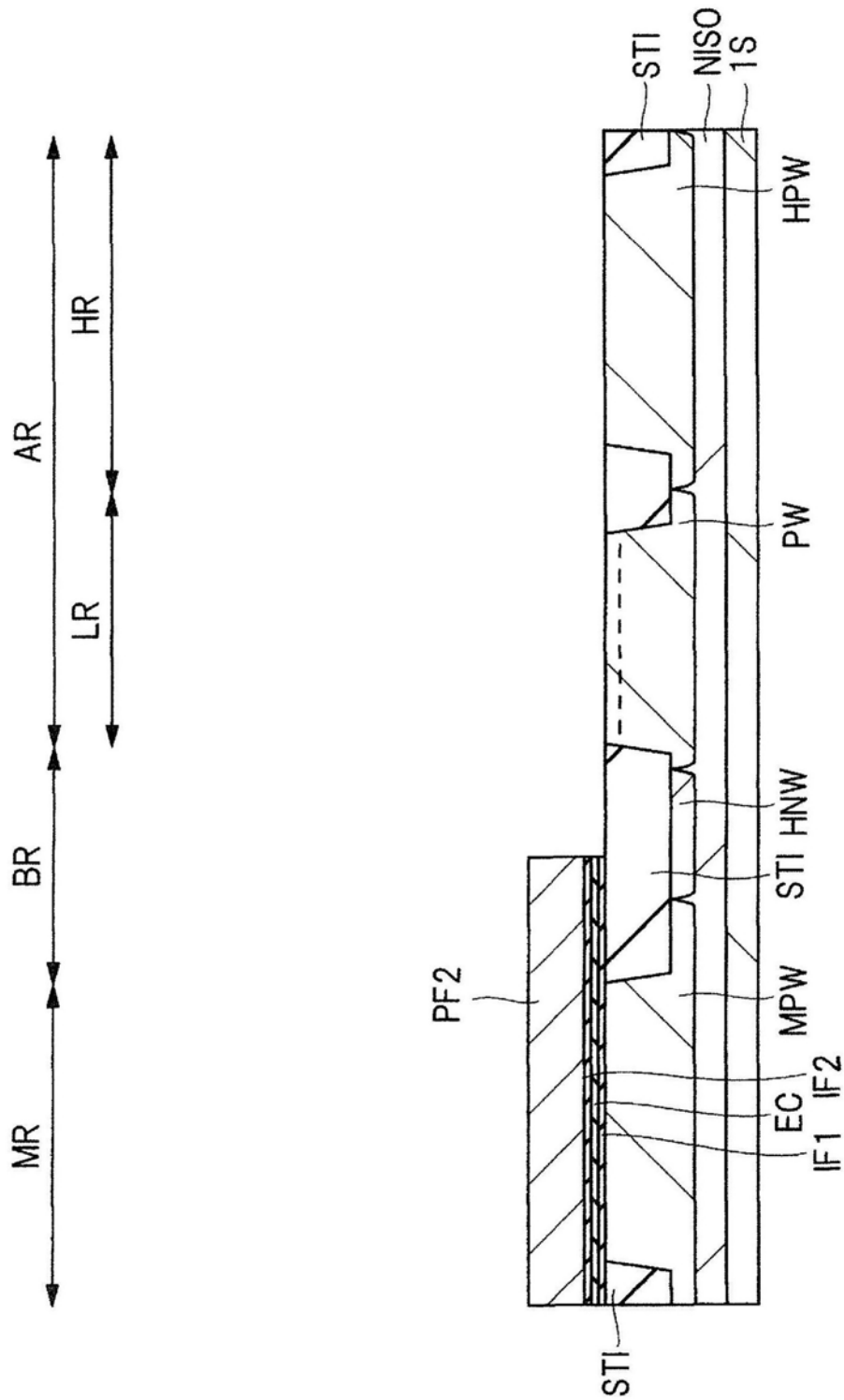


图55

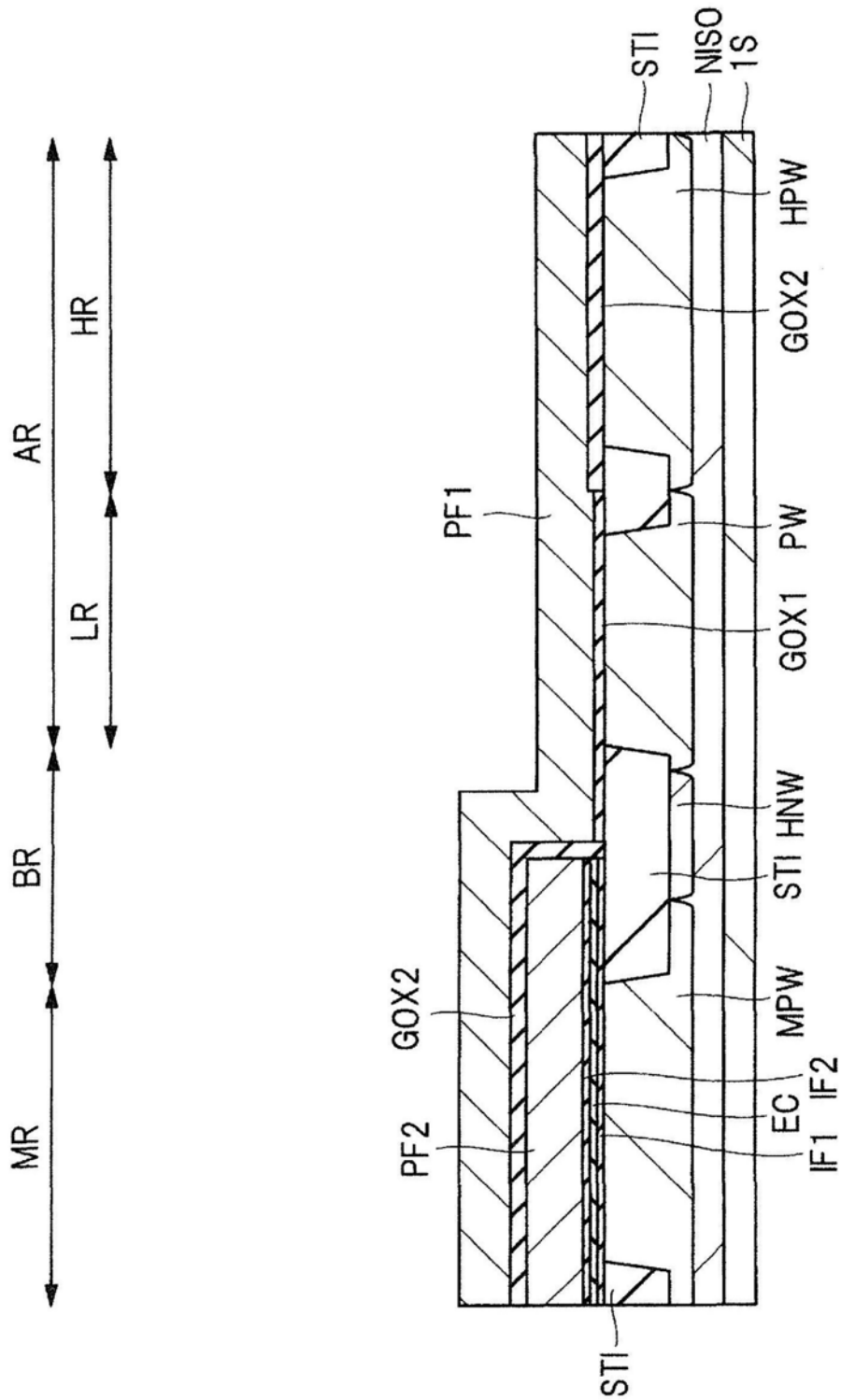


图56

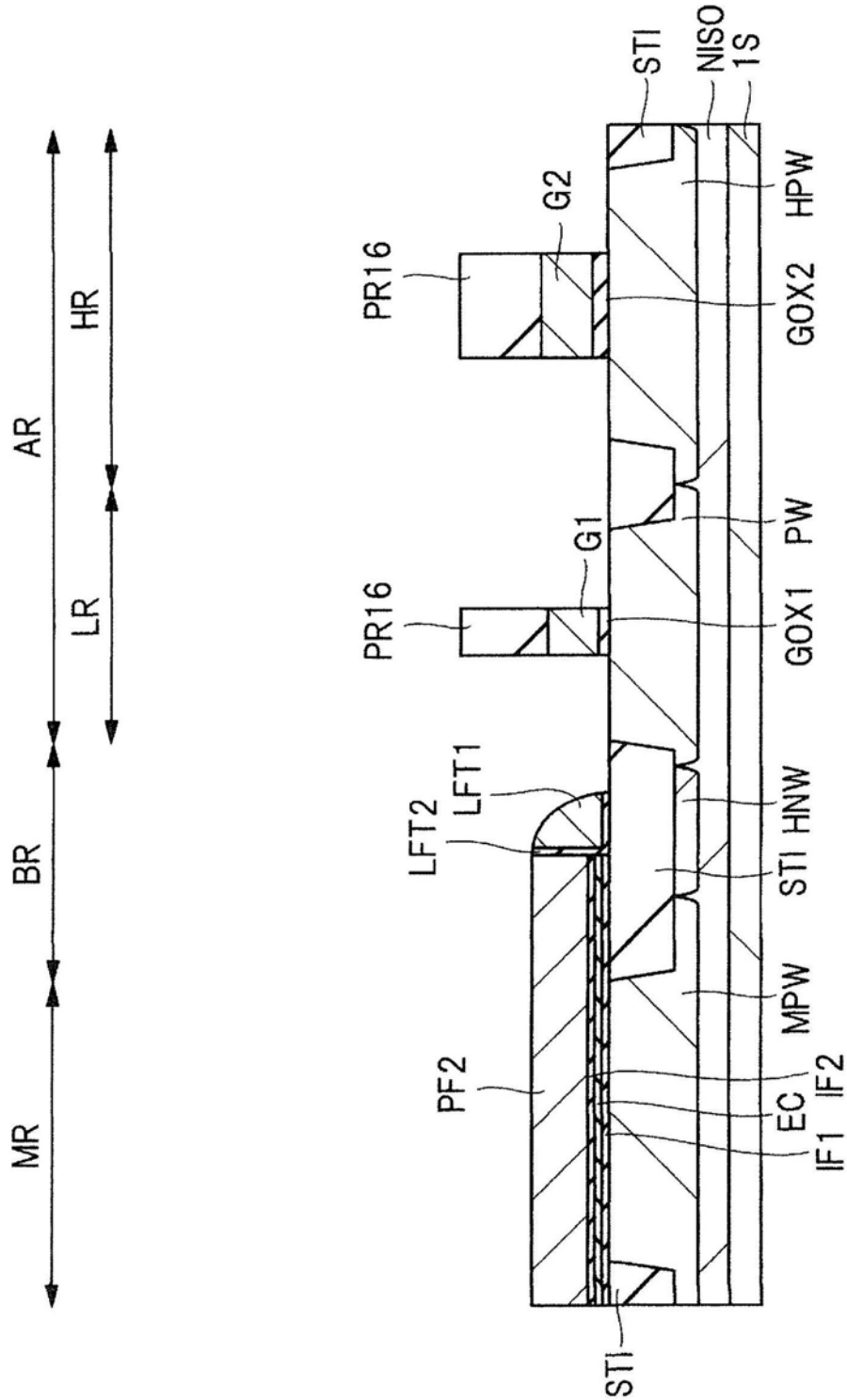


图57

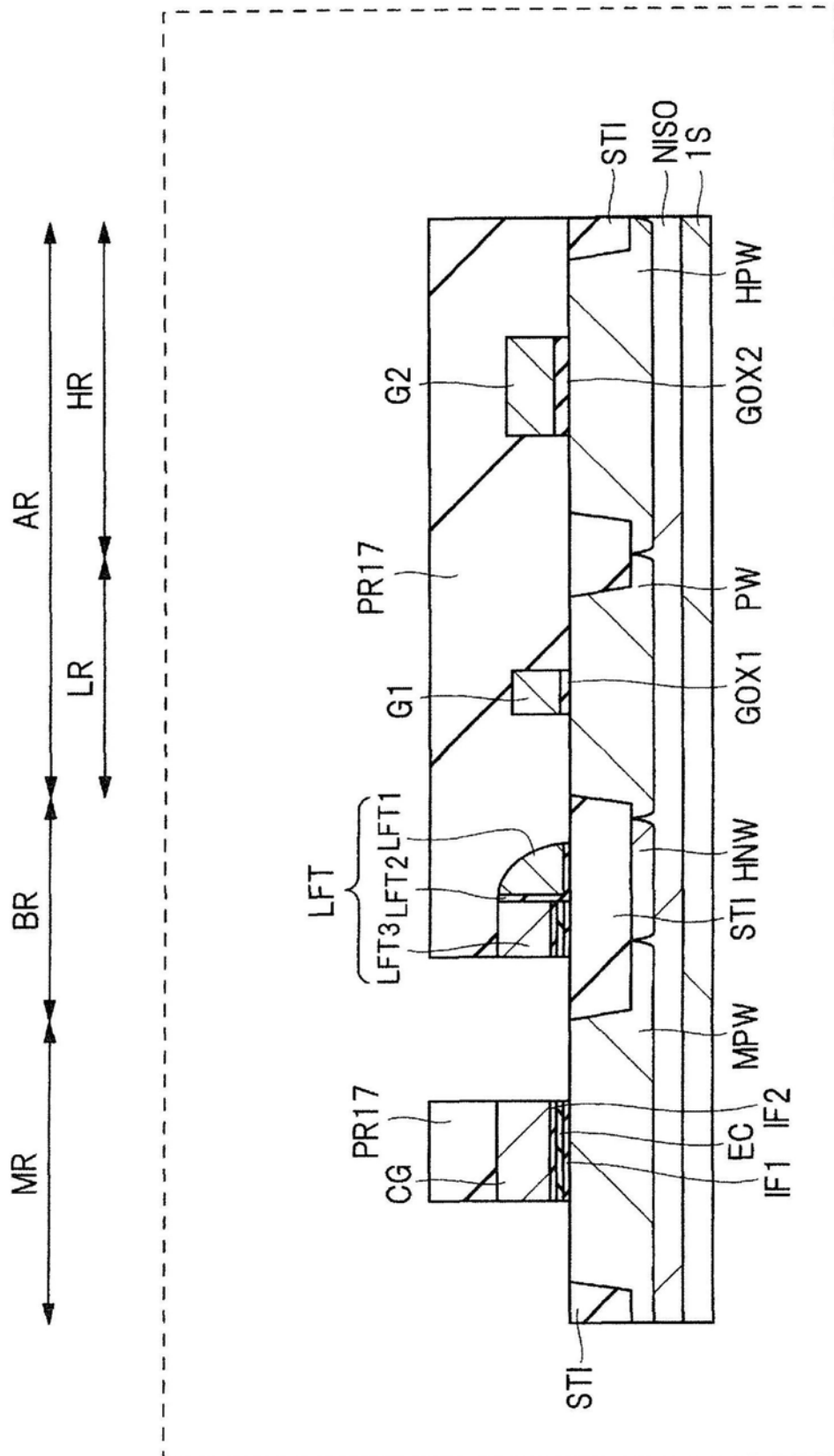


图58

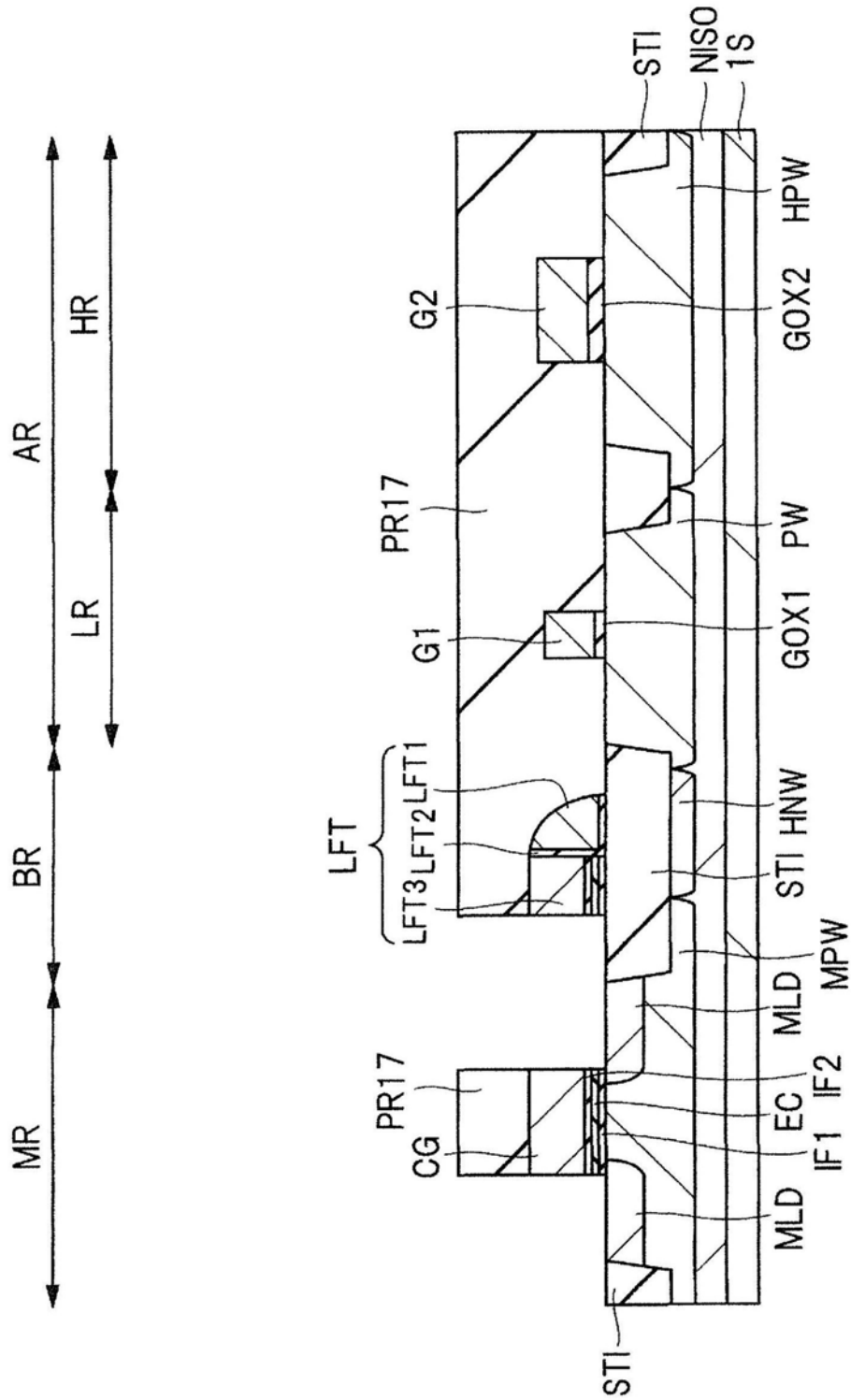


图59

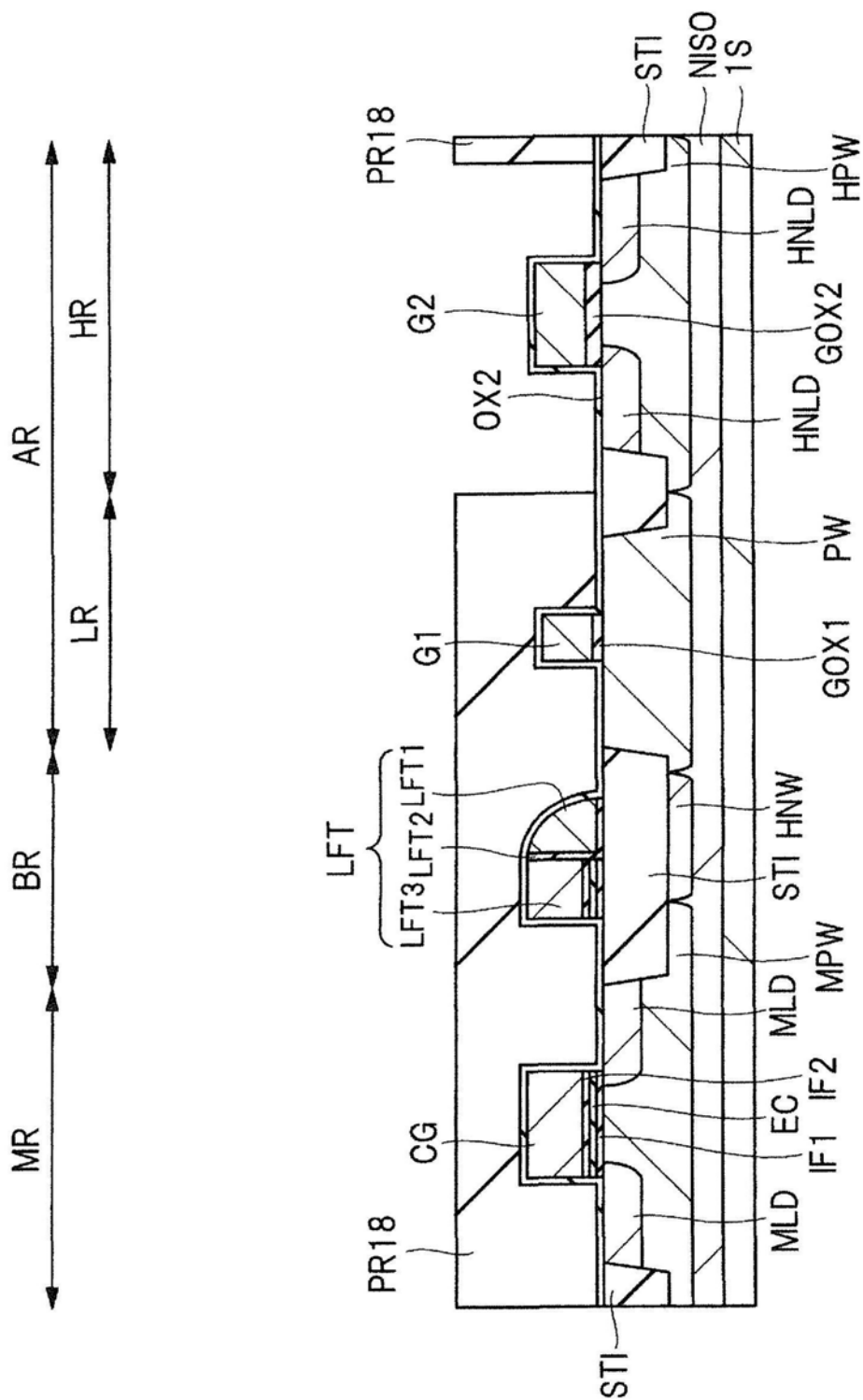


图60

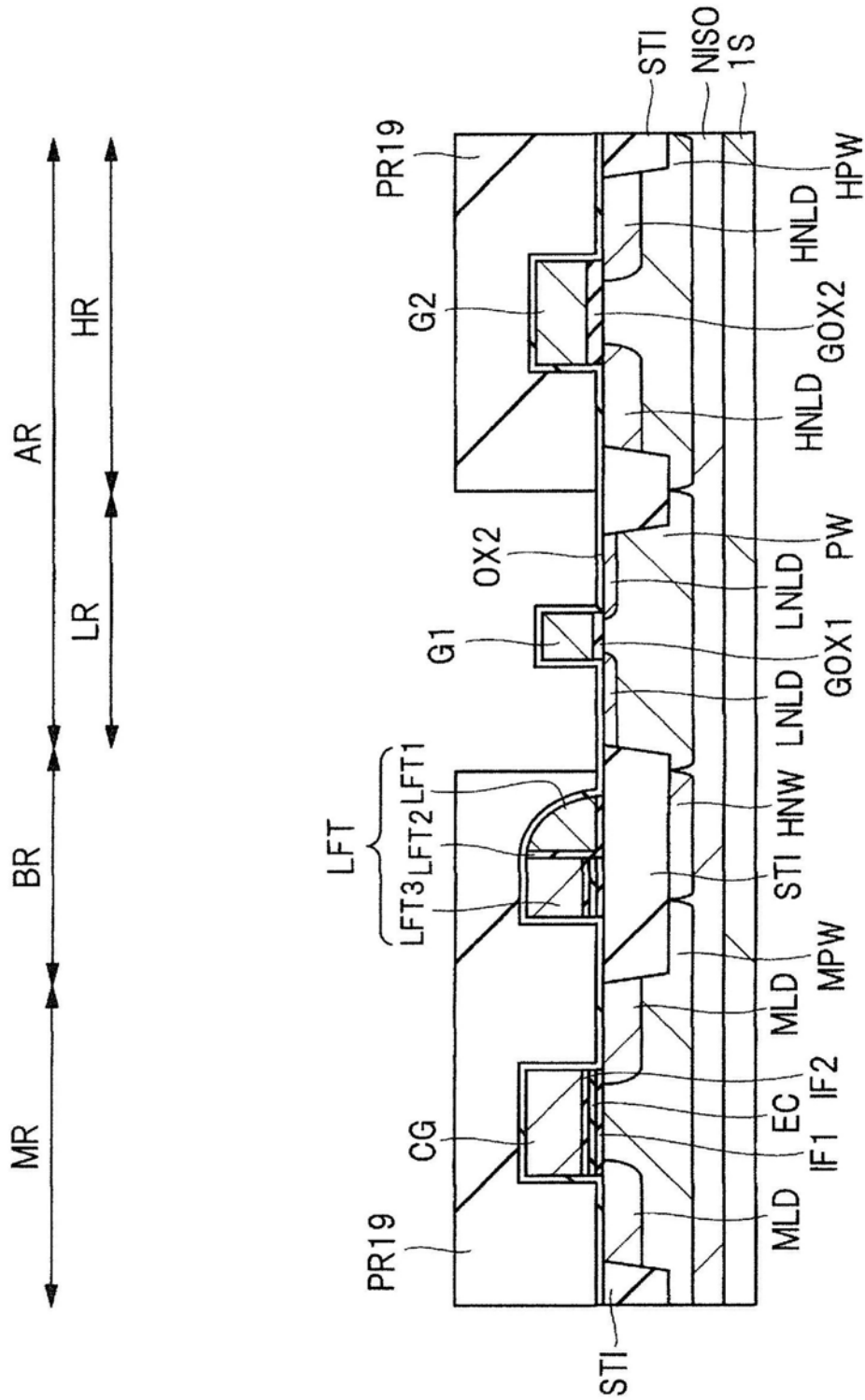


图61

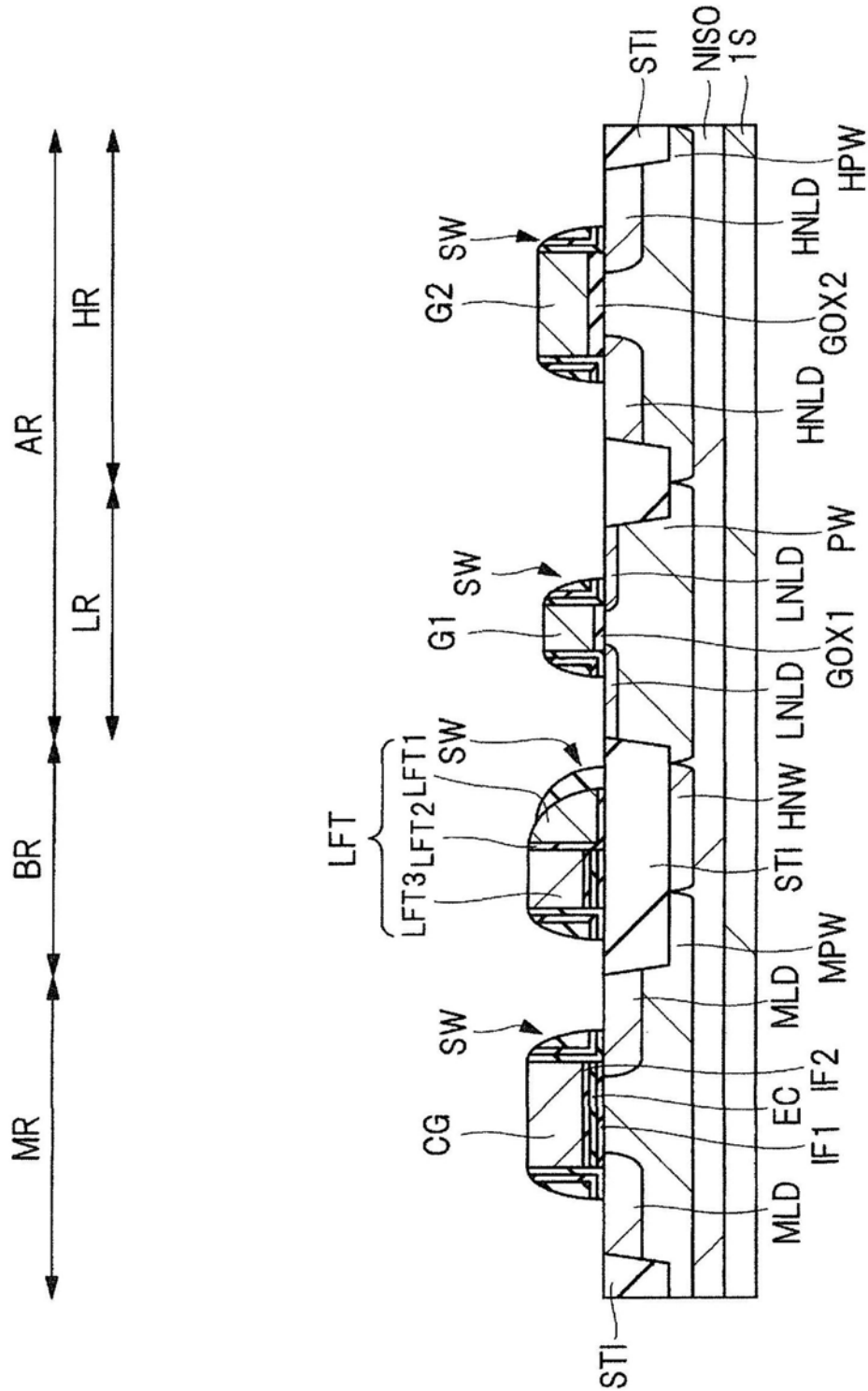


图62

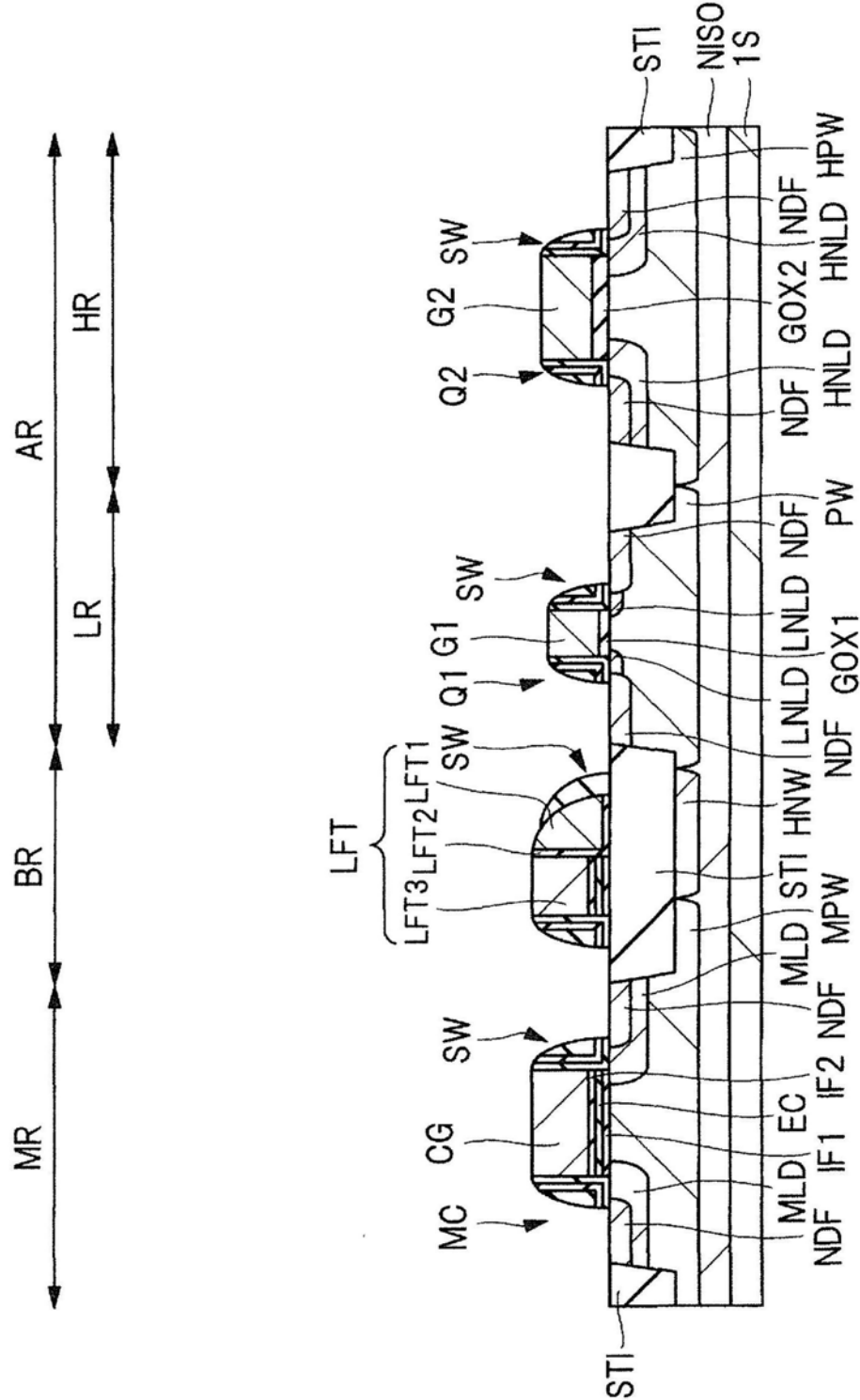


图63

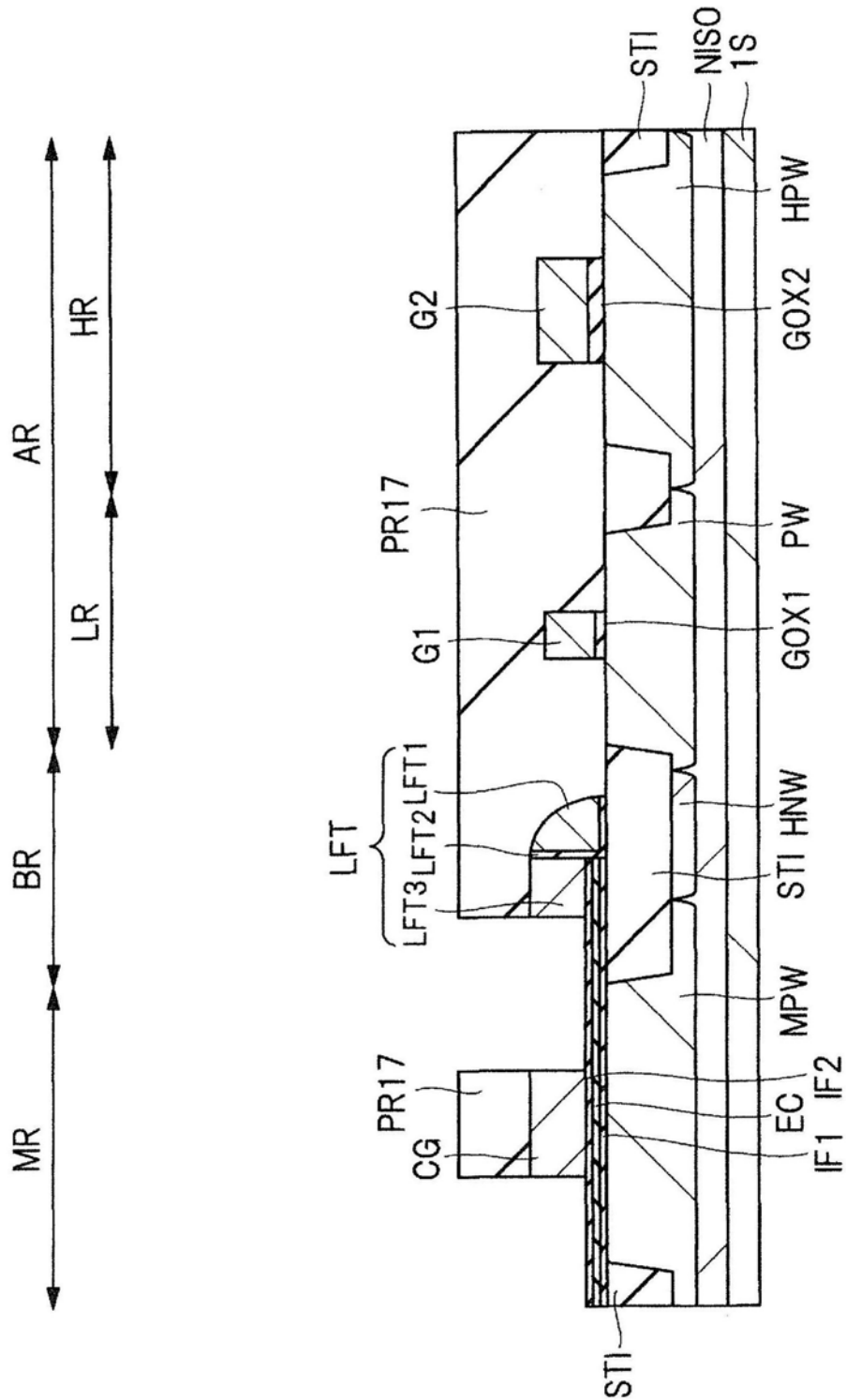


图64

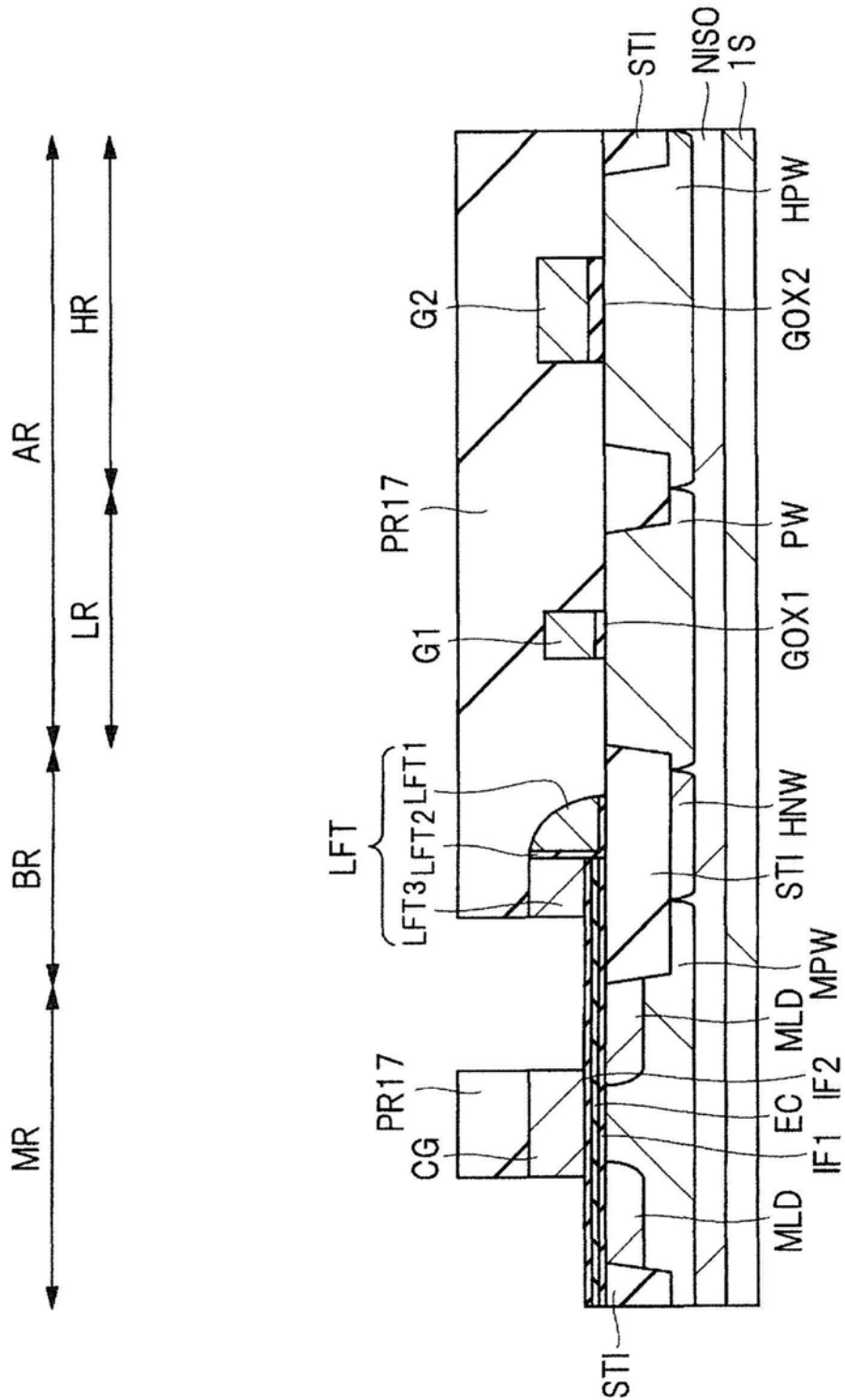


图65

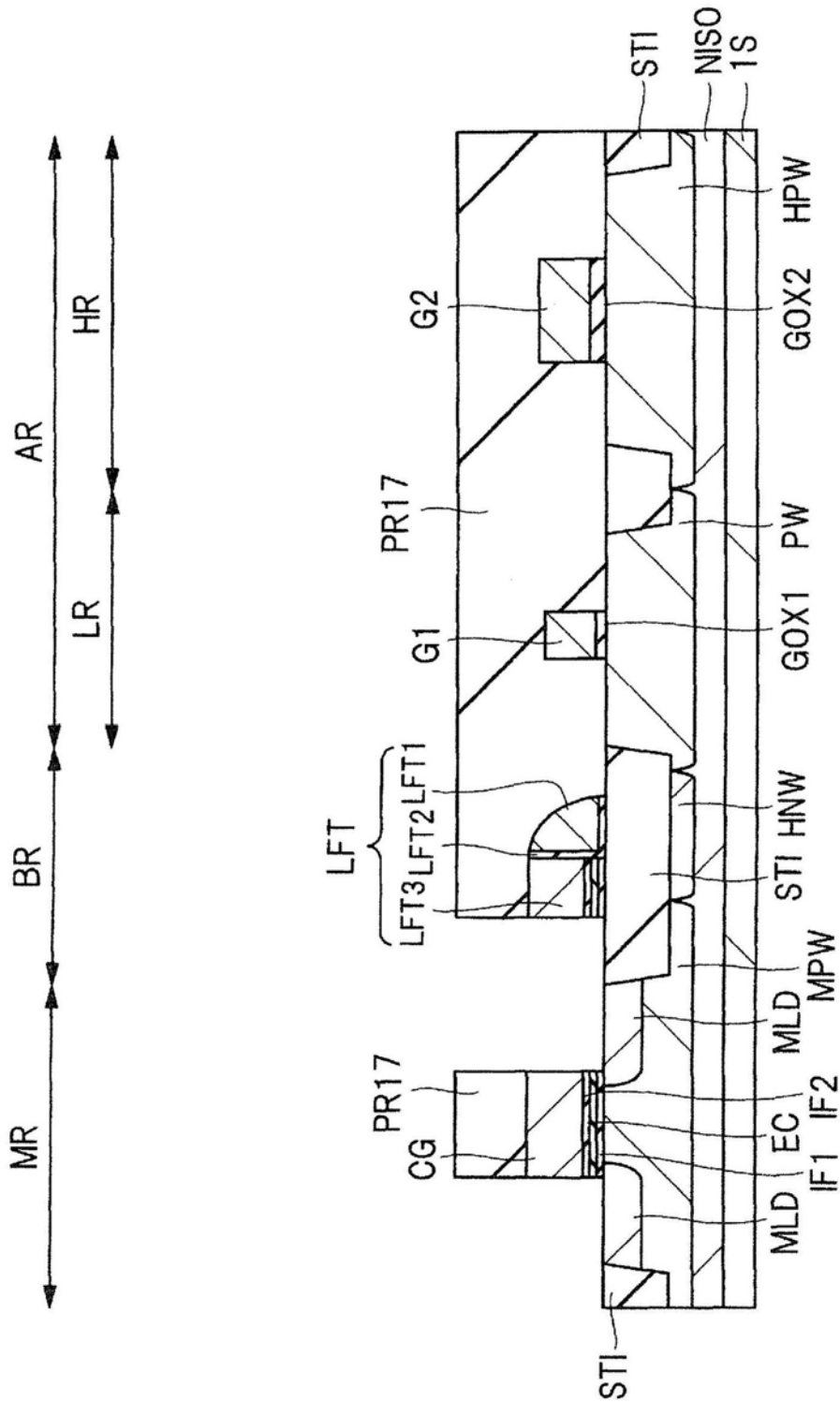


图66