

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)



[12] 发明专利说明书

专利号 ZL 200310103006.3

[45] 授权公告日 2007 年 7 月 11 日

[11] 授权公告号 CN 1326251C

[22] 申请日 2003.10.28

[74] 专利代理机构 北京市中咨律师事务所

[21] 申请号 200310103006.3

代理人 陈海红 段承恩

[30] 优先权

[32] 2002.10.28 [33] JP [31] 312994/2002

[73] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 斋藤友博

[56] 参考文献

JP2002198368A 2002.7.12

JP3029653B2 2000.2.4

审查员 赵百令

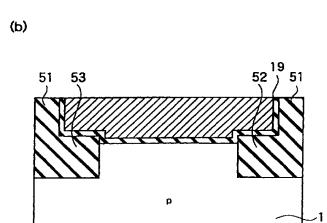
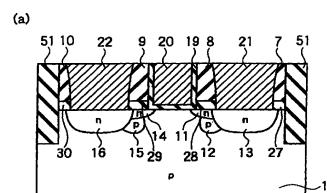
权利要求书 3 页 说明书 16 页 附图 43 页

[54] 发明名称

半导体器件和半导体器件的制造方法

[57] 摘要

在半导体衬底上形成岛状的元件区的工序；在元件区的外周部分上形成元件隔离区。形成横跨元件区端部设置在元件隔离区上的虚设栅。在元件隔离区上形成比虚设栅更低的第 1 区域，在除虚设栅之外的元件区上形成比第 1 区域的上表面还低的源漏区。在源漏区周边形成侧壁，形成源漏杂质扩散层。在源漏区和第 1 区域的上方形成与虚设栅同一高度的半导体膜。使半导体膜的上表面氧化形成氧化硅膜，以氧化硅膜为掩模，除去设置在元件区上的虚设栅。以半导体膜为刻蚀阻挡层，使设在元件隔离区上的栅布线区后退除去氧化硅膜。代替虚设栅形成栅绝缘膜和栅电极。除去半导体膜使源漏杂质扩散层露出来在源漏杂质扩散层上形成源漏电极。



1. 一种半导体器件，其特征在于：具有

具有第1上表面的元件区，和具有比上述第1上表面低的第2上表面且把上述元件区围起来的隔离区的半导体衬底；

具有设置在上述第2上表面上与上述元件区接连且具有比上述第1上表面还高的第3上表面的第1绝缘体，和设置在上述第2上表面上与上述元件区和上述第1绝缘体接连且具有比上述第3上表面还高的第4上表面的第2绝缘体的元件隔离绝缘体；

具有在上述第1上表面上设置且与上述第2绝缘体的侧面接连的第1侧壁，和在上述第1上表面上设置且两端部分别与上述第1侧壁的两端部接连的第2侧壁的源侧壁绝缘体；

具有在上述第1上表面上设置且与上述第2绝缘体的侧面接连的第3侧壁，和在上述第1上表面上与上述第2侧壁平行地设置且两端部分别连接到上述第3侧壁的两端部上的第4侧壁的漏侧壁绝缘体；

在上述第1上表面上和上述第3上表面上设置且与上述第2绝缘体、上述第2侧壁和上述第4侧壁的侧面接连的栅绝缘膜；

在上述栅绝缘膜上设置且侧面与上述栅绝缘膜接连的栅导体；

在上述第1上表面上方设置且与上述第1上表面电连、侧面与上述第1侧壁和第2侧壁接连的源导体；

和在上述第1上表面上方设置且与上述第1上表面电连且侧面与上述第3侧壁和第4侧壁接连的漏导体。

2. 根据权利要求1所述的半导体器件，其特征在于：上述第1侧壁和上述第3侧壁的最上部的高度等于或低于上述第4上表面的高度。

3. 根据权利要求1所述的半导体器件，其特征在于：上述第2侧壁和上述第4侧壁的最上部的高度等于上述第4上表面的高度。

4. 根据权利要求1所述的半导体器件，其特征在于：上述栅绝缘膜与上述栅导体的最上部的高度等于上述第4上表面的高度。

5. 根据权利要求1所述的半导体器件，其特征在于：上述源导体和

上述漏导体的最上部的高度等于上述第4上表面的高度。

6. 根据权利要求1所述的半导体器件，其特征在于：上述栅导体是金属。

7. 根据权利要求1所述的半导体器件，其特征在于：上述源导体和和上述漏导体是金属。

8. 根据权利要求1所述的半导体器件，其特征在于：上述源导体和和上述漏导体是硅化物。

9. 根据权利要求1所述的半导体器件，其特征在于：上述栅绝缘膜具有高介电系数。

10. 根据权利要求1所述的半导体器件，其特征在于：

上述半导体衬底是第1导电类型，

上述半导体衬底还具有：设置在上述源导体的下方且含有上述第1上表面的第2导电类型的源杂质扩散层，和设置在上述漏导体的下方且含有上述第1上表面的第2导电类型的漏杂质扩散层。

11. 根据权利要求1所述的半导体器件，其特征在于：还具有：设置在上述第1上表面和上述源导体之间的源硅化物层，和设置在上述第1上表面与上述漏导体之间的漏硅化物层。

12. 根据权利要求1所述的半导体器件，其特征在于：上述第1侧壁、上述第2侧壁、上述第3侧壁和上述第4侧壁，是下层是氧化硅膜上层是氮化硅膜的2层结构。

13. 根据权利要求1所述的半导体器件，其特征在于：上述第1侧壁、上述第2侧壁、上述第3侧壁和上述第4侧壁，在对侧面的垂线方向上是氧化硅膜和氮化硅膜的2层结构。

14. 一种半导体器件的制造方法，其特征在于：具有
在半导体衬底上形成岛状的元件区的工序；
在上述元件区的外周部分上形成元件隔离区的工序；
形成横跨上述元件区，且端部接连到上述元件隔离区上的虚设栅的工序；
沿深度方向部分地去除上述元件隔离区的预定区域，形成具有比上述

虚设栅的上表面低的上表面第1区域的工序；

在除上述虚设栅之外的上述元件区上形成源漏区的工序；

在上述源漏区的周边形成侧壁的工序；

在上述源漏区的下方的半导体衬底上形成源漏杂质扩散层的工序；

在含有虚设栅的栅布线以外的上述源漏区域上形成具有与上述虚设栅的上表面同一高度的上表面的半导体膜的工序；

使上述半导体膜的上表面氧化，形成氧化硅膜的工序；

以上述氧化硅膜为掩模，去除设置在上述元件区上的虚设栅的工序；

以上述半导体膜为刻蚀阻挡层，使设置在上述元件隔离区上的栅布线区后退，去除上述氧化硅膜的工序；

代替上述虚设栅，形成栅绝缘膜和栅电极的工序；

去除上述半导体膜，使上述源漏杂质扩散层露出来的工序；

和在上述源漏杂质扩散层上形成源漏电极的工序。

15. 根据权利要求14所述的半导体器件的制造方法，其特征在于：上述源漏电极具有硅化物。

16. 根据权利要求14所述的半导体器件的制造方法，其特征在于：上述形成源漏电极的工序，具有：

使半导体衬底进行化学反应以形成硅化物的工序；

和在上述硅化物上形成导体的工序。

17. 根据权利要求14所述的半导体器件的制造方法，其特征在于：上述栅绝缘膜具有高介电系数。

18. 根据权利要求14所述的半导体器件的制造方法，其特征在于：上述源漏区的表面与半导体衬底的表面一致。

19. 根据权利要求14所述的半导体器件的制造方法，其特征在于：上述虚设栅具有，上层是氮化硅层，上述上层的下层是半导体层的2层结构。

20. 根据权利要求14所述的半导体器件的制造方法，其特征在于：上述半导体膜是硅锗膜。

半导体器件和半导体器件的制造方法

技术领域

本发明涉及具备由镶嵌栅工艺形成的金属栅电极的半导体器件，特别是涉及低电阻的源漏电极。

背景技术

具备金属栅电极的晶体管，可以使用镶嵌栅工艺制作(例如，参看专利文献 1)。此外，还有在源漏杂质扩散层上形成镍硅化物以减小要连接到源漏杂质扩散层上的源漏电极的电阻的晶体管(例如参看专利文献 2)。

在镶嵌栅工艺的情况下，在形成了源漏杂质扩散层后要进行目的为栅绝缘膜的形成或向沟道部分内进行了离子注入后的激活化的退火。这些栅绝缘膜的形成或退火，是 600℃以上的热工序。但是，镍硅化物却存在着归因于 500℃以上的热工序引发烧聚使源漏电极的电阻变成为高电阻的问题。

[专利文献 1]

特开平 4-123439 号公报(权利要求 1，图 1)

[专利文献 2]

特开 2002-198368 号公报(权利要求 1，图 1)

发明内容

本发明是鉴于上述事情而完成的，目的在于提供具备金属栅电极和低电阻的源漏电极的半导体器件。

此外，本发明的目的还在于提供具备金属栅电极和低电阻的源漏电极的半导体器件的制造方法。

目的为解决上述那些问题的本发明的第1特征在于具有如下部分的半导体器件：具有第1上表面的元件区和具有比该第1上表面低的第2上表面，且具有把元件区围起来的隔离区的半导体衬底1；具有设置在第2上表面上与元件区接连且具有比第1上表面还高的第3上表面的第1绝缘体；设置在第2上表面上与元件区和第1绝缘体接连且具有比第3上表面还高的第4上表面的第2绝缘体的元件隔离绝缘体；具有在第1上表面上设置与第2绝缘体51的侧面接连的第1侧壁，和在第1上表面上设置且两端部分别与第1侧壁的两端部接连的第2侧壁的源侧壁绝缘体；具有在第1上表面上设置且与第2绝缘体的侧面接连的第3侧壁，和在第1上表面上与第2侧壁平行地设置且两端部分别连接到第3侧壁的两端部上的第4侧壁的漏侧壁绝缘体；在第1上表面上和第3上表面上设置且与第2绝缘体、第2侧壁和第4侧壁的侧面接连的栅绝缘膜；在栅绝缘膜上设置且侧面与栅绝缘膜接连的栅导体；在第1上表面上方设置且与第1上表面电连、侧面与第1侧壁和第2侧壁接连的源导体；和在第1上表面上方设置与第1上表面电连且侧面与第3侧壁和第4侧壁接连的漏导体。

本发明的第2特征在于具有如下工序的半导体器件的制造方法：在半导体衬底上形成岛状的元件区的工序；在元件区的外周部分上形成元件隔离区的工序；形成横跨元件区端部被设置在元件隔离区上的虚设栅的工序；使除去虚设栅之外的元件隔离区比虚设栅更低的工序；使除去虚设栅之外的元件区露出来以形成比元件隔离区低的源漏区的工序；在源漏区的周边把侧壁形成为使得与虚设栅和元件隔离区接连的工序；在源漏区的半导体衬底上形成源漏杂质扩散层的工序；在除去源漏区和栅布线之外的元件隔离区上形成与虚设栅同一高度的半导体膜的工序；使半导体膜的上表面氧化形成氧化硅膜的工序；以氧化硅膜为掩模除去虚设栅的工序；采用除去半导体膜上表面的氧化膜和处于虚设栅下边的缓冲膜和栅布线部分的元件隔离区的一部分的办法，在元件隔离区、元件区上形成栅沟的工序；在栅沟内形成栅绝缘膜和栅电极的工序；去除半导体膜使源漏杂质扩散层露出来的工序；和在源漏杂质扩散层上形成源漏电极的工序。

附图说明

图 1 是本发明的实施形态 1 的半导体器件的俯视图。

图 2 是本发明的实施形态 1 的半导体器件的剖面图。 (a)是图 1 的 I-I 方向的剖面图， (b)是图 1 的 II-II 方向的剖面图。

图 3 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 1)的剖面图。

图 4 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 2)的俯视图。

图 5 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 2)的剖面图。 (a)是图 4 的 I-I 方向的剖面图， (b)是图 4 的 II-II 方向的剖面图。

图 6 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 3)的剖面图。

图 7 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 4)的俯视图。

图 8 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 4)的剖面图。 (a)是图 7 的 I-I 方向的剖面图， (b)是图 7 的 II-II 方向的剖面图。

图 9 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 5)的剖面图。

图 10 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 6)的剖面图。

图 11 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 7)的俯视图。

图 12 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 7)的剖面图。 (a)是图 11 的 I-I 方向的剖面图， (b)是图 11 的 II-II 方向的剖面图。

图 13 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半

体器件的制造途中(其 8)的俯视图。

图 14 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 8)的剖面图。(a)是图 13 的 I-I 方向的剖面图, (b)是图 13 的 II-II 方向的剖面图。

图 15 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 9)的剖面图。

图 16 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 10)的俯视图。

图 17 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 10)的剖面图。(a)是图 16 的 I-I 方向的剖面图, (b)是图 16 的 II-II 方向的剖面图。

图 18 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 11)的剖面图。

图 19 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 12)的俯视图。

图 20 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 12)的剖面图。(a)是图 19 的 I-I 方向的剖面图, (b)是图 19 的 II-II 方向的剖面图。

图 21 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 13)的俯视图。

图 22 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 13)的剖面图。(a)是图 21 的 I-I 方向的剖面图, (b)是图 21 的 II-II 方向的剖面图。

图 23 是用来说明本发明的实施形态 1 的半导体器件的制造方法的半导体器件的制造途中(其 14)的剖面图。

图 24 是本发明的实施形态 2 的半导体器件的俯视图。

图 25 是用来说明本发明的实施形态 2 的半导体器件的剖面图。(a)是图 24 的 I-I 方向的剖面图, (b)是图 24 的 II-II 方向的剖面图。

图 26 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 1)的剖面图。

图 27 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 2)的剖面图。

图 28 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 3)的俯视图。

图 29 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 3)的剖面图。(a)是图 28 的 I-I 方向的剖面图, (b)是图 28 的 II-II 方向的剖面图。

图 30 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 4)的俯视图。

图 31 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 4)的剖面图。(a)是图 30 的 I-I 方向的剖面图, (b)是图 30 的 II-II 方向的剖面图。

图 32 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 5)的剖面图。

图 33 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 6)的俯视图。

图 34 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 6)的剖面图。(a)是图 33 的 I-I 方向的剖面图, (b)是图 33 的 II-II 方向的剖面图。

图 35 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 7)的剖面图。

图 36 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 8)的俯视图。

图 37 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 8)的剖面图。(a)是图 36 的 I-I 方向的剖面图, (b)是图 36 的 II-II 方向的剖面图。

图 38 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 9)的俯视图。

图 39 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 9)的剖面图。(a)是图 38 的 I-I 方向的剖面图, (b)是图 38 的 II-II 方向的剖面图。

图 40 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 10)的俯视图。

图 41 是用来说明本发明的实施形态 2 的半导体器件的制造方法的半导体器件的制造途中(其 10)的剖面图。(a)是图 40 的 I-I 方向的剖面图, (b)是图 40 的 II-II 方向的剖面图。

图 42 是本发明的实施形态 2 的变形例的半导体器件的剖面图。

图 43 是用来说明本发明的实施形态 2 的变形例的半导体器件的制造方法的半导体器件的制造途中的剖面图。

具体实施方式

其次, 参看附图对本发明的实施形态进行说明。在以下的图面的说明中, 对于那些同一或类似的部分都赋予同一或类似的标号。此外, 图面都是模式性的图, 请留意厚度和平面尺寸之间的关系、各层的厚度的比率等与现实的关系和比率是不同的。

(实施形态 1)

本发明的实施形态 1 的半导体器件, 如图 1 和图 2 所示, 具有半导体衬底 1, 元件隔离绝缘体 51 到 53, 源侧壁绝缘体 7、8、27、28, 漏侧壁绝缘体 9、10、29、30, 栅绝缘膜 19, 栅导体 20、源导体 21、漏导体 22。

半导体衬底 1 具有元件区和隔离区。元件区的上表面, 比隔离区的上表面高。隔离区把元件区围了起来。半导体衬底 1 的元件区, 具有源杂质扩散层 13、漏杂质扩散层 16、轻掺杂漏(LDD)区 11、14 和晕圈(halo)区 12、15。如果半导体衬底 1 的导电类型是 p 型, 则晕圈区 12、15 的导电类型是 p 型, 源杂质扩散层 13、漏杂质扩散层 16 和 LDD 区 11、14 的导电类型

为 n 型。反之，如果半导体衬底 1 的导电类型是 n 型，则晕圈区 12、15 的导电类型是 n 型，源杂质扩散层 13、漏杂质扩散层 16 和 LDD 区 11、14 的导电类型为 p 型。

元件隔离绝缘体 51 到 53，具有第 1 绝缘体 52、53 和第 2 绝缘体 51。第 1 绝缘体 52、53 被设置在半导体衬底 1 的隔离区的上表面上。第 1 绝缘体 52、53 与半导体衬底 1 的元件区接连。第 1 绝缘体 52、53 的上表面，比半导体衬底 1 的元件区的上表面更高。第 2 绝缘体 51 被设置在半导体衬底 1 的隔离区的上表面上。第 2 绝缘体 51，与半导体衬底 1 的元件区和第 1 绝缘体 52、53 接连。第 2 绝缘体 51 的上表面比第 1 绝缘体 52、53 的上表面还高。

源侧壁绝缘体 7、8、27、28，具有第 1 侧壁 7、27 和第 2 侧壁 8、28。第 1 侧壁 7、27，设置在半导体衬底 1 的元件区的上表面上。第 1 侧壁 7、27 与第 2 绝缘体 51 的侧面连接。第 2 侧壁 8、28，设置在半导体衬底 1 的元件区的上表面上。第 2 侧壁 8、28 的两端部，分别与第 1 侧壁 7、27 的两端部进行连接。第 2 侧壁 8、28 的两端部与第 2 绝缘体 51 接连。第 1 侧壁 7、27 是下层 27 为氧化硅膜上层 7 是氮化硅膜的 2 层结构。第 2 侧壁 8、28 是下层 28 是氧化硅膜上层 8 是氮化硅膜的 2 层结构。另外，在第 2 侧壁 8、28 的下边的半导体衬底 1 的元件区中，设置有 LDD 区 11。LDD 区 11 下边的半导体衬底 1 的元件区中，设有晕圈区。在第 1 侧壁 7、27 的下边的半导体衬底 1 的元件区中虽然也设置有 LDD 区和晕圈区 12，但是由于对晶体管的电特性没有影响故未予图示。

漏侧壁绝缘体 9、10、29、30，具有第 3 侧壁 10、30 和第 4 侧壁 9、29。第 3 侧壁 10、30 设置在半导体衬底 1 的元件区的上表面上。第 3 侧壁 10、30 与第 2 绝缘体 51 的侧面接连。第 4 侧壁 9、29 的两端部分别连接到第 3 侧壁 10、30 的两端部上。第 4 侧壁 9、29 的两端部与第 2 绝缘体 51 接连。第 3 侧壁 10、30 是下层 30 是氧化硅膜上层 10 是氮化硅膜的 2 层结构。第 4 侧壁 9、29 是下层 29 为氧化硅膜上层 9 为氮化硅膜的 2 层结构。第 1 侧壁 7、27 与第 3 侧壁 10、30 的最上部的高度与第 2 绝缘体

51 的上表面的高度相等或者更低。第 2 侧壁 8、28 与第 4 侧壁 9、29 的最上部的高度与第 2 绝缘体 51 的上表面的高度相等。另外，在第 4 侧壁 9、29 的下边的半导体衬底 1 的元件区中，设置有 LDD 区 14。LDD 区 14 下边的半导体衬底 1 的元件区中，设置有晕圈区 15。在第 3 侧壁 10、30 的下边的半导体衬底 1 的元件区中，虽然也设置有 LDD 区和晕圈区，但是由于对晶体管的电特性没有影响故未予图示。

栅绝缘膜 19，设置在半导体衬底 1 的元件区的上表面上和第 1 绝缘体 52、53 的上表面上。栅绝缘膜 19 与第 2 绝缘体 51、第 2 侧壁 8、28 和第 4 侧壁 9、29 的侧面接连。栅绝缘膜 19 具有高介电系数。

栅导体 20，设置在栅绝缘膜 19 上。栅导体 20 的侧面与栅绝缘膜 19 接连。栅绝缘膜 19 和栅导体 20 的最上部的高度与第 2 绝缘体 51 的上表面的高度相等。栅导体 20 是金属。

源导体 21 设置在半导体衬底 1 的元件区的源区 13 的上表面上方。源导体 21 与半导体衬底 1 的元件区电连。源导体 21 的侧面，与第 1 侧壁 7、27 和第 2 侧壁 8、28 接连。另外，源杂质扩散层 13 不与第 2 绝缘体 51 接连。或者，即便是与第 2 绝缘体 51 接连的情况下，第 2 绝缘体 51 的附近的源杂质扩散层 13 的激活杂质浓度也比源杂质扩散层 13 的激活杂质浓度的平均值低。

漏导体 22，设置在半导体衬底 1 的元件区的漏杂质扩散层 16 的上表面上方。漏导体 22 与半导体衬底 1 的元件区电连。漏导体 22 的侧面与第 3 侧壁 10、30 和第 4 侧壁 9、29 接连。另外，漏杂质扩散层 16 与第 2 绝缘体 51 不接连。或者，即便是与第 2 绝缘体 51 接连的情况下，第 2 绝缘体 51 的附近的漏杂质扩散层 16 的激活杂质浓度也比漏杂质扩散层 16 的激活杂质浓度的平均值低。

源导体 21 和漏导体 22 的最上部的高度，与第 2 绝缘体 51 的上表面的高度相等。源导体 21 和漏导体 22 是金属。源导体 21 和漏导体 22，也可以是硅化物。

在栅电极采用多晶硅的情况下，在栅电极上将产生耗尽层，增加栅绝

缘膜的有效膜厚。该有效膜厚的增加，当栅绝缘膜薄膜化时就不能忽略，会降低晶体管的驱动能力。于是，栅电极要采用金属。借助于此，就可以抑制栅电极的耗尽层。

此外，采用使源漏电极也为金属电极的办法，就可以减小源漏电极的电阻。借助于此，就可以提高晶体管的驱动能力。在源漏杂质扩散层 13、16 已与第 2 绝缘体 51 接连的情况下，有时候漏泄电流就会通过其接触面向源漏杂质扩散层 13、16 和源漏杂质扩散层 13、16 的下边的半导体衬底 1 之间流动。在实施形态 1 的半导体器件的情况下，由于源漏杂质扩散层 13、16 未与第 2 绝缘体 51 接连，故漏泄电流就难于在源漏杂质扩散层 13、16 和源漏杂质扩散层 13、16 的下边的半导体衬底 1 之间流动。

对本发明的实施形态 1 的半导体器件的制造方法进行说明。首先，作为半导体衬底 1，准备 p 型硅(Si)衬底。如图 3 所示，在硅衬底 1 上用热氧化法成膜成为缓冲氧化膜 2 的氧化硅(SiO_2)膜。在缓冲氧化膜 2 上用化学气相沉积(CVD)法成膜多晶硅 (Si)₃ 和氮化硅(Si_3N_4)膜。

其次，用元件区的图形使光刻胶图形化。如图 4 和图 5 所示，借助于反应离子蚀刻 (RIE)，对全部氮化硅膜 4、多晶硅 3 和硅衬底 1 各向异性刻蚀到规定的深度。除去光刻胶。借助于此，在半导体衬底 1 上形成岛状的元件区。

向晶片整个面上，例如，借助于 CVD 法淀积氧化硅膜 5。如图 6 所示，借助于 CMP(化学机械研磨)一直到氮化硅膜 4 的上表面露出来为止进行研磨。使晶片表面平坦化。借助于此，在元件区的外周部分上，形成已埋入了氧化硅膜 5 的元件隔离区。

其次，如图 7 和图 8 所示，使规定栅电极的区域的光刻胶 6 图形化。光刻胶 6，横跨元件区，把端部设置在元件隔离区上。如图 9 所示，以光刻胶 6 为掩模，以多晶硅 3 为阻挡层，对氮化硅膜 4 进行各向异性刻蚀。借助于该各向异性刻蚀，使元件隔离区的氧化硅膜 51 恰好各向异性刻蚀比氮化硅膜 4 的膜厚还浅的深度。另外，这些各向异性刻蚀，虽然理想的是同时进行，但是也可以分别进行。接着，如图 10 所示，以光刻胶 6 和氧化

硅膜 51 为掩模，以缓冲氧化膜 2 为阻挡层，对多晶硅 3 进行各向异性刻蚀。除去光刻胶 6。借助于此，形成横跨元件区端部与接连到元件隔离区上的虚设栅 3、4。虚设栅具有上层 4 是氮化硅膜，上层 4 的下边的层 3 是多晶硅层 3 的 2 层结构。然后，在元件隔离区上形成具有比虚设栅 3、4 还低的氧化硅膜 51 的上表面的第 1 区域，在除去虚设栅 3、4 之外的元件区上形成具有比第 1 区域还低的缓冲氧化膜 2 的上表面的源漏区。

不须刻蚀缓冲氧化膜 2，以虚设栅的氮化硅膜 4 为掩模，就是说以虚设栅电极的图形，自我匹配地向 LDD 区 11、14 和晕圈区 13、16 分别进行延伸部分和晕圈(halo)的离子注入。然后，进行损伤恢复的退火。向整个面上淀积氮化硅膜，借助于各向异性刻蚀，以氧化硅膜 2、51、52 为阻挡层对氮化硅膜进行刻蚀。借助于此，在源漏区的周边部分上形成侧壁 7 到 10。如图 11 和图 12 所示，向源漏杂质扩散层 13、16 中进行离子注入，为了注入后的杂质的激活化和损伤的恢复进行退火。在源漏区的下方的半导体衬底 1 上形成源漏杂质扩散层 13、16。另外，在要向去除了后边的虚设栅后的栅沟的开口内进行向半导体衬底 1 的沟道区进行的离子注入的情况下，就可以在进行了向该沟道部分的离子注入后集中地进行目的为激活化的退火。由于可以使退火的次数减少，故可以把由杂质的热扩散引起的源漏杂质扩散层 13、16 的扩展抑制到最小限度，所以，对于形成要求小的源漏杂质扩散层 13、16 的微细的晶体管是有利的。

用 CVD 法向晶片整个面上淀积将变成为虚设源漏电极的多晶硅膜 17。另外，多晶硅膜 17 也可是能形成热氧化膜的半导体膜，例如，也可是锗硅(SiGe)。借助于 CMP 一直到虚设栅的氮化硅膜 4 的上表面为止进行研磨，使晶片平坦化。如图 13 和图 14 所示，向栅图形以外的区域埋入多晶硅 17 并使之露出来。在栅图形以外的区域上形成与上述虚设栅同一高度的半导体膜 17。

接着，如图 15 所示，使多晶硅膜 17 的上表面热氧化，形成氧化硅膜 18。借助于此，用氧化硅膜 18、52、53 把相当于晶体管的沟道的区域的虚设栅的氮化硅膜 4 和氮化硅膜的侧壁 8、9 以外覆盖起来。

如图 16 和图 17 所示，以氧化硅膜 18、52、53 为掩模，对已露出来的氮化硅膜 4 进行刻蚀。此外，还可以刻蚀侧壁 8、9 的上部。

如图 18 所示，以氧化硅膜 18、52、53 为掩模，以缓冲氧化膜 2 为阻挡层，对虚设栅的多晶硅 3 进行刻蚀。

如图 19 和图 20 所示，以多晶硅膜 17 和半导体衬底 1 为阻挡层，借助于各向异性刻蚀，挖设置在元件隔离区上的虚设栅图形的氧化硅膜 52、53 以使之后退，除去氧化硅膜 18 和缓冲氧化膜 2。借助于此，去除设置在元件区上的虚设栅，形成要埋入栅电极的栅沟。另外，这时，栅沟以外的区域已被作为虚设源漏电极而淀积上的多晶硅膜 17 覆盖起来。对已露出来的硅衬底 1，根据需要进行沟道离子注入，进行目的为使离子注入后的杂质激活化的退火。

淀积栅绝缘膜 19。淀积将成为栅电极材料的金属。用 CMP 一直到侧壁 8、9 的上表面为止进行研磨，使晶片平坦化。借助于此，如图 21 和图 22 所示，把栅绝缘膜 19 和栅电极 20 埋入到栅沟内，完成栅布线。在栅电极 20 中有氮化钛(TiN)、氮化钨(WN)、氮化钽(TaN)、钨(W)、钽(Ta)、钼(Mo)、铂(Pt)和金(Au)等。但是，并非一定要限定于上述材料不可。栅电极 20 可以使用硅化物。作为硅化物，可以使用钴硅化物(CoSi)、镍硅化物(NiSi)、铌硅化物(NbSi)以及钽硅化物(TaSi)等。栅电极 20 不限于单层，也可以是多层或使多种金属混合、反应形成。此外，也可以在 1 块晶片上形成多种电极。栅绝缘膜 19 理想的是具有高介电系数。栅绝缘膜 19 也可以是氧化金属(Ta_2O_5)膜、含有铪(Hf)或锆(Zr)的高介电系数膜、金属氧化物膜、硅酸盐膜或氧化铝(Al_2O_3)膜或者这些膜的混合膜。

以缓冲氧化膜 28、29 为阻挡层，用 CDE 除去在平坦化后仍露出来的虚设源漏电极的多晶硅膜 17。然后，以侧壁 7 到 10 为掩模，以硅衬底 1 为阻挡层，刻蚀缓冲氧化膜 28、29。借助于此，如图 23 所示，硅衬底 1 的源杂质扩散层 13 的上表面和漏杂质扩散层 16 的上表面就露出来。

包括源杂质扩散层 13 的上表面和漏杂质扩散层 16 的上表面在内，向晶片整个面上淀积金属。用 CMP 研磨除去淀积在侧壁 7 到 10 和硅绝缘膜

51 的上表面上的金属，使晶片平坦化。如图 1 和图 2 所示，在源漏杂质扩散层 13、16 上形成金属的源漏电极 21 和 22。源漏电极 21 和 22，可以使用与栅电极同样的材料。为了减小硅衬底 1 和源漏电极 21、22 之间的接触电阻，在源漏电极 21、22 的下层上也可以形成硅化物。此外，硅化物既可以进行沉积，也可以使金属与硅衬底 1 反应形成为陷入到硅衬底 1 内。作为使之进行反应的金属，可以使用钴(Co)、镍(Ni)、铌(Nb)、钽(Ta)等。硅化物形成的热工序不限于 1 次，也可以进行多次。例如，在钴硅化物(CoSi)的情况下，首先，沉积钴，进行在 475℃左右的低温的热处理。在刻蚀剂使用硫酸和过氧化氢水的混合溶液的湿法刻蚀除去未反应的钴。然后，再次进行 800℃左右的高温的热处理。这样一来，在钴的情况下，就分 2 次进行硅化物反应。

之后的半导体器件的制造方法，与通常的半导体器件的制造方法是同样的。就是说，作为层间绝缘膜向晶片整个面上沉积例如氧化硅膜，在栅电极 20 和源漏电极 21、22 上形成贯穿层间绝缘膜的接触孔。在接触孔内形成与栅电极 20 或源漏电极 21、22 接连的接触电极。最后，在层间绝缘膜上形成连接到接触电极上的布线。

另外，目的为形成阱的离子注入和退火，要在形成虚设栅的叠层膜 3、4 之前或刻蚀硅衬底 1 之前进行。这时，为了使阱区和元件区之间的位置对准，要在形成虚设栅的叠层膜 3、4 之前预先刻蚀硅衬底 1 以形成对准标记。借助于此，就可以提高对准精度。此外，为了调整晶体管的阈值而进行的沟道的离子注入，也可以在目的为阱形成的离子注入前后进行。

倘采用实施形态 1，在栅电极 20 中，则可以因减小栅电阻，防止栅耗尽化而可以提高晶体管自身的驱动能力。在源漏电极 21、22 中，则可以减小源漏间的导通电阻。借助于此，就可以抑制电路电阻，在逆变器电路中就会提高改善工作速度等的性能。

(实施形态 2)

本发明的实施形态 2 的半导体器件，如图 24 和图 25 所示，与图 1 和图 2 的实施形态 1 的半导体器件比较，在具有侧壁 7 到 10 及其周边的结构

和硅化物层 25、26 这些点上不同。

侧壁 7 到 10，与实施形态 1 的半导体器件的 2 层结构不同，是单层结构。侧壁 7 到 10 的上端的高度既可以与氧化硅膜 51 的上表面的高度相等也可以低。

硅化物层 25、26，设置在源漏电极 21、22 与源漏杂质扩散层 13、16 之间。借助于此，就会减小在源漏杂质扩散层 13、16 与源漏电极 21、22 之间的接触电阻。此外，硅化物层 25、26，不与氧化硅膜 51 接连，在已与氧化硅膜 51 接连的情况下，有时候漏泄电流就会通过其接触面向硅化物层 25、26 与源漏杂质扩散层 13、16 的下边的半导体衬底 1 之间流动。在实施形态 2 的半导体器件的情况下，由于硅化物层 25、26 不和第 2 绝缘体 51 接连，故漏泄电流就难于在硅化物层 25、26 与源漏杂质扩散层 13、16 的下边的半导体衬底 1 之间流动。

对本发明的实施形态 2 的半导体器件的制造方法进行说明。实施形态 2 的半导体器件的制造方法的开始部分与实施形态 1 的半导体器件的制造方法中的图 3 到图 8 的制造方法是相同的。

其次，如图 26 所示，以光刻胶 6 为掩模，以多晶硅 3 为阻挡层，对氮化硅膜 4 进行各向异性刻蚀。借助于该各向异性刻蚀，把元件隔离区的氧化硅膜 51 各向异性刻蚀恰好与氮化硅膜 4 的膜厚相等的深度或者更深的深度。接着，如图 27 所示，以光刻胶 6 和氧化硅膜 51 为掩模，以缓冲氧化膜 2 为阻挡层，对多晶硅 3 进行各向异性刻蚀。除去光刻胶 6。借助于此，形成虚设栅 3、4。

以氮化硅膜 4 为掩模，以硅衬底 1 为阻挡层，对缓冲氧化膜 2 进行各向异性刻蚀。借助于此，在元件隔离区上形成比虚设栅 3、4 更低的氧化硅膜 51 的上表面。在除去了虚设栅 3、4 的元件区上形成具有硅衬底 1 的上表面的源漏区。

以虚设栅的氮化硅膜 4 为掩模，分别向 LDD 区 11、14 和晕圈区 12、15 进行延伸部分和晕圈的离子注入。然后，进行损伤恢复的退火。如图 28 和图 29 所示，在源漏区的周边部分上形成侧壁 7 到 10。此外，使得与硅

绝缘膜 52、53 接连那样地形成侧壁 23、24。

向晶片整个面上淀积氧化硅膜 31。如图 28 和图 29 所示，向源漏杂质扩散层 13、16 内进行离子注入。为了使已注入的杂质激活化和损伤恢复进行退火。

用 CVD 法向晶片整个面上淀积多晶硅膜 17。如图 30 和图 31 所示，用 CMP 一直到氮化硅膜 4 的上表面为止进行研磨。

接着，如图 32 所示，使多晶硅膜 17 的上表面热氧化，形成氧化硅膜 18。

如图 33 和图 34 所示，以氧化硅膜 18、52、53 为掩模，对氮化硅膜 4 进行刻蚀。此外，侧壁 8、9 的上部也被刻蚀。

如图 35 所示，以氧化硅膜 18、52、53 为掩模，以缓冲氧化膜 2 为阻挡层，对多晶硅 3 进行刻蚀。

如图 36 和图 37 所示，以多晶硅膜 17 和半导体衬底 1 为刻蚀阻挡层，挖氧化硅膜 52、53 使之后退，除去氧化硅膜 18 和缓冲氧化膜 2。

淀积栅绝缘膜 19。淀积将成为栅电极材料的金属。用 CMP 一直到氧化硅膜 51 的上表面为止进行研磨。借助于此，如图 38 和图 39 所示，把栅绝缘膜 19 和栅电极 20 埋入到栅沟内。

以氧化硅膜 31 为掩模，用 CDE 除去多晶硅膜 17。然后，以侧壁 7 到 10 和硅衬底 1 为阻挡层，各向同性地对氧化硅膜 31 进行刻蚀。这时，虽然氧化硅膜 51 也将被刻蚀，但是半导体器件的结构没有什么大的变化。硅衬底 1 的源杂质扩散层 13 的上表面和漏杂质扩散层 16 的上表面露出来。

在晶片整个面上成膜金属膜。加热金属膜和硅衬底 1 使之进行反应，使得陷入到硅衬底 1 内那样地形成硅化物层 25、26。如图 40 和图 41 所示，对硅化物层 25、26 选择性地刻蚀未反应的金属膜。归因于侧壁 7 和 10，硅化物层 25、26 不会与硅绝缘膜 51 的侧面接连。

包括硅化物层 25、26 的上表面在内向晶片整个面上淀积金属。如图 24 和图 25 所示，用 CMP 研磨除去已淀积到侧壁 8、9 和硅绝缘膜 51 的上表面上的金属。

之后的半导体器件的制造方法，与实施形态 1 的半导体器件的制造方法是同样的。

倘采用实施形态 2，在栅电极 20 中，则可以因减小栅电阻，防止栅耗尽化而可以提高晶体管自身的驱动能力。在源漏电极 21、22 中，则比起实施形态 1 来可以进一步减小源漏间的导通电阻，而不会增加漏泄电流。

(实施形态 2 的变形例)

本发明的实施形态 2 的变形例的半导体器件，如图 42 所示，与图 25 的实施形态 2 比较，侧壁 7 到 10、37 到 40 及其周边的结构不一样。

侧壁 7 到 10、37 到 40，与实施形态 2 的半导体器件的单层结构不同，在对侧面的垂直方向上是氧化硅膜 37 到 40 和氮化硅膜 7 到 10 的 2 层结构。

此外，还可以使硅化物层 25、26 从氧化硅膜 51 再离开氧化硅膜 37 到 40 的膜厚那么大的量左右。在实施形态 2 的变形例的半导体器件的情况下，漏泄电流在硅化物层 25、26 和源漏杂质扩散层 13、16 的下边的半导体衬底 1 之间更难于流动。

对本发明的实施形态 2 的变形例的半导体器件的制造方法进行说明。实施形态 2 的变形例的半导体器件的制造方法的开头部分，与一直到实施形态 2 的半导体器件的制造方法中的图 39 为止的制造方法是相同的。

其次，以氧化硅膜 31 为阻挡层，用 CDE 除去多晶硅膜 17。然后，以硅衬底 1 为阻挡层，对氧化硅膜 31 进行各向异性刻蚀。使硅衬底 1 的源杂质扩散层 13 的上表面和漏杂质扩散层 16 的上表面露出来。形成侧壁 37 到 40。

在晶片整个面上成膜金属膜。加热金属膜和硅衬底 1 使之进行反应使得陷入到硅衬底 1 内那样地形成硅化物层 25、26。如图 43 所示，对硅化物层 25、26 选择地蚀刻未反应的金属膜。归因于侧壁 37 和 40，硅化物层 25、26 从硅绝缘膜 51 的侧面离开得更远。

包括硅化物层 25、26 的上表面在内向晶片整个面上沉积金属。如图 42 所示，用 CMP 研磨除去已沉积到侧壁 8、9 和硅绝缘膜 51 的上表面上的金属。

之后的半导体器件的制造方法，与实施形态 1 的半导体器件的制造方

法是同样的。

倘采用实施形态2的变形例，在栅电极20中，则可以因减小栅电阻，防止栅耗尽化而可以提高晶体管自身的驱动能力。在源漏电极21、22中，则比起实施形态1来可以进一步减小源漏间的导通电阻，而不会增加漏泄电流。

另外，本发明并不限于上述实施形态，在不背离本发明的技术思想的范围内可进行种种变形后实施。

金属电极的形成方法，除去借助于CMP埋入到沟内的以外，也可以采用在光刻胶和图形化后进行RIE等的各向异性刻蚀的办法加工栅电极。

此外，硅衬底1只要是半导体衬底即可。作为半导体衬底，也可以是SOI(绝缘体上的硅)衬底的硅层，或锗硅(SiGe)混晶、碳化硅锗(SiGeC)混晶等的半导体衬底。除此之外，在不背离本发明的技术思想的范围内可进行种种变形后实施。

如上所述，倘采用本发明，则可以提供具备金属栅电极和低电阻的源漏电极的半导体器件。

此外，倘采用本发明，则可以提供具备金属栅电极和低电阻的源漏电极的半导体器件的制造方法。

图 1

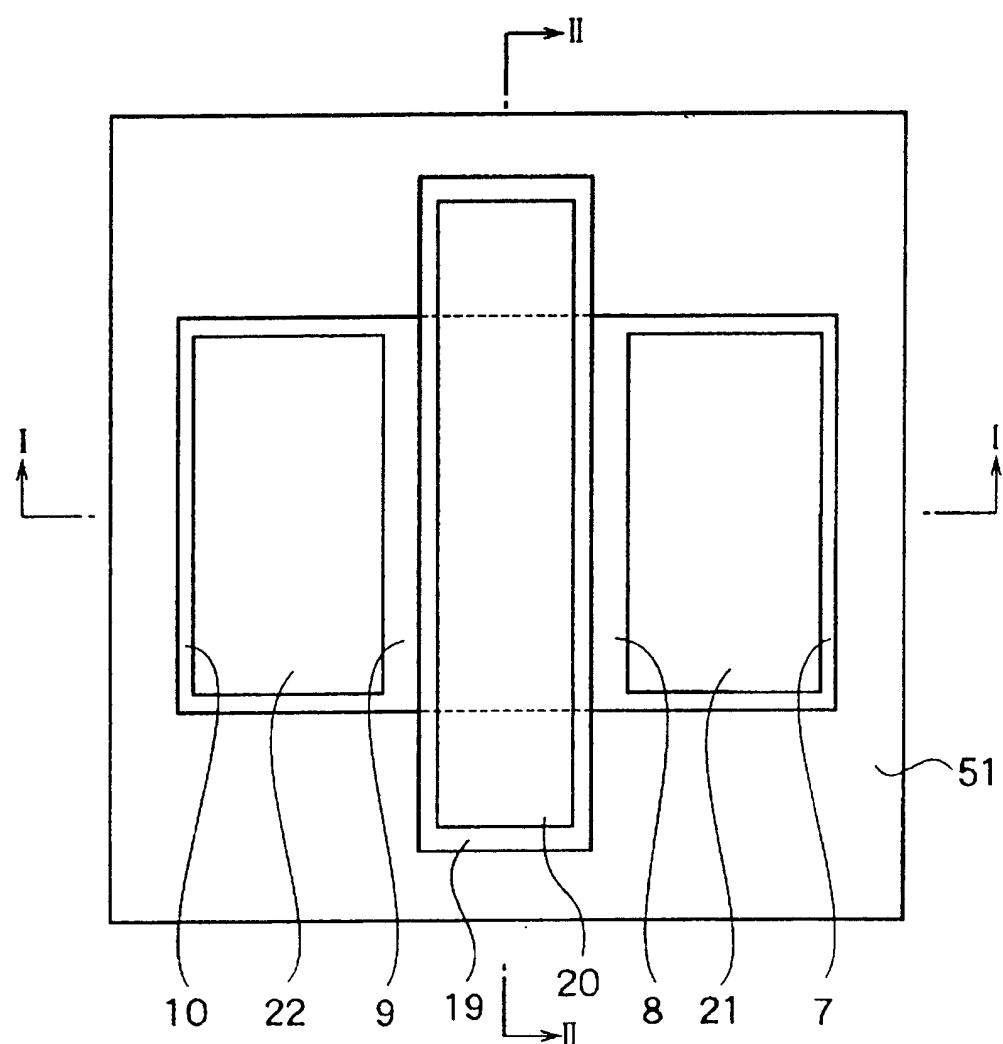
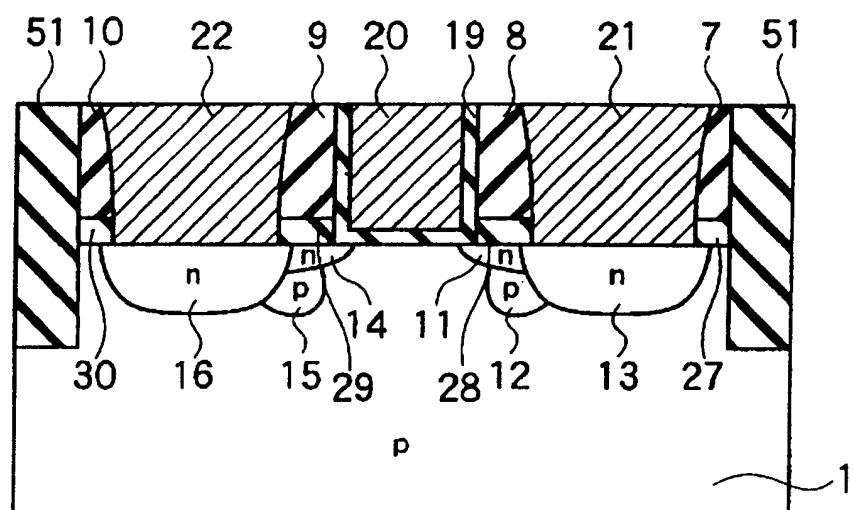


图 2

(a)



(b)

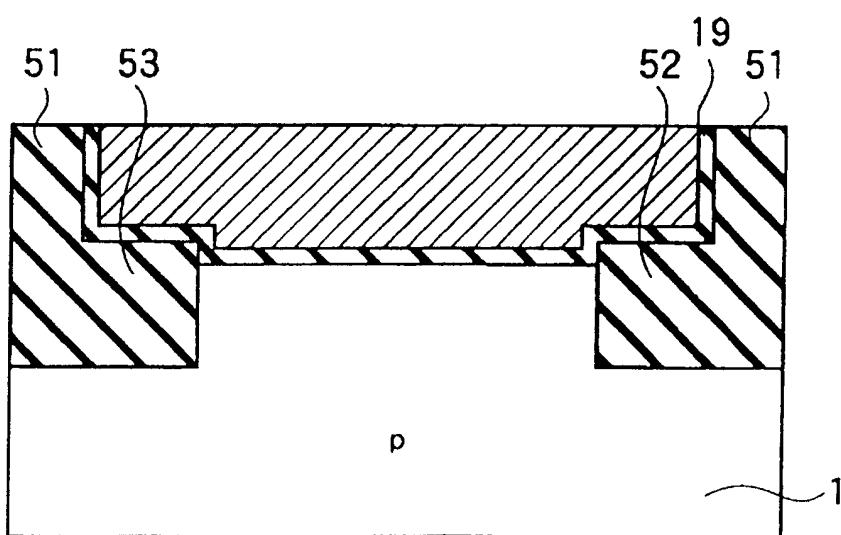
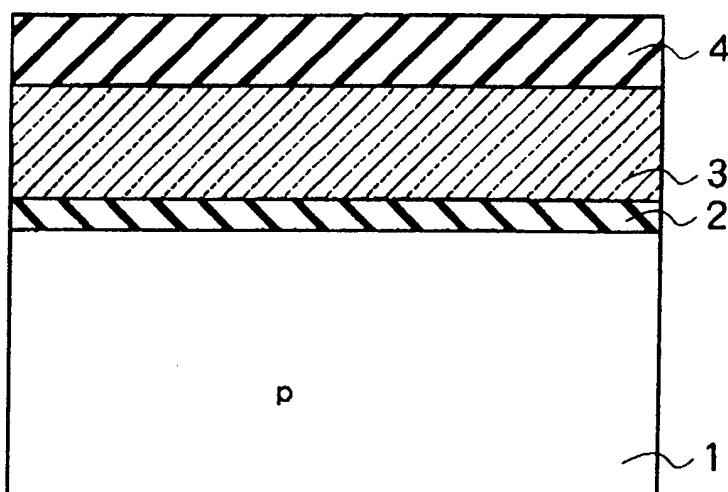


图 3

(a)



(b)

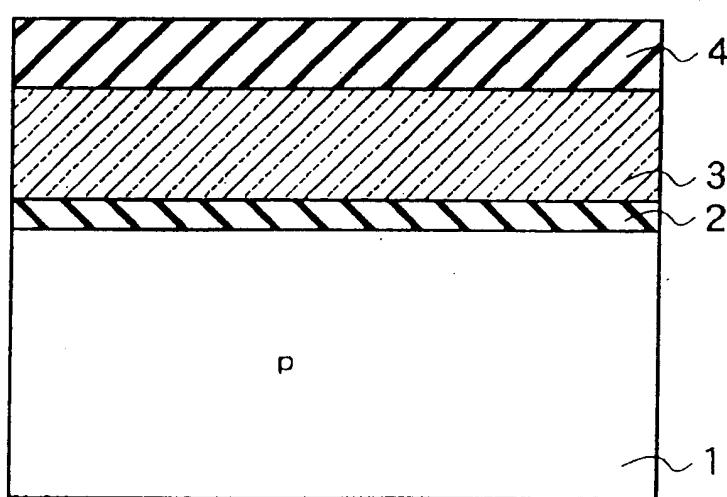


图 4

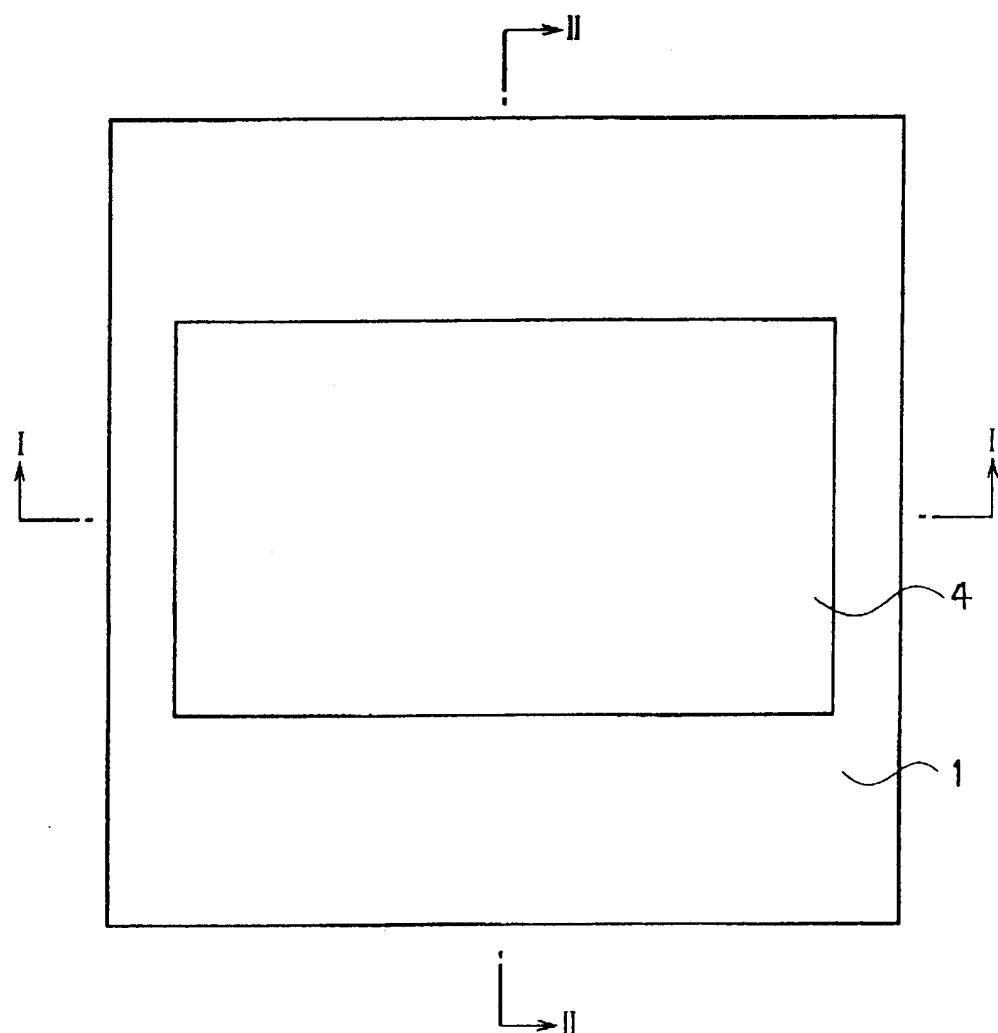
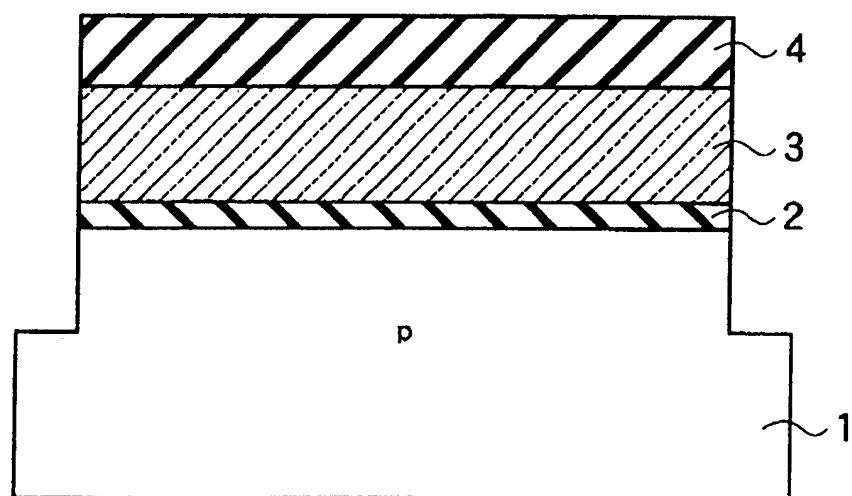


图 5

(a)



(b)

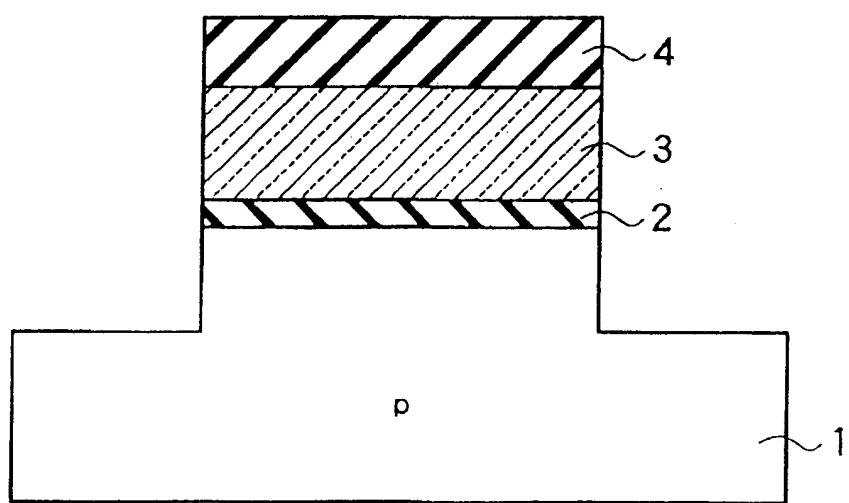
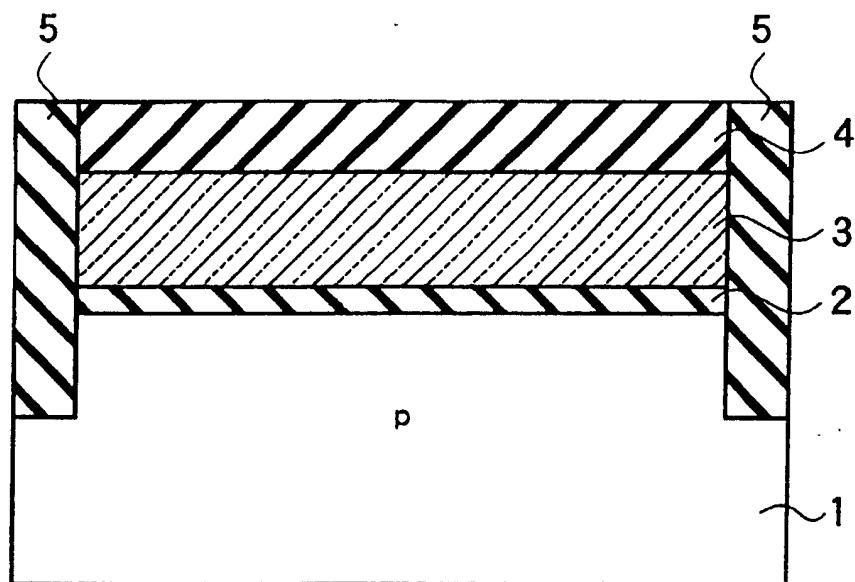


图 6

(a)



(b)

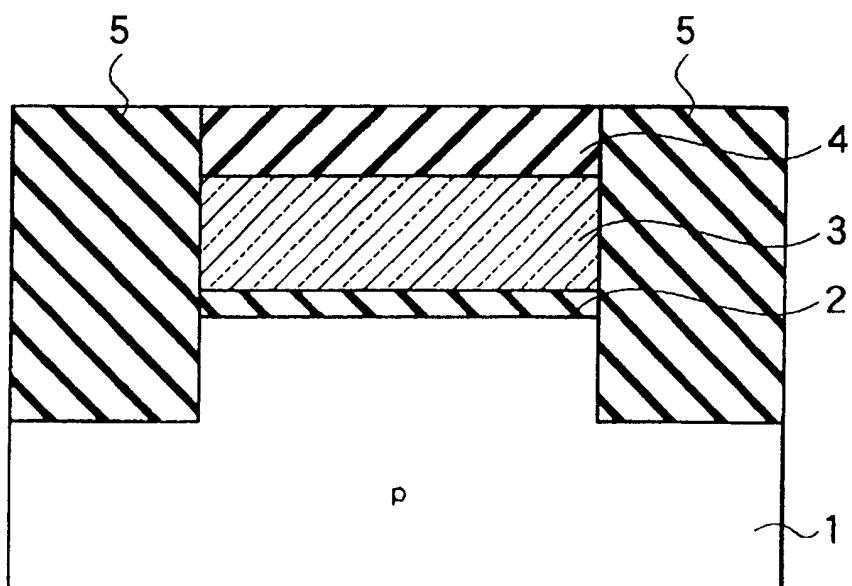


图 7

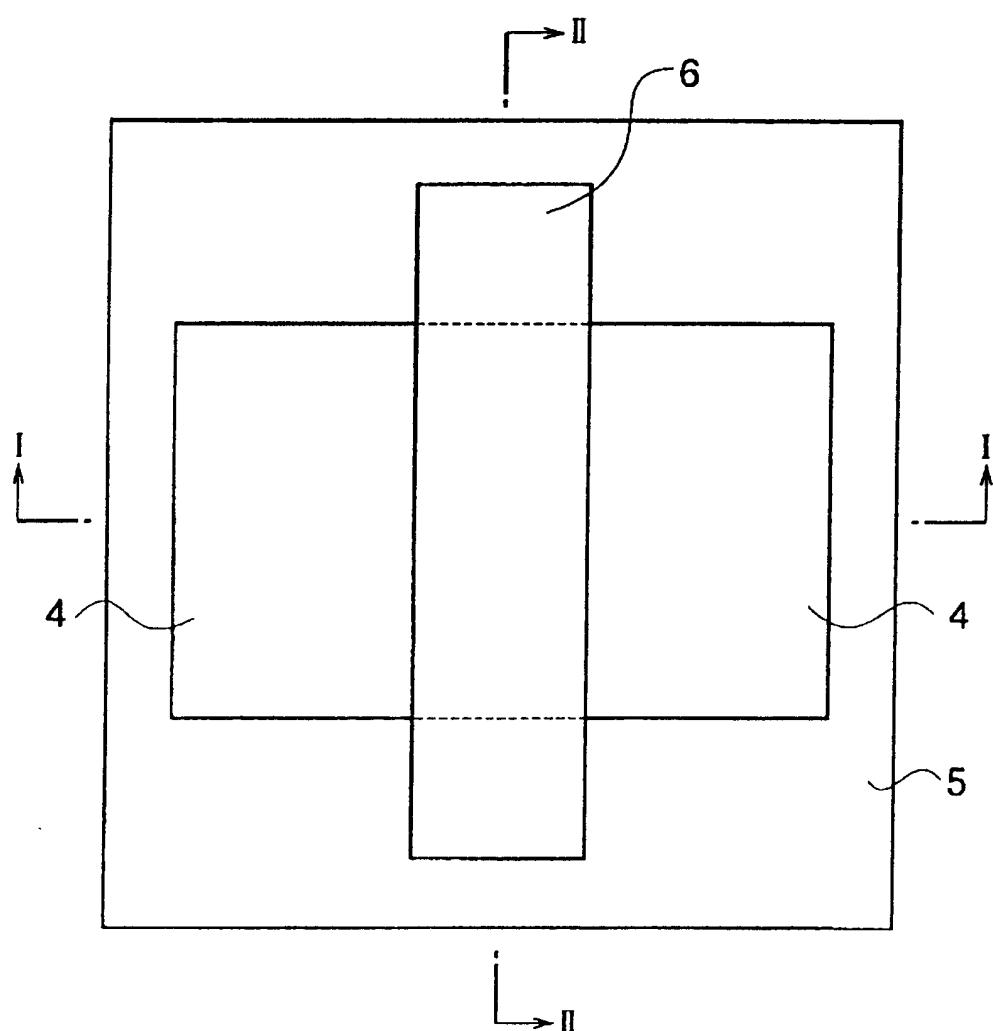
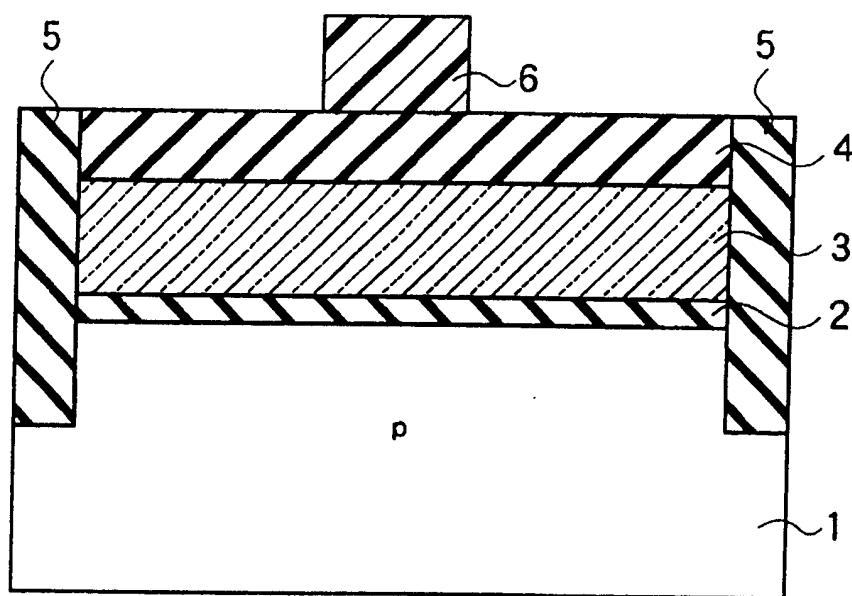


图 8

(a)



(b)

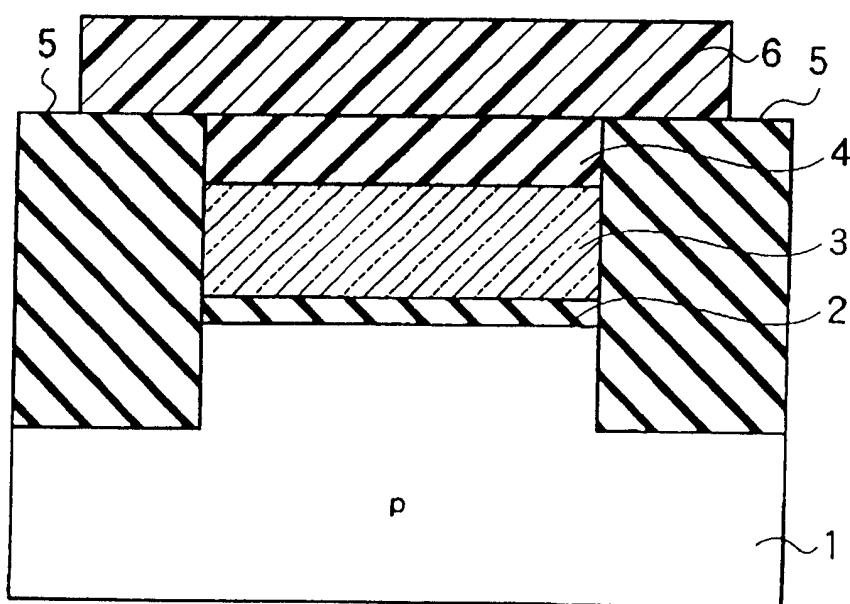
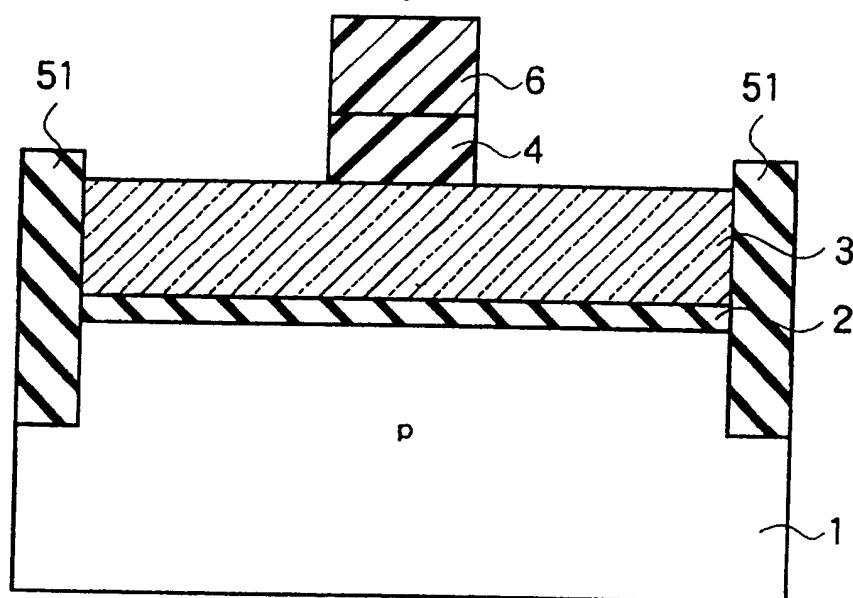


图 9

(a)



(b)

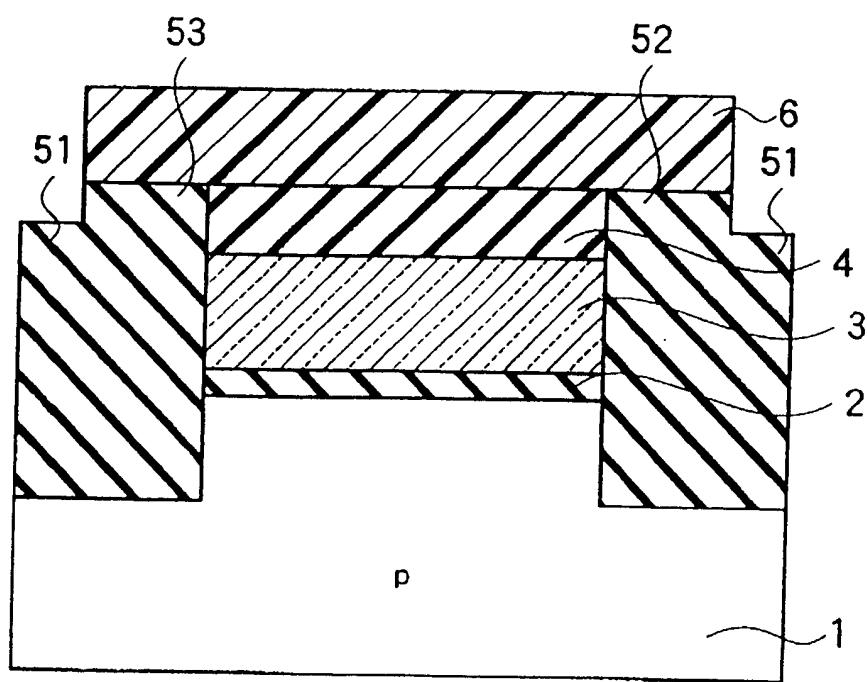
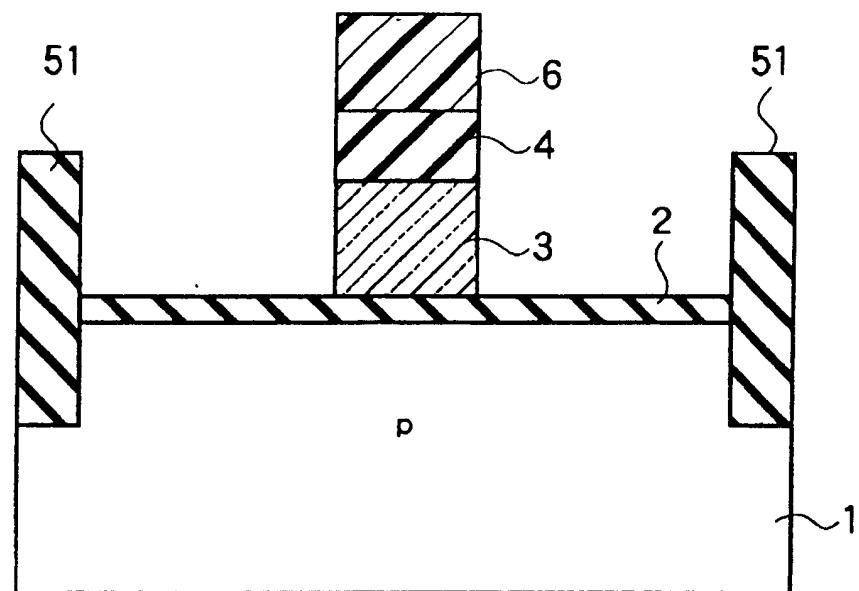


图 10

(a)



(b)

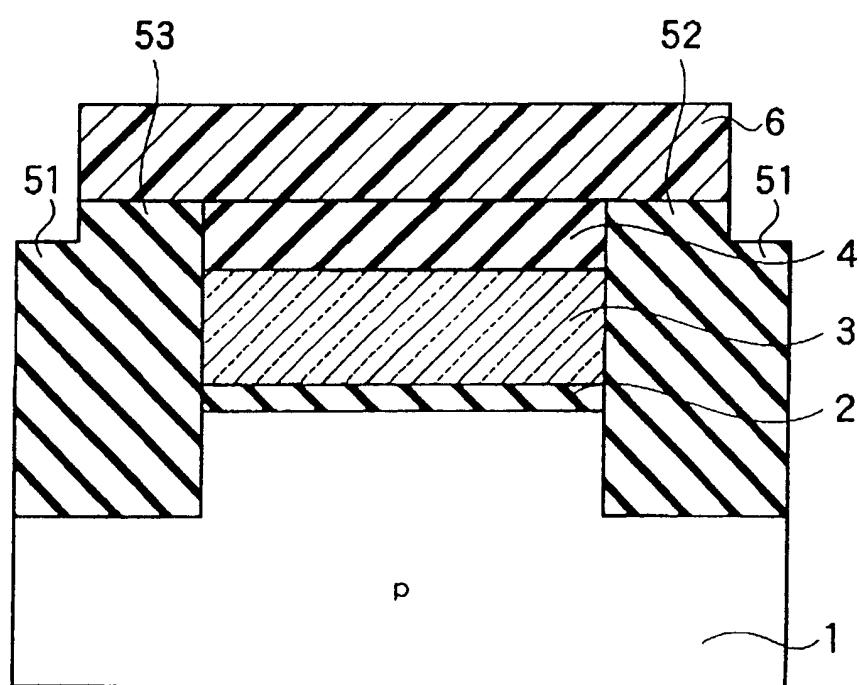


图 11

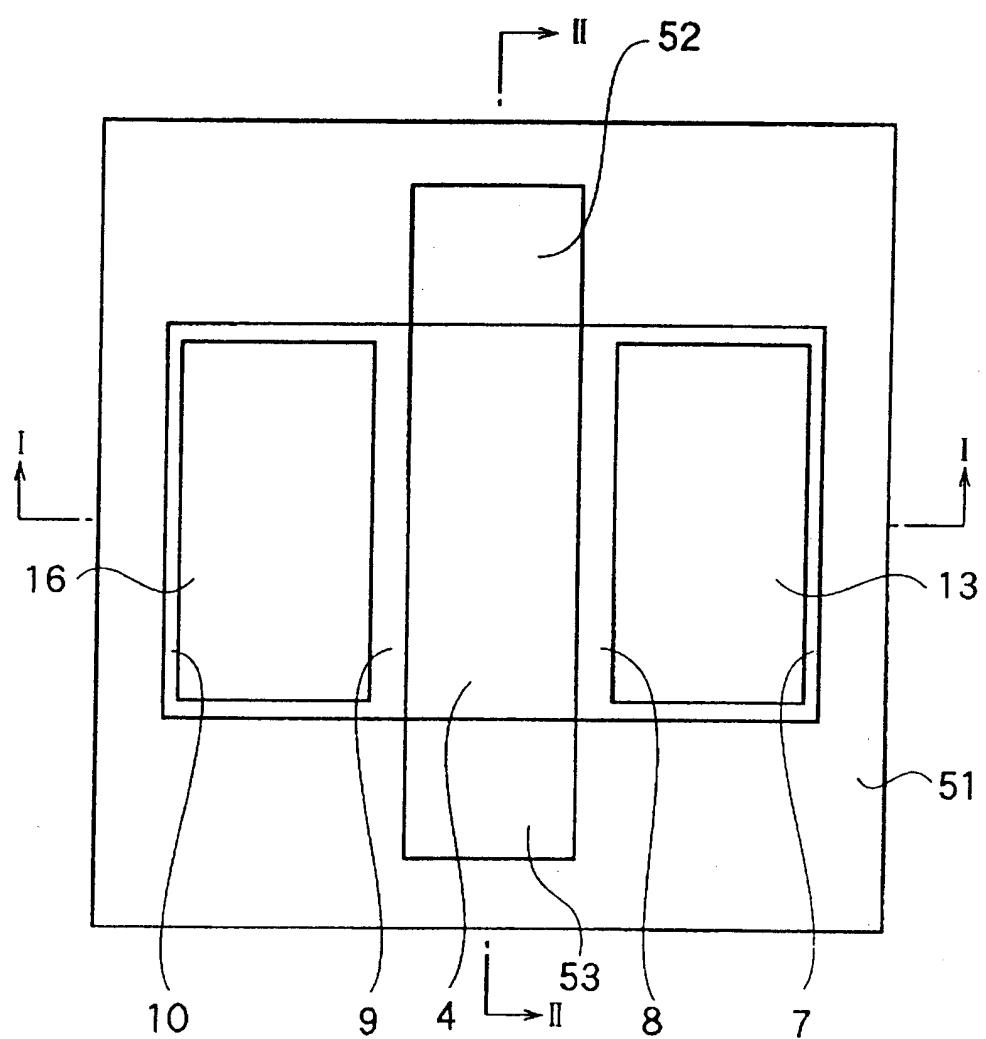
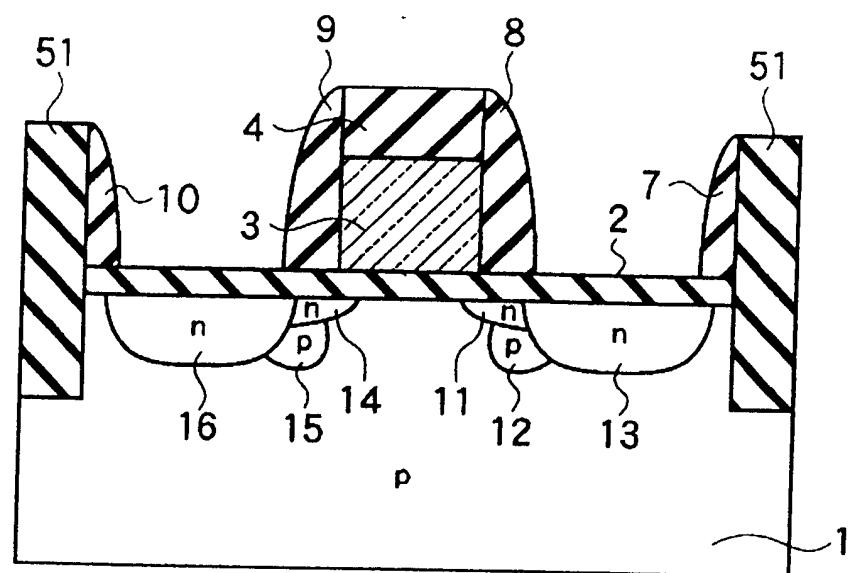


图 12

(a)



(b)

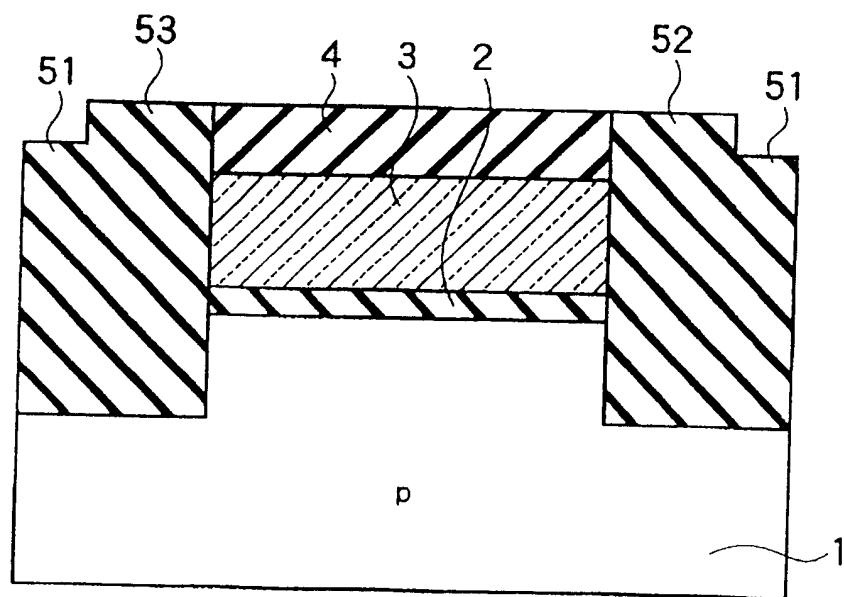


图 13

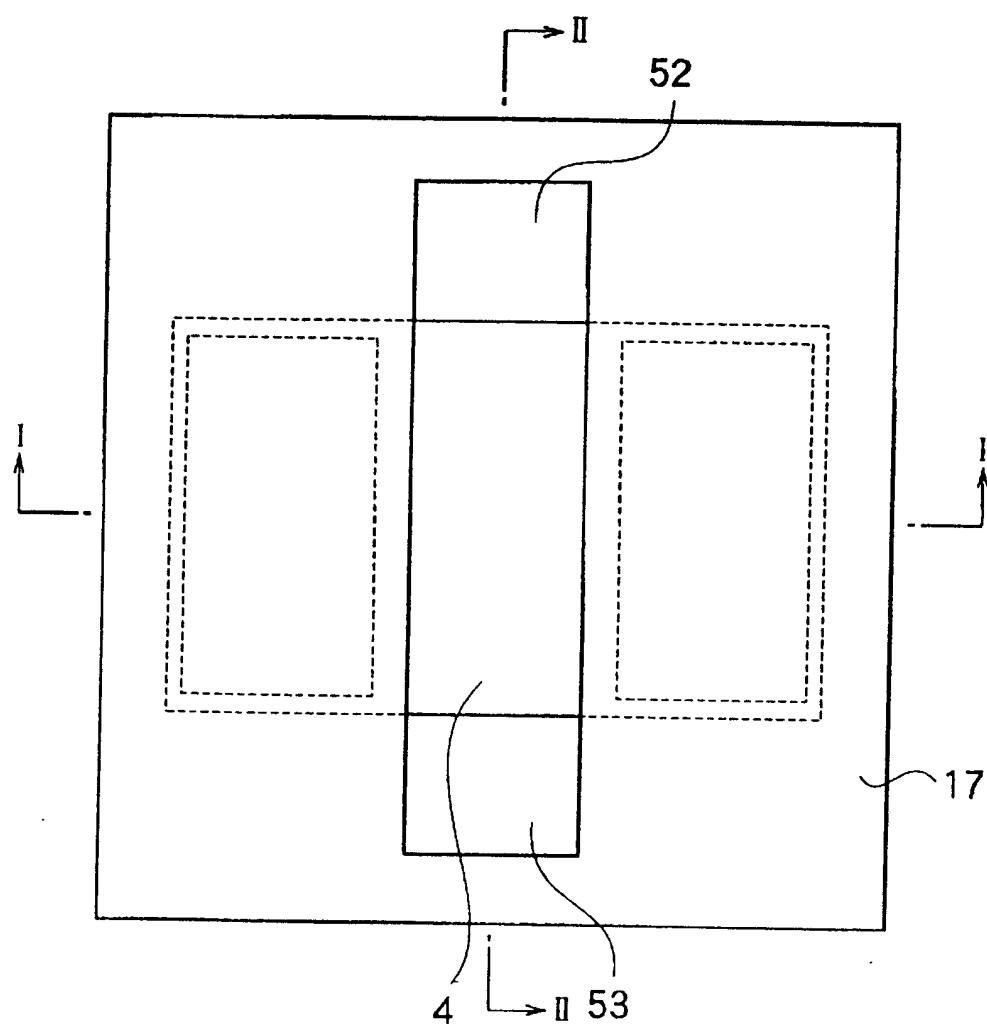
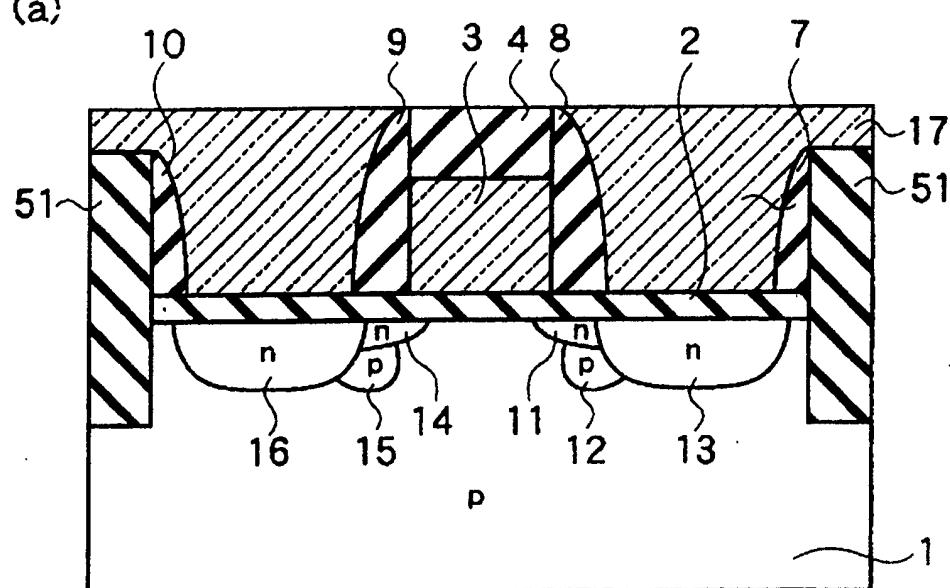


图14

(a)



(b)

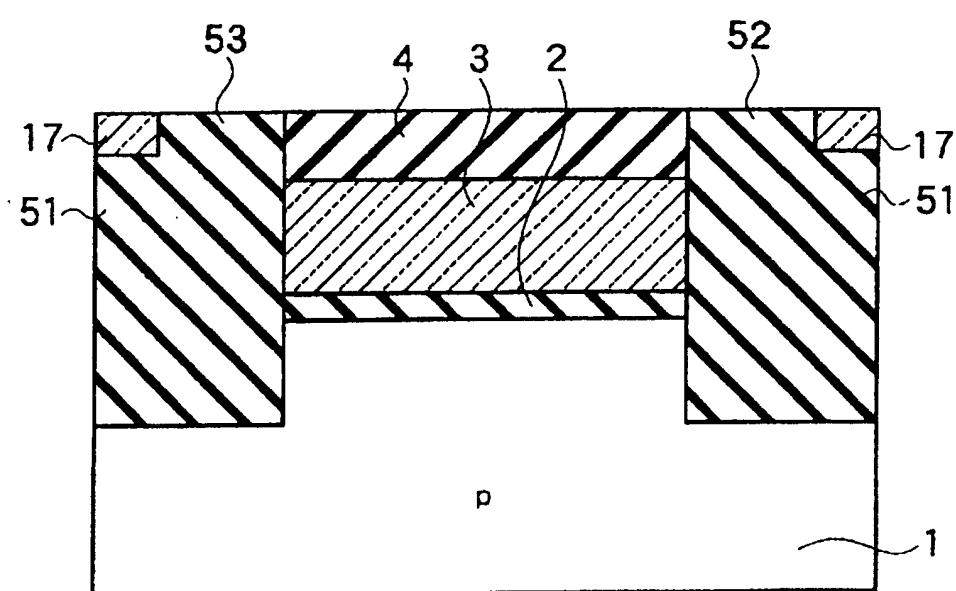
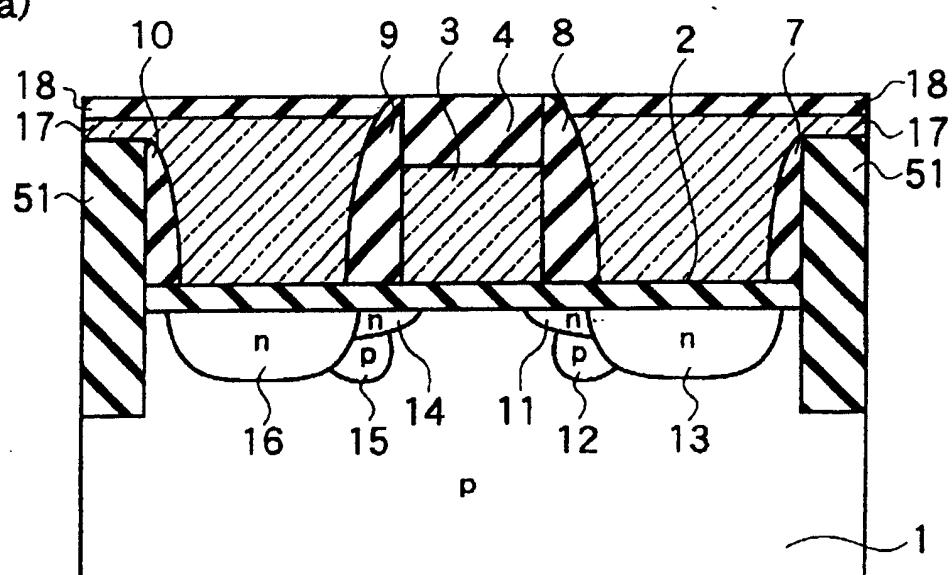


图15

(a)



(b)

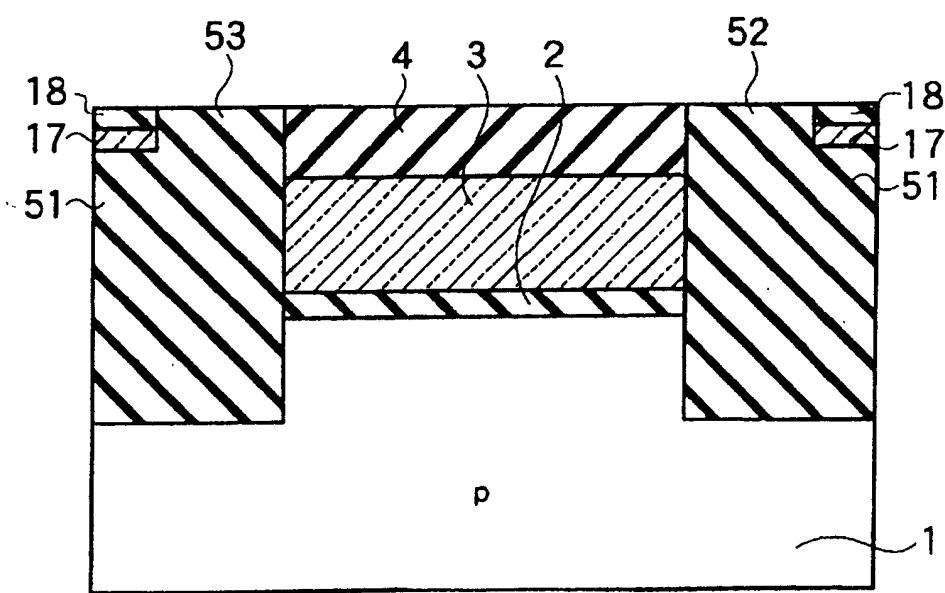


图16

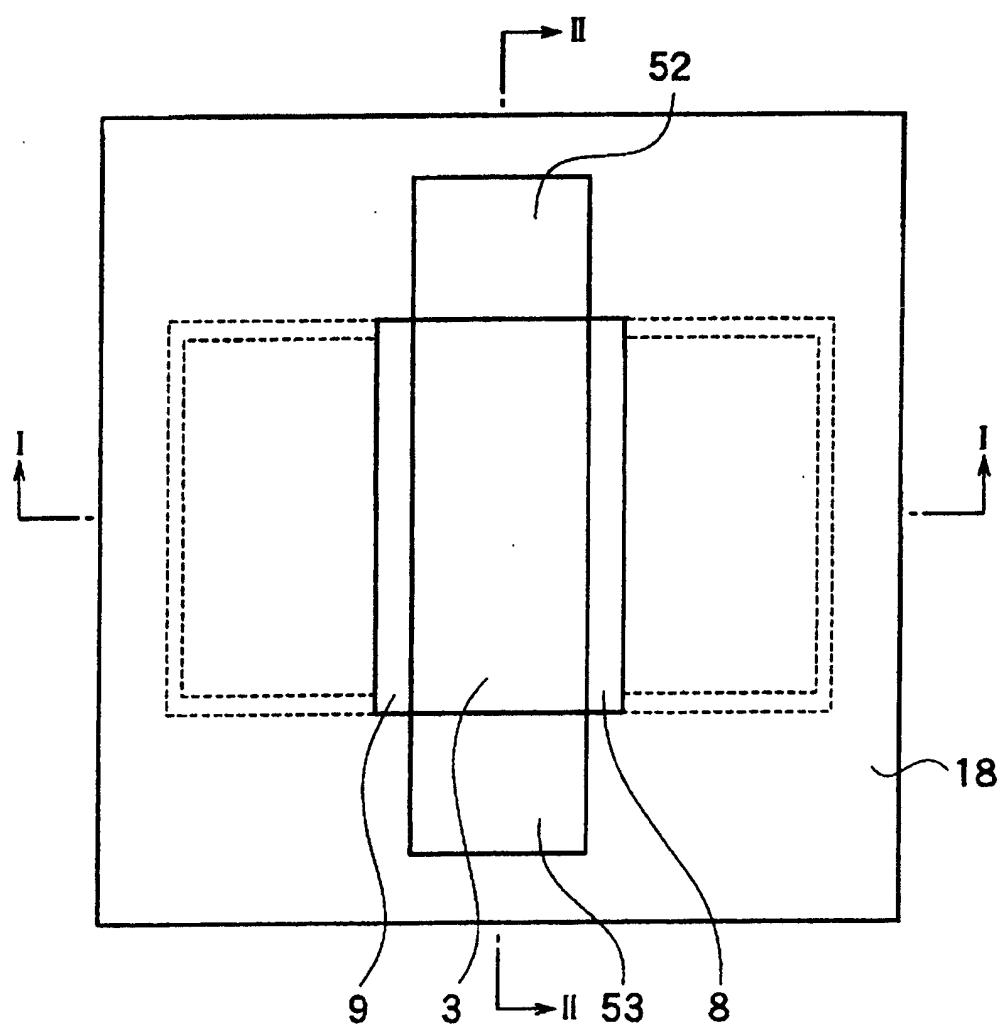
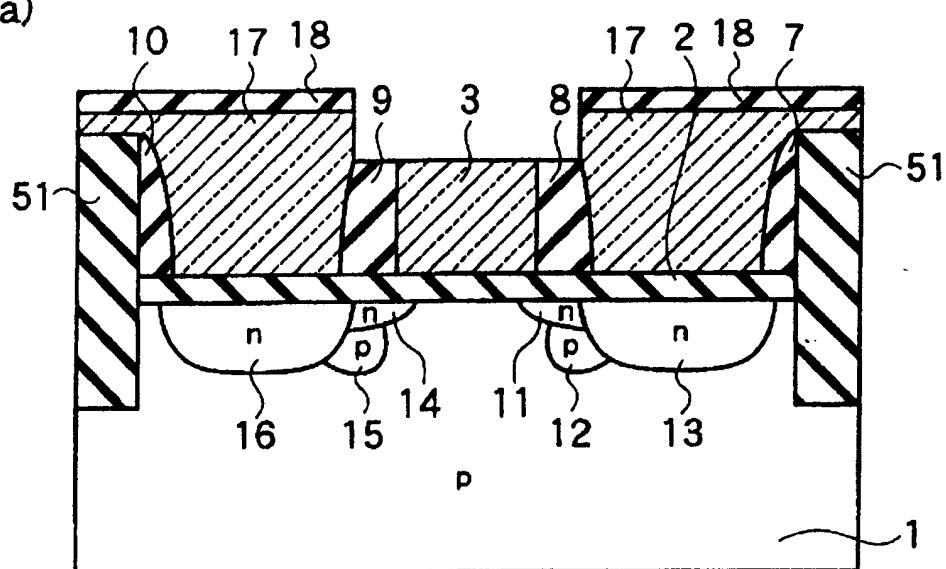


图17

(a)



(b)

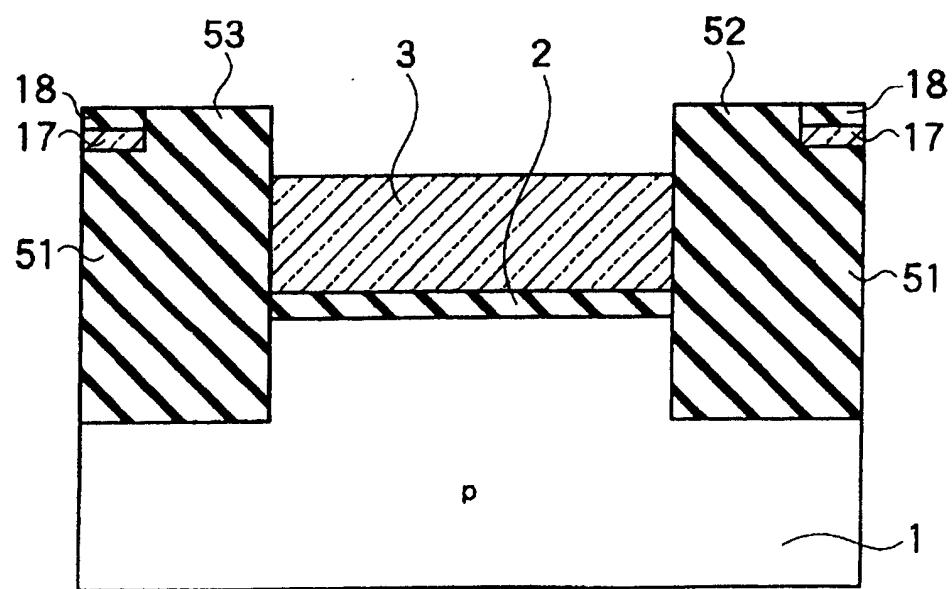
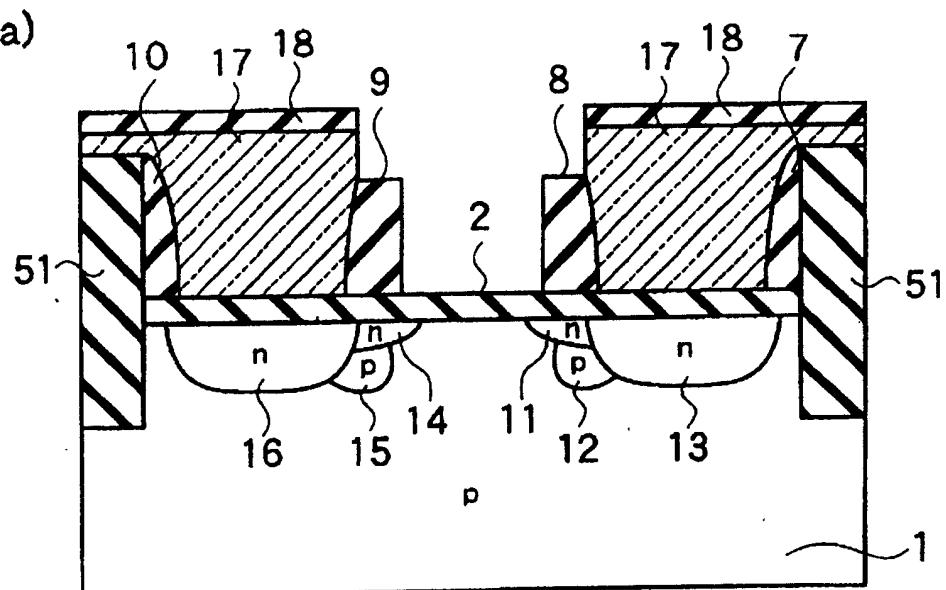


图18

(a)



(b)

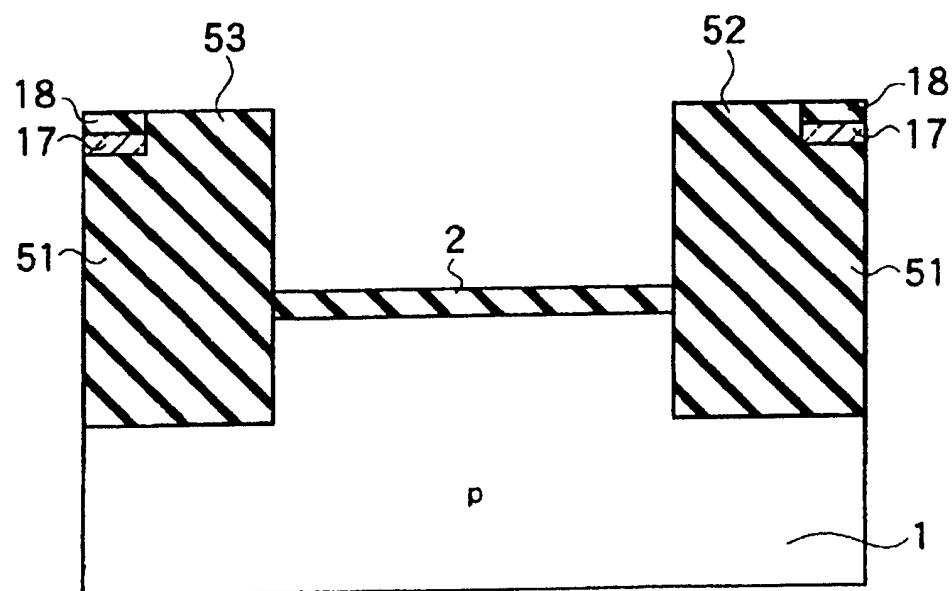


图19

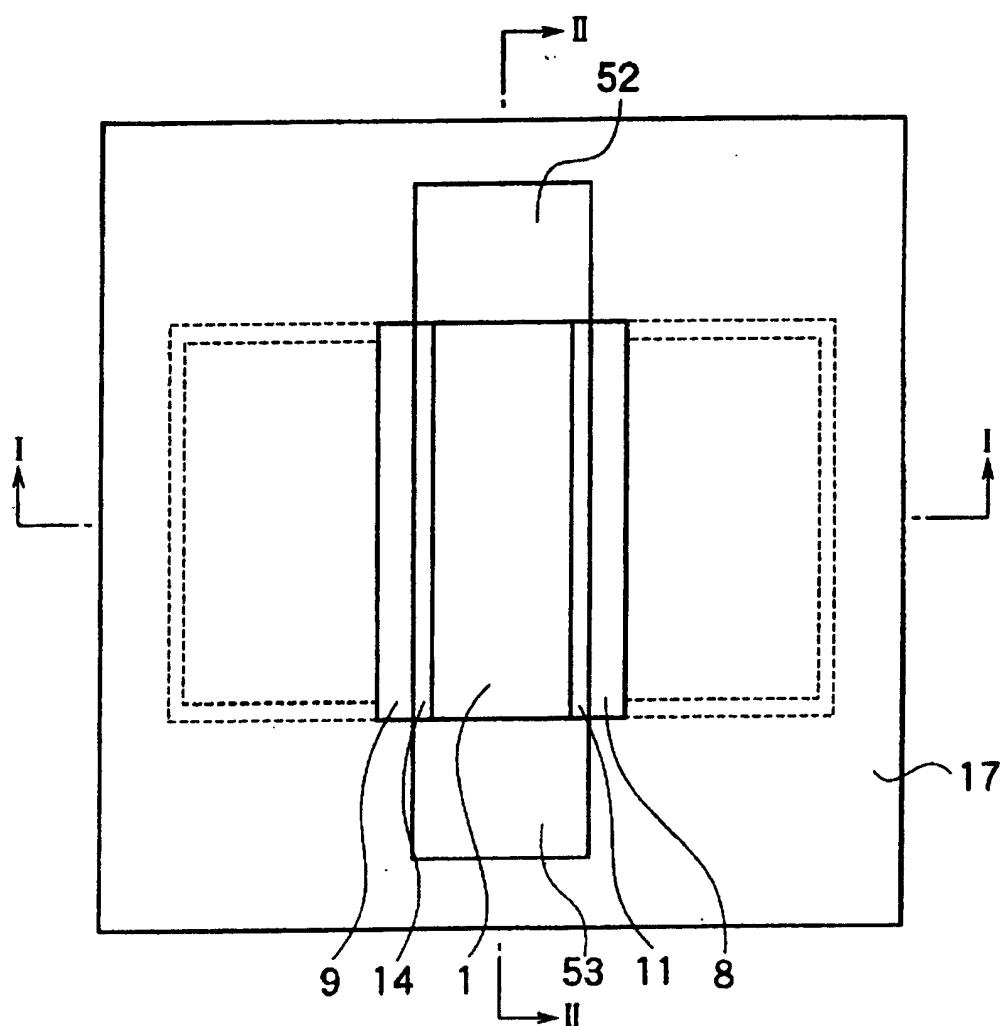
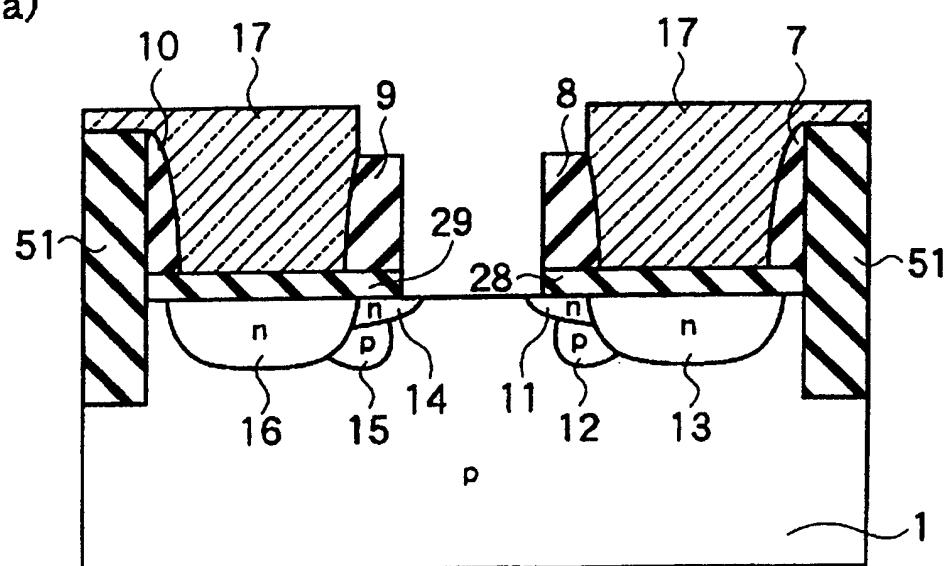


图20

(a)



(b)

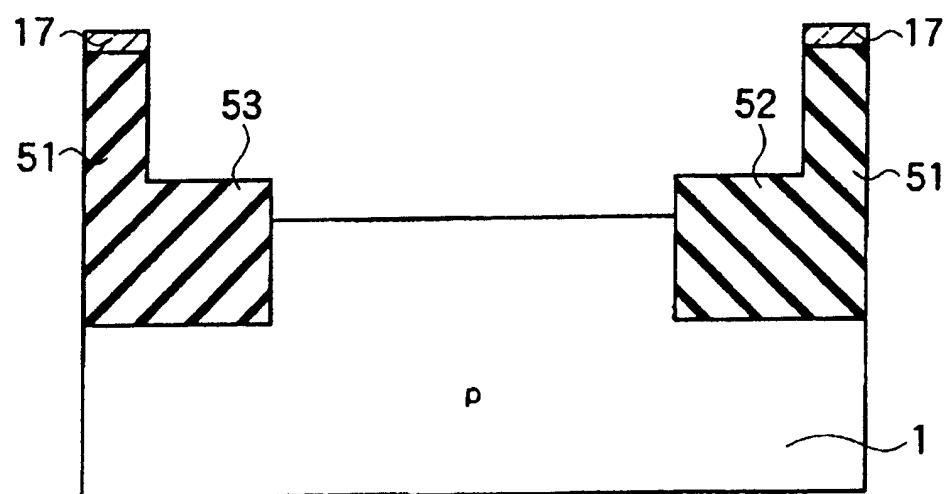


图21

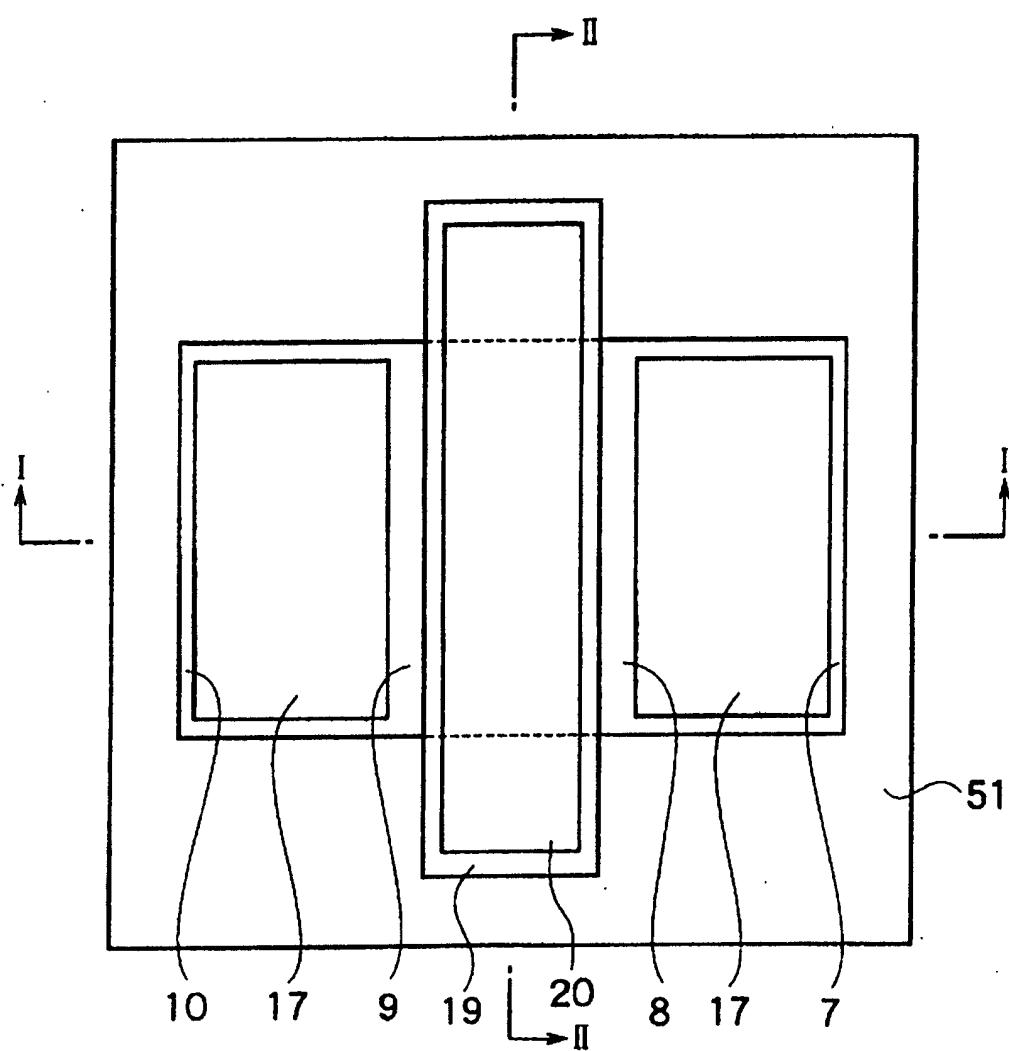
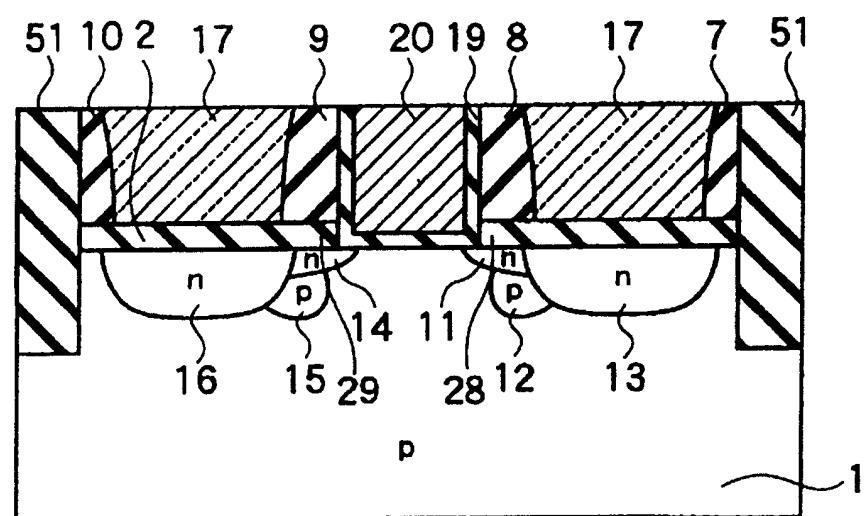


图22



(b)

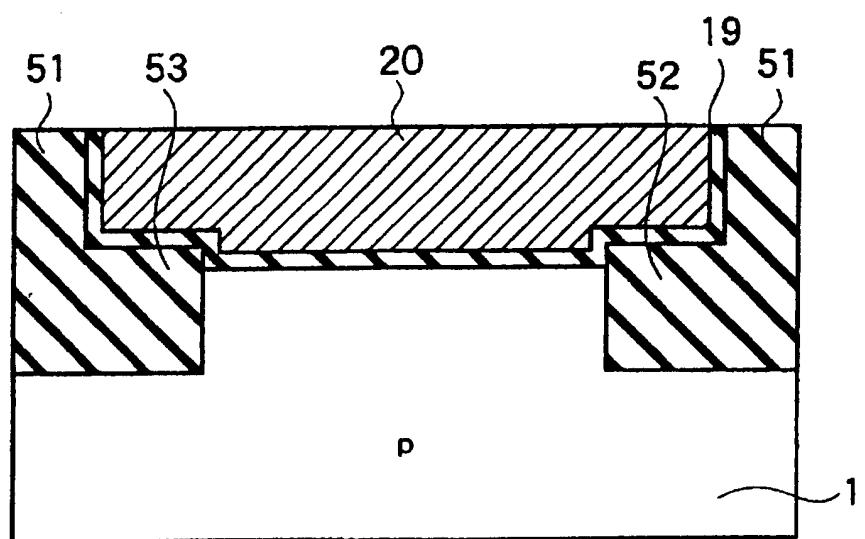
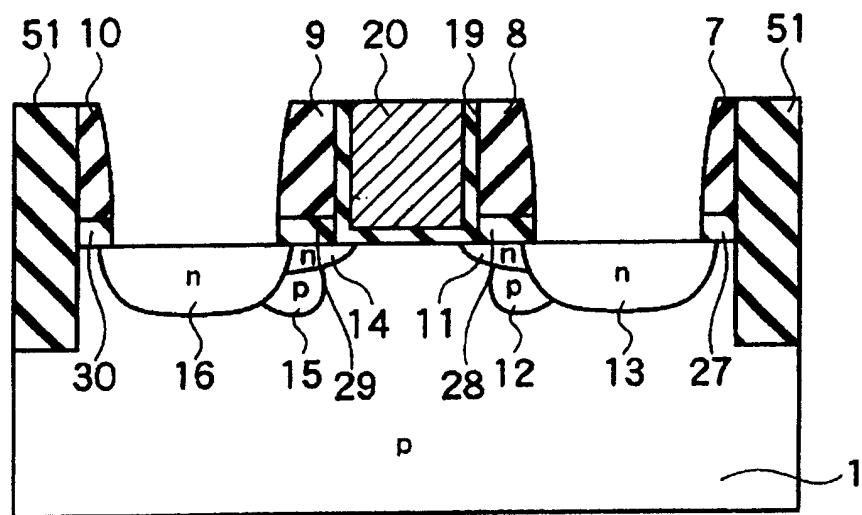


图23



(b)

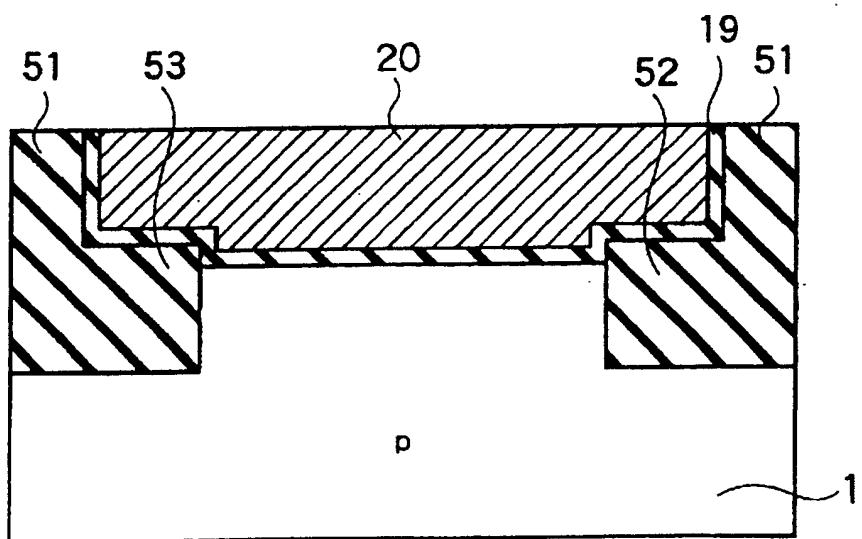


图24

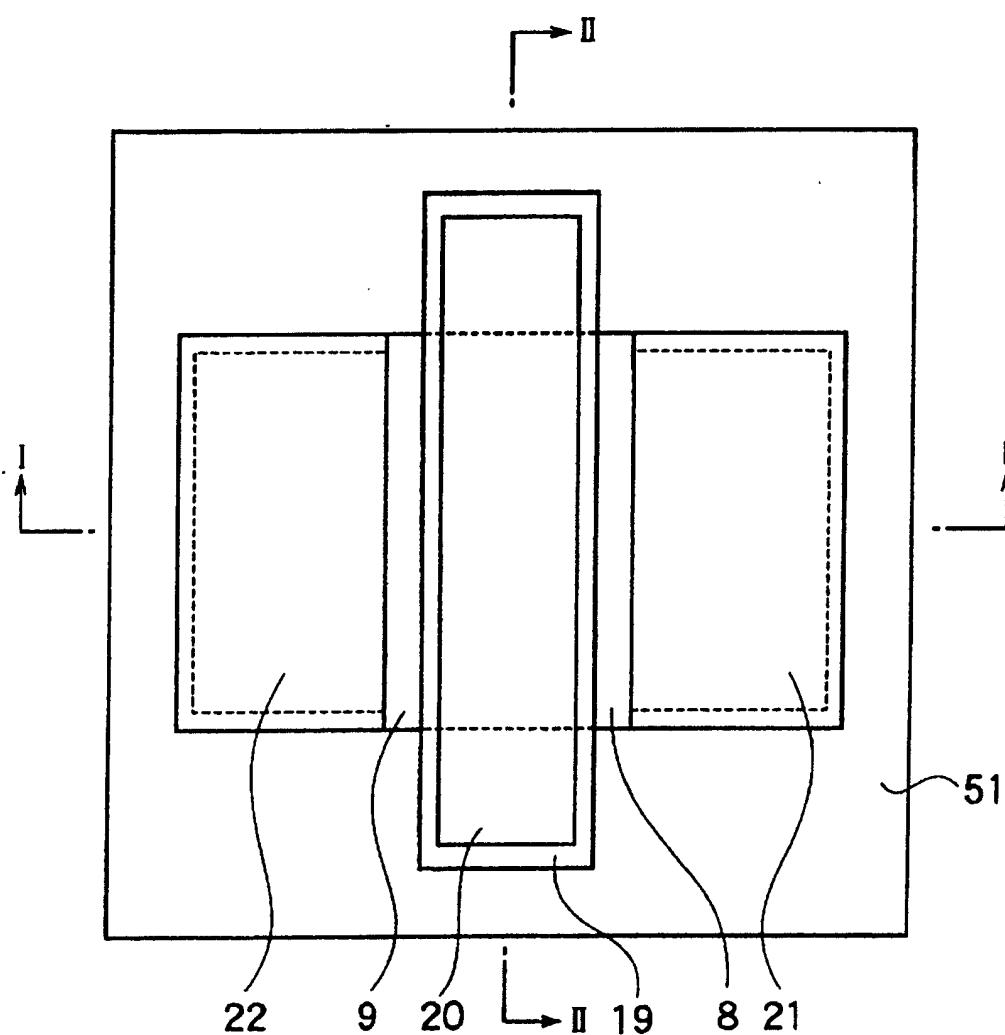
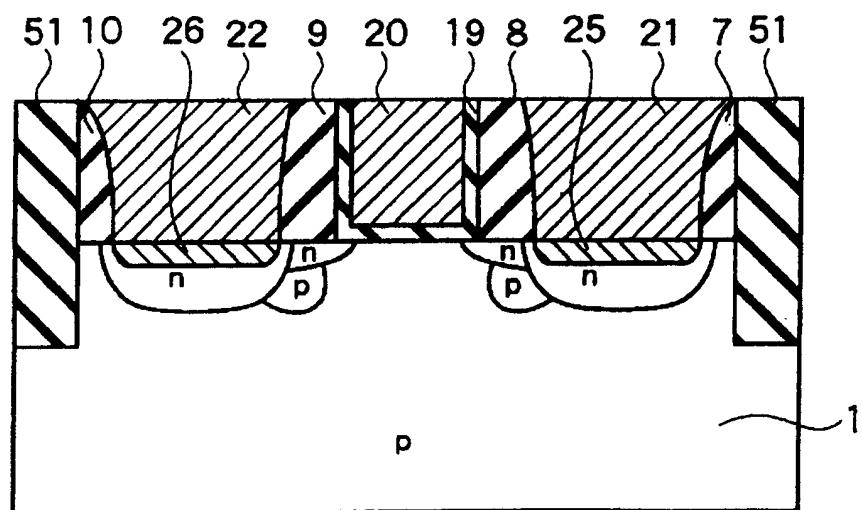


图25



(b)

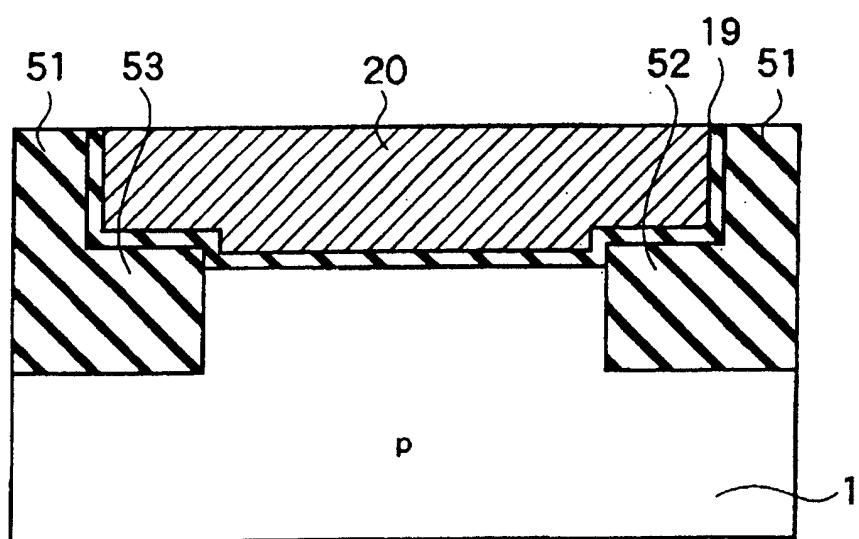
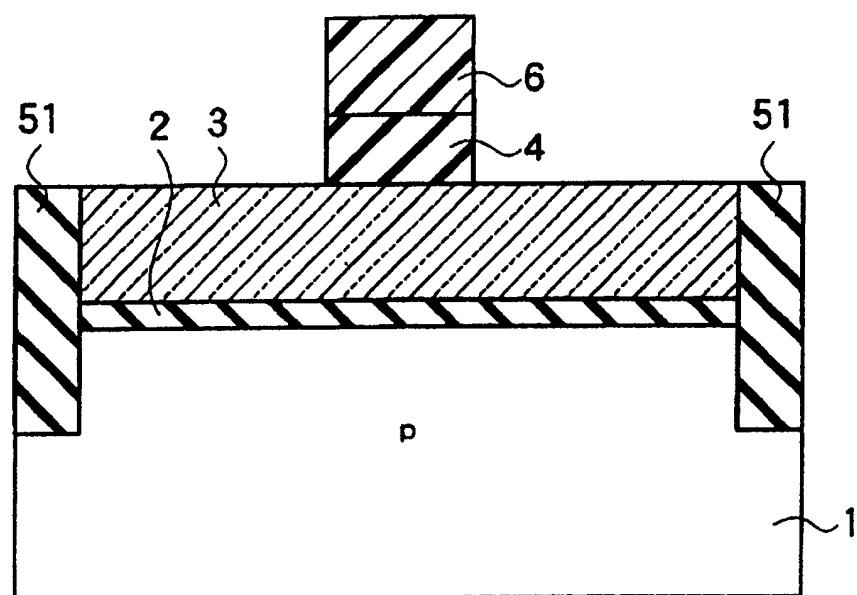


图26

(a)



(b)

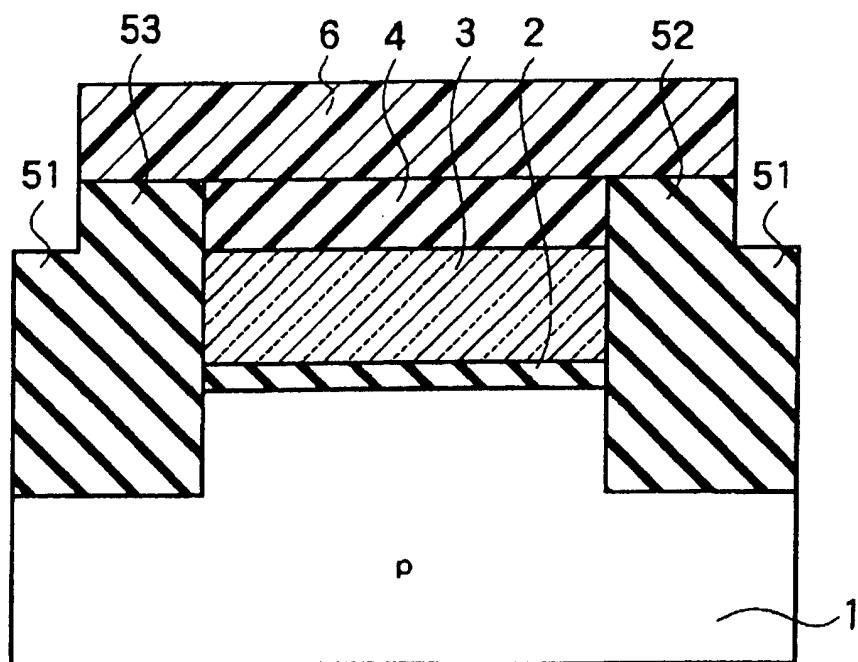
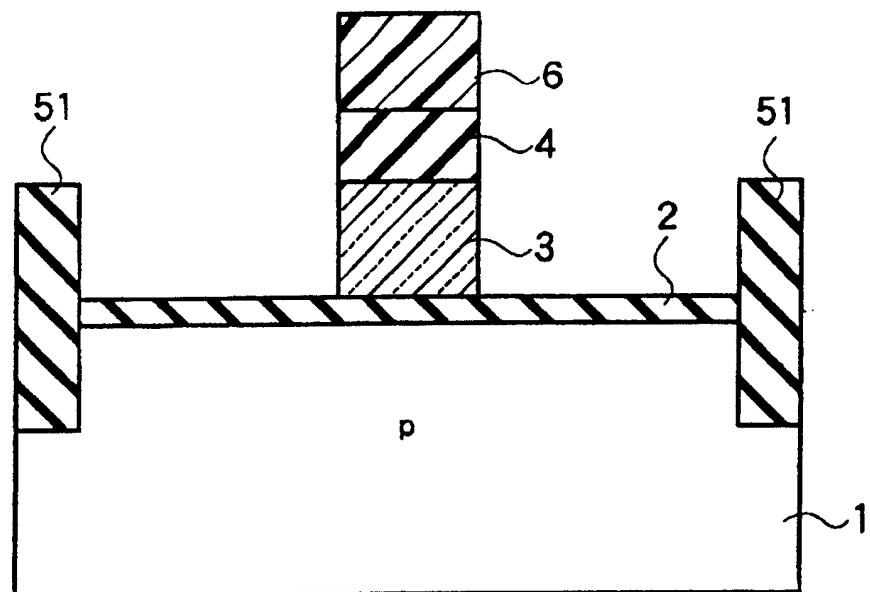


图27

(a)



(b)

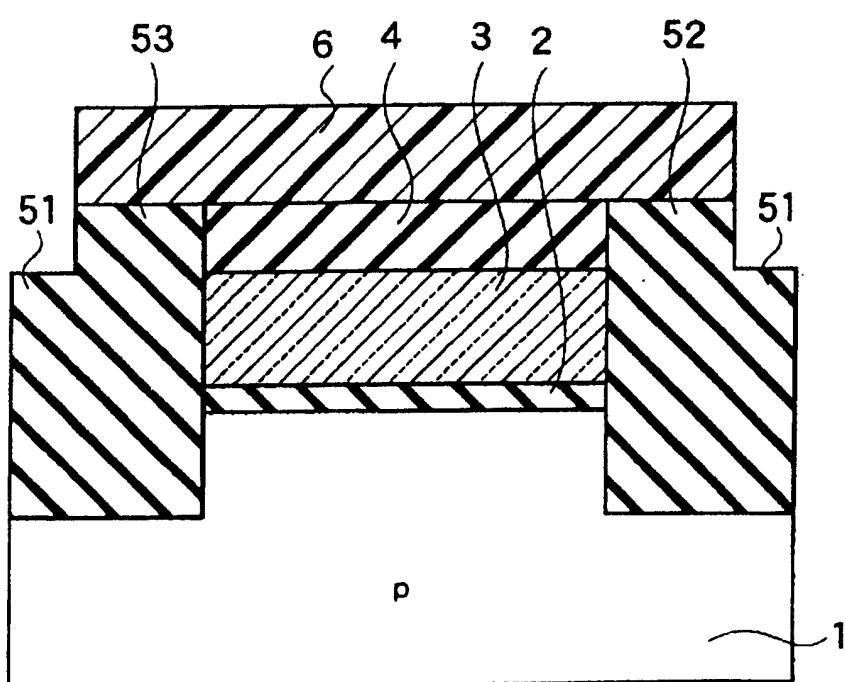


图28

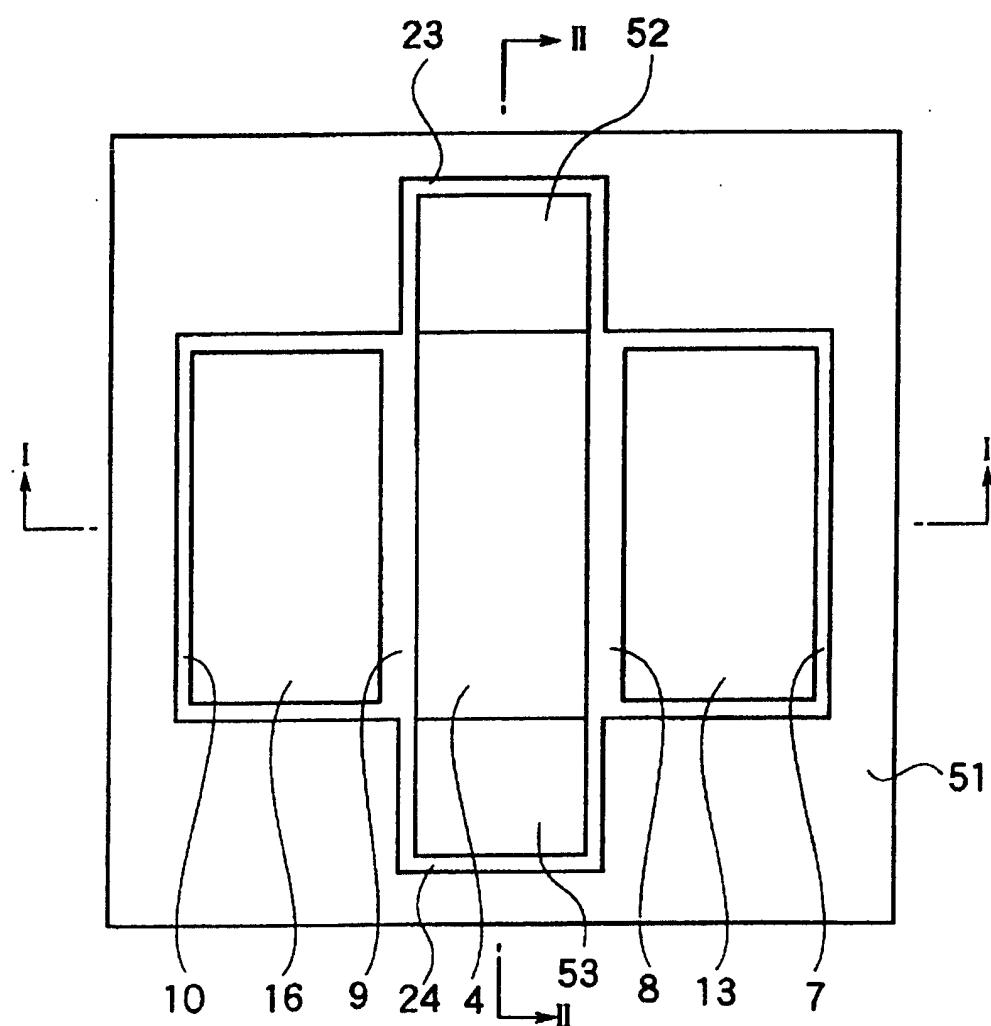
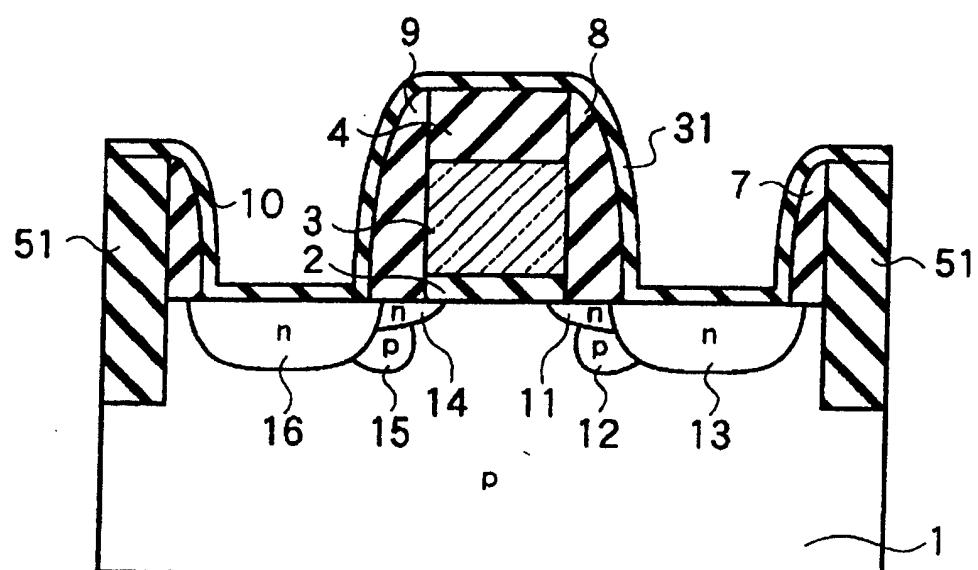


图29

(a)



(b)

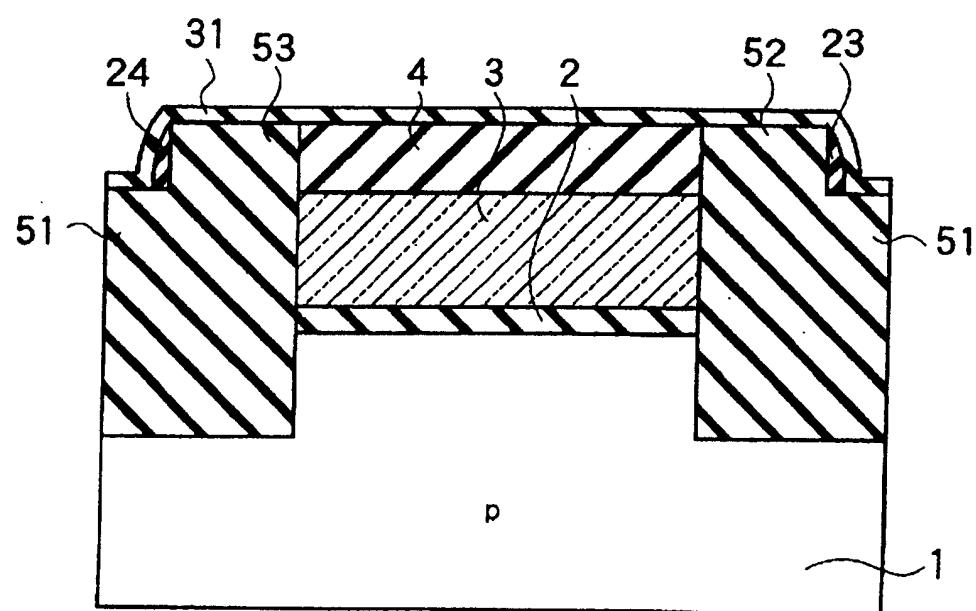


图30

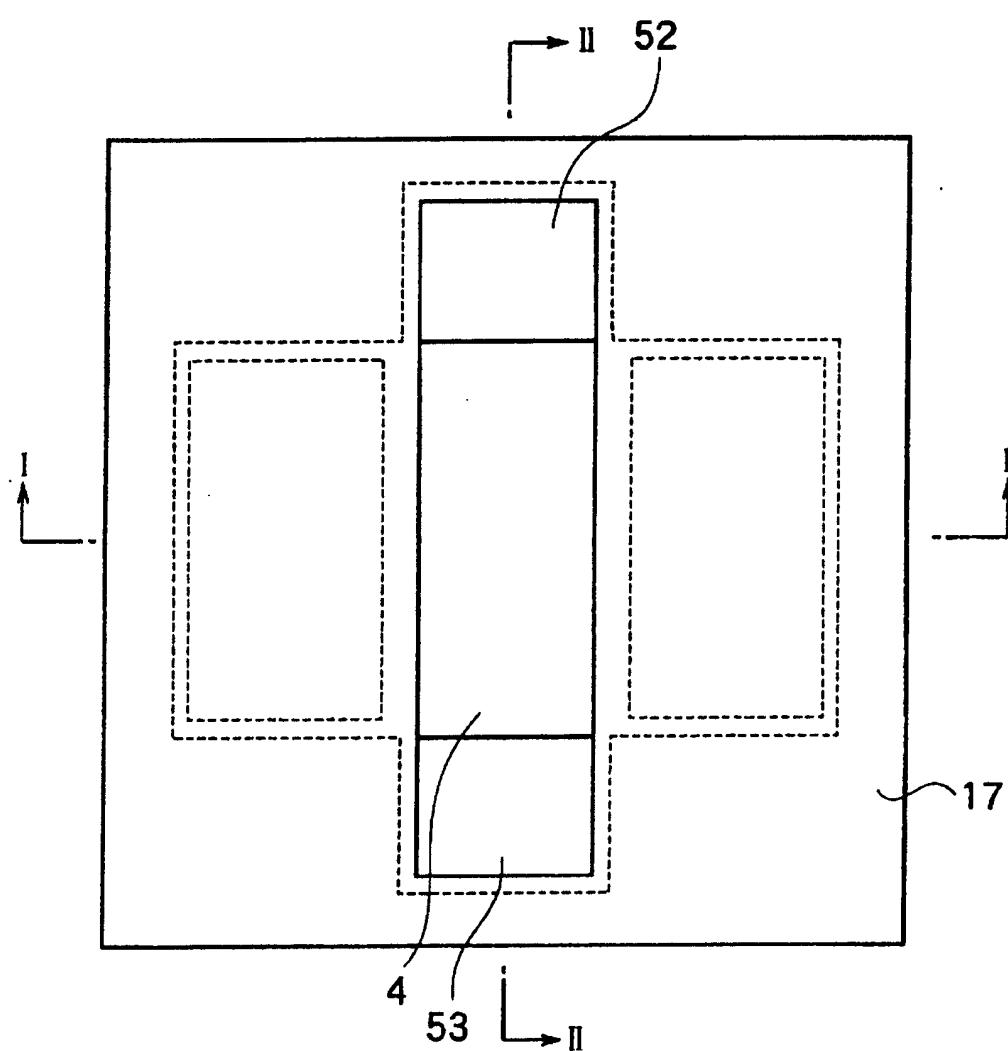
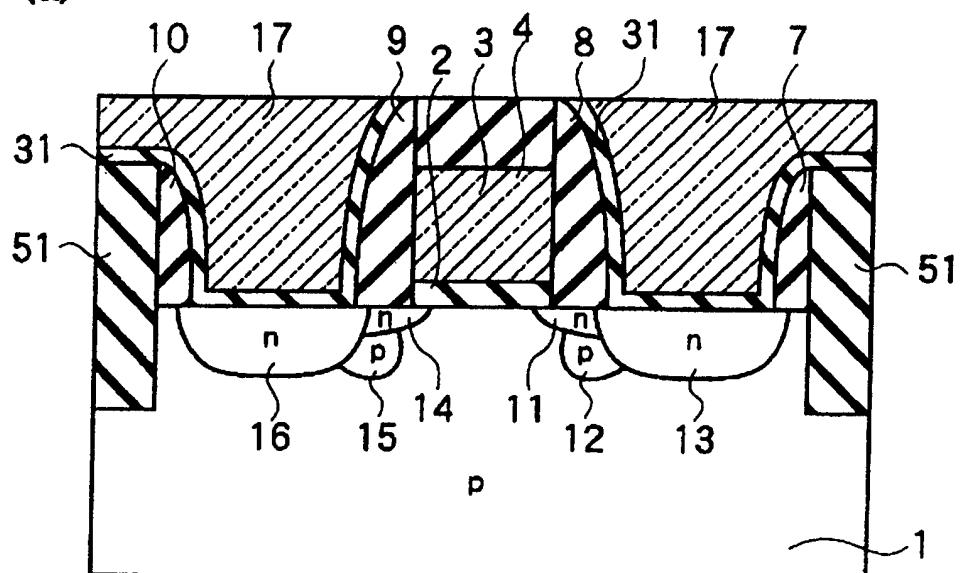


图31

(a)



(b)

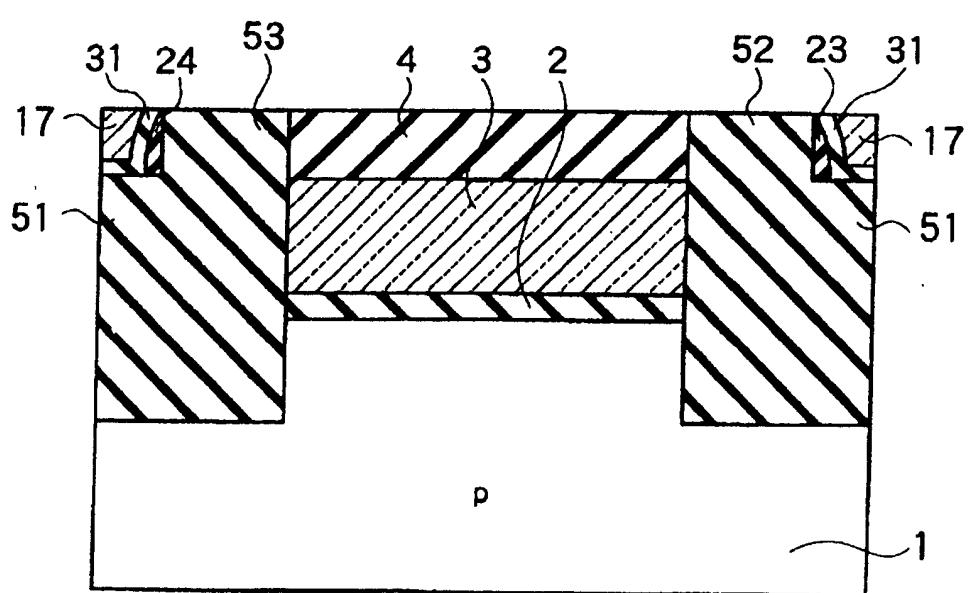
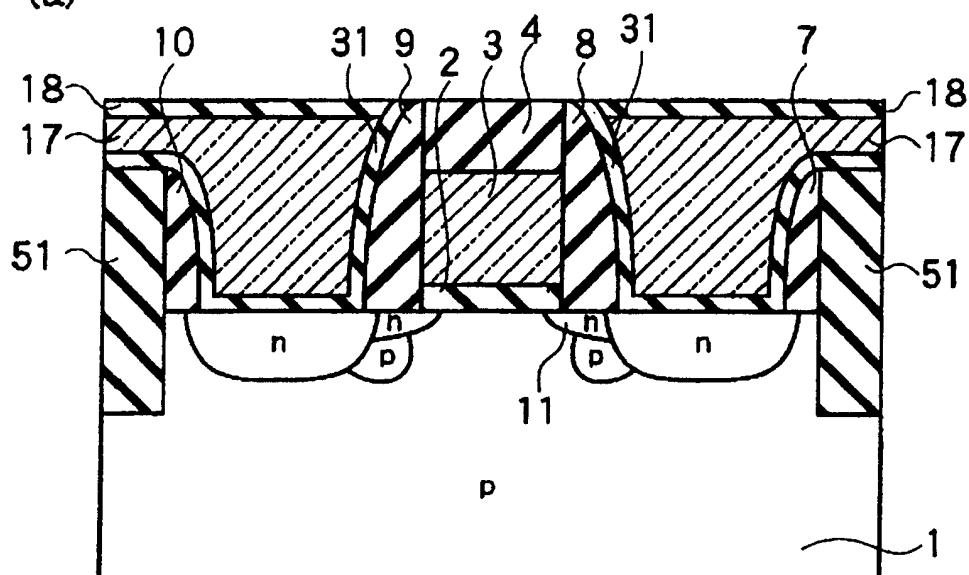


图32

(a)



(b)

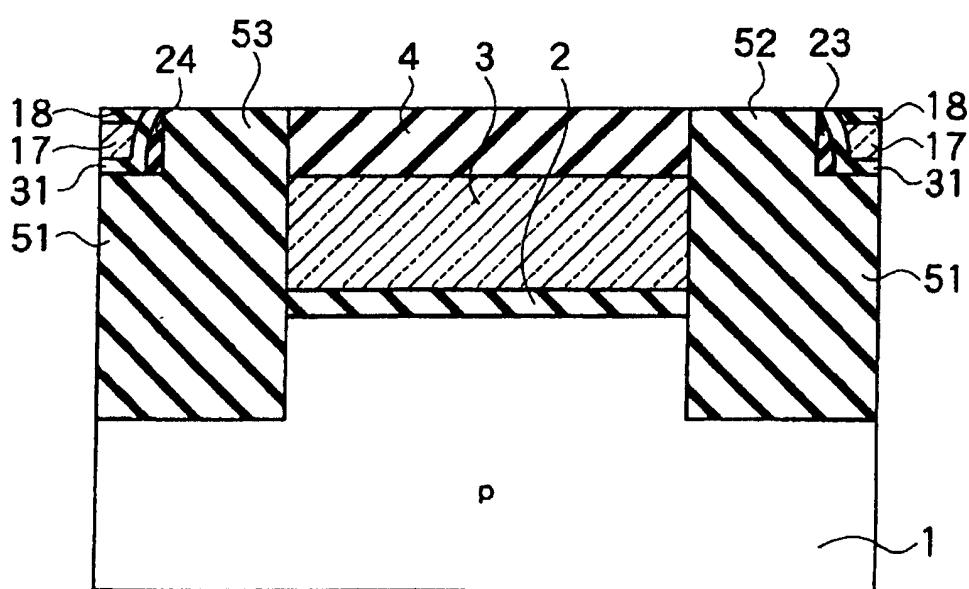


图33

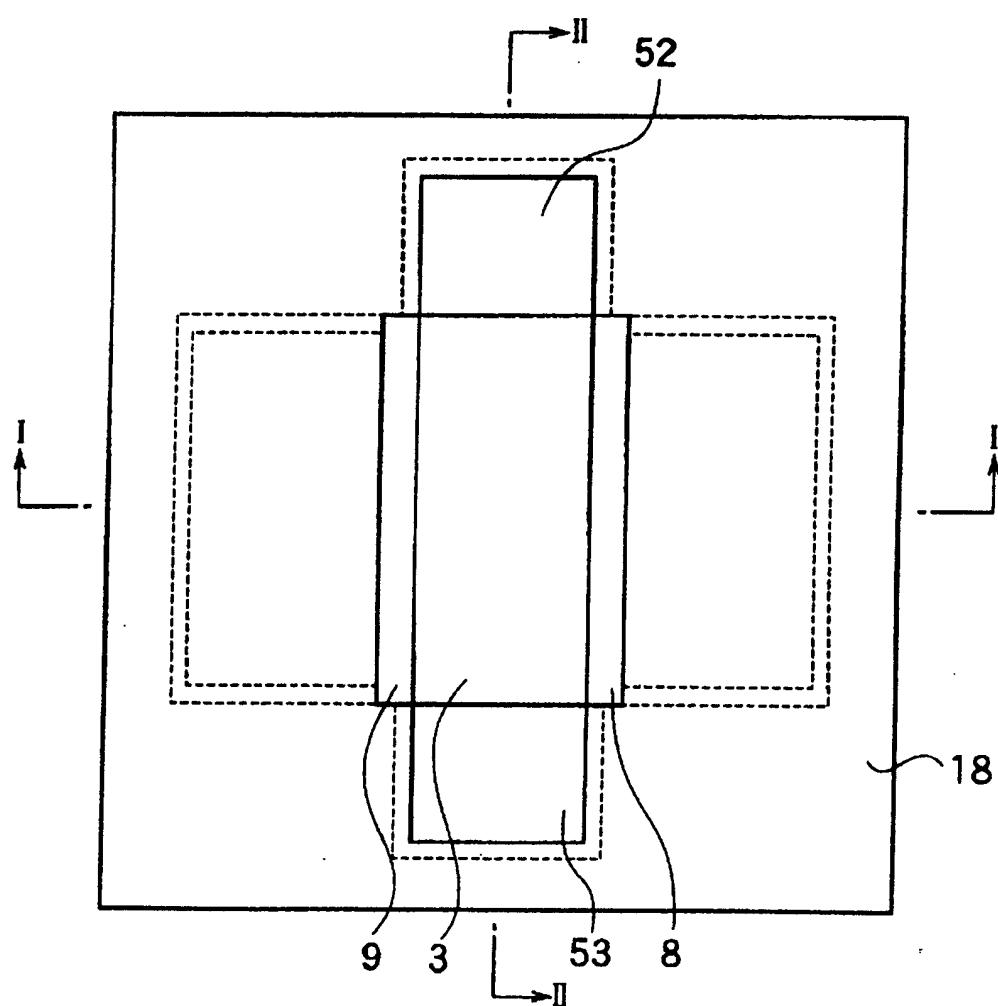
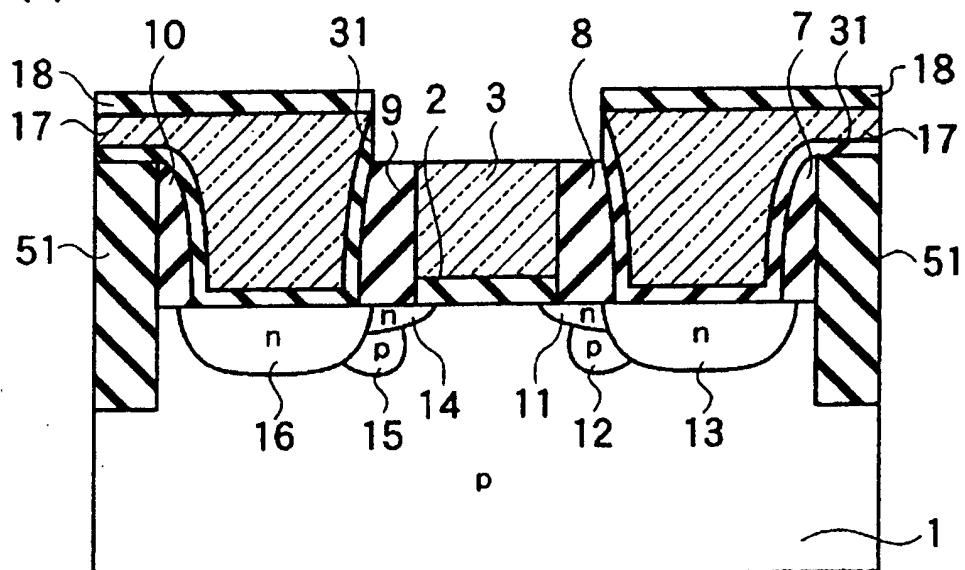


图34

(a)



(b)

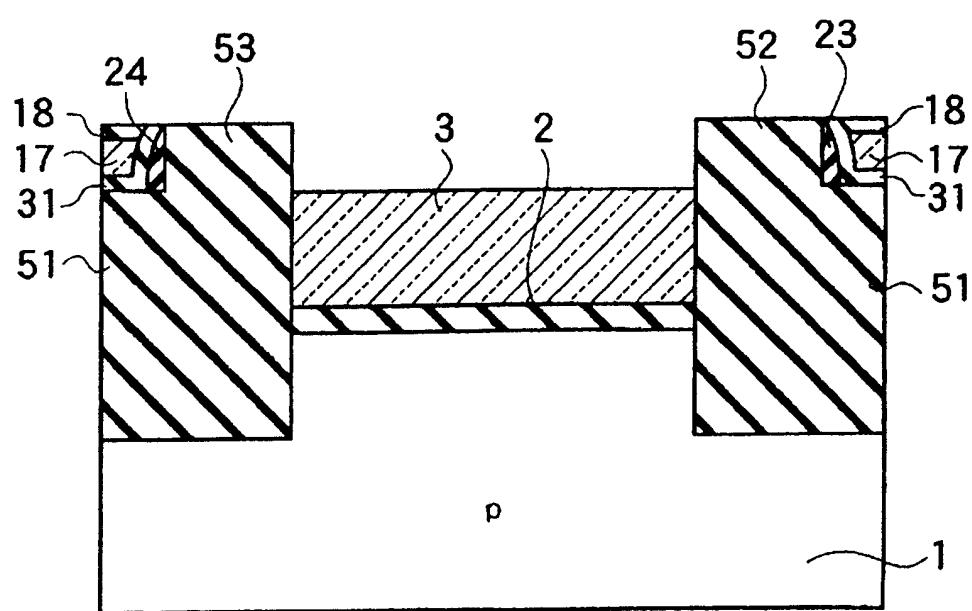
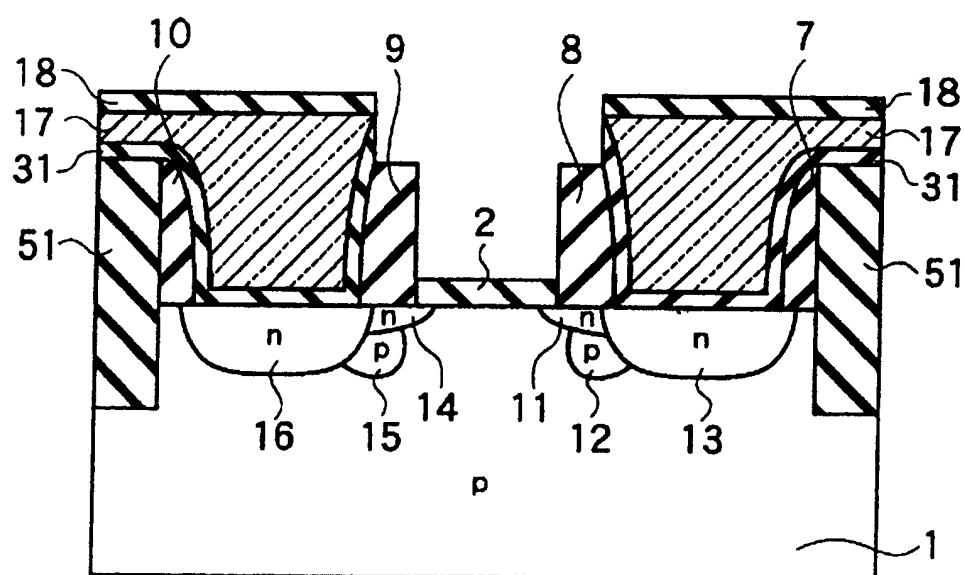


图35

(a)



(b)

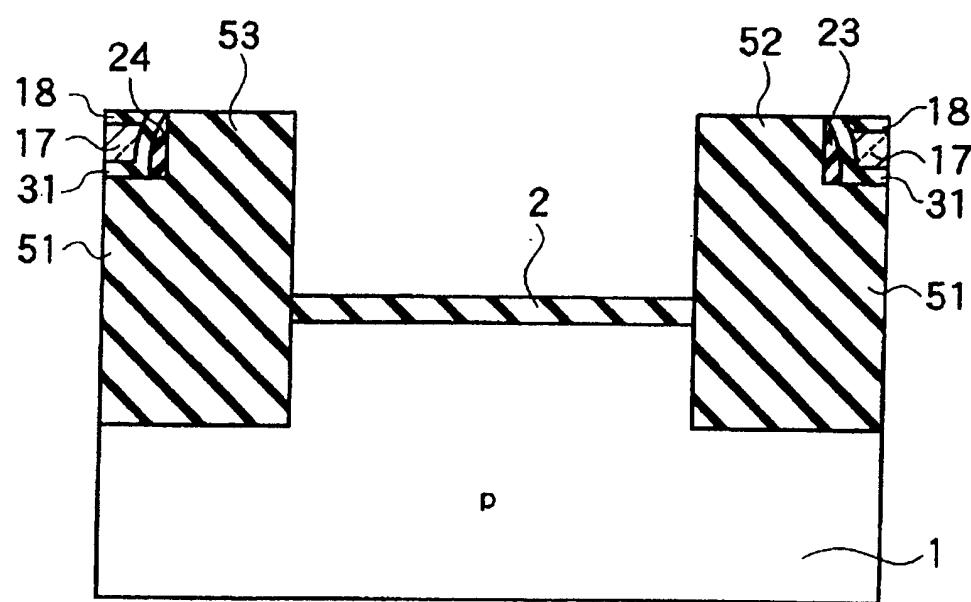


图36

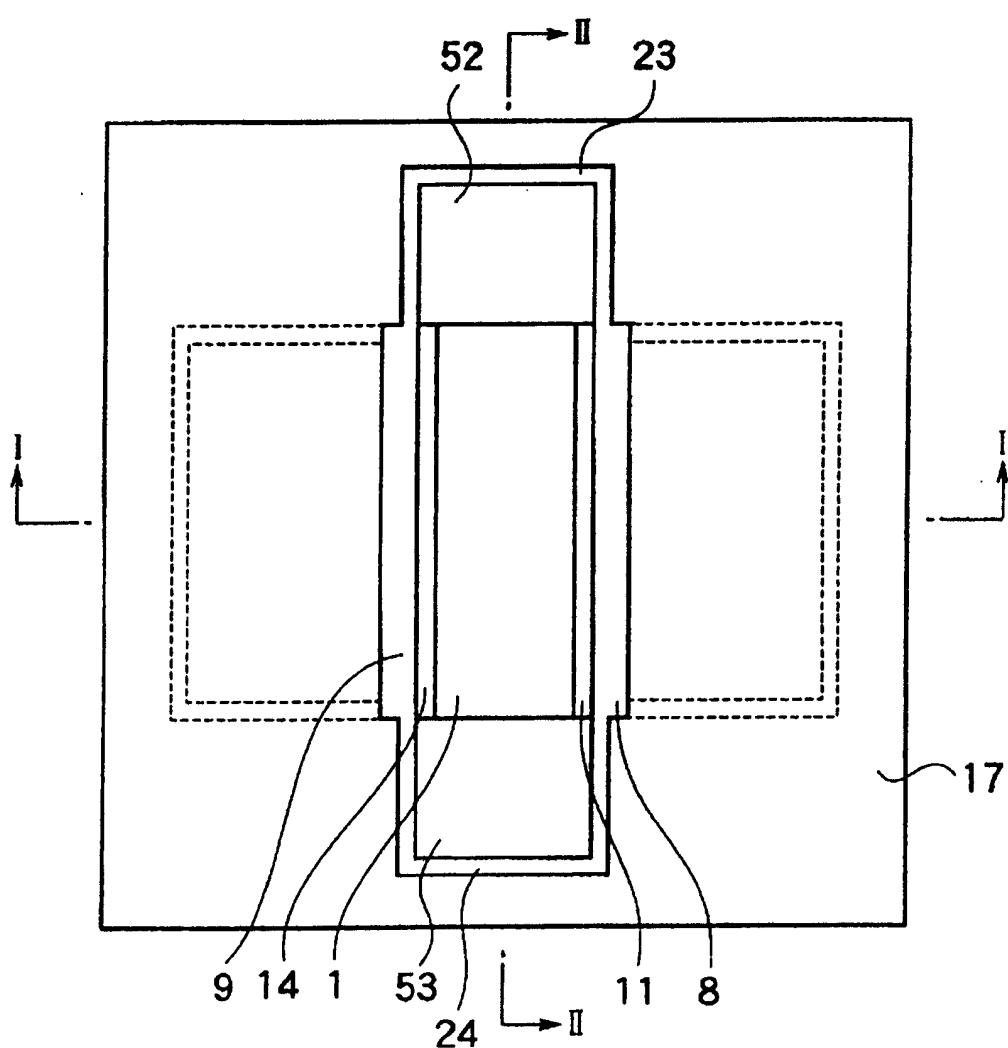
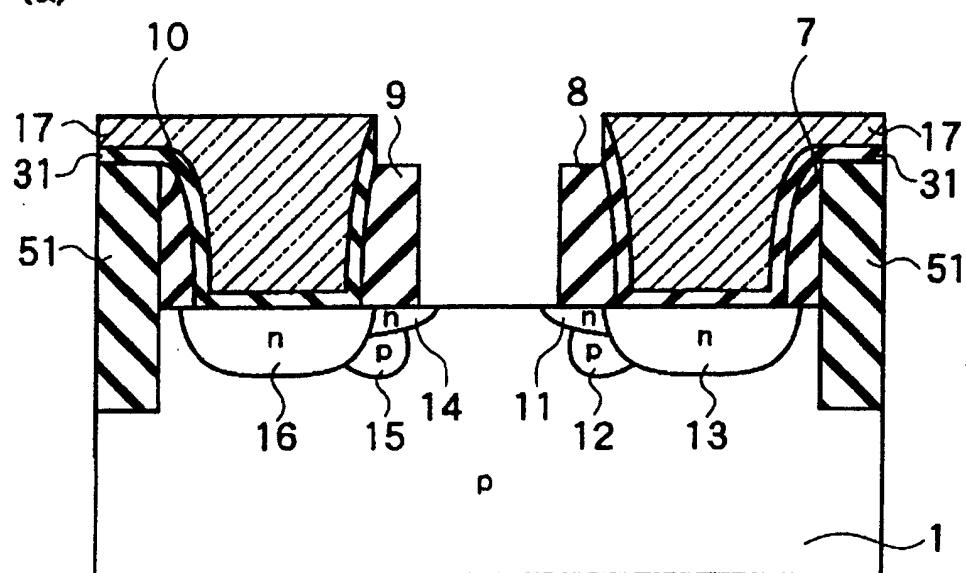


图37

(a)



(b)

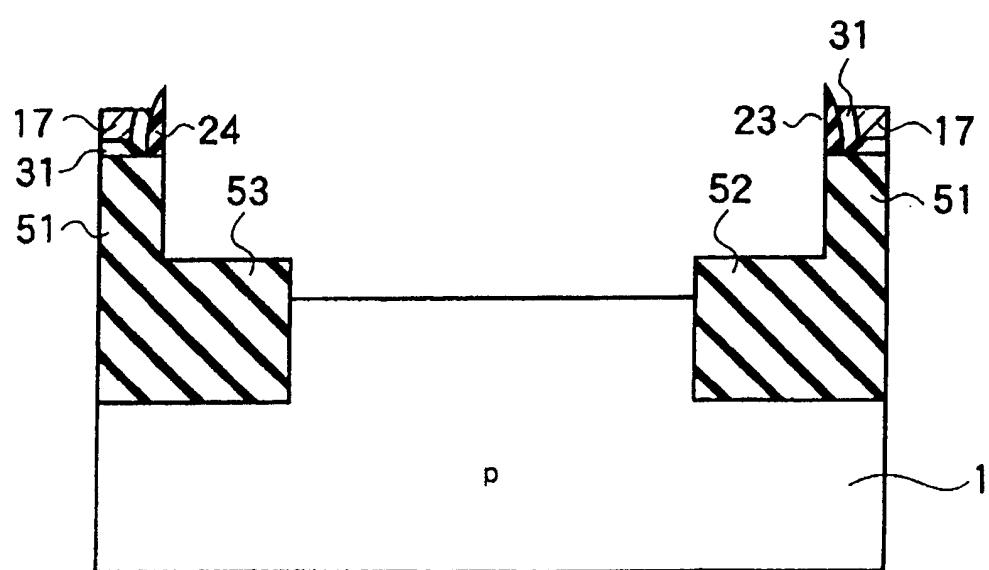


图38

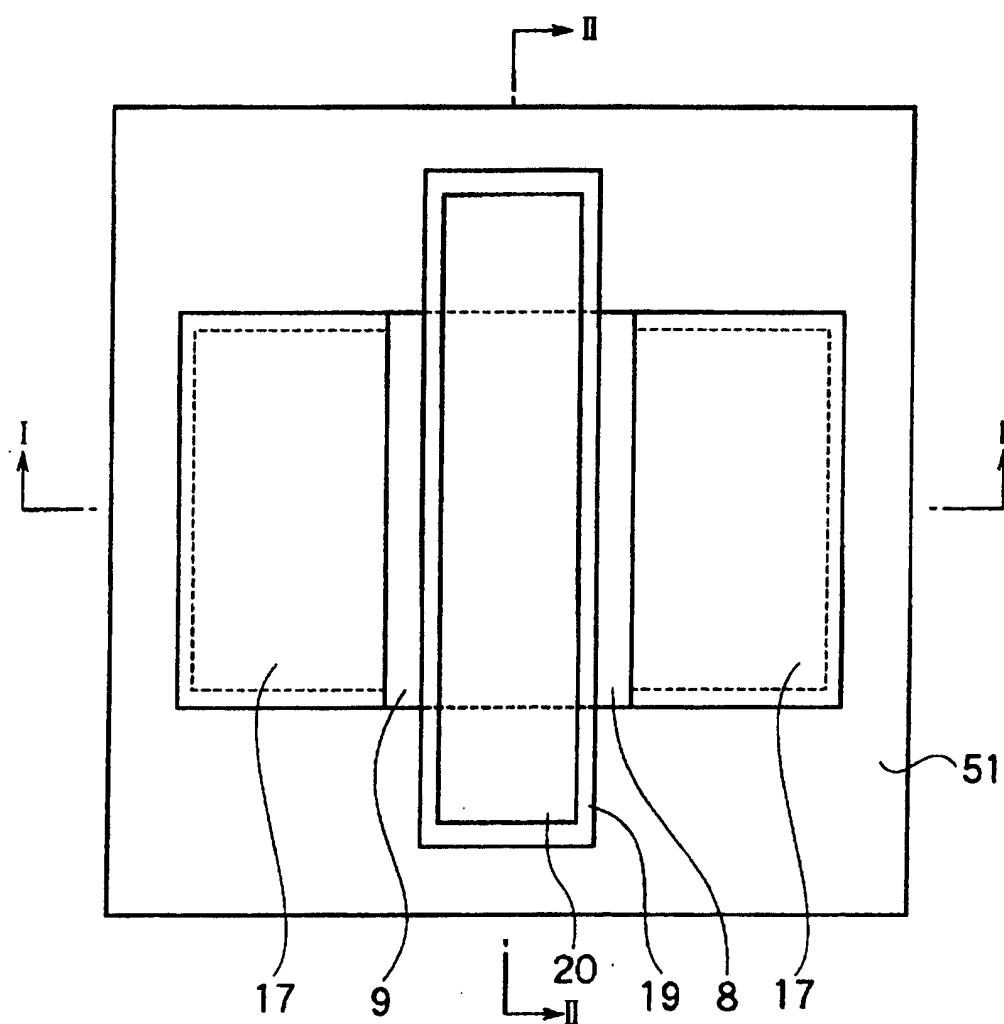
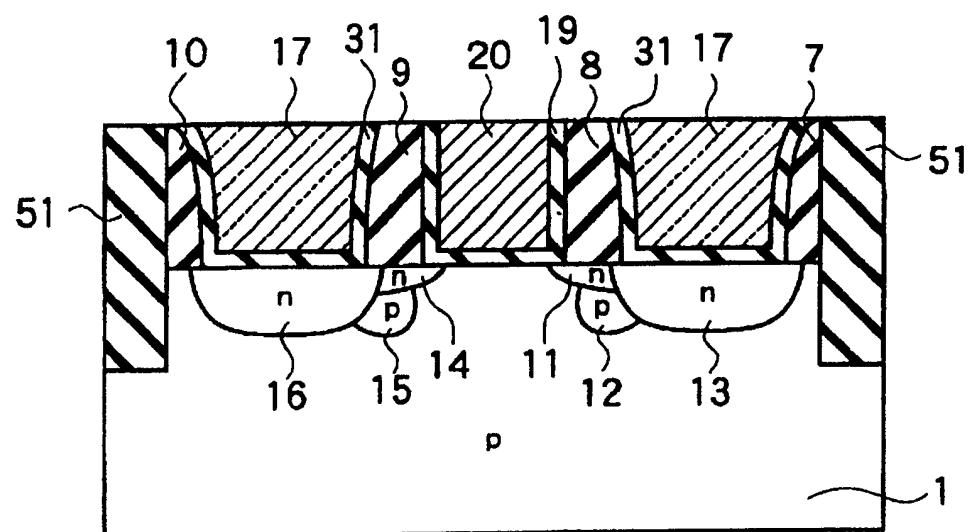


图39

(a)



(b)

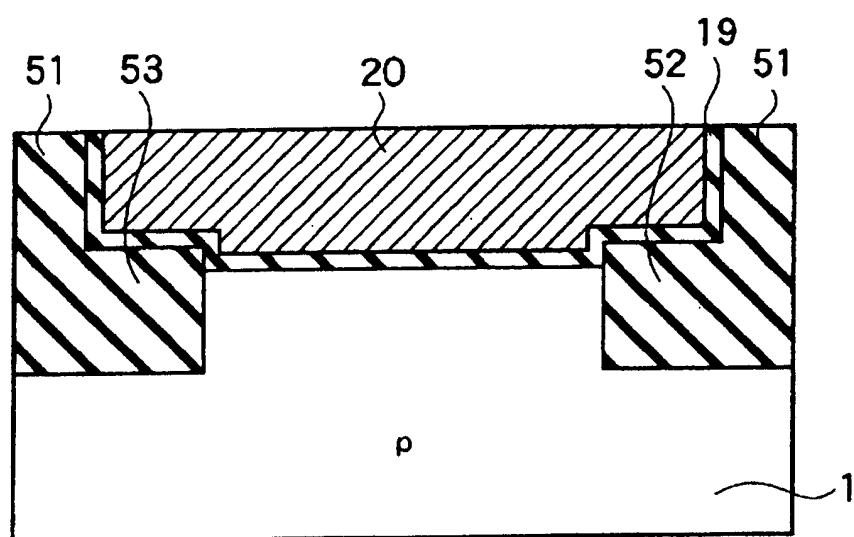


图40

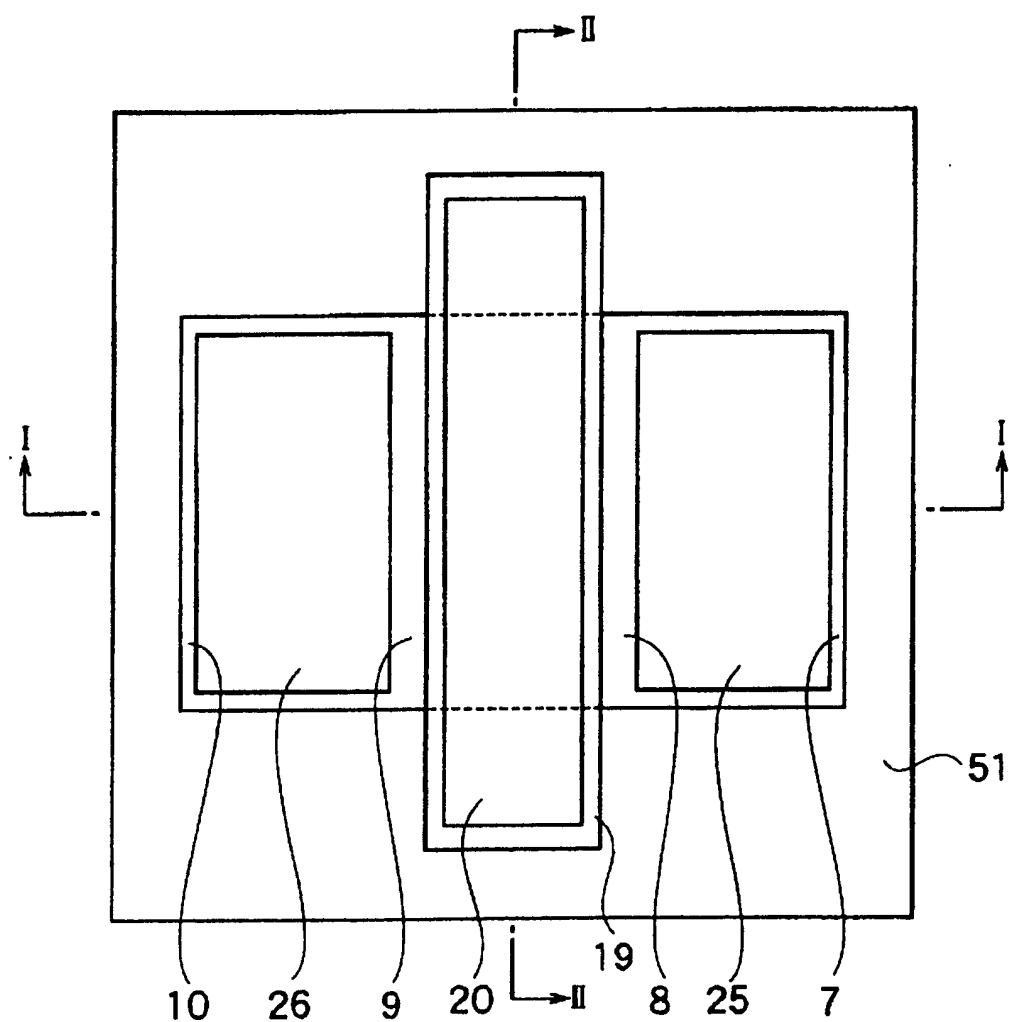
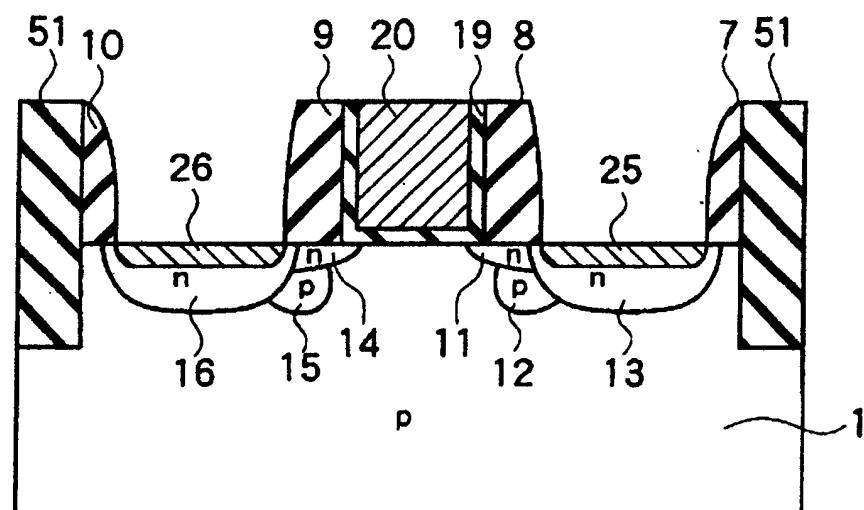


图41

(a)



(b)

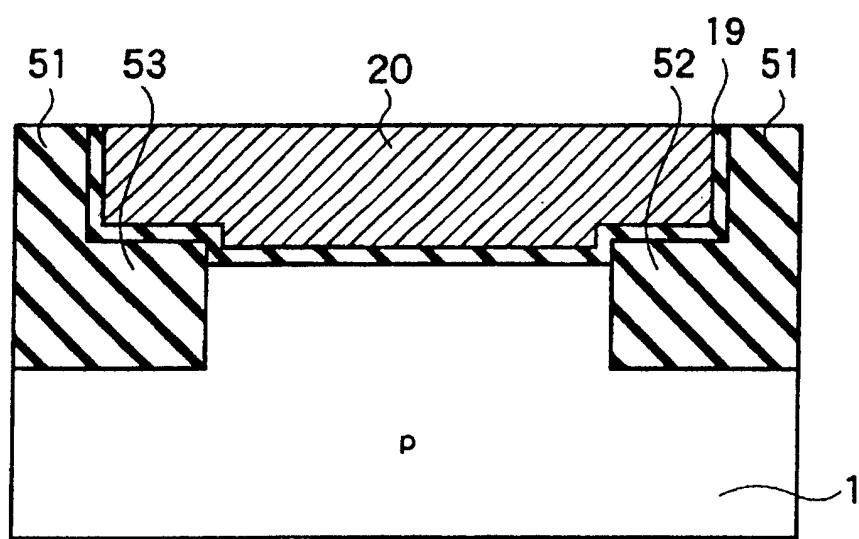
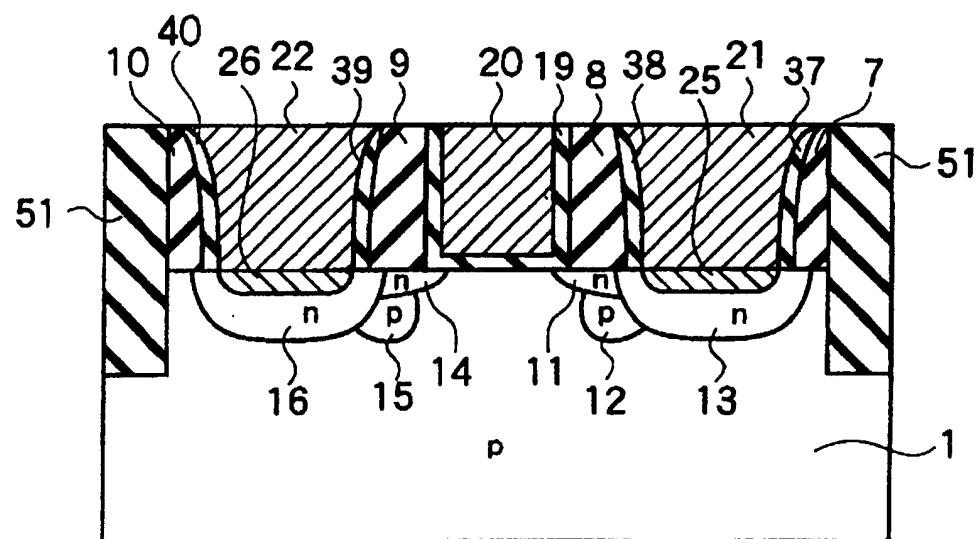


图42

(a)



(b)

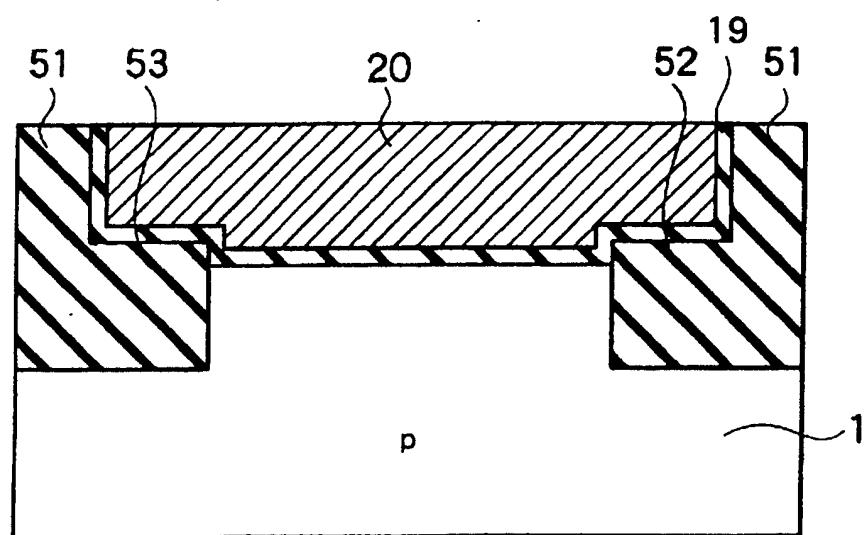
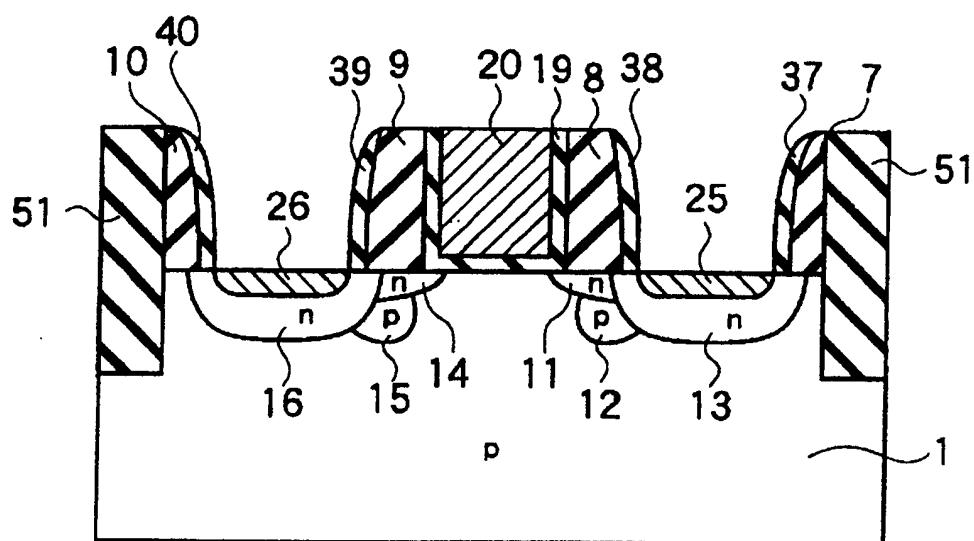


图43

(a)



(b)

