



[12] 发明专利说明书

专利号 ZL 200410103180.2

[45] 授权公告日 2008年8月13日

[11] 授权公告号 CN 100410844C

[22] 申请日 2004.12.31

[21] 申请号 200410103180.2

[30] 优先权

[32] 2004.3.22 [33] US [31] 10/806,041

[73] 专利权人 威盛电子股份有限公司

地址 台湾省台北县

[72] 发明人 大流士·D·贾斯金思

詹姆斯·R·隆得博格

[56] 参考文献

CN1434934A 2003.8.6

US5721935 1998.2.24

US5724591 1998.3.3

US4835728 1989.5.30

CN1083947A 1994.3.16

审查员 刘 栩

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 赵蓉民

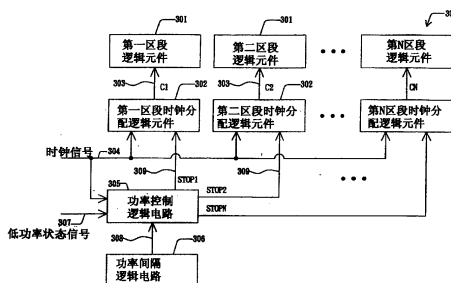
权利要求书 3 页 说明书 14 页 附图 6 页

[54] 发明名称

提供计算装置的量测功率转变的装置及方法

[57] 摘要

一种提供计算装置的量测功率转变的装置及方法，其以不加重电源不必要负担的方式，使计算装置能够平顺地进行功率状态转变。提供计算装置的量测功率转变的装置包含一功率控制逻辑电路，其判断计算装置是否要进入低功率状态，并且其包含多个停止信号，每个停止信号依序指示相对应的时钟信号 (clock signal) 停止，其中每个时钟信号有效地耦合至在计算装置中所对应的区段逻辑元件 (SectorLogic Element)。



1、一种提供计算装置的量测功率转变的装置，其包含：

一功率控制逻辑电路，其判断计算装置是否要进入一低功率状态，其包含：

多个停止信号电路，每一停止信号电路在经过一可编程的时钟周期数后被激活，用以依序指示相对应的每一时钟信号电路停止运作，其中相对应的所述时钟信号电路耦接至该计算装置内的相对应区段逻辑电路元件之一。

2、如权利要求1所述的提供计算装置的量测功率转变的装置，其中每一所述可编程的时钟周期数针对相对应的所述停止信号电路而建立，或是所述可编程的时钟周期数与所述每一停止信号电路的所述时钟周期数相等。

3、如权利要求1所述的提供计算装置的量测功率转变的装置，更包含：

一间隔逻辑电路，其耦接至所述功率控制逻辑电路，并用以提供所述可编程的时钟周期数至所述功率控制逻辑电路，以使所述功率控制逻辑电路在经过所述可编程的时钟周期数后，激活所述每一停止信号电路以指示相对应的所述时钟信号电路停止。

4、如权利要求3所述的提供计算装置的量测功率转变的装置，其中所述间隔逻辑电路包含一寄存器。

5、如权利要求4所述的提供计算装置的量测功率转变的装置，其执行一指令来编程所述寄存器，以提供所述可编程的时钟周期数；且设定多个保险丝的状态以提供所述可编程的时钟周期数，其中所述保险丝连接于所述寄存器。

6、一种功率转变管理装置，包含：

一间隔逻辑电路，用以提供至少一可编程的时钟周期数；以及
一功率控制逻辑电路，其耦接至所述间隔逻辑电路，用以接收所述至少一可编程的时钟周期数，并用以执行所述可编程的时钟周期数以依序停止每一时钟信号电路，其中所述时钟信号电路分别耦接至相对应的每一区段逻辑元件。

7、如权利要求6所述的功率转变管理装置，其中所述功率控制逻辑电路通过分别启动与每一所述时钟信号电路相对应的每一停止信号电路来依序停止每一所述时钟信号电路，其中每一所述停止信号电路指示每一所述时钟信号电路在经过多个时钟周期后停止运作，而所述时钟周期数依据所述至少一可编程的时钟周期数而定。

8、如权利要求7所述的功率转变管理装置，其中所述至少一可编程的时钟周期数针对每一所述停止信号电路而建立，而所述停止信号的数量与针对每一所述停止信号电路所建立的至少一个所述可编程的时钟周期数相等。

9、如权利要求6所述的功率转变管理装置，其中所述间隔逻辑电路包含一寄存器。

10、如权利要求9所述的功率转变管理装置，其利用执行一指令来编程所述寄存器，以提供所述至少一可编程的时钟周期数，并且其设定多个保险丝的状态以提供所述至少一可编程的时钟周期数，其中所述保险丝连接于所述寄存器。

11、一种提供计算装置的量测功率转变方法，包含：
判断所述计算装置是否要进入一低功率状态；以及
经由分别耦接到各个区段逻辑元件的各个停止信号电路，在每经过一可编程的时钟周期数后，便指示依序停止相对应的多个时钟信号电路之一，其中每一所述时钟信号电路分别耦接至一所述区段逻辑元件。

12、如权利要求 11 所述的提供计算装置的量测功率转变方法，其中依序停止相对应的所述多个时钟信号电路之一的步骤包含：

针对每一所述停止信号电路，分别建立所述可编程的时钟周期数。

13、如权利要求 12 所述的提供计算装置的量测功率转变方法，其中指示停止的步骤包含：

针对每一所述停止信号电路，分别建立相等的所述可编程的时钟周期数。

14、如权利要求 11 所述的提供计算装置的量测功率转变方法，更包含：

提供一可编程的时钟周期数，其用于所述停止信号电路之间。

15、如权利要求 14 所述的提供计算装置的量测功率转变方法，其中提供所述可编程的时钟周期数的步骤包含：

编程所述可编程的时钟周期数至一寄存器。

16、如权利要求 15 所述的提供计算装置的量测功率转变方法，其中提供所述可编程的时钟周期数的步骤包含：

执行一指令以完成所述编程，其中提供所述可编程时钟周期数的步骤包含：读取多个保险丝状态以完成所述编程。

提供计算装置的量测功率转变的装置及方法

相关申请案的交互参考

本申请优先权的申请是根据美国案号为 10/806,041 的专利申请，申请日期为 2004 年 3 月 22 日。

技术领域

本发明涉及微电子领域，特别涉及一种提供计算装置的量测功率转变的装置。

背景技术

现今多数计算装置在启动一外部信号、或执行一特殊目的指令、或在遭遇致命的错误情况时，进入不同形式的低功率状态。举例来说，x86 兼容微处理器具有两种机器状态，其分别是睡眠状态 (stop grant) 以及自动暂停 (auto halt)，微处理器处于这两种状态时，停止将内部时钟信号传送到多数功能逻辑电路区块，亦会停止内部时钟信号到这些逻辑电路区块，进而明显地减少微处理器的功率消耗量。然而，并非全部的时钟信号都停止，少数时钟信号因其输出至特定的逻辑电路区块 (例如总线窥探逻辑电路 (bus snoop logic)、中断逻辑电路 (interrupt logic) 等)，必须保持激活状态以使这些逻辑电路区块能够随时处理某些处理器事件 (processor events)，但是就整体而言，微处理器为实质上功率关闭，也就是说，微处理器仍受到电力供应，但是因为功能区块并没有执行指令，所以功能区块并没有消耗功率。在 x86 兼容微处理器中，睡眠状态通过启动微处理器的 STPCLK# 接脚而触发，另外，自动暂停状态是由执行 HALT 指令所触发，当这两种状态之任一被触发时，x86 兼容微处理器必须停止输出至芯片上的对应逻辑电路区块的时钟信号。其它类型微处理器虽经由不同机制进入其所对应的低功率状态，但其通过相同方式来达到功能逻辑电路区块的低功率状态，也就是停止输出至功能逻辑电路区块的时钟信号。因此，为

了要进入低功率状态，目前的微处理器将停止输出至必须被功率关闭的逻辑元件的对应时钟信号，并且在一个时钟周期期间停止全部时钟信号。另外，为了退出低功率状态，微处理器在一个时钟周期期间同时激活全部时钟信号。

不论是立即进入低功率状态或者是退出低功率状态时，电源供应器为了调整微处理器需要的电压而导致电流剧烈减少，造成电源供应器沉重的负担。为了补偿供给总线（supply busses）中因剧烈电流变化所产生的电压尖峰（voltage spikes），关系到电源供应器的电压调整逻辑电路必须解决迫切的电力浪涌需求（power surge requirements），因此造成系统或是主板（如果电源供应器为主板上的电压调节器（voltage regulator））的成本上升。电压调节器中的浪涌补偿机制以及滤波电路，一般而言是以大型且昂贵的电容处理电压尖峰（voltage spike）的低频部分，另外在集成电路中的逻辑元件旁边部署大量的小电容，以补偿电压尖峰的高频部分。

前述的尖峰补偿以及电压滤波组件对于前述情况确有其功效，然而计算装置在一个时钟周期期间进入（或退出）一低功率状态时，大多数电压滤波组件必需单独处理此期间电流剧烈的减少（或增加）。另外，在一个时钟周期期间，进入（或退出）一低功率状态完全不受任何执行于计算装置上的应用程序的影响。

除了电源供应器中迫切的电力浪涌补偿需求之外，特定计算装置中的电流需求剧烈变化将产生寄生回路电感（parasitic loop inductance）并使得晶粒的电压降低（封装效应），造成计算装置其本身的操作电压受到压制。举例来说，在一特定计算装置完成封装之后，是根据其最大操作频率进行测试以及装箱。因为晶体管开关的速度主要是基于其供应操作电压，所以芯片内明显降低的操作电压将迫使设计者必须在低频率状态下操作计算装置，以产生正确结果。

因此，目前所需的是提供一种能够使计算装置平顺地进入或退出低功率状态的装置。另外，当计算装置开启进入或退出低功率状态时，能够不加重电源的不必要的浪涌补偿需求，这样的功率状态转变方法是需要的。除此之外，需要能够将计算装置从一功率状态平顺地转变至另一状态的功率转变管理装置。

发明内容

本发明提供一种能够解决上述公知技术问题的量测功率转变设备及方法。本发明提供一较优良的技术，其用于提供计算装置中量测的和适当的功率管理转变，且这个技术允许相关的电源供应器以及计算装置本身使用较少的电压浪涌补偿机制，使得系统相较于以往技术具有较低的成本。在一实施例中，将讨论计算装置中一量测功率转变装置。这个装置包含功率控制逻辑电路，其判断计算装置是否进入一低功率状态，其中，功率控制逻辑电路包含多个停止信号，每一停止信号在经过一可编程的时钟周期数后被激活，用以依序指示所对应的时钟信号停止，且对应的时钟信号有效地输出至计算装置中时钟信号对应的区段逻辑元件。

另外，本发明提供一量测功率转变装置，其包含一间隔逻辑电路以及一功率控制逻辑电路，间隔逻辑电路提供至少一可编程的时钟周期数，功率控制逻辑电路连接至间隔逻辑电路，功率控制逻辑电路接收至少一可编程的时钟周期数，并应用至少一可编程时钟周期数以依序停止输出至多个区段逻辑元件所对应的每个停止信号。

再者，本发明提供计算装置中一种量测功率转变方法，其先判断计算装置是否进入一低功率状态，并经由分别耦接到各个区段逻辑元件的各个停止信号电路，在每经过一可编程的时钟周期数后，便指示依序将输出至多个区段逻辑元件的每个时钟信号停止。

附图说明

图 1 为一方块图，显示公知技术的计算装置中电源分配的状况；

图 2 为一时序图，显示公知技术的计算装置如何进入低功率状态；

图 3 为一方块图，显示依本发明一较佳实施例提供计算装置的量测功率转变的装置；

图 4 为一方块图，显示依本发明又一较佳实施例的功率间隔逻辑电路；

图 5 为一方块图，显示依本发明另一较佳实施例的功率间隔逻辑电路；

图 6 为一时序图，显示依本发明再一较佳实施例的计算装置如何进入低功率状态；以及

图 7 为一流程图，显示依本发明某一较佳实施例的量测功率转变管理方法。

组件符号说明：

- 100：方块图
- 101：主板
- 102：电源
- 103：滤波器
- 104：电源总线
- 105：回馈总线
- 106：停止时钟信号电路
- 107：计算装置
- 108：焊垫
- 109：电力分配单元
- 110：电压总线
- 111：接地总线
- 112：功率状态逻辑电路
- 113：低功率信号
- 114：低功率感测总线
- 115：时钟分配逻辑电路
- 116：区段逻辑元件
- 117：时钟信号
- 200：时序图
- 201：虚线瞬变
- 300：功率转变管理装置
- 301：区段逻辑元件
- 302：时钟分配逻辑元件
- 303(C1~CN)：区域时钟信号
- 304：时钟信号

- 305: 功率控制逻辑电路
- 306: 功率间隔逻辑电路
- 307: 低功率状态信号
- 308: 间隔总线
- 309 (STOP1~STOPN): 停止信号
- 400: 功率间隔逻辑电路
- 401: 间隔场
- 500: 功率间隔逻辑电路
- 501: 上间隔场
- 502: 下间隔场
- 600: 时序图
- 601: 电源总线
- 701~709: 提供计算装置的量测功率转变的方法

具体实施方式

以下所述为应用公知技术而制造及/或使用文中特定应用及需求的本发明所列举的例子。然而，实施例中所提及的各种修改是用于彰显与公知技术的不同之处，此一般原则可应用于其它实施例中。因此，本发明并非限定于特定实施例。

以下先以现今计算装置背景以及其相关电源供应需求的观点，参考图 1 以及图 2 举例说明依照现今技术设计的计算装置进入低功率状态时的限制及问题。然后参考图 3 至图 7 讨论本发明。本发明通过依序停止计算装置中输出至功率逻辑元件的时钟信号，克服现今功率转变技术的限制，因而减少电源供应器必须支撑的电流变化比率，并减少滤波器需求以及抑制电压瞬变。

请参考图 1, 方块图 100 说明电力如何分配至一现今计算装置 107, 方块图 100 显示一电源 (power source) 102 通过从一电源总线 (power bus, PSVDD) 104 以及一回馈总线 (return bus, PSGND) 105 供应电力至计算装置 107。计算装置 107 经由封装体的一个或多个焊垫(或接脚)108, 耦合至电源总线 104 以及回馈总线 105。电源总线 104 以及回馈总线 105 电连接于一电力分配单元 (power distribution) 109, 其

中电力分配单元 109 的功用是接收以及过滤外来的电流，并经由一电压总线 110 以及一接地总线 111，将电力分配至计算装置 107 中所有的逻辑电路装置 112、115 以及 116。通常电力分配单元 109 只不过是晶粒上金属电迹线所构成的分配网络。计算装置 107 也包含一时钟分配逻辑电路 (clock distribution logic) 115，其中时钟分配逻辑电路 115 分配多个时钟信号 C1:CN 117 至多个区段逻辑元件 (sector logic elements) 116。一功率状态逻辑电路 (power state logic) 112 耦合至一个或多个焊垫 108 以及一低功率感测总线 (low power sense bus) HALT 114。功率状态逻辑电路 112 输出一低功率信号 (low power signal) 113 至时钟分配逻辑电路 115。在典型的系统中，计算装置 107 以及电源 102 都是位于一主板 101 上。

计算装置 107 可以是种种不同的装置，只要能分配时钟信号 117 至欲执行的各种不同区段逻辑元件 116。举例来说，计算装置 107 可以是图形控制器、芯片组中的逻辑电路、CPU 协处理器 (co-processor)、微控制器 (micro-controller)、微处理器、或者是非限定为任何循序逻辑电路的装置。熟练技术人员都应该了解，在现在或可预期的未来中，时钟信号 117 是通过大量的时钟装置，依照前述方式被分配至区段逻辑元件 116。由于本项技术领域范围广泛，为了清楚说明本发明，此后实施例将讨论计算装置 107 为一微处理器的情况。但本发明的范围以及发明动机并非限于实施例中计算装置 107 为微处理器的情况。

上述的计算装置 107 整体由多个区段逻辑元件 116 组成。在微处理器中，区段逻辑元件 116 亦可指一功能单元。功能单元可以是逻辑电路、装置或是微码 (microcode)，亦可以是逻辑电路、装置或是微码等元件的组合，或者是使用在计算装置 107 中能够执行相关功能的等效元件。在计算装置 107 中，执行相关功能的元件可与其它相关功能的元件等共享电路以及微码等。根据现今应用的范畴，微码是指至少一微指令集 (micro instructions)。微指令 (亦可指基本指令 (native instruction)) 是功能单元 116 可执行的指令。举例来说，微指令集可直接由精简指令集计算 (RISC) 的微处理器执行。对于复杂指令集计算 (CISC) 微处理器，如 x86 兼容微处理器，x86 指令集 (instructions) 要翻译成功能单元可直接执行的微指令集。举例来

说，第一区段逻辑元件 116 可以是微处理器的一级高速缓存 (L1 data cache)。第二区段逻辑元件 116 可以是微处理器的二级高速缓存 (L2 cache)。其它区段逻辑元件 116 可以是分支预测单元 (branch prediction unit)、浮点运算单元 (floating point execution unit)、整数运算单元 (integer execution unit)、以及寄存器文件 (register file) 等等。熟练技术人员都了解，计算装置内当然可以置入数百个区段逻辑电路单元。

在操作上，计算装置 107 内的区段逻辑元件 116 皆分别直接地与对应的时钟信号 117 同步工作。如果时钟信号 117 停止，其所对应的区段逻辑元件 116 将停止工作。且既然实际上现今的区段逻辑元件 116 全部都是 CMOS 装置，熟知技术者都了解，当所对应的时钟信号 117 停止时，给定的区段逻辑元件 116 从电压总线 110 及内部接地总线 111 的内部信号电路取得微小电流或是无电流。

在另一现今计算装置 107 的具体实施例中，电源 102 通常是一电压稳压器 (voltage regulator) 并装置在主板 101 上。电源 102 透过电源总线 104 供应一电压 (例如 3.3 伏特) 至计算装置 107 的电力焊垫 108。回馈总线 105 通常供给一回馈电压，且前述所提微处理器 107 内的接地总线 111 的内部信号电路参考此回馈电压。电力分配单元 109 将电源 102 所供应的电压滤波后，直接分配电压至区段逻辑元件 116。除此之外，电力分配单元 109 可转换供给电压为一核心电压 (core voltage) (例如 1.5 伏特核心电压)，并通过电压总线 110 的内部信号，将核心电压分配至区段逻辑元件 116。

如上所述，任何事件、信号或者是环境都可能促使计算装置 107 从一功率模式 (power mode) 进入为一低功率模式 (low power mode)，或者是从低功率模式离开至一不同的操作模式。在 x86 兼容微处理器中，当一停止时钟信号电路 106 的外部信号电路被启动时，则微处理器将进入低功率模式 (例如睡眠状态 (stop grant state))。为了方便说明本发明，方块图 100 中的停止时钟信号电路 106 为指示计算装置 107 进入低功率状态的外部信号电路，停止时钟信号电路 106 所产生的信号经由焊垫 108 接收后被发送至功率状态逻辑电路 112。方块图 100 中的低功率感测总线 114 也输出信号至功率状态逻辑电路 112。除

了通过启动外部信号电路之外，亦可通过下达指令或事件使得低功率感测总线 114 的信号电路被触发，进而指示计算装置 107 进入低功率状态。不论计算装置 107 是被停止时钟信号电路 106 的外部信号电路或者是被低功率感测总线 114 的内部信号电路所指示，都是为了说明本发明中计算装置 107 进入低功率状态，是因停止选定的区段逻辑元件 116 所对应的时钟信号 117，且其离开低功率状态是因开启选定的区段逻辑元件 116 所对应的时钟信号 117。熟知技术者都了解计算装置 107 能够有不同的低功率状态，而在不同的低功率状态中，不同的区段逻辑元件 116 是分别通过相对应的时钟信号 117 而功率关闭。本发明包含如上所述的设定。

在典型的计算装置 107 中，当计算装置 107 被指示进入低功率状态时，功率状态逻辑电路 112 通过启动低功率信号 113，进而指示时钟分配逻辑电路 115 停止其所选定的区段逻辑元件 116 的对应时钟信号 117。事实上，时钟分配逻辑电路 115 通常在一个时钟周期中停止其所指定的时钟信号 117。在电压总线 110 以及接地总线 111 之间，由于电流剧烈的减少，也使得电源总线 104 以及回馈总线 105 之间电流的剧烈减少，使得电源 102 必须支撑电压总线 110 以及接地总线 111 之间的电压瞬变(voltage transients)，与电源总线 104 以及回馈总线 105 之间的电压瞬变。因此现今电源 102 具备一电力瞬变滤波器(power transient filter) 103 以抑制因电流疾速变化的电压瞬变。除此之外，现今计算装置 107 亦可具备数个芯片内建瞬变抑制元件(也就是电容装置)(图中未显示)以抑制低频以及高频的电压瞬变。再者，当操作频率(operating frequency)疾速变化时产生的寄生回路电感(parasitic loop inductance)导致芯片内电压降低，使得计算装置 107 因为可能达到的最高工作频率降低而被限制住。计算装置 107 进入低功率状态时，电流疾速减少的影响将根据图 2 详加讨论。

请参阅图 2，一时序图 200 显示图 1 中的计算装置 107 如何进入低功率状态。时序图 200 显示低功率信号 113 在 T1 时间被启动并指示时钟分配逻辑电路 115 停止选定的时钟信号 117，因此使得计算装置 107 进入低功率状态。为了清楚起见，全部的时钟信号 C1:CN 117 停止，并进入低功率状态。当低功率信号 113 在 T1 时间被启动后，时钟分配

逻辑电路 115 在一个时钟周期后的 T2 时间停止时钟信号 C1:CN 117。因为计算装置 107 的电流需求在 T2 时间明显减少，所以电源 102 中的功率产生元件 (power generation elements) (图中未显示) 明显的受到压力。因此，当时钟信号 117 于 T2 时间停止时，时序图 200 中电源总线 104 的外部信号电路必须持续平顺地供应固定电压。这是因为功率状态瞬变 (power state transition) 为熟知技术者所了解，所以电源 102 能够应付瞬变抑制需求 (transient suppression requirements)，并在瞬变发生的电源总线 104 上保持平顺地固定电压。因此，电源 102 包含如上所述的滤波器 103 以满足瞬变受压需求。以虚线瞬变 (dashed transient) 201 描绘出典型电压瞬变 (voltage transient) 201，其从 T2 时间开始并结束于 T3 时间。另外，电压瞬变 201 被传送在电源总线 104 以及电源回馈总线 105 的外部信号电路 (亦即在参考电压上外加如同电压瞬变 201 的瞬变)，且由于寄生回路电感的存在，电压瞬变 201 影响电压总线 110 以及接地总线 111 的内部信号电路程度将较轻微。但是通过电源 102 中的滤波器 103 以及计算装置 107 中数个瞬时滤波器 (transient filters) (例如电容装置) (图中未绘示)，在 T2 时间停止时钟信号 C1:CN 117 时，电压瞬变 201 并未到达减少计算装置 107 效能的程度。

图 1 的系统成本高，并且现今的电源 102 往往包含昂贵的瞬变抑制滤波器 (transient suppression filters) 103，以确保输出至计算装置 107 的电流能够快速减少以及快速地增加 (亦即当离开低功率状态时)。除此之外，电流的疾速增加 (以及减少) 大部分缘于现今计算装置进入 (以及离开) 低功率状态的方式。除此之外，如上所述，并不需要同时关闭所有不需要在低功率状态下操作的区段逻辑元件 116。

因此，为了说明前述的限制以及其它本领域的问题，本发明将根据图 3 至图 7 更深入讨论。

请参考图 3，根据本发明较佳实施例的量测功率转变管理装置 300 包含功率控制逻辑电路 305，其中功率控制逻辑电路 305 经由间隔总线 (interval bus, INT) 308，耦合至功率间隔逻辑电路 (power interval logic) 306。功率控制逻辑电路 305 输出多个停止信号 (stop signals)

STOP1:STOPN 至其所对应的多个时钟分配逻辑元件 (clock distribution logic elements) 302。每个时钟分配逻辑元件 302 接收一个时钟信号 304 并输出一个区域时钟信号 (local clock signal) C1: CN 303 至相对应的区段逻辑元件 (sector logic elements) 301。时钟信号 304 被输出至功率控制逻辑电路 305。除此之外, 一低功率状态信号 (low power state signal) 307 输出至功率控制逻辑电路 305。

计算装置 (图中未显示) 中每段区段逻辑元件 301 操作上是与区域时钟信号 C1: CN 303 同步工作, 区域时钟信号 C1: CN 303 与时钟信号 304 同步。如同图 1 中的区段逻辑元件 116, 如果一个特别的区域时钟信号 303 (图 1 中的信号 C2) 停止, 其所对应的区段逻辑元件 301 (也就是图 1 中的第二区段逻辑元件) 的工作也将停止。

为了明确了解, 在功率转变管理装置 300 中提供电压总线以及回馈接地总线至每个逻辑元件的电源以及滤波器元件 (并没有列在图 3)。信号电路的感应启动逻辑电路, 以及其它会造成相关计算装置进入低功率状态的事件也没有列举在图 3 之中。根据上述讨论, 假定低功率状态信号 307 被启动后, 系统将进入低功率状态, 且低功率状态信号 307 被中止后, 系统将离开低功率状态。虽然低功率状态信号 307 描述于方块图中, 本发明也有考虑到, 低功率状态信号总线 307 指示功率控制逻辑电路 305 进入至少一低功率状态, 并停止输出至区段逻辑元件的区域时钟信号 303, 以进入每个低功率状态。

根据本发明较佳实施例的功率转变管理装置 300 与现今计算装置 107 相反, 其通过非同时全部停止的区域时钟信号 303 而进入低功率状态。取而代之的是, 功率间隔逻辑电路 306 通过间隔总线 308 输出一可编程的时钟周期数量 (programmable number of clock cycles) 至功率控制逻辑电路 305。在一实施例中, 可编程的时钟周期数量包括多个可编程的时钟周期数量值, 其分别对应至多个区段逻辑元件 301, 且可编程的时钟周期数量是用于指示区域时钟信号 303 停止 (如时钟信号 C2, 其输出至第二段区段逻辑元件 301) 以及下一区域时钟信号 303 停止 (如时钟信号 C3, 其输出至第三段区段逻辑元件 301) 之间所间隔的时钟周期数 (number of clock cycles)。在另一实施例, 可编程的时钟周期数量是单一数值, 用于指示在输出至任一区段逻辑元件 301

的区域时钟信号 303 停止，以及输出至下一区段逻辑元件 301 的区域时钟信号 303 停止之间所间隔的时钟周期数量。在一实施例中，经由间隔总线 308 传送至各个区段逻辑元件 301 的时钟周期数量皆是可编程的逻辑元件。在另一实施例中，时钟周期数量是单一数值，并用于全部的区段逻辑元件。

功率控制逻辑电路 305 通过间隔总线 308 接收可编程的时钟周期数量的响应，并在经由间隔总线 308 传送的时钟周期数量被揭露之后，以与时钟信号 304 同步方式，依序启动分别对应至时钟分配逻辑元件 302 的多个停止信号 STOP1:STOPN 309。停止信号 309 被启动后，指示其所对应的时钟分配逻辑元件 302 停止它的区域时钟信号 C1:CN 303。需注意，停止信号 309 的顺序由功率控制逻辑电路 305 的设计功能所判定，且停止信号 309 的结合亦可被启动以进入一特定的低功率状态。功率控制逻辑电路 305 包含能够执行本发明所述功能的逻辑电路、装置、微码或等效元件，且能够执行先前所述功能的元件可共享的电路、微码等等。

当每个停止信号电路 309 被启动时，其所对应的区段逻辑元件 301 功率便被关闭。相反的，图 1 中的时钟分配逻辑电路 115 典型地在—一个时钟周期之中停止时钟信号电路 117，相较之下，根据本发明较佳实施例的功率转变管理装置 300 平顺地将计算装置从一个功率状态转变至另一功率状态。因此，电流需求并没有剧烈的减少，且计算装置或与计算装置的电源（图中未显示）之滤波器装置的需求较少。

请参考图 4，根据本发明又一较佳实施例的功率间隔逻辑电路 400 包含—寄存器 (register)，其中寄存器具有一 32 位间隔场 (INTERVAL field) 401。间隔场 401 内的数值是可编程的以用于指示，自停止输出区域时钟信号 303 到—给定的区段逻辑元件 301，以及自停止输出下一个区域时钟信号 303 到下一区段逻辑元件 301 之间，所间隔的时钟周期数量。在另一个实施例中，间隔场 401 内的数值是可编程的，逻辑电路除用以指示，自停止输出区域时钟信号 303 到—给定的区段逻辑元件 301，与自停止输出下一个区域时钟信号 303 到下一区段逻辑元件 301 之间所间隔的时钟周期数量；也可以编程用于指示，自开始输出区域时钟信号 303 到—给定的区段逻辑元件 301，与自开始输出下一

个区域时钟信号 303 到下一区段逻辑元件 301 之间所间隔的时钟周期数量（本例是离开低功率状态）。功率间隔逻辑电路包含逻辑电路、装置、或微码；亦可包含逻辑电路、装置、微码的组合；更可包含具执行根据本发明的计算装置中的前述功能等效元件。且能够执行先前所述的功能元件可共享其电路以及微码等等。在一实施例中，间隔场 401 内的数值通过由执行计算装置中的指令而编成，其中指令指示计算装置设定间隔场 401 的数值。在另一实施例中，间隔场 401 的数值是根据有效连接至功率间隔逻辑电路的多个保险丝的状态而编成。本发明也考虑到通过其它技术，如从内存读取数值以及设定计算装置封装上的状态脚位等，去设定间隔场 401 的数值。在另一实施例中，计算装置内每个区段逻辑元件分别具有其个别的可编程时钟周期数量，并可依照区段逻辑元件 301 的数量包含多个功率间隔逻辑电路。

请参考图 5，根据本发明另一较佳实施例的功率间隔逻辑电路 500 包含一寄存器，其中寄存器具有一 16 位上间隔场 (UPINTERVAL field) 501 以及一 16 位下间隔场 (DOWNINTERVAL field) 502。上间隔场 501 内的数值是可编程的，用于指示介于开始输出区域时钟信号 303 至一给定的区段逻辑元件 301，以及开始输出下一区域时钟信号 303 至下一区段逻辑元件 301 之间所间隔的时钟周期数(本例是离开低功率状态)。下间隔场 502 内的数值是可编程的，用于指示介于停止输出区域时钟信号 303 至一给定的区段逻辑元件 301，以及停止输出下一区域时钟信号 303 至下一区段逻辑元件 301 之间所间隔的时钟周期数（本例是进入低功率状态）。上间隔场 501 以及下间隔场 502 的数值其可编程的方法与图 4 实施例的间隔场 401 相同。根据本发明另一较佳实施例的计算装置内，每个区段逻辑元件分别具有其可编程的时钟周期数量，并可依照区段逻辑元件 301 的数量包含多个功率间隔逻辑电路。

参考图 6，时序图 600 显示根据本发明再一较佳实施例的计算装置如何进入低功率状态。时序图 600 描述低功率状态信号 307 在 T1 时间被启动后，指示功率控制逻辑电路 305 停止区域时钟信号电路 303，因此造成计算装置进入低功率状态。为了说明，仅举例计算装置进入低功率状态时，全部的时钟信号 C1:CN 303 如何停止。因为应在 T1 时间被启动的低功率状态信号 307，功率控制逻辑电路 305 经由间隔总线

308 从功率间隔逻辑电路 306 接收功率关闭间隔值 (value(s) of the power down interval(s)), 其中时钟周期数为依序输出至区段逻辑元件 301 的区域时钟信号 303 彼此之间所间隔的时钟周期数量。为了便于说明, 功率关闭间隔值可针对全部的区段逻辑元件 302 都被编程为两个时钟周期。因此, 功率控制逻辑电路 305 启动连接至第一区段时钟分配逻辑元件 302 的停止信号 STOP1 309 后, 将使得区域时钟信号 C1 303 在 T2 时间停止, 进而将第一区段逻辑元件 301 功率关闭。两个时钟周期之后, 功率控制逻辑电路 305 启动连接至第 2 区段时钟分配逻辑元件 302 的停止信号 STOP2 309 后, 也使得区域时钟信号 C2 303 在 T3 时间停止, 并进而使得第 2 区段逻辑元件 301 功率关闭。接着以每两个时钟周期输出一停止信号电路的速度, 依序停止区域时钟信号 303 直到最终区域时钟信号 CN 303 在 T4 时间停止。因为从 T2 时间到 T4 时间之间, 计算装置电源需求逐渐减少, 所以计算装置的电源负担较少的瞬变抑制需求, 因此得以用较低成本的元件完成相同的系统。在时序图 600 中, 因为依此方法转变功率状态并不过度施压于电源, 以一测量方法可得知在 T2 时间到 T4 时间之内, 当时钟信号 303 停止时, 一电源总线 601 的外部信号仍保持大概的固定供应电压。

如图 7 所示, 流程图 700 显示根据本发明某一较佳实施例的提供计算装置的量测功率转变的方法。

区块 701 是计算装置在一非低功率的状态, 然后进入选择区块 702。

在选择区块 702 中判断计算装置是否要进入低功率状态, 如果计算装置不是要进入低功率状态, 会直接进入区块 709 结束。如果计算装置要进入低功率状态, 进入区块 703。

在区块 703, 如本发明另一较佳实施例所示, 自功率间隔逻辑电路读取一 INT 数值 (value INT)。在一实施例中, INT 数值指示时钟周期数目, 其中时钟周期数目是自停止输出第一个区域时钟信号 303 至第一区段逻辑元件 301, 到停止输出第二个区域时钟信号 303 至第二区段逻辑元件 301 之间, 所间隔的时钟周期数目, 接着进入区块 704。

在区块 704 中, 一计数器 K 的初始值为 1。接着进入区块 705。

在区块 705 中停止第 K 个区段时钟信号, 由于第 K 个区段时钟信

号输出至第 K 个区段逻辑元件，因此第 K 个区段逻辑元件功率关闭。
接着进入区块 706。

在区块 706，揭露对应于在区块 703 所读取的 INT 数值的时钟周期数目，接着进入区块 707。

在区块 707，计数器 K 其值加 1，然后进入判断区块 708。

在判断区块 708 中，计数器 K 判断指示的时钟信号是否全部已经被停止。这就是说，对于 N 个时钟信号而言，如果 K 值等于 $N+1$ ，代表全部 N 个时钟信号已经被停止，并进入区块 709 结束。如果 K 值不等于 $N+1$ ，进入区块 705 继续进行。

在区块 709 本方法执行完毕。通过量测前所述的进入或离开低功率状态，根据本发明的计算装置具有控制功率转变的特性，使得电源供应器的负担以及电力调整需求明显减轻，因此可以减少计算装置本身、连接至计算装置的电源供应器以及整个系统的成本。

以上所述仅为举例，而非有所限制。任何未脱离本发明的精神与范畴，而对其进行等效修改或变更，均应包含于所附的权利要求中。

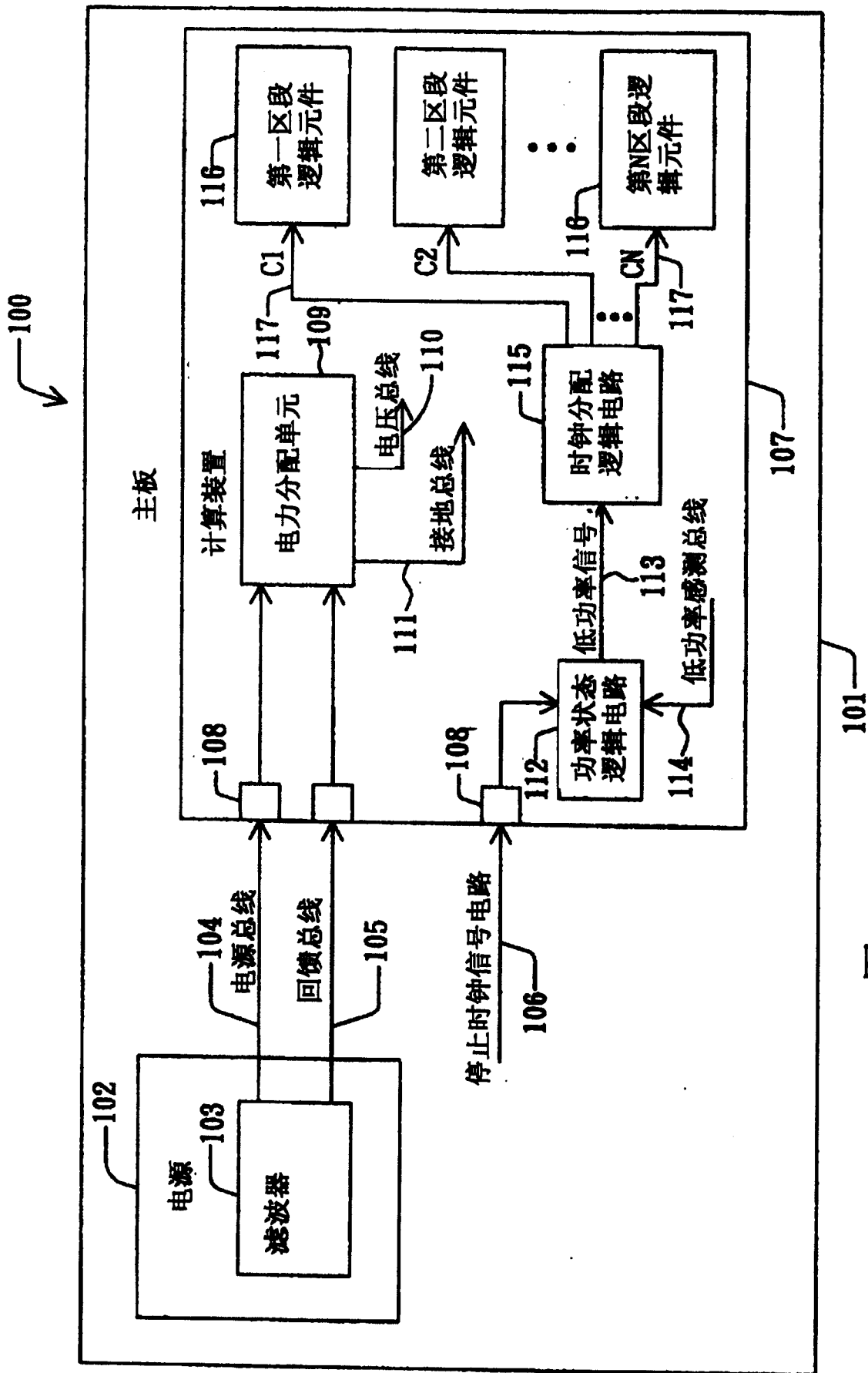


图1

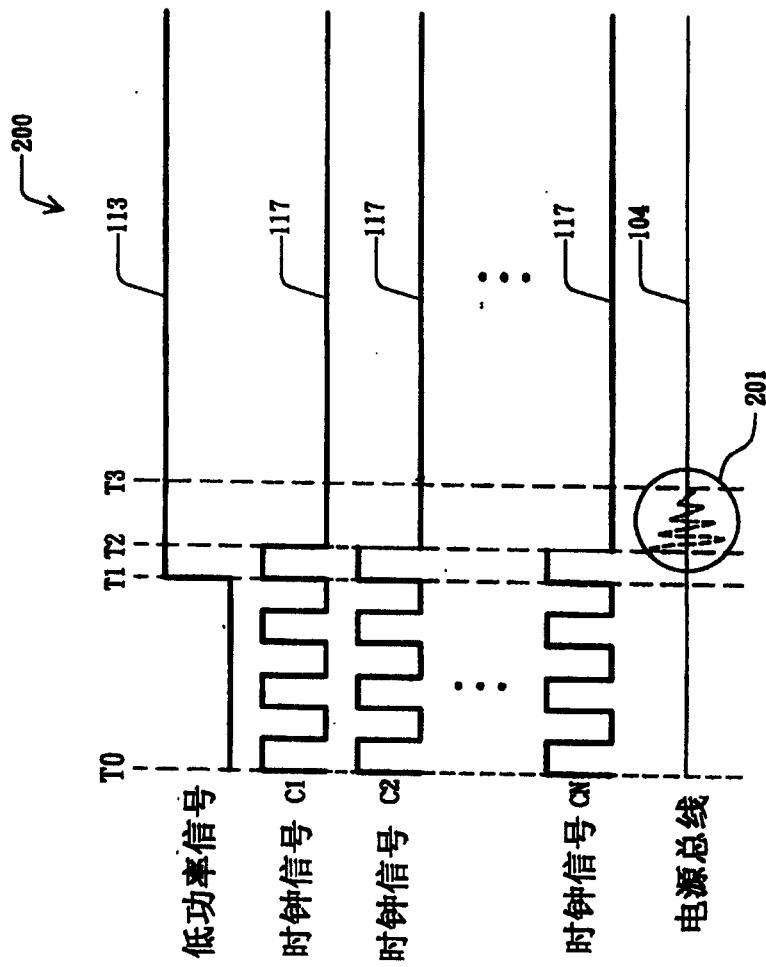


图2

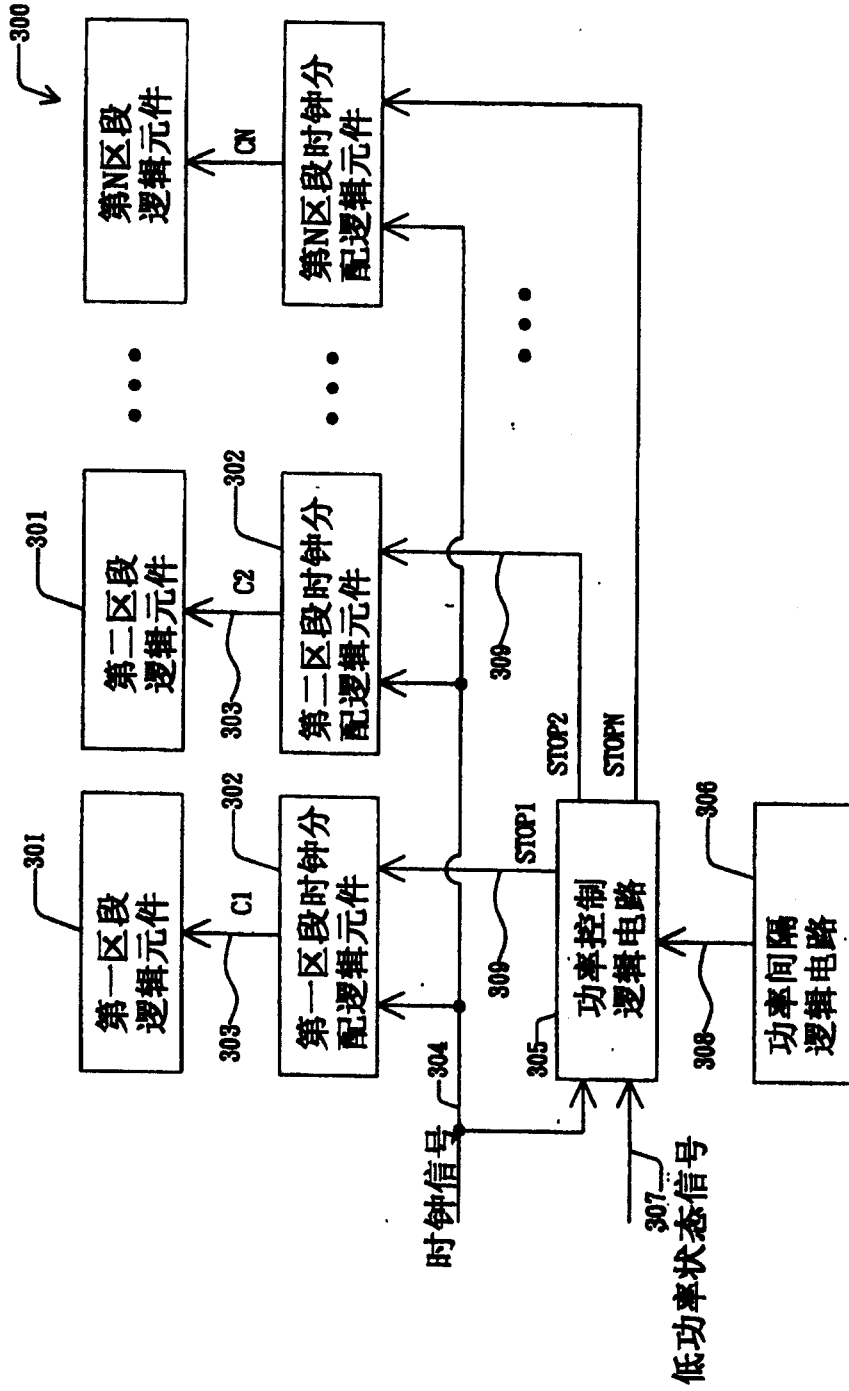


图3

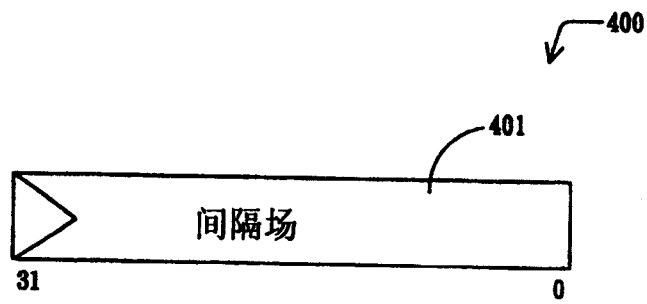


图4

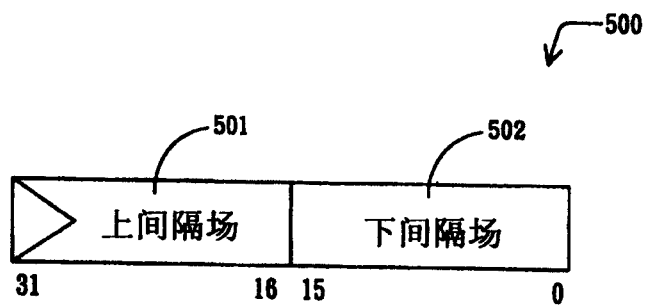


图5

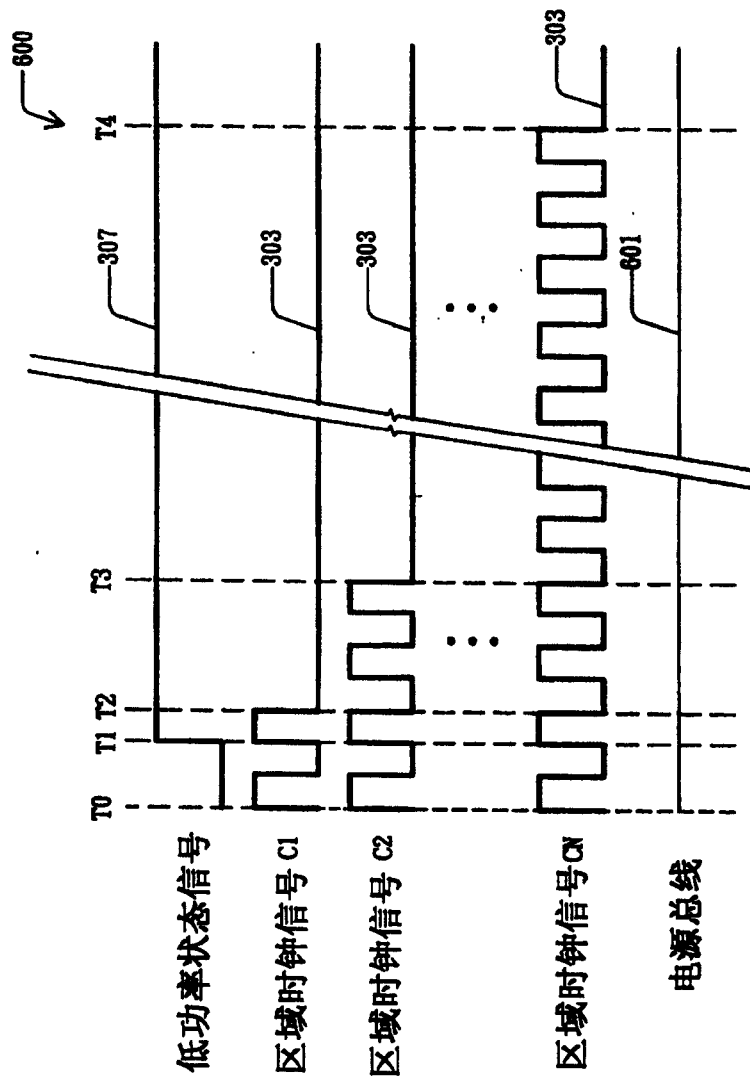


图6

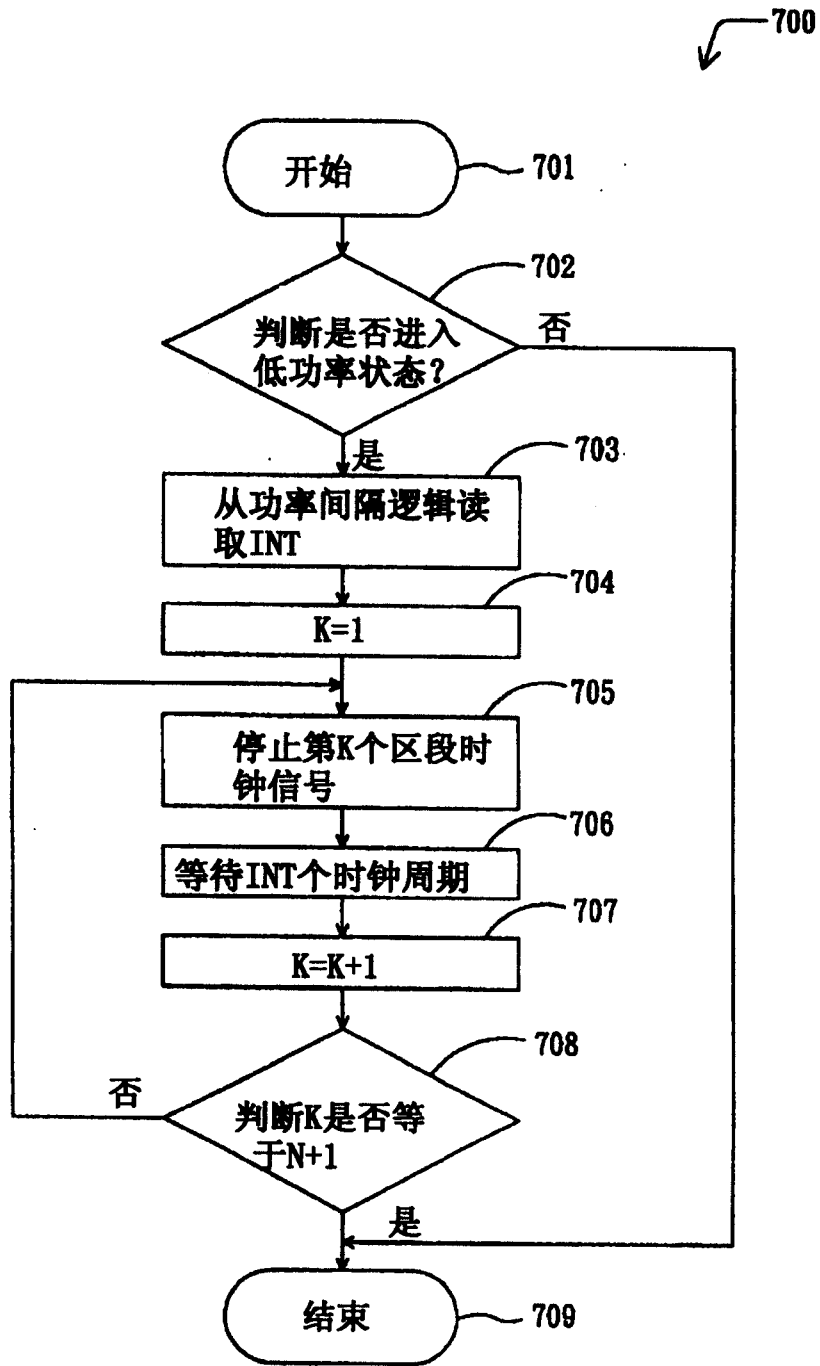


图7