



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년02월24일  
(11) 등록번호 10-1016552  
(24) 등록일자 2011년02월14일

(51) Int. Cl.

(73) 특허권자

H01L\_27/146 (2006.01)

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(21) 출원번호 10-2008-0096033

(72) 발명자

(22) 출원일자 2008년09월30일

박정수

심사청구일자 2008년09월30일

서울 관악구 신림1동 441-75번지

(65) 공개번호 10-2010-003668

(43) 공개일자 2010년04월08일

(74) 대리인

### (56) 선행기수조사문현

서교준

IP2004288822 A

KR100875157 B1

전체 천국학 수 : 총 10 학

신사과 · 한지혜

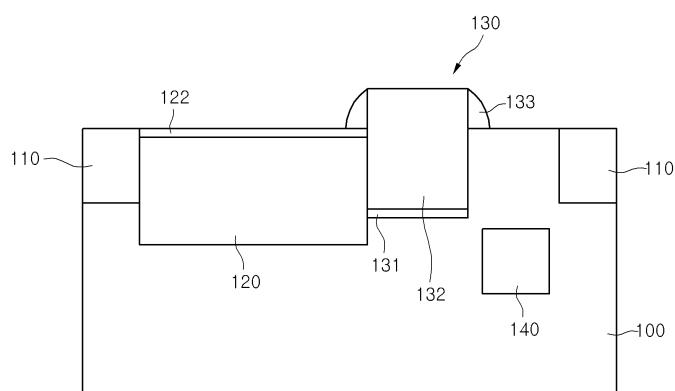
(54) 유파지 셰션 빙 유파지 셰션의 제주 밤번

(57) ♀ 약

실시예에 따른 이미지 센서는 소자분리영역이 형성된 반도체 기판; 상기 반도체 기판에 소정 깊이로 형성된 게이트 절연막; 상기 게이트 절연막 위에 형성되고, 상기 반도체 기판의 내부로부터 상기 기판 표면 위까지 형성된 게이트; 상기 게이트의 일측의 상기 반도체 기판에 형성된 포토 다이오드; 상기 게이트의 타측의 상기 반도체 기판에 형성되고, 상기 반도체 기판의 표면으로부터 이격되어 상기 반도체 기판 내부에 형성된 부유화산층을 포함한다.

실시예에 의하면, 부유화산층을 기판 내부에 형성하여 이격시킴으로써 기판 및 소자분리영역의 표면 결함으로부터 발생되는 영향을 최소화할 수 있다. 따라서, 부유화산층에서 누설 전류 및 불필요한 신호가 발생되는 것을 억제할 수 있고, 이미지 센서의 동작 신뢰성을 향상시킬 수 있다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

소자분리영역이 형성된 반도체 기판;

상기 반도체 기판에 소정 깊이로 형성된 게이트 절연막;

상기 게이트 절연막 위에 형성되고, 상기 반도체 기판의 내부로부터 상기 기판 표면 위까지 형성된 게이트;

상기 게이트의 일측의 상기 반도체 기판에 형성된 포토 다이오드;

상기 게이트의 타측의 상기 반도체 기판에 형성되고, 상기 반도체 기판의 표면으로부터 이격되어 상기 반도체 기판 내부에 형성된 부유화산층을 포함하고, 상기 부유화산층은, 상기 소자분리영역과 이격되어 상기 소자분리 영역보다 아래에 형성된 것을 특징으로 하는 이미지 센서.

### 청구항 2

제1항에 있어서,

상기 반도체 기판의 위로 노출된 상기 게이트의 양측에 형성된 스페이서;

상기 포토 다이오드 상측에 형성된 이온주입층을 더 포함하는 것을 특징으로 하는 이미지 센서.

### 청구항 3

제1항에 있어서, 상기 부유화산층은

상기 게이트의 밑면 아래의 상기 반도체 기판 영역에 형성된 것을 특징으로 하는 이미지 센서.

### 청구항 4

삭제

### 청구항 5

소자분리영역이 형성된 반도체 기판에 트랜치를 형성하고, 상기 트랜치 밑면의 상기 반도체 기판 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위로부터 상기 반도체 기판 표면 위까지 노출되도록 게이트를 형성하는 단계;

상기 게이트의 일측의 상기 반도체 기판에 포토 다이오드를 형성하는 단계;

상기 게이트의 타측의 상기 반도체 기판에 부유화산층을 형성하고, 상기 부유화산층은 상기 소자분리영역과 이격되어 상기 소자분리영역보다 아래에 형성되는 이미지 센서의 제조 방법.

### 청구항 6

제5항에 있어서, 상기 게이트 절연막을 형성하는 단계는

상기 소자분리영역에 의하여 정의된 액티브 영역의 일부를 개방시키는 제1 포토레지스트 패턴을 형성하는 단계;

상기 트랜치 밑면에 상기 게이트 절연막을 형성하는 단계; 및

상기 제1 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 이미지 센서의 제조 방법.

### 청구항 7

제5항에 있어서, 상기 게이트를 형성하는 단계는

상기 트랜치가 매립되도록 하여 상기 반도체 기판 위에 폴리실리콘층을 형성하는 단계;

상기 트랜치의 위치에 대응되도록 하여 상기 폴리실리콘 위에 제2 포토레지스트 패턴을 형성하는 단계;  
 상기 제2 포토레지스트 패턴을 식각 마스크로 하여 식각 공정을 진행함으로써 상기 게이트를 형성하는 단계;  
 및  
 상기 제2 포토레지스트 패턴이 제거되는 단계를 포함하는 것을 특징으로 하는 이미지 센서의 제조 방법.

#### 청구항 8

제5항에 있어서, 상기 포토 다이오드를 형성하는 단계는  
 상기 게이트의 일측에 형성된 상기 소자분리영역으로부터 상기 게이트까지 제3 포토레지스트 패턴을 형성하는 단계;  
 상기 제3 포토레지스트 패턴을 이온 주입 마스크로 이용하여 이온 주입 공정을 진행함으로써 상기 포토 다이오드를 형성하는 단계; 및  
 상기 제3 포토레지스트 패턴이 제거되는 단계를 포함하는 것을 특징으로 하는 이미지 센서의 제조 방법.

#### 청구항 9

제8항에 있어서,  
 상기 제3 포토레지스트 패턴이 제거된 후, 상기 게이트 양측에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 이미지 센서의 제조 방법.

#### 청구항 10

제8항에 있어서, 상기 포토 다이오드를 형성하는 단계는  
 상기 포토 다이오드가 형성된 후, 상기 포토 다이오드 상측에 이온주입층이 형성되는 단계를 더 포함하는 것을 특징으로 하는 이미지 센서의 제조 방법.

#### 청구항 11

제5항에 있어서, 상기 부유확산층을 형성하는 단계는  
 상기 게이트의 타측에 형성된 소자분리영역으로부터 상기 게이트까지 제4 포토레지스트 패턴을 형성하는 단계;  
 상기 제4 포토레지스트 패턴을 이온 주입 마스크로 이용하고, 40keV 내지 60keV의 이온 주입 에너지를 공급하여 이온 주입 공정을 진행함으로써 상기 부유확산층을 형성하는 단계;  
 상기 제4 포토레지스트 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 이미지 센서의 제조 방법.

### 명세서

#### 발명의 상세한 설명

##### 기술 분야

[0001] 실시예는 이미지 센서 및 이미지 센서의 제조 방법에 관한 것이다.

##### 배경 기술

[0002] 이미지 센서(Image sensor)는 광학적 영상(optical image)을 전기적 신호로 변환시키는 반도체 소자로서, 크기, 전하 결합 소자(charge coupled device: CCD)와 씨모스(CMOS; Complementary Metal Oxide Silicon) 이미지 센서(Image Sensor)로 구분된다.

[0003] 상기 CMOS 이미지 센서는 제어회로 및 신호처리회로 등을 주변회로로 사용하는 씨모스 기술을 이용하여 단위 화소의 수량에 해당하는 모스 트랜지스터들을 반도체 기판에 형성함으로써 모스 트랜지스터들에 의해 각 단위 화소의 출력을 순차적으로 검출하는 스위칭 방식을 채용한 소자이다.

[0004] 도 1은 CMOS 이미지 센서의 구조를 도시한 상면도이고, 도 2는 CMOS 이미지 센서의 구조를 도시한 측단면도이

다.

[0005] 도 1 및 도 2를 참조하면, 이미지 센서는 크게 포토 다이오드 영역(12)과 트랜지스터 영역(A)으로 구분되는데, 트랜지스터 영역(A)은 다수의 트랜지스터 중 트랜스퍼 트랜지스터만을 도시한 것으로서, 게이트(14), 게이트 절연막(15), 스페이서(16)를 포함한다.

[0006] 또한, 소자분리영역(11)에 의하여 정의된 기판(10)의 액티브 영역에는 외부로부터 입사된 빛을 전기신호로 변환하는 포토 다이오드(12) 및 이온주입층(13)이 형성된다. 상기 포토 다이오드(12)가 형성되지 않은 상기 트랜지스터(A)의 타측에는 부유확산(floating diffusion)층(17)이 형성된다.

[0007] 상기 포토 다이오드(12)에서 발생된 전기신호는 상기 게이트(14) 밑의 채널 영역을 경유하여 상기 부유확산층(17)으로 전달되고, 상기 부유확산층(17)은 전기신호를 다음 트랜지스터들로 전달한 후 다음 신호를 받기 전에 초기화 상태로 전환되어 상기 포토 다이오드(12)에서 생성되는 불필요한 신호를 최소화한다.

[0008] 그러나, 상기 부유확산층(17)은 상기 기판(10)과 상기 소자분리영역(11)에 인접되어 있으며, 상기 기판(10) 및 상기 소자분리영역(11)의 표면에 형성된 결함(defect)의 영향으로 인하여 상기 부유확산층(17)에 누설전류가 발생되거나 불필요한 신호가 발생되어 이미지 센서의 동작 신뢰성이 저하되는 문제점이 있다.

### 발명의 내용

#### 해결 하고자하는 과제

[0009] 실시예는 기판 또는 소자분리영역의 표면 결함의 영향으로 인하여 부유확산층에 불필요한 신호가 발생되는 것을 방지함으로써 포토 다이오드의 전류 특성을 향상시키고, 동작 신뢰성을 확보할 수 있는 이미지 센서 및 이미지 센서의 제조 방법을 제공한다.

#### 과제 해결수단

[0010] 실시예에 따른 이미지 센서는 소자분리영역이 형성된 반도체 기판; 상기 반도체 기판에 소정 깊이로 형성된 게이트 절연막; 상기 게이트 절연막 위에 형성되고, 상기 반도체 기판의 내부로부터 상기 기판 표면 위까지 형성된 게이트; 상기 게이트의 일측의 상기 반도체 기판에 형성된 포토 다이오드; 상기 게이트의 타측의 상기 반도체 기판에 형성되고, 상기 반도체 기판의 표면으로부터 이격되어 상기 반도체 기판 내부에 형성된 부유확산층을 포함한다.

[0011] 실시예에 따른 이미지 센서의 제조 방법은 소자분리영역이 형성된 반도체 기판에 트랜치를 형성하고, 상기 트랜치 밑면의 상기 반도체 기판 위에 상기 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 위로부터 상기 반도체 기판 표면 위까지 노출되도록 게이트를 형성하는 단계; 상기 게이트의 일측의 상기 반도체 기판에 포토 다이오드를 형성하는 단계; 및 상기 게이트의 타측의 상기 반도체 기판에 부유확산층을 형성하고, 상기 부유확산층은 상기 반도체 기판의 표면으로부터 이격되어 상기 반도체 기판 내부에 형성되는 단계를 포함한다.

#### 효과

[0012] 실시예에 의하면, 다음과 같은 효과가 있다.

[0013] 첫째, 부유확산층을 기판 내부에 형성하여 이격시킴으로써 기판 및 소자분리영역의 표면 결함으로부터 발생되는 영향을 최소화할 수 있다.

[0014] 둘째, 기판 및 소자분리영역의 표면 결함의 영향을 최소화할 수 있으므로, 부유확산층에서 누설 전류 및 불필요한 신호가 발생되는 것을 억제할 수 있고, 이미지 센서의 동작 신뢰성을 향상시킬 수 있다.

### 발명의 실시를 위한 구체적인 내용

[0015] 첨부된 도면을 참조하여, 실시예에 따른 이미지 센서 및 이미지 센서의 제조 방법에 대하여 상세히 설명한다.

[0016] 이하, 실시예를 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명은 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되므로 본 발명의 기술적 사상과 직접적인 관련이 있는 핵심적인 구성부만을 언급하기로 한다.

[0017] 본 발명에 따른 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패

드 또는 패턴들의 "상/위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

[0018] 도 3은 실시예에 따른 이미지 센서의 구성 요소를 개략적으로 도시한 측단면도이다.

[0019] 도 3을 참조하면, 실시예에 따른 이미지 센서는 액티브 영역을 정의하는 소자분리영역(110), 포토 다이오드(120), 상기 포토 다이오드(120) 위에 형성된 이온주입층(122), 게이트(132), 게이트 절연막(131), 스페이서(133), 부유화산층(140)을 포함하여 구성된다.

[0020] 상기 게이트(132), 상기 게이트 절연막(131), 상기 스페이서(133)는 상기 포토 다이오드(120)에서 발생된 전기 신호를 상기 부유화산층(140)에 축적시키는 트랜스퍼 트랜지스터(Tx)를 구성하는데, 이외에 상기 부유화산층(140)으로 전원을 인가하는 리셋 트랜지스터(Rx), 부유화산층(FD)에 전기신호가 저장됨에 따라 게이트 전위가 변화되고, 전기신호를 인가하는 억세스 트랜지스터(Ax), 억세스 트랜지스터(Ax)에 의하여 인가된 전기신호를 출력하는 셀렉터 트랜지스터(Sx)가 더 형성될 수 있다.

[0021] 이러한 경우 상기 리셋 트랜지스터(Rx), 상기 억세스 트랜지스터(Ax), 상기 셀렉터 트랜지스터(Sx)는 도면을 관통하는 수직한 방향으로 상기 부유화산층(140)에 연결되어 형성될 수 있다.

[0022] 상기 셀렉트 트랜지스터(Sx), 상기 억세스 트랜지스터(Ax), 상기 트랜스퍼 트랜지스터(Tx), 상기 리셋 트랜지스터(Rx)는 실질적으로 동일한 구성을 갖으며, 이하 실시예를 설명함에 있어서, 상기 트랜스퍼 트랜지스터(130)를 예로 들어 설명한다.

[0023] 이와 같은 실시예에 의하면, 상기 부유화산층(140)이 상기 기판(100) 내부에 깊게 형성됨으로써 상기 기판(100) 및 상기 소자분리영역(110)의 표면과 이격되며, 따라서 상기 기판(100) 및 상기 소자분리영역(110)의 표면 결함으로부터 영향받는 것을 최소화할 수 있다.

[0024] 도 4는 실시예에 따른 제1 포토레지스트 패턴(151)이 형성된 후의 이미지 센서의 형태를 도시한 측단면도이다.

[0025] 반도체 기판(100)에 트랜치(trench)를 형성하고, 트랜치 내부에 산화물을 매립하여 다수의 소자분리영역(110)을 형성한다.

[0026] 다음으로, 도 4에 도시된 것처럼, 상기 소자분리영역(110)이 형성된 상기 반도체 기판(100) 위에 제1 포토레지스트 패턴(151)을 형성하고, 상기 제1 포토레지스트 패턴(151)을 식각 마스크로 이용하여 식각 공정을 진행함으로써 트랜치(T1)를 형성한다.

[0027] 상기 트랜치(T1)가 형성되면, 상기 트랜치(T1)의 밑면에 절연층을 적층하여 상기 게이트 절연막(131)을 형성한다.

[0028] 이후, 상기 제1 포토레지스트 패턴(151)은 제거된다.

[0029] 도 5는 실시예에 따른 제2 포토레지스트 패턴(152)이 형성된 후의 이미지 센서의 형태를 도시한 측단면도이다.

[0030] 상기 제1 포토레지스트 패턴(151)이 제거된 후, 상기 트랜치(T1)가 매립되도록 하여 상기 반도체 기판(100) 위에 폴리실리콘층(132a)을 형성하고, 상기 폴리실리콘층(132a) 위에 상기 제2 포토레지스트 패턴(152)을 형성한다.

[0031] 상기 제2 포토레지스트 패턴(152)은 상기 트랜치(T1)에 대응되는 위치에 형성된다.

[0032] 도 6은 실시예에 따른 제3 포토레지스트 패턴(153)이 형성된 후의 이미지 센서의 형태를 도시한 측단면도이다.

[0033] 다음, 상기 제2 포토레지스트 패턴(152)을 식각 마스크로 이용하여 상기 폴리실리콘층(132a)을 식각함으로써, 도 6과 같이 게이트(132)를 형성한다.

[0034] 이후, 상기 제2 포토레지스트 패턴(152)은 제거된다.

[0035] 상기 게이트(132)가 형성되면, 상기 게이트(132)의 일측에 형성된 소자분리영역(110)으로부터 상기 게이트(132)까지 제3 포토레지스트 패턴(153)을 형성하고, 상기 제3 포토레지스트 패턴을 이온 주입 마스크로 이용하여 상기 반도체 기판(100)에 N형 도전성 불순물을 저농도로 도핑하여 상기 포토 다이오드(120)를 형성한다.

[0036] 이어서, 상기 제3 포토레지스트 패턴(153)을 이온 주입 마스크로 이용하여 상기 반도체 기판(100)의 표면에 P

형 도전성 불순물을 도핑하여 상기 이온주입층(122)을 형성한다.

[0037] 이후, 상기 제3 포토레지스트 패턴(153)은 제거된다.

[0038] 도 7은 실시예에 따른 제4 포토레지스트 패턴(154)이 형성된 후의 이미지 센서의 형태를 도시한 측단면도이다.

[0039] 상기 제3 포토레지스트 패턴(153)이 제거된 후, 상기 게이트(132)의 양측벽에 스페이서(133)를 형성하고, 상기 게이트(132)의 타측에 형성된 소자분리영역(110)으로부터 상기 게이트(132)까지 상기 이온주입층(122)을 덮도록 하여 제4 포토레지스트 패턴(154)을 형성한다.

[0040] 다음, 상기 제4 포토레지스트 패턴(154)을 이온 주입 마스크로 이용하여 P형 불순물 이온, 가령 P+형 이온을 주입하여 상기 부유화산층(140)을 형성한다.

[0041] 이때, 이온 주입 에너지를 부유화산층이 반도체 기판의 표면에 형성되는 기준의 경우보다 2배 내지 3배 정도 증가시킴으로써, 상기 부유화산층(140)은 상기 반도체 기판(100)의 표면으로부터 이격되어 깊숙하게 형성될 수 있다.

[0042] 예를 들어, 40keV 내지 60KeV의 이온 주입 에너지를 공급하면, 상기 부유화산층(140)은 상기 게이트(132)의 밑면 부근의 깊이로 형성될 수 있다.

[0043] 이후, 도면에 도시되지 않았으나, 상기 이온주입층(122), 상기 게이트(132)를 포함하는 상기 반도체 기판(100) 위에 컨택 플러그, 금속배선을 포함하는 하나 이상의 층간 절연막이 형성된다.

[0044] 또한, 상기 층간 절연막 위에 컬러필터층, 보호층이 순서대로 형성되고, 상기 포토 다이오드(120)에 수직하게 대응되는 상기 보호층 위에 마이크로 렌즈가 형성됨으로써 실시예에 따른 이미지 센서가 완성될 수 있다.

[0045] 이와 같은 실시예에 의하면, 상기 포토 다이오드(120)에서 생성된 전기신호는 종래와는 달리 기판 깊숙한 곳에서 상기 게이트(132)를 경유하여 상기 부유화산층(140)으로 전달되므로, 상기 반도체 기판(100)의 표면, 상기 소자분리영역(110)의 계면과 이격된 전자 이동 경로가 형성되며, 따라서 상기 부유화산층(140)에서 불필요한 신호 또는 누설전류가 발생되는 현상을 방지할 수 있다.

[0046] 이상에서 본 발명에 대하여 그 바람직한 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

### 도면의 간단한 설명

[0047] 도 1은 CMOS 이미지 센서의 구조를 도시한 상면도.

[0048] 도 2는 CMOS 이미지 센서의 구조를 도시한 측단면도.

[0049] 도 3은 실시예에 따른 이미지 센서의 구성 요소를 개략적으로 도시한 측단면도.

[0050] 도 4는 실시예에 따른 제1 포토레지스트 패턴이 형성된 후의 이미지 센서의 형태를 도시한 측단면도.

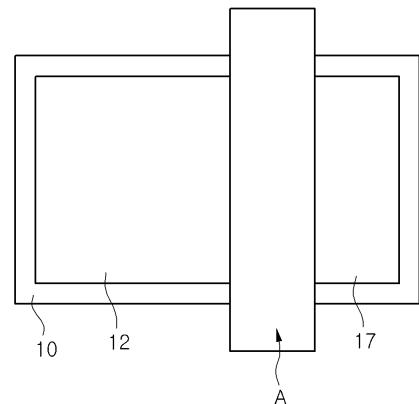
[0051] 도 5는 실시예에 따른 제2 포토레지스트 패턴이 형성된 후의 이미지 센서의 형태를 도시한 측단면도.

[0052] 도 6은 실시예에 따른 제3 포토레지스트 패턴이 형성된 후의 이미지 센서의 형태를 도시한 측단면도.

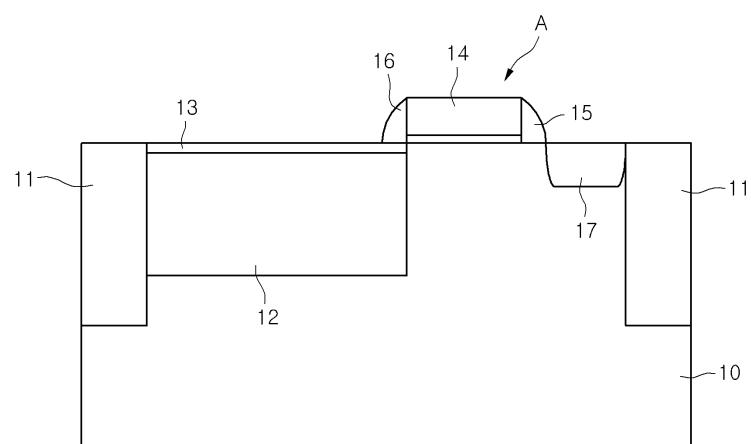
[0053] 도 7은 실시예에 따른 제4 포토레지스트 패턴이 형성된 후의 이미지 센서의 형태를 도시한 측단면도.

도면

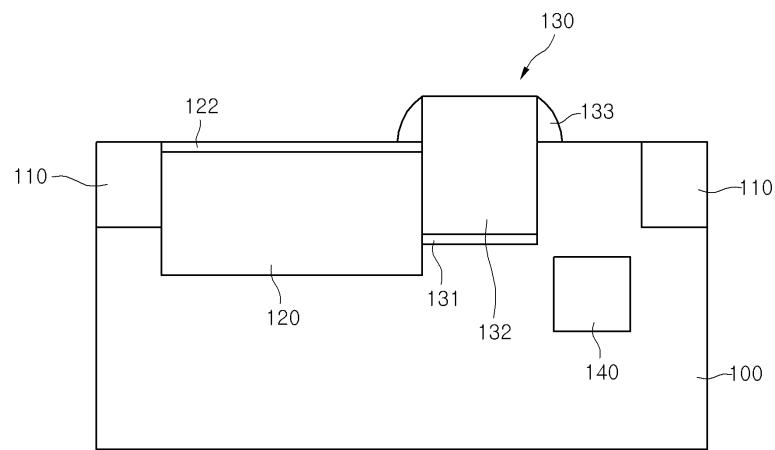
도면1



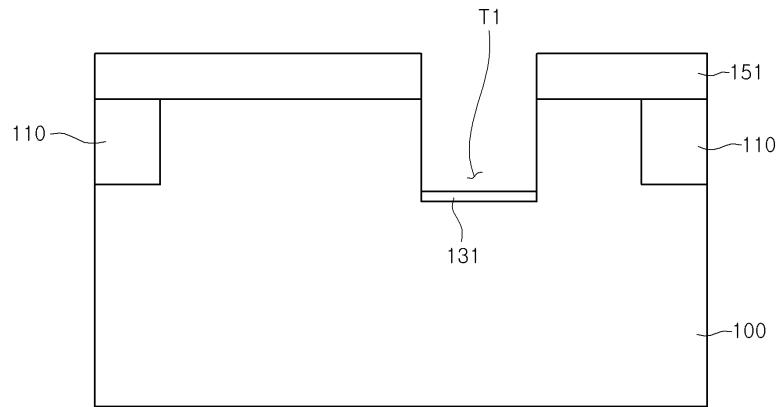
도면2



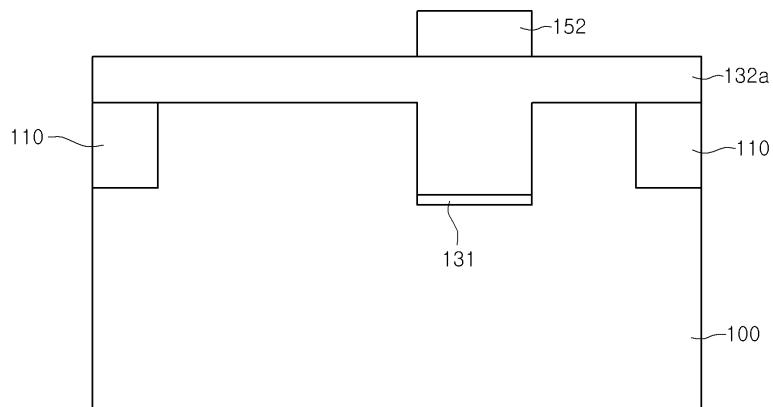
도면3



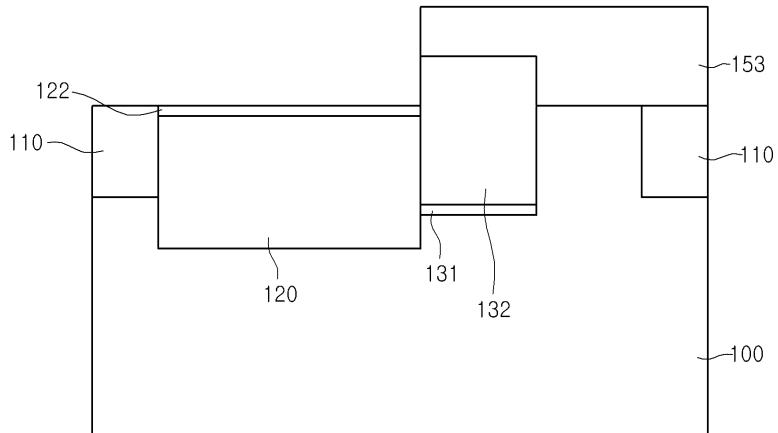
도면4



도면5



도면6



도면7

