

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4518344号
(P4518344)

(45) 発行日 平成22年8月4日(2010.8.4)

(24) 登録日 平成22年5月28日(2010.5.28)

(51) Int.Cl. F I
G 1 1 C 11/4074 (2006.01) G 1 1 C 11/34 3 5 4 F
G 1 1 C 29/12 (2006.01) G 1 1 C 29/00 6 7 1 Z

請求項の数 5 (全 15 頁)

<p>(21) 出願番号 特願平11-86317 (22) 出願日 平成11年3月29日(1999.3.29) (65) 公開番号 特開平11-312387 (43) 公開日 平成11年11月9日(1999.11.9) 審査請求日 平成18年1月6日(2006.1.6) (31) 優先権主張番号 60/079717 (32) 優先日 平成10年3月27日(1998.3.27) (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 390039413 シーメンス アクチエンゲゼルシャフト Siemens Aktiengesellschaft ドイツ連邦共和国 D-80333 ミュンヘン ヴィッテルスバッハープラッツ 2 Wittelsbacherplatz 2, D-80333 Muenchen, Germany (74) 代理人 100061815 弁理士 矢野 敏雄 (74) 代理人 100094798 弁理士 山崎 利臣</p>
---	---

最終頁に続く

(54) 【発明の名称】 多重電圧発生回路チップ内の電圧発生回路を制御するための装置及びダイナミックランダムアクセスメモリ(DRAM)チップ

(57) 【特許請求の範囲】

【請求項1】

多重電圧発生回路チップ内の電圧発生回路を制御するための装置において、発生回路系と、集中型発生回路制御装置とを有しており、前記発生回路系は、複数の電圧発生回路を有しており、前記集中型発生回路制御装置は、前記複数の電圧発生回路のそれぞれ、及びチップ上の所定のデバイスに接続されたコントローラを有しており、該コントローラは、前記チップ上の前記所定のデバイスからの信号に応答して、前記発生回路系の動作の複数の別個の期間のそれぞれの間、前記複数の電圧発生回路のそれぞれに異なる所定シーケンスの出力制御信号を発生し、前記動作の複数の別個の期間は、パワーオン期間、通常動作期間、ならびにテスト及びバーンイン期間を含んでおり、該出力制御信号により、所定の時間期間に、前記複数の電圧発生回路及び前記チップ上の前記所定のデバイスの論理動作のシーケンスが制御され、前記複数の電圧発生回路から、前記チップ上の所定の回路への、所要の安定した出力電圧を形成するように構成し、前記コントローラは、各動作期間の間、前記発生回路系を制御するための別個のプログラムシーケンスで動作するステートマシンを有しており、前記集中型発生回路制御装置は、更に、前記複数電圧発生回路の所定の1つの電圧発生回路の電圧閾値レベルを検出するため、及び、検出された前記電圧レベルを示す前記コントローラへの出力信号を発生するための電圧検出装置を有していることを特徴とする装置。

10

20

【請求項 2】

ステートマシンを有しており、該ステートマシンは、入力論理回路とラッチ回路と出力論理回路とを有しており、
 前記入力論理回路は、前記ステートマシンへの論理入力信号を受信し、該受信された論理入力信号への応答に相応する所定の出力制御信号を発生し、
 前記ラッチ回路は、前記入力論理回路からの前記出力制御信号、及び所定の他の入力信号に
 応答して、所定の出力信号を発生し、
 前記出力論理回路は、前記ステートマシンへの論理入力信号及び前記ラッチ回路からの前記出力信号を受信し、前記ステートマシンの所定の出力制御信号を発生する請求項 1 記載の装置。

10

【請求項 3】

チップは、ダイナミックランダムアクセスメモリチップである請求項 1 記載の装置。

【請求項 4】

ダイナミックランダムアクセスメモリ(DRAM)チップにおいて、
 発生回路系と、集中型発生回路制御装置とを有しており、
 前記発生回路系は、所定の他の電圧発生回路及びチップ上の他のデバイスに電圧を発生するための複数の電圧発生回路を有しており、
 前記集中型発生回路制御装置は、前記複数の電圧発生回路のそれぞれ、及びチップ上の所定のデバイスに接続されたコントローラを有しており、該コントローラは、前記チップ上の前記所定のデバイスからの信号に
 応答して、前記発生回路系の動作の複数の別個の期間のそれぞれの間、前記複数の電圧発生回路のそれぞれに異なる所定シーケンスの出力制御信号を発生し、前記動作の複数の別個の期間は、パワーオン期間、通常動作期間、ならびにテスト及びバーンイン期間を含んでおり、該出力制御信号により、所定の時間期間に、前記複数の電圧発生回路及び前記チップ上の前記所定のデバイスの論理動作のシーケンスが制御され、前記複数の電圧発生回路から、前記チップ上の所定の回路への、所要の安定した出力電圧を形成するように構成し、
 前記コントローラは、各動作期間の間、前記発生回路系を制御するための別個のプログラムシーケンスで動作するステートマシンを有しており、
 前記集中型発生回路制御装置は、更に、前記複数電圧発生回路の所定の 1 つの電圧発生回路の電圧閾値レベルを検出するため、及び、検出された前記電圧レベルを示す前記コントローラへの出力信号を発生するための電圧検出装置を有していることを特徴とするダイナミックランダムアクセスメモリ(DRAM)チップ。

20

30

【請求項 5】

ステートマシンを有しており、該ステートマシンは、入力論理回路とラッチ回路と出力論理回路とを有しており、
 前記入力論理回路は、前記ステートマシンへの論理入力信号を受信し、該受信された論理入力信号への応答に相応する所定の出力制御信号を発生し、
 前記ラッチ回路は、前記入力論理回路からの前記出力制御信号、及び所定の他の入力信号に
 応答して、所定の出力信号を発生し、
 前記出力論理回路は、前記ステートマシンへの論理入力信号及び前記ラッチ回路からの前記出力信号を受信し、前記ステートマシンの所定の出力制御信号を発生する請求項 4 記載のチップ。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ダイナミックランダムアクセスメモリ(DRAM)チップのようなチップで使用される多重電圧発生回路の種々の位相の操作を制御するための装置に関する。

【0002】

【従来の技術】

ダイナミックランダムアクセスメモリ(DRAM)チップのような最近のチップは、種々

50

の動作期間中、多数の異なる電圧が、複数の発生回路によってチップ上で発生され、複数の発生回路は、そのスタートアップ時間シーケンスに関して制御される。

【 0 0 0 3 】

1994年6月7日付け米国特許明細書第5319601号公報(Kawata他)には、DRAM用の電力給電スタートアップ回路が開示されており、その際、電力がスイッチオンされた後、中間電位の立ち上がり時間は短くなり、電流消費は低いままである。この電力給電回路は、パワーオン検出回路と内部電力給電回路の両方を有しており、パワーオン検出回路は、外部電力給電電位が所定電位に達して、第1及び第2の検出信号を発生する時点を検出し、内部電力給電回路は、内部電力給電電位を発生する。電力給電回路は、更に、第1の中間電位発生回路を有しており、この中間電位発生回路は、外部電力給電電位からの第1の中間電位を発生して、この電位を中間電位給電ノードに供給する。第1検出信号が形成され、第1の中間電位が所定電位に達した際、第1の中間電位発生回路は、第1の中間電位の、中間電位給電ノードへの給電及び中間電位発生機能を停止する。第2の検出信号が発生されて、第2の中間電位が給電ノードに供給された際に、第2の中間電位発生回路は、内部電源電位からの第2の中間電位を発生する。第1の中間電位発生回路は、第2の中間電位発生回路よりも大きな駆動能力を有しており、それにより、電力がスイッチオンされた後の中間電位の立ち上がり時間を短くすることができ、その結果、全電流消費を低減することができる。

10

【 0 0 0 4 】

図1には、従来技術の、例えば、ダイナミックRAM(DRAM)チップでの電圧を発生する、発生回路制御用の発生回路制御装置のブロック図が示されている。この装置10は、パワーオン回路20、発生回路系(ジェネレータ: GENERATORS)22(基準電圧発生回路(基準電圧: REF. VOLT.)23を有している)、及び、複数の電圧発生回路(図示していない)、初期化回路24、プルアップ回路26、及び第1及び第2のオアゲート装置28及び30のそれぞれを有している。プルアップ回路26及び第1及び第2のオアゲート装置28及び30は、プルアップ回路26及びオアゲート装置28及び30によって受信されて並列処理される幾つかの信号に依存する、1つ又は複数の、そのような回路又はゲートを有している。

20

【 0 0 0 5 】

関連のチップ上のボンディングパッド及びテストパッドからの信号は、プルアップ回路26で受信される。プルアップ回路26では、入力パッドが接続されていない場合には、デフォルトにより、出力信号は、論理ハイレベル(論理"1")にプルアップされ、入力信号が、パッド又はコネクションから活性的にプルダウンされる場合には、論理"0"が出力される。プルアップ回路26からの出力信号は、論理的に第1のオアゲート装置28内でテストモードレジスタ信号と結合され、このテストモードレジスタ信号は、関連の初期化回路24で初期化される。第1のオアゲート28からの出力は、パワーオン回路20及び発生回路系22に結合される。テストモードレジスタ信号は、関連の初期化回路24で初期化され、それから、発生回路系22に結合される。関連のチップ上のフューズ(図示していない)からの信号は、関連の初期化回路24で初期化され、発生回路系22の基準発生回路23に結合される。フューズ信号は、論理的に第2のオアゲート装置30で入力テストモードレジスタ信号と結合され、それから、発生回路系22に結合される。パワーオン回路20は、出力信号を第1のオアゲート装置28から受信し、種々異なる信号を初期化回路24から受信し、初期化回路24及び発生回路系22の発生回路への出力制御信号を発生する。発生回路系22は、基準発生回路23を有する複数の電圧発生回路を有しており、外部電圧(VEXT)、系信号(SYS.SIGS.)を受信し、第1及び第2のオアゲート装置28及び30、所期化回路24及びパワーオン回路20からの信号を受信し、初期化回路24への出力信号及び関連のチップ上のリモート回路によって要求される種々の電圧(図示していない)を発生する。

30

40

【 0 0 0 6 】

これら発生回路の動作を制御するために、多数の論理制御回路が、各発生回路機能内に含

50

まれており、これら各発生回路機能は、通常、個別発生回路ブロック（図示していない）内の発生回路系 2 2 の至るところに設けられている局所論理回路（図示していない）によって実行される。通常の発生回路系 2 2 は、成長プロセスの結果得られたものであり、その際、新たな電圧レベル及び関連の発生回路ブロックが付加される場合には何時でも、又は、制御機能を変える必要がある場合には何時でも、付加的な論理回路が局所的に付加される。

【 0 0 0 7 】

【発明が解決しようとする課題】

本発明の課題は、発生回路系の至る所に設けられている論理回路を必要とせず、発生回路系又はチップを将来変更するために必要な何らかの変化に適応するフレキシビリティが得られる、チップ上の電圧発生回路の制御装置乃至ダイナミックランダムアクセスメモリを提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

この課題は、本発明によると、多重電圧発生回路チップ内の電圧発生回路を制御するための装置において、発生回路系と、集中型発生回路制御装置とを有しており、前記発生回路系は、複数の電圧発生回路を有しており、前記集中型発生回路制御装置は、前記複数の電圧発生回路のそれぞれ、及びチップ上の所定のデバイスに接続されたコントローラを有しており、該コントローラは、前記チップ上の前記所定のデバイスからの信号に応答して、前記発生回路系の動作の少なくとも 2 つの別個の期間のそれぞれの間、所定シーケンスの出力制御信号を前記個別発生回路に発生し、動作の少なくとも 2 つの別個の期間は、パワーオン及び動作の通常期間を有しており、該出力制御信号により、所定の時間期間に、前記複数の電圧発生回路及び前記チップ上の前記所定のデバイスの、論理の動作シーケンスが制御され、前記複数の電圧発生回路から、前記チップ上の前記所定の回路への、所要の安定した出力電圧を形成するように構成し、コントローラは、各動作期間の間、発生回路系を制御するための別個のプログラムシーケンスで動作するステートマシンを有しており、集中型発生回路制御装置は、更に、複数電圧発生回路の所定の 1 つの電圧発生回路の電圧閾値レベルを検出するため、及び、検出された電圧レベルを示すコントローラへの出力信号を発生するための電圧検出装置を有していることによって解決される。

【 0 0 0 9 】

この課題は、本発明によると、ダイナミックランダムアクセスメモリ（DRAM）チップにおいて、発生回路系と、集中型発生回路制御装置とを有しており、発生回路系は、所定の他の発生回路及びチップ上の他のデバイスに電圧を発生するための複数の電圧発生回路を有しており、集中型発生回路制御装置は、複数の電圧発生回路のそれぞれ、及びチップ上の所定のデバイスに接続されたコントローラを有しており、該コントローラは、チップ上の所定のデバイスからの信号に応答して、発生回路系の動作の少なくとも 2 つの別個の期間のそれぞれの間、所定シーケンスの出力制御信号を個別発生回路に発生し、動作の少なくとも 2 つの別個の期間は、パワーオン及び動作の通常期間を有しており、該出力制御信号により、所定の時間期間に、複数の電圧発生回路及びチップ上の所定のデバイスの論理動作のシーケンスが制御され、複数の電圧発生回路から、チップ上の所定の回路への、所要の安定した出力電圧を形成するように構成し、コントローラは、各動作期間の間、発生回路系を制御するための別個のプログラムシーケンスで動作するステートマシンを有しており、集中型発生回路制御装置は、更に、複数電圧発生回路の所定の 1 つの電圧発生回路の電圧閾値レベルを検出するため、及び、検出された電圧レベルを示すコントローラへの出力信号を発生するための電圧検出装置を有していることによって解決される。

【 0 0 1 0 】

【発明の実施の形態】

本発明は、ダイナミックランダムアクセスメモリ（DRAM）、及び、他のモジュールによって要求される種々の電圧を形成するための複数の発生回路ブロックを含む他のモジュール内で使用される電圧発生回路系の種々のモードを制御するための装置に関する。

【 0 0 1 1 】

本発明の有利で合目的な構成は、従属請求項に記載されている。

【 0 0 1 2 】

【実施例】

以下、図示の実施例を用いて、本発明を詳細に説明する。

【 0 0 1 3 】

図 2 には、本発明による、ダイナミック R A M チップのような、多重電圧発生回路を有する集積回路チップ上の種々の電圧発生回路（図 3 に示されている）を制御するための例示的な集中型発生回路制御装置 4 0 のブロック図が示されている。集中型発生回路制御装置 4 0 は、コントローラ 5 0（二点鎖線の矩形で示されている）と、コントローラ 5 0 にク
10
ロック信号を供給するためのオシレータ 4 2、電圧検出回路 4 4 を有しており、電圧検出回路 4 4 は、コントローラ 5 0 から信号を受信し、発生した制御信号を再度コントローラ 5 0 に伝送して戻す。コントローラ 5 0 は、ステートマシン 5 2 と A N D ゲート 5 4 を有している。ステートマシン 5 2 は、公知の装置であって、プロセッサを有しており、このプロセッサは、メモリ（図示していない）を使用して、所定の形式でプロセッサを操作するためのプログラム命令を記憶している。

【 0 0 1 4 】

図 6 によると、ステートマシン 5 2 は、択一選択的に入力論理回路 7 0、出力論理回路 7 2、及び状態ラッチ回路 7 4 を有している。入力論理回路 7 0 と出力論理回路 7 2 は、一般的に、コントローラへの全ての論理入力信号を受信し（例えば、ボンディングパッド/
20
テストパッド、テストモードレジスタ、フューズ、及び電圧検出回路 4 4 の各信号）、種々のゲートを用いて、所要の論理関数を供給して、適切な出力制御信号を発生する。状態ラッチ回路 7 4 は、フリップフロップ（図示していない）を有しており、フリップフロップは、入力論理回路 7 0 から信号を受信し、そして、リセット信号及びクロック信号のような他の信号も受信し、入出力論理回路 7 0 及び 7 2 に適切な出力信号を発生する。

【 0 0 1 5 】

図 2 に戻って、ステートマシン 5 2 は、クロック信号をオシレータ 4 2 から受信し、制御信号を電圧検出回路 4 4 から受信し、そして、種々のフューズ、ボンディングパッド、テストパッド、及びテストモードレジスタから信号を受信し、そのメモリ内に記憶されているプログラム命令に基づいて出力信号を発生する。A N D ゲート 5 4 は、クロックイネー
30
ブル信号を受信し、所定の出力信号をステートマシン 5 2 から受信し、ステートマシン 5 2 からの所定の出力信号と結合されて、集中型発生回路制御装置 4 0 から、スタティックイネーブル及びコンフィグレーション出力信号 " C " を形成し、スタティックイネーブル及びコンフィグレーション出力信号 " C " は、制御されるべき種々の電圧発生回路に伝送される。コントローラ 5 0 の例示的な動作について、図 4、図 5 を用いて、以下説明する。

【 0 0 1 6 】

電圧検出回路 4 4 は、外部給電電圧（図 3 に示された V E X T）、及び、複数の発生回路（図 3 に示された）の所定の 1 つによって発生された所定の電圧を測定し、これらの値が
40
、その特定の限界値に達すると、コントローラ 5 0 にそれぞれの信号を送信する。これらの機能を実行するのに、何らかの適切な公知電圧検出回路を使用することができる。

【 0 0 1 7 】

図 3 には、本発明の例示的な電圧発生系 1 0 0（二点鎖線の矩形で示されている）のブロック図が示されている。系 1 0 0 は、例えば、ダイナミック R A M（図 2 の集中型発生回路制御装置によって制御される）多重電圧発生回路チップ上に複数の電圧発生回路 1 1 1 - 1 2 4（それぞれ G E N . 1 - G E N . 1 4）を有している。例示的な電圧発生系 1 0 0 では、電圧発生回路 1 1 1 - 1 2 4 のそれぞれは、図 2 のコントローラ 5 0 から別個の制御信号 " C "、及び所定の外部電圧（V E X T）を受信する。図を単純化するために、制御信号 " C " 及び所定の外部電圧（V E X T）は、電圧発生回路 1 1 1 - 1 2 4 のそれぞれに、信号入力導体を介して供給されるように図示されている。実際には、これらの入
50

力信号は、電圧発生回路 1 1 1 - 1 2 4 のそれぞれに別個の導体を介して供給される。制御信号 " C " 及び所定の外部電圧 (V E X T) に付加して、電圧発生回路 1 1 3 からの出力信号 (V 3) が電圧発生回路 1 1 5 - 1 2 4 のそれぞれに供給され、電圧発生回路 1 1 6 からの出力信号 (V 6) は、電圧発生回路 1 2 3 への入力信号として供給される。

【 0 0 1 8 】

例示的な電圧発生系 1 0 0 では、電圧発生回路 1 1 1 (G E N . 1) は、コントローラ 5 0 からの制御信号 " C " 、つまり、所定の外部電圧 (V E X T) に応答し、電圧発生回路 1 1 2 (G E N . 2) 及び 1 1 3 (G E N . 3) のそれぞれの第 1 の入力側に接続された第 1 の出力電圧 (V 1 A) 及び電圧発生回路 1 1 2 の第 2 の入力側に接続された第 2 の出力電圧 (V 1 B) を発生する。電圧発生回路 1 1 2 は、電圧発生回路 1 1 1 からの第 1 及び第 2 の電圧 V 1 A 及び V 1 B 、つまり、制御信号 " C " 、所定の外部電圧 (V E X T) に応答し、電圧発生回路 1 1 3 の第 2 の入力側、及び、電圧発生回路 1 1 4 (G E N . 4) 及び 1 1 5 (G E N . 5) のそれぞれの入力側に供給される出力電圧 (V 2) を発生する。電圧発生回路 1 1 3 は、制御信号 " C " 、つまり、所定の外部電圧 (V E X T) 及び電圧発生回路 1 1 1 及び 1 1 2 からの電圧 V 1 A 及び V 2 に応答し、それぞれ、電圧発生回路 1 1 5 - 1 2 4 への入力側として、及び電圧発生系 1 0 0 からの出力信号として供給される出力電圧 (V 3) を発生する。

10

【 0 0 1 9 】

電圧発生回路 1 1 4 は、制御信号 " C " 、つまり、所定の外部電圧 (V E X T) 及び電圧発生回路 1 1 2 から受信された電圧 V 2 に応答して、出力電圧 (V 4) を発生し、この出力電圧は、電圧発生系 1 0 0 からの出力信号として供給される。電圧発生回路 1 1 5 は、制御信号 " C " 、つまり、所定の外部電圧 (V E X T) 、電圧発生回路 1 1 2 及び 1 1 3 のそれぞれから受信された電圧 V 2 及び V 3 に応答して、出力電圧 (V 5) を発生し、この出力電圧 (V 5) は、電圧発生回路 1 1 6 (G E N . 6) への入力信号として供給される。電圧発生回路 1 1 6 は、制御信号 " C " 、つまり、所定の外部電圧 (V E X T) 、電圧発生回路 1 1 3 及び 1 1 5 のそれぞれから受信された電圧 V 3 及び V 5 に応答して、出力電圧 (V 6) を発生し、この出力電圧 (V 6) を発生し、この出力電圧 (V 6) は、電圧発生回路 1 1 7 (G E N . 7) 及び 1 2 3 (G E N . 1 3) への入力信号として供給される。電圧発生回路 1 1 7 は、制御信号 " C " 、つまり、所定の外部電圧 (V E X T) 、電圧発生回路 1 1 3 及び 1 1 6 のそれぞれから受信された電圧 V 3 及び V 6 に応答して、出力電圧 (V 7) を発生し、この出力電圧 (V 7) は、電圧発生回路 1 1 8 , 1 2 1 , 1 2 3 及び 1 2 4 への入力信号として供給される。

20

30

【 0 0 2 0 】

電圧発生回路 1 1 8 (G E N . 8) は、制御信号 " C " 、つまり、所定の外部電圧 (V E X T) 、電圧発生回路 1 1 3 及び 1 1 7 のそれぞれから受信された電圧 V 3 及び V 7 に応答して、出力電圧 (V 8) を発生し、この出力電圧 (V 8) は、電圧発生回路 1 1 9 (G E N . 9) 及び 1 2 0 (G E N . 1 0) への入力信号として供給される。電圧発生回路 1 1 9 は、制御信号 " C " 、つまり、所定の外部電圧 (V E X T) 、電圧発生回路 1 1 3 及び 1 1 8 のそれぞれから受信された電圧 V 3 及び V 8 に応答して、出力電圧 (V 9) を発生し、この出力電圧 (V 9) は、電圧発生回路 1 0 0 からの出力信号として供給される。電圧発生回路 1 2 0 は、制御信号 " C " 、つまり、所定の外部電圧 (V E X T) 、電圧発生回路 1 1 3 及び 1 1 8 のそれぞれから受信された電圧 V 3 及び V 8 に応答して、出力電圧 (V 1 0) を発生し、この出力電圧 (V 1 0) は、電圧発生回路 1 0 0 からの出力信号として供給される。電圧発生回路 1 2 1 (G E N . 1 1) , 1 2 2 (G E N . 1 2) 、及び 1 2 8 (G E N . 1 4) は、制御信号 " C " 、つまり、所定の外部電圧 (V E X T) 、電圧発生回路 1 1 3 及び 1 1 7 のそれぞれから受信された電圧 V 3 及び V 7 に応答して、出力電圧 V 1 1 , V 1 2 , V 1 3 , 及び V 1 4 を発生し、この出力電圧 V 1 1 , V 1 2 , V 1 3 , 及び V 1 4 は、電圧発生系 1 0 0 からの出力信号として供給される。電圧発生回路 1 2 3 (G E N . 1 3) は、制御信号 " C " 、つまり、所定の外部電圧 (V E X T) 、電圧発生回路 1 1 3 , 1 1 6 及び 1 1 7 のそれぞれから受信された電圧 V 3 , V 6 及び V 7 に

40

50

応答して、出力電圧V13を発生し、この出力電圧V13は、電圧発生系100からの出力信号として供給される。

【0021】

電圧発生系100は、最近のDRAMチップ及びシンクロナスDRAMチップ上の発生回路系と同一視することができ、これら、最近のDRAMチップ及びシンクロナスDRAMチップは、多数の電圧発生回路によってチップ上で発生される10ボルト以上である。これらの電圧は、幾つかの基準電圧（例えば、入/出力受信器用、及びアナログ回路でのバイアス電流発生用）、同様に、幾つかの電圧を含み、この電圧は、高い、又は低い動作電流のDRAMの種々の機能ブロック（図示していない）に給電される（例えば、センスアンプ又はワード線ドライバ用）。基本的には、図1の電圧発生系22及び図3の電圧発生系100内の種々の発生回路に対して、3つの異なった動作期間が生じ、これら、3つの異なった動作期間は、（a）通常動作期間、（b）テスト及びバーンイン期間、及び（c）パワーオン期間として示すことができる。

10

【0022】

図1の電圧発生系22及び図3の電圧発生系100内の”通常動作”期間中、発生回路（例えば、図3の発生回路111-124）により、チップ上に供給される電圧全てが安定しているようにされ、幾つかの電力網（図示していない）から引き込まれた所要の電流全てがチップ上に供給されるようにする必要がある。しかも、発生回路自体は、大して電流消費しないようにする必要がある（例えば、差動増幅器内のバイアス電流、及び、抵抗分圧器を流れる電流）。

20

【0023】

従って、ピーク電流（例えば、検出動作用）を給電すべき電力網は、通常、スタンバイ発生回路、能動発生回路、ピーク電流発生回路のような幾つかのタイプの発生回路の1つ以上の発生回路によって給電される。スタンバイ発生回路は、常に、ターンオンされ、僅かな電流しか給電することができず、スタンバイ発生回路自体でも僅かながら電流が消費される。スタンバイ発生回路の目的は、これらの時間中及びチップがアクティブでない期間中電圧レベルを維持することである。能動発生回路は、チップが、それぞれの電力網からの電流を要求する機能を実行する場合に動作状態にされるにすぎない。能動発生回路は、大電流を給電することができるが、大電流も消費する。能動発生回路を動作状態にするために、他のチップ機能（例えば、センスアンプを動作状態にするセンスアンプイネーブル信号）（図示していない）からの信号が、図1の発生回路系22又は図2のコントローラ50によって評価される。電力網から引き込まれた電流の高いピーク値を給電するのに、ピーク電流発生回路が使用されることがある。ピーク電流発生回路は、例えば、それぞれの電力網と、外部電圧給電源（VEXT）、又は、この電力網への電流源のどちらかとの間のトランジスタスイッチからのみ構成される。ピーク電流発生回路は、ピーク電流が電力網から引き込まれた丁度その瞬間に、短い時間期間の間ターンオンされる。ピーク電流発生回路は、通常、それ自体調整機能を持っていないが、ピーク電流発生回路からの電圧の最終調整は、上述の能動発生回路によって行われる。正確な瞬間に、ピーク電流発生回路をターンするために、他のチップ機能からの信号が、発生回路系に供給される（例えば、センスアンプイネーブル信号）。

30

40

【0024】

更に、異なった電力網用の各電圧発生回路間に、何らかの相互作用がある。例えば、RAMチップでのワード線ブースト用の電圧を給電する電圧発生回路の第1の電圧発生回路（例えば、発生回路123）が、完全な電圧レベルに回復されるように動作状態にされた場合、この電圧発生回路は、所定の電圧発生回路の第2の電圧発生回路（例えば、発生回路116）に信号を送信する。この信号は、所定の電圧発生回路の第2の電圧発生回路がターンオフされないようにする。と言うのは、電圧発生回路の第1の電圧発生回路自体は、電圧発生回路の第2の電圧発生回路からの電流を消費するからである。DRAMチップは、所定の電圧発生回路の異なった駆動能力を必要とする異なった形態のメモリデバイス用に使用されることが屢々あり、電圧発生回路は、これらの状況用に構成される必要がある

50

。これは、ボンディングパッド又はフューズによって行われ、そこでは、ボンディングパッド及び/又はフューズからの情報が、第1図の通常の発生回路系22、又は、図2のコントローラ50に伝送される。

【0025】

図1の通常の電圧発生回路系22で、異なった動作期間中これらの発生回路を制御するために、多数の論理制御回路は、発生回路機能内に含まれており、発生回路機能は、発生回路系22の至る所に配設された局所論理回路(図示していない)によって、個別発生回路ブロック(図示していない)内で実行される。その結果、通常の電圧発生回路系22は、複合した制御スキーマを含んでいる。本発明によると、論理制御回路は、最早、発生回路111-124の全てに亘って配設する必要はない。その代わり、適切な発生回路111-124をターンオンするか、動作の可能な各期間のそれぞれの間の所定の時間でターンオフするために、コントローラ50のステートマシン52が入力信号の全てを受信して、個別制御信号を発生回路111-124のそれぞれに供給するようにプログラミングされている。動作の各期間の間、ステートマシン52用のプログラムは、任意に、動作の各可能な期間の間、回路設計者が、動作の所望のシーケンスを定義する必要がある。一旦、そのような、動作シーケンスが決定されると、動作シーケンスは、容易に、ステートマシン52用の相応のプログラム命令シーケンスに変換することができ、それにより、ステートマシン50によって受信された所定の入力信号に応じて、発生回路系100が相応に動作される。

【0026】

テスト及びバーンイン期間中、発生回路は、その通常の動作以外の多数の付加的な機能を実行する必要がある。例えば、1機能としては、所定の、又は、全ての発生回路を、テストの目的のために使用不可能にすることができる。第2の機能としては、通常の動作状態との比較として、所定の電圧が種々異なった値に設定される。第3の機能としては、発生回路のダイナミックなモードを決定する、発生回路内の所定の時定数を、最適なチップ機能用の最良の値を決定するために変えることができる。第4の機能としては、チップにストレスを加えるために(バーンインテスト)、大抵の内部電圧は、通常動作状態での値よりも高い値に設定すべきであり、この設定は、VEXTを高い値に設定して、内部基準電圧が、外部電圧の、この上昇に追従するようにすることによって実行することができる。

【0027】

パワーオン期間は、外部電圧VEXTが既にチップに印加されているが、内部電圧は形成されていない間の遷移状態として定義される。パワーオン期間に対しては、2つの主要な条件がある。そのような条件は、パワーオン期間が、短い(例えば、100µ秒)必要がある点と、十分に定義されたやり方で生起する必要がある点である。パワーオン期間を短く保持するためには、幾つかの付加的な機能を、発生回路系100によって実行する必要がある。全ての電力網は、ゼロボルトから、その、それぞれのレベルに短い時間内に変化する必要がある、幾つかの発生回路ブロックの駆動能力では十分でない。幾つかの可能な解決手段によって、この問題を克服することができる。第1に、パワーオン期間の第1の期間中、電力網が、VEXTをスイッチングするトランジスタによって、その所望の値にほぼ達する迄短絡される。それから、これらのスイッチは、再度開かれ、それぞれの発生回路ブロックが、この電圧の調整を引き継ぐ。第2に、幾つかの発生回路(例えば、ポンプ回路)の駆動能力は、これらポンプ回路を駆動するオシレータの周波数に依存している。パワーオンの間、高周波オシレータは、ポンプ回路に接続されて、高速ポンピング動作を可能にし、それから、パワーオン期間後、これらのポンプ回路を駆動するのに、遅いオシレータが使用され、それから、電力節約のために、高速オシレータがターンオフされる。コントローラ50の出力側に供給されるスタティックイネーブル信号が、一般的に、発生回路ブロックをイネーブルするために使用され(例えば、パワーオン期間内、又は、テストモード期間中、発生回路ブロックをターンオフする間)、この信号は、時間が臨界的ではない。コントローラ50の出力側でのコンフィグレーション信号は、所定の1つ以上の発生回路ブロックモードを変えるために使用され、その際、特定のやり方で、例えば、

10

20

30

40

50

その電圧レベルを変えることによって(トリミング)、その駆動能力を変えることによって、その内部時定数を変えることによって、又は、テストモード用の特定の機能によって変えるために使用される。これらの信号は、時間が臨界的ではなく、チップの通常の動作中変化しない。発生回路系100内には、発生されたダイナミックイネーブル信号及びメッセージ信号がある。ダイナミックイネーブル信号は、発生回路の出力電圧を調整し始めるべきである場合、又は、電流(例えば、ピーク発生回路)を発生し始めるべきである場合に、発生回路を動作するために使用される。これらの信号は、時間が臨界的であり、全ての発生回路が、そのような入力信号を必要とするわけではない(例えば、スタンバイ発生回路)。メッセージ信号は、各発生回路ブロック間のコミュニケーション用に使用される信号であり、各発生回路ブロックとしては、例えば、入力ポンプ電圧レベルが未だ形成されておらず、しかも、ポンプ電圧を給電するポンピング発生回路が依然として稼働しているような1発生回路である。その結果、この1発生回路により、そのターンオフが遅延されるが、この回路へのダイナミックイネーブル信号は、既にターンオフされているようになる。つまり、これらの信号は、時間が臨界的であり、全ての発生回路が、そのような入力信号を必要とするわけではない。

【0028】

図4、図5には、パワーオンシーケンステーブルが示されており、それを用いて、図2の例として集中型発生回路制御装置40によって動作されるパワーオン期間の間、図3の発生回路系100を制御するためのシーケンスの例について説明する。このテーブルのセクション200では、外部電圧(VEXT)が、シーケンスの始めで、チップに印加される。チップに外部電圧(VEXT)を印加することによって、コントローラ50内のステートマシン52が、コントローラ50内の所定のフリップフロップ(図2に示されていない)をリセットし、"V6on"信号をロー状態にし、その結果、コントローラ50から"V6on"信号を受信した回路は全て非動作状態になる。この時点で、発生回路111は、電圧V1A及びV1Bを発生し始めるように動作され、発生回路112は、電圧V2を発生し始めるように動作され、発生回路113は、電圧V3を発生し始めるように動作され、発生回路114は、電圧V4を発生し始めるように動作され、発生回路115は、V5を発生するように動作されて、ノード(図示していない)の所期ブルダウンを行い、発生回路117は、V7を発生するように動作されて、ブーストスイッチ(図示していない)の所期動作を行い、発生回路116が動作されて、スタンバイモードにされて、V6acc(V6アクティブ)及びV6sbm(V6スタンバイモード)信号を発生し、発生回路118は、電圧V8、開始された信号V6osb(V6オンスタンバイ)を発生し始めるように動作され、発生回路119は、電圧V9を発生し始め、発生回路120は、電圧V10を発生し始める。コントローラ50では、"bFINIT"(bフューズイニシャライズ)フューズラッチ信号がロー状態にされ、"bFSET"(bフューズセット)信号がハイ状態にされる。"bFINIT"及び"bFSET"信号は、チップ上のフューズ用の例示的な信号である。これらフューズの情報は、チップに適用されず、例示的なパワーオン期間中、このフューズ情報は、所定のフリップフロップ(図示していない)、例えば、コントローラ50内にラッチされる。これらは、2つのフューズ信号であり、フューズ情報を所定のフリップフロップ内にラッチするのを形成又は制御するために、2つのフューズ信号がハイになったり、又は、ローになったりする時点に関する所定のタイミングを2つのフューズ信号は必要とする。フューズは、チップ全体に亘って設けられているので、電圧V6は、フューズ情報がラッチされる以前にチップ全体に亘って既に十分に形成されており、さもなければ、論理"0"は、それが実際には論理"1"である場合にはラッチされる。と言うのは、回路、及び、これらの回路に給電する電圧は、未だ安定していないからである。

【0029】

テーブルのセクション201では、コントローラ50は、発生回路116(動作されて、セクション200でスタンバイモードにされる)からの電圧V6が、所定レベルに達する必要があることが分かった時点で、コントローラ50は、所定数のXクロックサイクル(

10

20

30

40

50

例えば、 $X = 10$)の間待機する。テーブルのセクション202では、電圧検出器44によって、 $V13$ (発生回路123からの電圧)が、要求レベル(ロー又はハイ)であることが検出され、電圧検出器44は、電圧 $V6$ が所定のハイスレッシュールドレベルに達していることを検出し、電圧検出器44は $V6DET$ 信号をコントローラ50に伝送し、コントローラ50は、電圧 $V6$ がチップ全体に亘って十分に形成されていることを指示している。テーブルのセクション203では、電圧 $V6$ が、その適切なレベルであることを検知しているコントローラは、セクション204を開始する以前に、別の X クロックサイクルを待機する。テーブルのセクション204では、コントローラ50内の" $V6on$ "信号がハイとなり、電圧 $V3$ 駆動能力は低減し、電圧 $V5$ は、最早プルダウン状態ではなく、ブーストスイッチの電圧 $V7$ 活性化はターンオフされる。パワーオン期間の開始中、発生回路117は、大きな $V7$ 駆動能力を要求しているものとし、この大きな $V7$ 駆動能力は、セクション200で、そのブーストスイッチによって活性化され、それから、大きな $V7$ 駆動能力が最早必要でない時点で、セクション204で低減される。

10

【0030】

テーブルのセクション205で、コントローラ50は、" $V14sbct$ " ($V12$ スタンバイ回路)信号を発生し、発生回路124は、電圧 $V14$ を発生し始める。テーブルのセクション206では、コントローラ50は、" $V13acct$ " ($V13$ 活性化回路)及び" $V13sbct$ " ($V13$ スタンバイ回路)信号を発生し、それにより、発生回路123は、活性化されて、スタンバイモードにされる。テーブルのセクション207では、コントローラは、フューズラッチ信号を発生し、 $bFINIT$ 信号をハイにする。テーブルのセクション208-211では、コントローラは、 Y クロックサイクルの待機シーケンス中(セクション208)、 $bFSET$ をローにし(セクション209)、 $bFSET$ をハイにする(セクション211)前に Z クロックサイクル(セクション210)の間待機する。 $bFINIT$ 信号及び $bFSET$ 信号は、チップ上の他の回路に供給され、発生回路111-124のどれにも供給されない(と言うのは、発生回路は、列に「Generator Circuits:発生回路」とラベル表示された、何らかのアクションを実行するように示されていないからである)。 $bFINIT$ 信号及び $bFSET$ 信号によって制御されたフリップフロップは、一般的に中間回路によって制御され、これらの回路は、 $bFINIT$ 信号及び $bFSET$ 信号の特殊なタイミングを必要とする。

20

【0031】

図3に示されている現在の発生回路装置100では、発生回路123は、 $VEXT$ 電圧(基準によって所定の最大値を有することができるにすぎない)を受け取る関連の電力網を含むポンプジェネレータであるとされており、負の出力信号 $V13$ (例えば、 -0.5 ボルト)を供給するように、この入力電圧をポンピングする。同様に、発生回路122は、 $VEXT$ 電圧を受け取るポンプジェネレータであって、正の出力信号 $V12$ (例えば、 3.5 ボルト)を供給するように、この入力電圧をポンピングする。テーブルのセクション212では、発生回路123からの電圧 $V13$ は、その所定レベルに達し、 $V13LMT$ ($V13$ リミット)検出信号が発生されて、コントローラ50は" $V13acct$ " (セクション206から)をローにし、発生回路123内での" $V13ac$ "活性化信号をターンオフする。テーブルのセクション213では、コントローラ50は、" $V12poc t$ " ($V12$ パワーオン回路)制御信号を発生し、この信号はハイとなり、発生回路122に関連した電力網(図示していない)が始動される。テーブルのセクション214では、電圧 $V12$ は、電圧 $V6$ の値の所定レベル(85%)に達し、電圧検出器44からの $V12DET$ ($V12$ 検出)は、所定のハイレベルになる。これにより、コントローラ50は、 $V12poc t$ (セクション213からの)を発生し、この $V12poc t$ はローとなり、その結果、発生回路122の電力網がターンオフされる。テーブルのセクション215では、コントローラは、" $V12acct$ "及び" $V12sbct$ "を発生し、この" $V12acct$ "及び" $V12sbct$ "はハイとなり、これにより、今度は、発生回路122が活性化されて、スタンバイ状態になる。テーブルのセクション212-215の理由は、ポンプ発生回路122及び123がターンオンすることができず、0ボルトか

30

40

50

ら直ぐに、その適切な出力電圧になり、この出力電圧は、V E X T印加電圧よりも極めて高いか、又は、低い。従って、これにより、このタイプの発生回路のターンオンを引き延ばすことが要求される。例えば、発生回路123と関連した電力網（図示していない）は、ハイに引き上げられて所定レベル、例えば、発生回路116からの電圧V6の85%になり、それから初めて、ポンプ発生回路123は、適切に機能し始めることができる。これは、"V13 power"回路と呼ばれるデバイス（図示していない）をターンオンすることによって行われ、この"V13 power"回路は、ポンプそのものであり、発生回路123電力網をハイ状態に引き上げる。電力網が所定レベルに達すると、電力網は、再度ターンオフし、ポンプ発生回路113が動作し始める。

【0032】

テーブルのセクション216では、コントローラは、"V8 frct"（V8フィードバックレギュレーター回路）制御信号を発生し、この"V8 frct"制御信号はハイとなり、それにより、発生回路118のフィードバックレギュレーター回路が動作し始め、電圧V8が発生される。セクション217-220では、コントローラ50は、Xクロックサイクル（セクション217）の間待機し、それから、V11 acc t"制御信号を発生して、発生回路121が電圧V11（セクション118）を発生し始め、コントローラ50は、再度、"V det"（電圧検出器）制御信号を発生する前にXクロックサイクルの間待機し、"V det"（電圧検出器）制御信号は、最早、電圧検出器44は必要ないので、この電圧検出器44をターンオフして、この電圧検出器44で使用されるバイアス電流を節約するようにする。テーブルのセクション221及び222では、コントローラ50は、"PWR on"（パワーオン）制御信号を出力し、この"PWR on"（パワーオン）制御信号は、発生回路111-124からの電圧の全てが安定していることを指示し（セクション121）、発生回路は、始動しており、正確なパワーオンレベルに達しているので、パワーオン期間は終了される（セクション122）。

【0033】

同様のシーケンステーブルは、チップ上で要求される動作期間の何れかの間、回路設計者によって形成することができ、それから、種々要求される各動作期間の間、発生回路111-124を制御するために、コントローラ50のステートマシン52によって使用されるために相応のプログラム命令に変換される。

【0034】

この、集中型発生回路制御装置40の利点は、論理制御機能と電圧発生機能とが明らかに分離されている点にある。従って、系全体を容易に検証することができる。と言うのは、機能は全て、個別に検証することができ、その機能の信号アスペクトは、他の機能への副次的な作用なしに切換乃至置換することができるので、極めて大きなフレキシビリティで切り換えることができる。特に、この系の論理的なモードは、ステートマシン52の仕様によって決定され、論理モードでの切換は単純に行われ、電圧発生回路に作用しない。しかも、例のように、動作のパワーオン期間のシーケンス構成は、付加的な遅延回路を必要としない。と言うのは、遅延は全て、ステートマシン52は本質的に「シーケンサ：sequence r」であるので、ステートマシン52で実行される。付加的に、テストモード信号及びフューズ信号の初期化は、付加的な回路を必要としない。と言うのは、この初期化は、パワーオンシーケンス中、これらの信号が評価されるということを示しさえすればよいので、本質的にステートマシン52で実行されるからである。

【0035】

本発明の上述の特定の実施例は、本発明の一般的な原理を示したに過ぎない。

上述の原理に整合している限りで、当業者は、種々の変形実施例を構成することができる。例えば、同様のシーケンステーブルを、チップ上で必要な動作期間のそれぞれに対して形成することもでき、それから、種々の動作期間のそれぞれに対する発生回路111-124を制御するために、コントローラ50のステートマシン52によって使用されるための相応のプログラム命令に変換される。更に、図4、図5のシーケンステーブルは、パワーオン期間、及び、そのために構成することができる、他の何れかの所望のシーケンス用

10

20

30

40

50

に使用される、単に例示的なシーケンスにすぎない。

【 0 0 3 6 】

要するに、本発明は、チップ上の電圧発生回路系を構成する複数の電圧発生回路は、集中型電圧発生回路制御装置により制御される。電圧発生回路制御装置は、例えば、クロックジェネレータ、電圧検出器、ボンディングパッド、テストパッド、フューズ、及び所定のレジスタのような、チップ上の種々のデバイスからの制御信号を受信するステートマシンを有するコントローラを有している。受信信号から、コントローラは、発生回路によって必要とされる動作の各期間中の所定のプログラムシーケンスに従って、電圧発生回路系及びチップ上の他の回路への制御信号を発生して、チップ上の回路への所要の安定した電圧を給電する。

10

【 0 0 3 7 】

【発明の効果】

本発明によると、発生回路系の至る所に設けられている論理回路を必要とせず、発生回路系又はチップを将来変更するために必要な何らかの変化に適應するフレキシビリティが得られるという効果を奏することができる。

【図面の簡単な説明】

【図 1】ダイナミック R A M チップのような、多重電圧発生回路チップ内の電圧を制御するための、従来技術の発生回路制御装置のブロック図

【図 2】本発明による、ダイナミック R A M チップのような、多重電圧発生回路チップ上の種々の電圧を制御するための例示的な集中型発生回路制御装置のブロック図

20

【図 3】図 2 の集中型発生回路制御装置によって制御される、ダイナミック R A M のような、多重電圧チップ上に複数の電圧発生回路を有している、本発明による例示的な電圧発生回路系のブロック図

【図 4】図 2 の例示的な集中型多重電圧発生回路制御装置によって図 3 の発生回路装置を制御するための例示的なパワーオンシーケンスを示すためのパワーオンシーケンス表を示す図

【図 5】図 2 の例示的な集中型多重電圧発生回路制御装置によって図 3 の発生回路装置を制御するための例示的なパワーオンシーケンスを示すためのパワーオンシーケンス表を示す図

【図 6】図 2 の例示的な集中型発生回路制御装置でのステートマシンの例示的な装置を示す図

30

【符号の説明】

1 0 発生回路制御用の発生回路制御装置

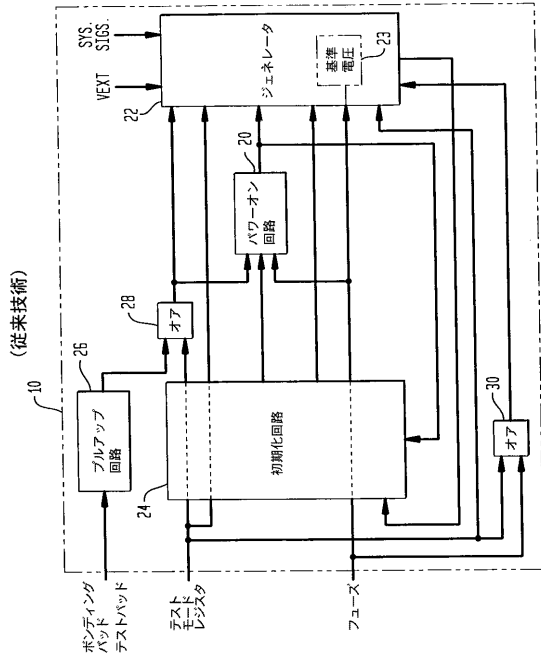
4 0 集中型発生回路制御装置

5 2 ステートマシン

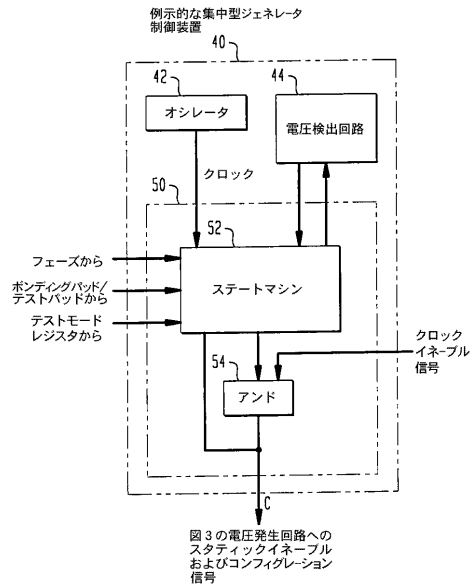
1 0 0 発生回路系

1 1 1 - 1 2 4 発生回路

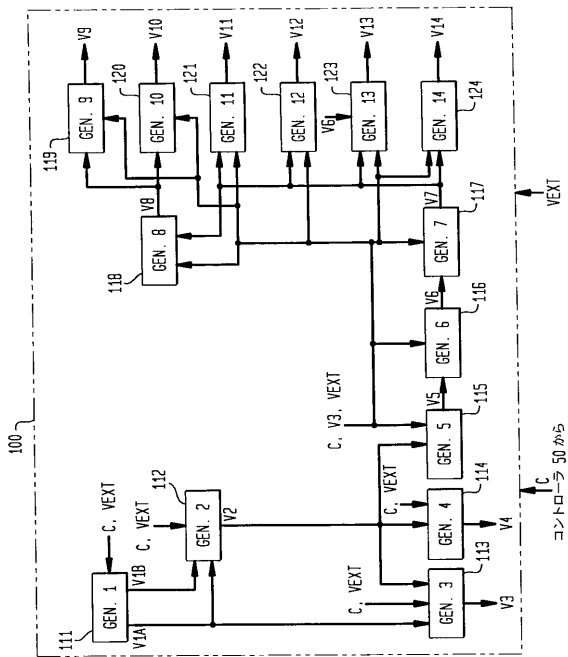
【図 1】



【図 2】



【図 3】



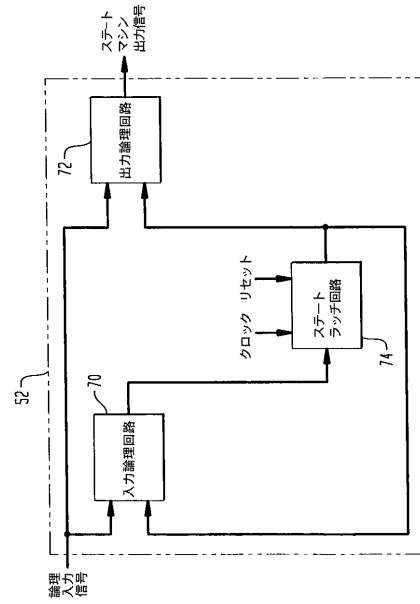
【図 4】

発生	コントローラ	ジェネレータ回路
VEXT 印加	リセットフリップフロップ; V6on はロー;	V1A & V1B スタート; V2 スタート; V3 スタート; V4 スタート; V5 (ノードのイニシャルプルダウン); V7 (ブラストスイッチのイニシャルアクティベーション); V6ac, V6sbm スタート; V8 スタート; V8osb スタート; V9 スタート; V10 スタート;
200	bFINIT はロー; bFET はハイ;	
201	X サイクル待機	
202	V13 レベルは OK V6DET ハイになる	
203	X サイクル待機	
204	V6on ハイになる	V3 駆動能力低減 V5 フルダウンせず; V7 ブラストターンオフ
205	V14sbct ハイになる;	V14 スタート;
206	V13acct, V13sbct ハイになる;	V13ac, V13sb スタート;
207	フェーズラッチ信号の発生; bFINIT ハイになる;	
208	Y サイクル待機	
209	bFSET ローになる;	
210	Z サイクル待機	

【図5】

	発生	コントローラ	ジェネレータ回路
211		bFSET ハイになる;	
212	V13 レベルに達する V13LMTローになる	V13acct ローになる;	V13ac ターンオフ;
213		V12pact ハイになる;	V12po スタート;
214	V12はV6の85%に 達する; V12DETハイになる;	V12pact ローになる;	V12po ターンオフ;
215		V12acct, V12sbct ハイになる;	V12ac, V12sb スタート;
216		V8frct ハイになる;	V8fr スタート;
217		X サイクル待機	
218		V11acct ハイになる;	V11ac スタート;
219		X サイクル待機	
220		Vdet ローになる	電圧検出回路 ターンオフ (ハイアス電流 節約)
221		PWRon 信号指示	全電圧安定
222		終了	

【図6】



フロントページの続き

(74)代理人 100099483

弁理士 久野 琢也

(72)発明者 オリヴァー ヴァインフルトナー

アメリカ合衆国 ニューヨーク フィッシュキル コンチネンタル ドライヴ 20

審査官 堀田 和義

(56)参考文献 特開平8 - 315598 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/4074