

[12] 发明专利说明书

[21] ZL 专利号 96110207.1

[45] 授权公告日 2001 年 11 月 28 日

[11] 授权公告号 CN 1075693C

[22] 申请日 1996.6.27

[21] 申请号 96110207.1

[30] 优先权

[32] 1995.6.28 [33] KR [31] 17949/1995

[73] 专利权人 现代电子产业株式会社

地址 韩国京畿道

[72] 发明人 金峻万 李承桓

[56] 参考文献

US 5081654A	1992. 1. 14	H04L7/00
US 5111453A	1992. 5. 5	H04J3/02
US 5319764A	1994. 6. 7	G06F12/00

审查员 邢文飞

[74] 专利代理机构 中国国际贸易促进委员会专利商标事

务所

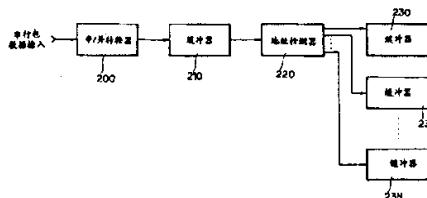
代理人 于 静

权利要求书 1 页 说明书 6 页 附图页数 3 页

[54] 发明名称 用于硬件包(分组)路由器的目的地址检测装置

[57] 摘要

用于硬件包(分组)路由器的目的地址检测装置,它包括:一个串/并转换器,用来把输入其中的串行包数据转换成为并行包数据;一个缓冲器,存储从串/并转换器输出的并行包数据,并以先进先出(FIFO)的方式进行输出;一个地址检测器,从缓冲器输出的数据中检测出数据传输的目的地址;n个缓冲器,根据由地址检测器所检测出来的目的地址相应地激活所述缓冲器,以存储数据并以先进先出(FIFO)的方式输出。



权 利 要 求 书

1. 一种用于硬件包(分组)路由器的目的地址检测装置包括：一个串/并转换器，将输入其中的串行包数据转换成并行包数据；

一个第一缓冲器，存储从串/并转换器输出的并行包数据，并以先进先出的方式将其输出；

一个地址检测器包括多个锁存器，它们按顺序接收第一缓冲器输出的并行包数据，移位，存储和输出并行包数据；所述地址检测器还包括一个解码/锁存器单元，用于有选择地接收来自锁存器输出的包数据的地址，存储和解码接收到的地址，根据检测到的目的地址产生一个用于相应目的缓冲器的芯片激活信号作为解码的结果，并且有选择地激活缓冲器，从而检测出从第一缓冲器输出的并行包数据的目的地址；以及

多个缓冲器，根据由地址检测器所检测出来的目的地址相应地激活所述缓冲器，以存储包数据并以先进先出的方式输出。

说 明 书

用于硬件包(分组)路由器的目的地址检测装置

本发明涉及一种用于硬件包(分组)路由器的目的地址检测装置,特别是涉及一种改进的硬件包(分组)路由器目的地址检测装置。这种装置能够检测一个系统中(如在码分多址系统 CDMA 中)将要发送的数据包和目的地址,以便用一个包(分组)交换单元来传送控制信号及预定数据。

传输预定数据的方法包括线路交换方式和数据包交换传输方式。前面所提到的线路交换方法适用于电子交换,它对需要传输的数据没有延时,并通过建立通信线路来实现对数据的实时传送。

因此,用线路交换方式传送预定数据,必须占用预定线路,而所占用的通信线路在此期间就不能再作其它用途。另外,通信费用也随通信距离的远近而有所变化,而且使用这种方法,也不能与具有不同通信速率的系统进行的通信。

上述的包交换传输方式则是指把有待传输的数据分成数据包单元,在如码分多址系统(CDMA)这样的系统中进行控制信号或预定数据的传输通信。

此外,在数据包中,待发的数据将被按照预定的长度进行分割,并在其头部(开头部分)提供传输的目的地址。

包交换传输方式在传送数据时并不占用线路,所以在通信期间仍然可以使用线路,并且可以与具有不同通信速率的系统进行通信。

传统的包路由器设备能够搜索并传送数据包所要发往的目的地址。如图 1 所示,它包括:

- 一个串/并转换器 100, 它把输入其中的串行包数据转换成并行包数据;
- 一个中央处理单元(*CPU*) 110, 它把从串/并转换器 100 中输出的并行包数据存到内部存储器 111 中, 并搜索和输出一个地址来传送包数据;
- 一个缓冲器 120, 它以先进先出的方式输出从中央处理单元(*CPU*) 110 来的包数据;
- 一个硬件路由器 130, 把从缓冲器 120 中输出的包数据传送到相应的目的地去;
- n 个缓冲器 140、141、142, ……, n , 以先进先出(*FIFO*)方式输出从硬件路由器 130 来的包数据。

现在, 参照附图来解释传统的数据包传输设备的操作方式。

首先, 串行包数据通过串/并转换器 100, 转变成并行包数据。然后, 中央处理器(*CPU*) 110 接收经过转换的包数据, 并按相应的地址, 把它顺序地存到存储器 111 中去。

中央处理单元(*CPU*) 110 顺序读取储存在存储器 111 中的并行包数据, 并检测其中包含的地址信息。

当预定的地址信息被检测到之后, 中央处理单元(*CPU*) 110 对包含在所检测到的地址信息中的逻辑地址进行转换, 并把它存到缓冲器 120 中, 缓冲器 120 以先进先出(*FIFO*)的方式输出所存储的数据。

从缓冲器 120 中输出的包数据又被传到硬件路由器 130, 然后

根据其物理地址的对应关系，存到缓冲器 140，或缓冲器 141,142, 143,……,n 中所对应的某一个中，并输出到目的地去。

如上面所描述的，传统的包交换路由器设备包含中央处理单元(*CPU*)，它从接收的包数据中读取目的地的逻辑地址，然后把它转换成物理地址，这样来实现数据传送。

因此，在要求实现多任务的系统中，系统性能会由于 *CPU* 的超负荷运转而下降。而且，当大量数据输入到中央处理单元时，*CPU* 的超载可能会导致操作错误的发生。

因而，本发明的目的在于，提供一种用于硬件包(分组)路由器的目的地址检测装置。它克服了传统的用于硬件包(分组)路由器的目的地址检测装置所遇到的问题。

本发明的另一个目的是提供一种改进的用于硬件包(分组)交换路由器的目的地址检测装置，它可以检测包数据传送的目的地址而不使用 *CPU*。

为了实现上述目的而提供的用于硬件包(分组)路由器的目的地址检测装置包括：

- 一个串/并转换器，转换输入的串行包数据为并行包数据；
- 一个缓冲器，存储串/并转换器输出的并行包数据，并以先进先出(*FIFO*)的方式输出；
- 一个地址检测器，从缓冲器所输出的并行包数据中检测数据包传输的目的地址；
- n 个缓冲器，根据地址检测器检测出目的地址，激活对应的缓冲器以便存储包数据，并以先进先出(*FIFO*)的方式输出。其

中,所述地址检测器包含 n 个串联的锁存器,用于将缓冲器的输出信号顺序移位、存储并输出。

——一个解码锁存器,存储和对锁存器输出的信号进行解码,在存储目的地址后,生成 n 个与目的地址对应的芯片激活信号,并选择性地激活相应的缓冲器。

在本发明中,有一组串联的锁存器,输入的包数据被顺序移位并存储下来。解码/锁存器对每个锁存器中存储的包数据进行解码,包数据传输的目的地址被检测出来,并根据上述检测出来的目的地址将其存储在相应的缓冲器中。

因此,由于没有使用中央处理单元(CPU)来进行目的地址的检测,避免了 CPU 超负荷的现象,从而改进了系统的操作性能,处理速度也得到了提高。

通过下面给出的详细的叙述及所附的方框示意图,本发明会得到更充分的理解,但本发明并不受这些叙述和示意图的限制:

图 1 说明了传统的地址检测装置的结构;

图 2 说明了应用本发明的地址检测装置的结构;

图 3 说明了图 2 本发明中的地址检测器;

下面参照图 2、图 3 来描述依据本发明设计的用于硬件包(分组)路由器的目的地址检测装置。

图 2 显示了采用本发明的用于硬件包(分组)交换路由器的目的地址检测装置的结构。

如图所示,串/并转换器 200 转换输入的串行包数据为并行包数据;缓冲器 210 存储从串/并转换器 200 输出的并行包数据,并以先进先出(FIFO)的方式将其输出;地址检测器 220 检测从缓冲

器 210 来的并行包数据所要发往的目的地址；以及， n 个缓冲器 230、231、232、……、 n ，根据由地址检测器 220 检测出来目的地址相应地将它们激活，以用于存储数据，然后以先进先出(FIFO)的方式输出到目的地去。

这里的地址检测器 220，如图 3 所示，包括 n 个锁存器 310、311、……、 n ，它们串联在一起，将从缓冲器 210 来的输出信号顺序地移位并存储、输出；一个解码/锁存器 320 对锁存器 310、311、……、 n 的输出信号进行存储并解码，当目的地址存储在锁存器 n 中，它就选择性地生成与目的地址对应的芯片激活信号 $CE1$ 、 $CE2$ 、……、 CE_n ，并选择性地激活相应的缓冲器 230、231、……、 n 。

下面参照附图来解释用于硬件包(分组)路由器的目的地址检测装置的操作过程。

首先，本发明先通过串/并转换器 200 转换串行包数据为并行包数据，然后将经过转换的并行包数据以先进先出的方式存放在缓冲器 210 中。

从缓冲器 210 输出的并行包数据又被输入到地址检测器 220 中，数据传输的目的地址被检测出来。地址检测器 220 对应其输出的芯片激活信号 $CE1$ 、 $CE2$ 、……、 CE_n 选择性地选择相应的缓冲器 230、231、……、 n ，并且将包数据存储起来，以先进先出(FIFO)的方式将其输出到传输的目的地去。

即地址检测器 220 对从缓冲器 210 输出到锁存器 310、311、……、 n 的并行包数据进行顺序移位及存储。

被锁存器 310、311、……、 n 移位和存储的并行包数据接着被存到解码/锁存器 320 中，并进行解码，以便检测出目的地址。解码

/锁存器 320 选择性地生成与检测到的目的地址相对应的芯片激活信号 $CE1$ 、 $CE2$ 、……、 CEn ，然后激活缓冲器 230、231、……、 n ，被激活的缓冲器 230、231、……、 n 储存从锁存器 n 输出的并行包数据，并传送到其传输目的地去。

如前所述，本发明中的用于硬件包(分组)路由器的目的地址检测装置可以检测传输数据包的目的地址，并在未使用中央处理单元(CPU)的情况下，将其存储在目的地的缓冲器中，传送数据到目的地。

此外，使用本发明可以避免 CPU 超载现象的发生，从而提高了 CPU 的操作性能。本发明适用于需要高速度、多任务及高速准确的数据包发送的系统。

虽然为了进行说明，本发明公开了优选实施例，但是，本领域的技术人员会发现，在不违背随后所附的权利要求中描述的发明的范围和精神的前提下，仍然存在着多种修改、补充和替换的可能性。

图 1

先有技术

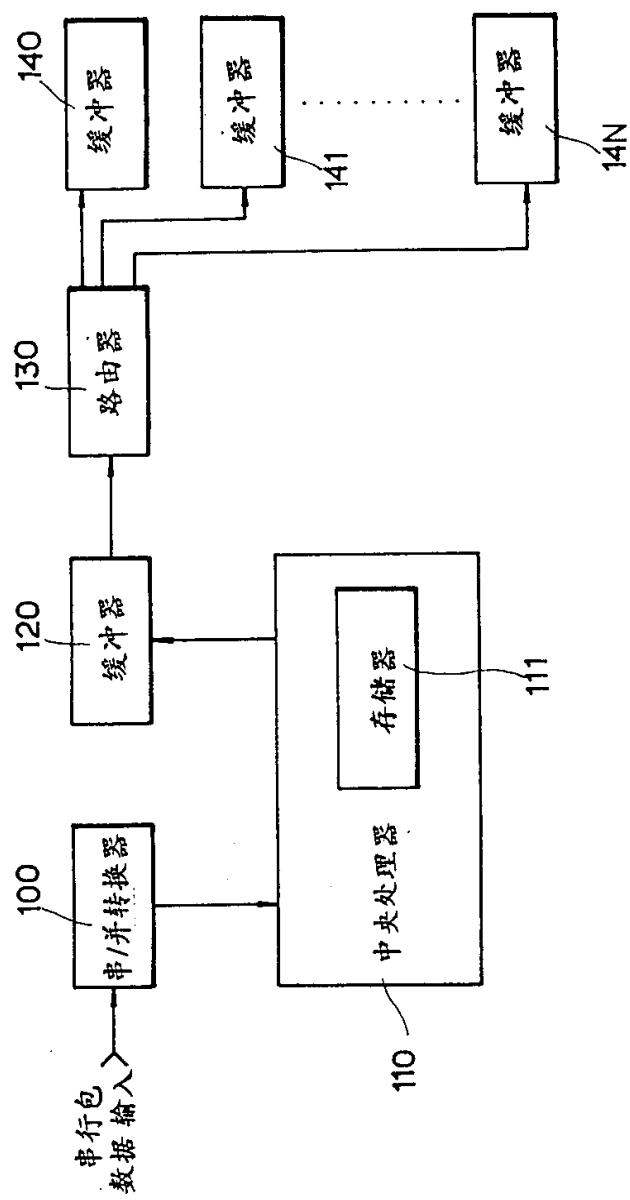


图 2

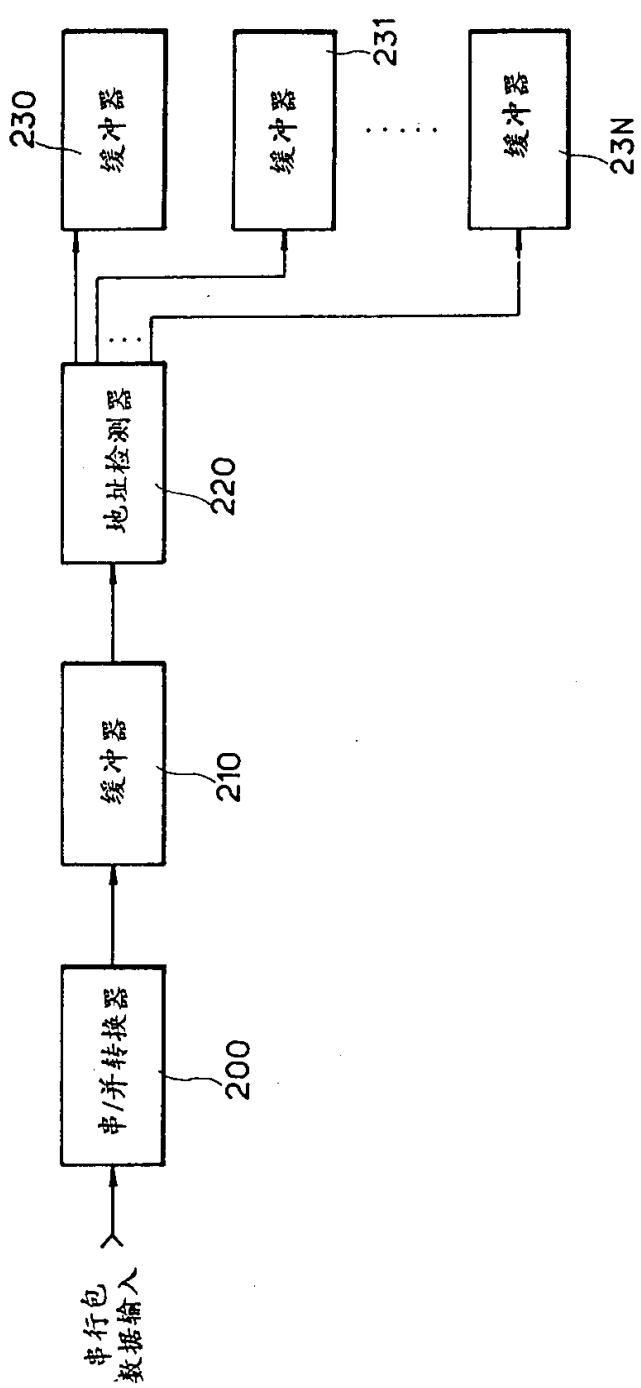


图 3

