

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4619631号
(P4619631)

(45) 発行日 平成23年1月26日 (2011. 1. 26)

(24) 登録日 平成22年11月5日 (2010. 11. 5)

(51) Int. Cl.	F I
G 0 9 G 3/36 (2006. 01)	G 0 9 G 3/36
G 0 2 F 1/133 (2006. 01)	G 0 2 F 1/133 5 5 0
G 0 9 G 3/20 (2006. 01)	G 0 9 G 3/20 6 1 1 A
G 1 1 C 19/00 (2006. 01)	G 0 9 G 3/20 6 1 2 K
	G 0 9 G 3/20 6 2 1 A
請求項の数 1 (全 34 頁) 最終頁に続く	

(21) 出願番号	特願2003-165490 (P2003-165490)	(73) 特許権者	503447036
(22) 出願日	平成15年6月10日 (2003. 6. 10)		サムスン エレクトロニクス カンパニー リミテッド
(65) 公開番号	特開2004-157508 (P2004-157508A)		大韓民国キョンギード, スウォン-シ, ヨ ントン-ク, マエタン-ドン 4 1 6
(43) 公開日	平成16年6月3日 (2004. 6. 3)	(74) 代理人	110000408
審査請求日	平成18年5月31日 (2006. 5. 31)		特許業務法人高橋・林アンドパートナーズ
(31) 優先権主張番号	2002-032368	(72) 発明者	文 勝 煥
(32) 優先日	平成14年6月10日 (2002. 6. 10)		大韓民国京畿道龍仁市水枝邑上弦里 現代 1-パーク6次アパート205棟1504 号
(33) 優先権主張国	韓国 (KR)		審査官 堀部 修平
(31) 優先権主張番号	2002-037944		
(32) 優先日	平成14年7月2日 (2002. 7. 2)		
(33) 優先権主張国	韓国 (KR)		
最終頁に続く			

(54) 【発明の名称】 シフトレジスタ

(57) 【特許請求の範囲】

【請求項 1】

シフトレジスタにおいて、
従属接続された複数のステージであって、第1ステージの入力端子に開始信号が印加され、各ステージの出力端子は次段ステージの入力端子に接続され、前記各ステージの出力端子から出力されるスキャンライン駆動信号が前記次段ステージの入力端子に印加されて前記次段ステージをセットし、奇数番目ステージのクロック端子には第1クロック信号が印加され、偶数番目ステージのクロック端子には、前記第1クロック信号に位相反転された第2クロック信号が印加され、前記入力端子に入力された前記スキャンライン駆動信号に
10
応答してスキャンライン駆動信号を順次出力し、前記各ステージの制御端子は次段ステージの出力端子に接続され、前記各ステージから出力される前記スキャンライン駆動信号は前記制御端子に印加される前記次段ステージの前記スキャンライン駆動信号によって順次に非活性化される複数のステージと、
前記複数のステージの最終ステージの次の段に接続され、前記最終ステージのスキャンライン駆動信号を非活性化させるためのダミー出力信号を生成し、前記ダミー出力信号を前記最終ステージの制御端子に出力して前記最終ステージのスキャンライン駆動信号を非活性化するダミーステージと
20
を含み、
前記ステージはそれぞれ、該ステージの出力端子に、前記クロック信号を供給するプルアップ部と、

前記出力端子に第1電源電圧を供給するプルダウン部と、
前段ステージのスキャンライン駆動信号に応じて前記プルアップ部をターンオンさせ、前記次段ステージのスキャンライン駆動信号によって前記プルアップ部をターンオフさせるプルアップ駆動部と、

前記前段ステージのスキャンライン駆動信号に応じて前記プルダウン部をターンオフさせ、前記次段ステージのスキャンライン駆動信号に応じて前記プルダウン部をターンオンさせるプルダウン駆動部と、を含み、

前記ダミーステージは、ダミー出力端子に前記ダミー出力信号を供給するダミープルアップ部と、

前記ダミー出力端子に第1制御電圧を供給するダミープルダウン部と、

最終ステージのスキャンライン駆動信号に応じて前記ダミープルアップ部をターンオンさせ、前記ダミープルアップ部を介して供給される前記クロック信号に応じて前記ダミープルアップ部をターンオフさせるダミープルアップ駆動部と、

前記最終ステージのスキャンライン駆動信号に応じて前記ダミープルダウン部をターンオフさせ、前記ダミー出力端子に接続して前記ダミー出力信号に応じて前記ダミープルダウン部をターンオンさせるダミープルダウン駆動部と、を含み、

前記ダミープルアップ駆動部は、前記ダミープルアップ部のトランジスタのゲートに接続する第1入力ノードと前記ダミー出力端子とに接続されたキャパシタと、

ドレインが第2電源電圧の供給を受け、ゲートが前記最終ステージのスキャンライン駆動信号の供給を受け、ソースが前記ダミープルアップ部の第1入力ノードに接続された第1トランジスタと、

ドレインが前記ダミープルアップ部の第1入力ノードに接続され、ゲートが前記ダミープルダウン部のトランジスタのゲートに接続する第2入力ノードに接続され、ソースが前記第1電源電圧の供給を受ける第2トランジスタと、

ドレインが前記ダミープルアップ部の第1入力ノードに接続され、ゲートが前記ダミープルアップ部の出力端子から分岐する第2出力端子に接続され、ソースが前記第1電源電圧の供給を受ける第3トランジスタと、を含み、

前記ダミーステージの出力端子は、前記ダミーステージの制御端子に接続され、前記最終ステージのスキャンライン駆動信号を非活性化するための前記ダミー出力信号は、前記ダミーステージの制御端子に印加されて、前記ダミー出力信号によって前記ダミーステージがリセットされることを特徴とするシフトレジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シフトレジスタ、該シフトレジスタを備える液晶表示装置、及びこれを利用したスキャンライン駆動信号に関するものである。

【0002】

【従来の技術】

最近、CRT方式のディスプレイ装置に比べて、軽量、小型でありながら、フルカラー、高解像度化などの特徴を有する液晶表示装置の開発が進んでいる。

液晶表示装置は、液晶の特定の分子配列に電圧を印加して異なる分子配列へ変換させ、このような分子配列により発光する液晶セルの複屈折性、旋光性、2色性及び光散乱特性などの光学的性質の変化を視覚変化へ変換することで、液晶セルによる光の変調を利用したディスプレイである。

【0003】

液晶表示装置は、大別すると、TN(Twisted Nematic)方式とSTN(Super-Twisted Nematic)方式に分かれ、駆動方式の差異でスイッチング素子及びTN液晶を利用したアクティブマトリックス(Active matrix)表示方式とSTN液晶を利用したパッシブマトリックス(Passive matrix)表示方式がある。

この二つ方式の大きな差異は、アクティブマトリックス表示方式がTFT（薄膜トランジスタ）をスイッチとして利用して、液晶表示装置を駆動するTFT-LCDに使用される表示方式であるに対し、パッシブマトリックス表示方式がトランジスタを使用しないので、該トランジスタと関連した複雑な回路を必要としない表示方式であるという点である。

【0004】

TFT-LCDは、a-Si TFT LCDとpoly-Si TFT LCDに区別される。poly-Si TFT LCDは、消費電力が小さく、価格が高くないが、a-Si TFT LCDに比べて、TFT製造工程が複雑であるという短所がある。したがって、poly-Si TFT LCDは、IMT-2000フォンのディスプレイのような小型ディスプレイ装置に主に適用される。

10

a-Si TFT LCDは、大面積化が容易であって生産性が高く、主にノートブックPC、LCDモニター、HDTVなどの大画面ディスプレイ装置に主に適用される。

【0005】

図1は、poly-Si TFT LCDのTFT基板の構成を示す概略図であり、図2は、従来のa-Si LCDのTFT基板の構成を示す概略図である。

図1に示すように、poly-Si TFT LCDは、ピクセルアレイが形成されたガラス基板10上にデータ駆動回路12及びゲート駆動回路14を形成し、端子部16と集積プリント回路基板20をフィルムケーブル18により接続する。このような構造は、製造原価を節減し、駆動回路の一体化により電力損失を最少化することができる。

20

【0006】

一方、図2に示すように、a-Si TFT LCDは、可撓性プリント回路基板上にCOF(CHIP ON FILM)方式にデータ駆動チップ34を形成し、可撓性プリント回路基板を通じてデータプリント回路基板36とピクセルアレイのデータライン端子部を接続する。また、可撓性プリント回路基板上には、前述したCOF方式によりゲート駆動チップ40を形成し、可撓性プリント回路基板を通じて、ゲートプリント回路基板42とピクセルアレイのゲートライン端子部を接続する。

即ち、a-Si TFT LCDは、a-Si工程の長所である高い生産性を有しているが、poly-Si TFT LCDでの費用及び薄い(Slim)構造に比べて、不利である。

【0007】

また、最近、ゲート電源供給部をデータプリント回路基板に実装する集積プリント回路基板技術を利用して、ゲートプリント回路基板を不要にする技術が紹介されている。

しかし、このような集積プリント回路基板を利用しても、ゲート駆動回路が形成された可撓性プリント回路基板は、そのままに使用する。したがって、複数の可撓性プリント回路基板をガラス基板に組立てる工程を実施するために、a-Si TFT LCDは、poly-Si TFT LCDに比べて、OLB(OUTER LEAD BONDING)工程が複雑であるので、製造原価が高くなる。

30

【0008】

上記した観点から、最近では、a-Si TFT LCDにおいても、poly-Si TFT LCDのように、ガラス基板上にデータ駆動回路及びゲート駆動回路をピクセルアレイと同時に形成することにより、組立工程の数を減少させるための技術開発が行われようとしている。

40

しかし、前記のようなa-Si TFT LCDでLCD画面の上下反転を可能にする機能は、未だ実現されていない。

即ち、製品の応用過程でLCD画面の上下反転が必要である場合、既存のゲート駆動回路に使用されるシフトレジスタはシフト方向が固定されていることから、画面の上下反転が必要である場合にも画面上下反転をさせることができなかった。

【0009】

【発明が解決しようとする課題】

本発明は、上記した従来例の問題点に鑑みてなされたものであり、その目的は、高精細、

50

大画面に適合し、消費電力を節減しながらレイアウト空間を減少させるためのシフトレジスタ及び該シフトレジスタを備えた液晶表示装置を提供することにある。

本発明の別の目的は、LCD画面の上下反転が可能であるようにするために両方向シフト機能を提供するシフトレジスタ及び該シフトレジスタを備えた液晶表示装置を提供することにある。

【0010】

【発明を解決するための手段】

上述した目的を達成するための本発明によるシフトレジスタは、従属的に接続され、奇数番目ステージには第1クロックと、前記第1クロックの出力を除去するための第1制御信号が提供され、偶数番目ステージには前記第1クロックに位相反転された第2クロックと、前記第2クロックの出力を除去するための第2制御信号が提供され各ステージは前記第1クロックまたは前記第2クロックを第1時間遅延させてスキャンライン駆動信号に順次に出力する複数のステージと、前記複数のステージのうちの最終ステージのスキャンライン駆動信号を非活性化させるためのダミー出力信号を生成し、前記ダミー出力信号にตอบสนองして第2時間遅延させた後、前記ダミー出力信号を非活性化させるダミーステージを含む。

10

【0011】

上述した目的を達成するための本発明によるシフトレジスタは、従属的に接続され、奇数番目ステージには第1クロックと、前記第1クロックの出力を除去するための第1制御信号が提供され、偶数番目ステージには前記第1クロックに位相反転された第2クロックと、前記第2クロックの出力を非活性化するための第2制御信号が提供され各ステージは前記第1クロックまたは前記第2クロックを第1時間遅延させてスキャンライン駆動信号を順次に出力する複数のステージと、前記複数のステージのうちの最終ステージに従属接続されて前記最終ステージのスキャンライン駆動信号を非活性化させるためのダミー出力信号を生成し、前記最終ステージから提供されるコントローラ信号にตอบสนองして第2時間遅延させた後、前記ダミー出力信号を非活性化させるダミーステージを含む。

20

【0012】

上述した目的を達成するための本発明による液晶表示装置は、透明基板上に形成された表示セルアレイ、データ駆動回路、ゲート駆動回路を含み、前記表示セルアレイは前記ゲート駆動回路に結合された複数のデータラインと、前記データ駆動回路に結合された複数ゲートラインを含み、各々のデータライン及びゲートラインに接続された複数のスイッチング素子を含む液晶表示装置において、前記ゲート駆動回路は従属的に接続され、奇数番目ステージには第1クロックと、前記第1クロックの出力を非活性化するための第1制御信号が提供され、偶数番目ステージには第1クロックに位相反転された第2クロックと、前記第2クロックの出力を除去するための第2制御信号が提供され各ステージは前記第1クロックまたは前記第2クロックを第1時間遅延させてゲートライン駆動信号に出力することにより、前記複数のゲートラインを順次に選択する複数のステージと、前記複数のステージのうちの最終ステージのゲートライン駆動信号を非活性化させるためのダミー出力信号を生成し、前記ダミー出力信号にตอบสนองして第2時間遅延させた後、前記ダミー出力信号を非活性化させるダミーステージを含む。

30

40

【0013】

上述した目的を達成するための本発明による液晶表示装置は、透明基板上に形成された表示セルアレイ、データ駆動回路、ゲート駆動回路を含み、前記表示セルアレイは前記ゲート駆動回路に結合された複数のデータラインと、前記データ駆動回路に結合された複数ゲートラインを含み、各々のデータライン及びゲートラインに接続された複数のスイッチング素子を含む液晶表示装置において、前記ゲート駆動回路は、従属的に接続され、奇数番目ステージには第1クロックと、前記第1クロックの出力を除去するための第1制御信号が提供され、偶数番目ステージには第1クロックに位相反転された第2クロックと、前記第2クロックの出力を除去するための第2制御信号が提供され各ステージは前記第1クロックまたは前記第2クロックを第1時間遅延させてゲートライン駆動信号に出力すること

50

により、前記複数のゲートラインを順次に選択する複数のステージと、前記最終ステージに従属接続され、前記最終ステージのゲートライン駆動信号を非活性化させるためのダミー出力信号を生成し、前記最終ステージから提供されるコントローラ信号にตอบสนองして前記ダミー出力信号を非活性化させるダミーステージとを含む。

【0014】

上述した目的を達成するための本発明によるディスプレイパネルの複数のスキャンラインを駆動する方法は、ディスプレイパネルに複数のスキャンライン駆動信号を提供してスキャンラインを駆動する方法において、スキャン開始信号の入力を受けて第1スキャンライン駆動信号を発生させ、第2スキャンライン駆動信号にตอบสนองして前記第1スキャンライン駆動信号を非活性化させるステップと、直前スキャンライン駆動信号の入力を受けて第N（Nは2以上の自然数）スキャンライン駆動信号を発生させ、直後スキャンライン駆動信号にตอบสนองして前記第Nスキャンライン駆動信号を非活性化させるステップと、直前スキャンライン駆動信号により最終スキャンライン駆動信号を発生させるステップと、前記最終スキャンライン駆動信号にตอบสนองして制御信号を発生させて最終スキャンライン駆動信号を非活性化させるステップと、前記制御信号にตอบสนองして所定時間遅延後、前記制御信号を非活性化させるステップとを含む。

10

【0015】

上述した目的を達成するための本発明によるディスプレイパネルの複数のスキャンラインを駆動する方法は、ディスプレイパネルに複数のスキャンライン駆動信号を提供して複数のスキャンラインを駆動する方法において、スキャン開始信号の入力を受けて第1スキャンライン駆動信号を発生させ、第2スキャンライン駆動信号にตอบสนองして前記第1スキャンライン駆動信号を非活性化させるステップと、直前スキャンライン駆動信号の入力を受けて第N（Nは2以上の自然数）スキャンライン駆動信号を発生させ、直後スキャンライン駆動信号にตอบสนองして前記第Nスキャンライン駆動信号を非活性化させるステップと、直前スキャンライン駆動信号により最終スキャンライン駆動信号を発生させるステップと、前記最終スキャンライン駆動信号にตอบสนองしてダミー出力信号を発生させて最終スキャンライン駆動信号を非活性化させるステップと、前記最終スキャンライン駆動信号の第1信号レベルと実質的に同一である第2信号レベルを有する制御信号にตอบสนองして前記ダミー出力信号を非活性化させるステップとを含む。

20

【0016】

上述した目的を達成するための本発明によるシフトレジスタは、第1選択信号が第1レベルである場合、順方向シフト動作を実施し、第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施する第1端ステージと、第1選択信号が第1レベルである場合、順方向シフト動作を実施し、第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施する複数個の中間端ステージと、第1選択信号が第1レベルである場合、順方向シフト動作を実施し、第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施する最後端ステージと、前記順方向シフト動作時に前記最終ステージをリセットさせる第1ダミーステージと、前記逆方向シフト動作時に前記第1端ステージをリセットさせる第2ダミーステージとを含む。ここで、従属的に接続された複数のステージのうち、奇数番目ステージには第1クロックが提供され、偶数番目ステージには前記第1クロックと位相が反転された第2クロックが提供される。

30

40

【0017】

上述した目的を達成するための本発明によるシフトレジスタは、従属的に接続された複数のステージのうち、奇数番目ステージには第1クロックが提供され、偶数番目ステージには前記第1クロックと位相が反転された第2クロックが提供されるシフトレジスタにおいて、第1選択信号が第1レベルである場合、順方向シフト動作を実施し、第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施する第1端ステージと、第1選択信号が第1レベルである場合、スキャン開始信号の入力を受けて第1スキャンライン駆動信号を発生させ、第2端ステージから発生された第2スキャンライン駆動信号にตอบสนองして前記第1スキャンライン駆動信号を非活性化させ、第2選択信号が前記第1レベルである場

50

合、前記第2スキャンライン駆動信号にตอบสนองして前記第1スキャンライン駆動信号を発生させ第2ダミー出力信号にตอบสนองして前記第1スキャンライン駆動信号を発生させ、第2ダミー出力信号にตอบสนองして前記第1スキャンライン駆動信号を非活性化させる第1端ステージと、前記第1選択信号が前記第1レベルである場合、直前端ステージのスキャンライン駆動信号にตอบสนองして第N(Nは2以上の自然数)スキャンライン駆動信号を発生させ、直後端ステージのスキャンライン駆動信号にตอบสนองして前記第Nスキャンライン駆動信号を非活性化させ、前記第2選択信号が前記第1レベルである場合、直後端ステージのスキャンライン駆動信号にตอบสนองして第Nスキャンライン駆動信号を発生させ、直前端ステージのスキャンライン駆動信号にตอบสนองして第Nスキャンライン駆動信号を非活性化させる複数の中間端ステージと、前記第1選択信号が前記第1レベルである場合、直前端ステージのスキャンライン駆動信号にตอบสนองして最終スキャンライン駆動信号を発生させ、第1ダミー出力信号にตอบสนองして前記最終スキャンライン駆動信号を非活性化させ、前記第2選択信号が前記第1レベルである場合、前記スキャン開始信号にตอบสนองして前記最終スキャンライン駆動信号を発生させ、前記直前端ステージのスキャンライン駆動信号にตอบสนองして前記最終スキャンライン駆動信号を非活性化させる最終ステージと、前記第1クロック信号及び前記最終ステージから最終スキャンライン駆動信号の入力を受けて第1ダミー出力信号を発生し、前記スキャン開始信号にตอบสนองして前記第1ダミー出力信号を非活性化させる第1ダミーステージと、前記第2クロック信号及び前記第1端ステージから前記第1スキャンライン駆動信号の入力を受けて第2ダミー出力信号を発生し、前記スキャン開始信号にตอบสนองして前記第2ダミー出力信号を非活性化させる第2ダミーステージとを含む。

10

20

【0018】

上述した目的を達成するための本発明による液晶表示装置は、透明基板上に形成された表示セルアレイ、データ駆動回路、ゲート駆動回路を含み、前記表示セルアレイは前記ゲート駆動回路に結合された複数のデータラインと、前記データ駆動回路に結合された複数ゲートラインを含み、各々のデータライン及びゲートラインに接続された複数のスイッチング素子を含み、前記ゲート駆動回路は、第1選択信号が第1レベルである場合、順方向シフト動作を実施し、第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施する第1端ステージと、第1選択信号が第1レベルである場合、順方向シフト動作を実施し、第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施する複数の中間端ステージと、第1選択信号が第1レベルである場合、順方向シフト動作を実施し、第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施する最後端ステージと、前記順方向シフト動作時に前記最終ステージをリセットさせる第1ダミーステージと、前記逆方向シフト動作時に前記第1端ステージをリセットさせる第2ダミーステージとを含む。ここで、従属的に接続された複数のステージのうち、奇数番目ステージには第1クロックが提供され、偶数番目ステージには前記第1クロックと位相が反転された第2クロックが提供される。

30

【0019】

上述した目的を達成するための本発明による液晶表示装置は、透明基板上に形成された表示セルアレイ回路、データ駆動回路、ゲート駆動回路を含み、前記表示セルアレイ回路は複数のデータラインと複数ゲートラインを含み、各表示セル回路は対応するデータライン及びゲートライン対に接続された液晶表示装置において、前記ゲート駆動回路は、従属的に接続された複数のステージのうち、奇数番目ステージには第1クロックが提供され、偶数番目ステージには前記第1クロックと位相が反転された第2クロックが提供されるシフトレジスタにおいて、第1選択信号が第1レベルである場合、順方向シフト動作を実施し、第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施する第1端ステージと、第1選択信号が第1レベルである場合、スキャン開始信号の入力を受けて第1スキャンライン駆動信号を発生させ、第2端ステージから発生された第2スキャンライン駆動信号にตอบสนองして前記第1スキャンライン駆動信号を非活性化させ、第2選択信号が前記第1レベルである場合、前記第2スキャンライン駆動信号にตอบสนองして前記第1スキャンライン駆動信号を発生させ第2ダミー出力信号にตอบสนองして前記第1スキャンライン駆動信号を

40

50

発生させ、第2ダミー出力信号にตอบสนองして前記第1スキャンライン駆動信号を非活性化させる第1端ステージと、前記第1選択信号が前記第1レベルである場合、直前端ステージのスキャンライン駆動信号にตอบสนองして第N（Nは2以上の自然数）スキャンライン駆動信号を発生させ、直後端ステージのスキャンライン駆動信号にตอบสนองして前記第Nスキャンライン駆動信号を非活性化させ、前記第2選択信号が前記第1レベルである場合、直後端ステージのスキャンライン駆動信号にตอบสนองしてスキャンライン駆動信号を発生させ、直前端ステージのスキャンライン駆動信号にตอบสนองして第Nスキャンライン駆動信号を非活性化させる複数個の中間端ステージと、前記第1選択信号が前記第1レベルである場合、直前端ステージのスキャンライン駆動信号にตอบสนองして最終スキャンライン駆動信号を発生させ、第1ダミー出力信号にตอบสนองして前記最終スキャンライン駆動信号を非活性化させ、前記第2選択信号が前記第1レベルである場合、前記スキャン開始信号にตอบสนองして前記最終スキャンライン駆動信号を発生させ、前記直前端ステージのスキャンライン駆動信号にตอบสนองして前記最終スキャンライン駆動信号を非活性化させる最終ステージと、前記第1クロック信号及び前記最終ステージから最終スキャンライン駆動信号の入力を受けて第1ダミー出力信号を発生し、前記スキャン開始信号にตอบสนองして前記第1ダミー出力信号を非活性化させる第1ダミーステージと、前記第2クロック信号及び前記第1端ステージから前記第1スキャンライン駆動信号の入力を受けて第2ダミー出力信号を発生し、前記スキャン開始信号にตอบสนองして前記第2ダミー出力信号を非活性化させる第2ダミーステージとを含む。

10

【0020】

また、上述した目的を達成するための本発明による液晶表示装置は、下部透明基板と上部透明基板との間に液晶を封入した液晶表示モジュールを有する液晶表示装置において、前記下部透明基板上に形成され、複数のデータラインと複数のゲートラインを含み、複数のスイッチング素子各々が対応するデータライン及びゲートライン対に接続された表示セルアレイと、前記下部透明基板上に形成され、複数のステージ、前記複数のステージのうちの最終ステージのゲートライン駆動信号を非活性化させるための第1ダミーステージ及び第1端ステージの第1ゲートライン駆動信号を非活性化させるための第2ダミーステージを備えることにより、前記複数のゲートラインを順方向または逆方向に順次的に選択する両方向シフト動作を実施するゲート駆動回路と、前記下部透明基板上に形成され、データ入力端子とデータライン間にドレイン及びソースが各々接続され、ゲートがブロック選択端子に共通に接続された複数の駆動トランジスタにより構成された複数のデータラインブロックと、複数のステージが従属的に接続され、第1ステージにはブロック選択開始信号が入力端子に結合され、各ステージの出力信号により前記複数のデータラインブロックを順次に選択するデータ駆動シフトレジスタを含むデータ駆動回路と、統合制御及びデータ駆動チップが実装され、前記ゲート駆動回路及びデータ駆動回路の各入力端子に制御信号及びデータ信号を提供する可撓性プリント回路基板とを含む。

20

30

【0021】

上述した目的を達成するための本発明によるディスプレイパネルの複数のスキャンラインを両方向に駆動する両方向スキャンライン駆動方法は、第1選択信号が第1レベルである場合、順方向シフト動作を実施し、第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施して第1スキャンライン駆動信号を発生させるステップと、第1選択信号が第1レベルである場合、順方向シフト動作を実施し、第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施して第2乃至第(N-1)（Nは4以上の自然数）のスキャンライン駆動信号を発生させるステップと、第1選択信号が第1レベルである場合、順方向シフト動作を実施し、第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施して第Nスキャンライン駆動信号を発生させるステップと、前記順方向シフト動作時に前記第Nスキャンラインを発生させた後、第1ダミー出力信号を発生させて前記第Nスキャンライン駆動信号を非活性化させるステップと、前記逆方向シフト動作時に前記第1スキャンライン駆動信号を発生させた後、第2ダミー出力信号を発生させて前記第1スキャンライン駆動信号を非活性化させるステップとを含む。

40

【0022】

50

上述した目的を達成するための本発明によるディスプレイパネルの複数のスキャンラインを両方向に駆動する両方向スキャンライン駆動方法は、第1選択信号が第1レベルである場合、順方向シフト動作を実施するためにスキャン開始信号にตอบสนองして第1スキャンライン駆動信号を発生させ、第2スキャンライン駆動信号にตอบสนองして前記第1スキャンライン駆動信号を非活性化させ、第2選択信号が第1レベルである場合、逆方向シフト動作を実施するために前記第2スキャンライン駆動信号にตอบสนองして前記第1スキャンライン駆動信号を発生させ、第2ダミー出力信号にตอบสนองして前記第1スキャンライン駆動信号を非活性化させるステップと、前記第1選択信号が前記第1レベルである場合、順方向シフト動作を実施するために直前スキャンライン駆動信号にตอบสนองして第2乃至第(N-1)(Nは4以上の自然数)のスキャンライン駆動信号を発生させ、直後スキャンライン駆動信号に
10 ตอบสนองして前記第2乃至第(N-1)のスキャンライン駆動信号を非活性化させ、前記第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施するために直後スキャンライン駆動信号にตอบสนองして前記第2乃至第(N-1)のスキャンライン駆動信号を非活性化させるステップと、第1選択信号が第1レベルである場合、順方向シフト動作を実施するために第(N-1)スキャンライン駆動信号にตอบสนองして第Nスキャンライン駆動信号を発生させ、第1ダミー出力信号にตอบสนองして前記第Nスキャンライン駆動信号を非活性化させ、前記第2選択信号が前記第1レベルである場合、逆方向シフト動作を実施するために前記スキャン開始信号にตอบสนองして前記第Nスキャンライン駆動信号を発生させ、前記第(N-1)スキャンライン駆動信号にตอบสนองして前記第Nスキャンライン駆動信号を非活性化させる
20 ステップと、前記順方向シフト動作時に前記第Nスキャンライン駆動信号にตอบสนองして第1ダミー出力信号を発生させ、前記第Nスキャンライン駆動信号を非活性化させるステップと、前記第1ダミー出力信号を非活性化させるステップと、前記逆方向シフト動作時に前記第1スキャンライン駆動信号にตอบสนองして第2ダミー出力信号を発生させ、前記第1スキャンライン駆動信号を非活性化させるステップと、前記第2ダミー出力信号を非活性化させるステップとを含む。

【0023】

最終ステージをリセットするためのダミーステージのリセット信号を最終ステージから提供されるコントローラ信号またはダミーステージから提供される出力信号に基づいてリセットされるので、ディスプレイランキング区間が長くなっても、消費電力を節減させることができ、配線空間を節約することができる。
30

【0024】

【発明の実施の形態】

以下、図面を参照して、本発明の好適な一実施形態を詳細に説明する。

図3は、本発明による a - Si TFT 液晶表示装置の分解斜視図を示す。図3に示すように、液晶表示装置100は、液晶表示パネルアセンブリ110、バックライトアセンブリ120、シャーシ130及びカバー140を含む。

【0025】

液晶表示パネルアセンブリ110は、液晶表示パネル112、可撓性プリント回路基板116、集積化された制御及びデータ駆動チップ118を含む。液晶表示パネル112は、TFT基板112aとカラーフィルタ基板112bを含む。TFT基板112aには、a - Si TFT 工程により表示セルアレイ回路、データ駆動回路、ゲート駆動回路及び外部接続端子が形成される。カラーフィルタ基板112bには、カラーフィルタ及び透明共通電極が形成される。TFT基板112aとカラーフィルタ基板112bは、互いに対向され、これら間に液晶が注入された後に封入される。
40

【0026】

可撓性プリント回路基板116に設けられた制御及びデータ駆動チップ118とTFT基板112aの表示セルアレイに形成されたTFTは、可撓性プリント回路基板116により電氣的に接続される。可撓性プリント回路基板116は、データ信号、データタイミング信号、ゲートタイミング信号、及びゲート駆動電圧を、TFT基板112aのデータ駆動回路及びゲート駆動回路に提供する。
50

バックライトアセンブリ 120 は、ランプアセンブリ 122、導光板 124、光学シート 126、反射板 128、及びモールドフレーム 129 を含んでいる。

【0027】

図4は、本発明による a-Si TFT LCD の TFT 基板の構成を示している。図4に示すように、本発明においては、TFT 基板 112a 上に、表示セルアレイ 150、データ駆動回路 160、ゲート駆動回路 170、データ駆動回路外部接続端子 162、163、ゲート駆動回路外部接続端子 169 が、TFT 工程時に共に形成される。

表示セルアレイ 150 は、列方向に延びられた m 個のデータライン (DL1 ~ DLm) と行方向に延びられた n 個のゲートライン (GL1 ~ GLn) を含む。

本発明の一実施形態では、2 インチ液晶表示パネルであり、176 個のデータラインおよび 192 個のゲートラインを有し、525 (= 176 × 3) × 192 の解像度を有する。

10

【0028】

データラインとゲートラインの各交差点には、スイッチングトランジスタ (ST) が形成される。スイッチングトランジスタ (STi) のドレインはデータライン (DLi) に接続され、ゲートはゲートライン (GLi) に接続される。スイッチングトランジスタ (STi) のソースは透明画素電極 (PE) に接続される。透明画素電極 (PE) とカラーフィルタ基板 112b に形成された透明共通電極 (CE) の間に、液晶 (LC) が位置することになる。

これにより、透明画素電極 (PE) と透明共通電極 (CE) 間に印加された電圧により、液晶配列が制御されて通過される光量を制御して、各ピクセルのグレイ表示をすることになる。

20

【0029】

データ駆動回路 160 は、シフトレジスタ 164 と 528 個のスイッチングトランジスタ (SWT) を含む。528 個のスイッチングトランジスタ (SWT) は、66 個ずつ 8 個のデータラインブロック (BL1 ~ BL8) を形成する。

各データラインブロック (BLi) は、66 個のデータ入力端子により構成された外部接続端子 163 に 66 個の入力端子が共通に接続され、対応する 66 個のデータラインに 66 個の出力端子が接続される。また、シフトレジスタ 164 の 8 個の出力端子のうちの対応する一つの出力端子にブロック選択端子が接続される。

【0030】

528 個のスイッチングトランジスタ (SWT) の各々は、対応するデータラインにソースが接続され、66 個のデータ入力端子の対応する入力端子にドレインが接続され、ブロック選択端子にゲートが接続された a-Si TFT MOS トランジスタにより構成される。

30

したがって、528 個のデータラインは、66 個ずつ 8 個のブロックに分割され、シフトレジスタ 164 の 8 個のブロック選択信号により、順次に各ブロックが選択される。

【0031】

図5は、図4のデータ駆動回路のシフトレジスタ 164 のブロック図である。

シフトレジスタ 164 は、図5に示すように、3 端子の外部接続端子 162 を通じて、第1クロック (CKH)、第2クロック (CKHB)、ブロック選択開始信号 (STH) が提供される。シフトレジスタ 164 の出力端子は各々、対応するデータラインブロックのブロック選択端子に接続される。

40

【0032】

図5に示すように、本発明によるシフトレジスタ 164 は、9 個のステージ (SRH1 ~ SRH9) が従属接続される。即ち、各ステージの出力端子 (OUT) が次段ステージの入力端子 (IN) に接続される。ステージは、データラインブロックに対応する 8 個のステージ (SRH1 ~ SRH8) と一つのダミーステージ (SRH9) により構成される。各ステージは、入力端子 (IN)、出力端子 (OUT)、制御端子 (CT)、クロック入力端子 (CK)、第1電源電圧端子 (VSS)、第2電源電圧端子 (VDD) を有する。8 個のステージ (SRH1 ~ SRH8) は、各データラインブロック (BL1 ~ BL8)

50

のブロック選択端子にブロック選択開始信号 (DE 1 ~ DE 8) を各々提供する。ブロック選択開始信号は、各ラインブロックのイネーブル信号である。

【0033】

奇数番目ステージ (SRH 1、SRH 3、SRH 5、SRH 7、SRH 9) には、第1クロック (CKH) が提供され、偶数番目ステージ (SRC 2、SRC 4、SRC 6、SRC 8) には、第2クロック (CKHB) が提供される。第1クロック (CKH) と第2クロック (CKHB) は相補的な位相を有する。第1クロック (CKH) 及び第2クロック (CKHB) のデューティサイクルは、例えば 1 / 66 ms 以下である。

各ステージの制御端子 (CT) には、次段ステージの出力信号が制御信号として入力される。これにより、制御端子 (CT) に入力される制御信号は、自身の出力信号のデューティサイクル遅延された信号になる。したがって、各ステージの出力信号 (ゲートライン駆動信号) が順次にアクティブ (即ち、ハイ状態) となるので、各出力信号のアクティブ区間に対応するデータラインブロックが選択され、イネーブルされることになる。

ダミーステージ (SRH 9) は、その前段のステージ (SRH 8) の制御端子 (CT) に制御信号を提供するためのものである。

【0034】

図6は、前述した図4のゲート駆動回路に利用されるシフトレジスタを説明するためのブロック図である。図6に示すように、ゲート駆動回路170は、一つのシフトレジスタにより構成され、該シフトレジスタは、複数のステージ (SRC 1 ~ SRC 192、ダミーステージ) の従属接続で構成される。すなわち、各ステージの出力端子 (OUT) が次段ステージの入力端子 (IN) に接続される。複数のステージは、ゲートラインに対応する192個のステージ (SRC 1 ~ SRC 192) と一つのダミーステージを含んでいる。各ステージは、入力端子 (IN)、出力端子 (OUT)、制御端子 (CT)、クロック入力端子 (CKH)、第1電源電圧端子 (VSS)、第2電源電圧端子 (VDD) を有する。

【0035】

第1ステージ (SRC 1) の入力端子 (IN) 及びダミーステージには、スキャン開始信号 (STV) が入力される。スキャン開始信号 (STV) は、垂直同期信号 (Vsync) に同期されたパルスである。

各ステージの出力信号 (GOUT 1 ~ GOUT 192) は、対応する各ゲートラインに接続される。奇数番目ステージ (SRC 1、SRC 3、...) には、第1クロック (CKV) が提供され、偶数番目ステージ (SRC 2、SRC 4、...) には、第2クロック (CKVB) が提供される。ここで、第1クロック (CKV) と第2クロック (CKVB) は相補的な位相 (反対位相) を有する。また、第1クロック (CKV) と第2クロック (CKVB) のデューティサイクルは、例えば、16.6 / 192 ms である。したがって、データ駆動回路のシフトレジスタ164のクロックのデューティサイクルに比べて、ゲート駆動回路のシフトレジスタのクロックのデューティサイクルが約8倍以上になる。

【0036】

各ステージ (SRC 1、SRC 2、SRC 3、...) の各制御端子 (CT) には、次段ステージ (SRC 2、SRC 3、SRC 4、...) の出力端子 (GOUT 2、GOUT 3、GOUT 4) が制御信号として入力される。即ち、制御端子 (CT) に入力される制御信号は、自身の出力信号のデューティサイクル遅延された信号になる。

各ステージの出力信号が順次にアクティブ (ハイ状態) となるので、各出力信号のアクティブ区間に対応する水平ラインが選択されることになる。

ダミーステージは、最終ステージ (SRC 192) をリセットさせる最終ステージリセット部の役割を有する。即ち、ダミーステージは最終ステージ (SRC 192) の出力信号を、ハイ (HIGH) レベルからロー (LOW) レベルに非アクティブ化させる。

【0037】

図7は、図6に示したシフトレジスタの各ステージの具体的な回路構成を示し、図8は、図7の回路の主要部の出力波形図を示す。

図7に示すように、シフトレジスタ164の各ステージは、プルアップ部171、プルダウン部172、プルアップ駆動部173、及びプルダウン駆動部174を含む。

【0038】

プルアップ部171は、パワークロック入力端子(CKV)にドレインが接続され、第3ノード(N3)にゲートが接続され、出力端子(GOUT[N])にソースが接続された第1NMOSトランジスタ(M1)により構成される。

プルダウン部172は出力端子(GOUT[N])にドレインが接続され、第4ノード(N4)にゲートが接続され、ソースが第1電源電圧端子(VSS)に接続された第2NMOSトランジスタ(M2)により構成される。

【0039】

プルアップ駆動部173は、キャパシタ(C)、第3~第5トランジスタ(M3~M5)により構成される。キャパシタ(C)は、第3ノード(N3)と出力端子(GOUT[N])間に接続される。第3トランジスタ(M3)は、ドレインが第2電源電圧(VON)に接続され、ゲートが入力端子(IN)、即ち以前段ステージの出力信号(GOUT[N-1])に接続され、ソースが第3ノード(N3)に接続される。第4トランジスタ(M4)は、ドレインが第3ノード(N3)に接続され、ゲートが第4ノード(N4)に接続され、ソースが第1電源電圧(VOFF)に接続される。第5トランジスタ(M5)は、ドレインが第3ノード(N3)に接続され、ゲートが第4ノード(N4)に接続され、ソースが第1電源電圧(VOFF)に接続される。第3トランジスタ(M3)のサイズは、第5トランジスタ(M5)のサイズより2倍程度大きく形成される。

【0040】

プルダウン駆動部174は、第6及び第7トランジスタ(M6、M7)により構成される。第6トランジスタ(M6)は、ドレインとゲートが共通されて第2電源電圧(VON)に接続され、ソースが第4ノード(N4)に接続される。第7トランジスタ(M7)は、ドレインが第4ノード(N4)に接続され、ゲートが第3ノード(N3)に接続され、ソースが第1電源電圧(VOFF)に接続される。第6トランジスタ(M6)のサイズは、第7トランジスタ(M7)のサイズより1.6倍程度大きく形成される。

【0041】

図8に示すように、第1及び第2パワークロック(CKV、CKVB)とスキャン開始信号(ST)がシフトレジスタに供給されると、第1ステージ(SRC1)ではスキャン開始信号(ST)の前縁に应答して第1パワークロック(CKV)のハイレベル区間を所定時間(Tdr1)遅延させて、出力端子(OUT)に出力信号(GOUT1)として発生する。

上述したように、アレイ基板が配置されるガラス上のシフトレジスタには、スキャン開始信号(STV)と共に第1及び第2パワークロック(CKV、CKVB)が供給され、アレイ基板に備えられるTFTのゲートを駆動するためのゲート駆動回路として動作を行う。

【0042】

以下、図9を参照して、図7のa-SiTFTのゲートを駆動するためのシフトレジスタの各ステージの動作を説明する。図9は、図6のシフトレジスタから出力される駆動波形図である。

図9に示すように、前述したシフトレジスタは、入力される2Hを1周期とする第1パワークロック(CKV)、または第1パワークロック(CKV)に位相が反転する第2パワークロック(CKVB)のうちのいずれかが一つが印加されて、複数のゲートライン駆動信号(GOUT1、GOUT2、GOUT3、...)を、TFT-LCDゲートラインに順次出力する。第1及び第2パワークロック(CKV、CKVB)は、a-TFTを駆動するためにタイミングコントローラ(図示せず)の出力である0~3V振幅の信号を、例えば、-8~2.4V振幅の信号に増幅した信号である。

【0043】

図7に示すように、前段ステージの出力信号(GOUT[N-1])は現在ステージのキ

10

20

30

40

50

ャパシタ(C)を充電させることにより、現在ステージをセットさせる。また、次段ステージの出力(GOUT[N+1])は、現在ステージのキャパシタ(C)を放電させることにより、現在ステージをリセットさせる。即ち、現在ステージの出力信号を非アクティブ化させる。上記したように、第1クロック信号(CKV)と第2クロック信号(CKVB)は、互いに反対の位相を有する。

【0044】

まず、第1及び第2クロック信号(CKV、CKVB)とスキャン開始信号(STV)が第1ステージに供給されると、スキャン開始信号(STV)の立ち上がりエッジにตอบสนองして、第1クロック信号(CKV)のハイレベル区間が所定時間遅延された後、出力端子に出力信号(GOUT[1])が発生される。

10

プルアップ駆動部173のキャパシタ(C)が入力端子(IN)を通じてトランジスタ(M3)のゲートに入力されたスキャン開始信号(STV)の立ち上がりエッジで充電され始める。キャパシタ(C)の充電電圧(Vc1)がプルアップトランジスタ(M1)ゲートソース間スレッシュホールド電圧以上に充電された後にプルアップトランジスタ(M1)がターンオンされ、第1クロック信号(CKV)のハイレベル区間が出力端子に示される。その結果、このような遅延特性が示される。

【0045】

出力端子(OUT)にクロック信号のハイレベル区間が示されると、この出力電圧がキャパシタ(C)にブートストラップ(BOOTSTRAP)され、プルアップトランジスタ(M1)のゲート電圧がターンオン電圧(Von)以上に上昇することになる。したがって、NMOSTランジスタであるプルアップトランジスタ(M1)が完全(FULL)導通状態を維持することになる。トランジスタ(M3)のサイズはトランジスタ(M4)のサイズより約2倍程度大きいために、スキャン開始信号(STV)によりトランジスタ(M4)がターンオンされても、トランジスタ(NT2)をターンオン状態に遷移させることができる。

20

【0046】

一方、プルダウン駆動部174は、開始信号が入力される前には、第6トランジスタ(M6)により第3ノード(N3)が第2電源電圧(VON)に上昇されて、第2トランジスタ(M2)はターンオンされる。したがって、出力端子(OUT)の出力信号の電圧が第1電源電圧(VOFF)の状態にある。スキャン開始信号(STV)が入力されると、第7トランジスタ(M7)がターンオンされて、第4ノード(N4)の電位が第1電源電圧(VOFF)にダウンされる。以後、第6トランジスタ(M6)がターンオン状態であっても、第7トランジスタ(M7)のサイズが第6トランジスタ(M6)のサイズより約1.6倍程度大きいために、第4ノード(N4)は第1電源電圧(VOFF)状態に続けて維持される。したがって、プルダウントランジスタ(M2)は、ターンオン状態からターンオフ状態に遷移される。

30

即ち、開始信号が入力されると、プルアップトランジスタ(M1)はターンオンされ、プルダウントランジスタ(M2)はターンオフされ、出力端子には第1クロック信号(CKV)が第2クロック信号(CKVB)のデューティサイクル遅延されて示される。

【0047】

40

出力端子(OUT)の出力信号の電圧がターンオフ電圧(VOFF=VSS)状態に下降されると、第7トランジスタ(M7)がターンオフされる。第6トランジスタ(M6)を通じて第4ノード(N4)に第2電源電圧(VON)のみ供給される状態であるので、第4ノード(N4)の電位は、第1電源電圧(VOFF)から第2電源電圧(VON)に上昇され始める。第4ノード(N4)の電位が上昇され始めると、第4トランジスタ(M4)がターンオンされ始め、これによりキャパシタ(C)の充電電圧は第4トランジスタ(M4)を通じて放電され始める。これに応じて、プルアップトランジスタ(M1)もターンオフされ始める。

【0048】

続いて、制御端子(CT)に提供される次段ステージの出力信号GOUT[N+1]がタ

50

ーンオン電圧に上昇することになるので、第5トランジスタ(M5)がターンオンされる。第5トランジスタ(M5)のサイズは第4トランジスタ(M4)より約2倍程度大きいために、第3ノード(N3)の電位は、第4トランジスタ(M4)のみターンオンされた場合より、さらに速く第1電源電圧(VOFF)にダウンされる。

また、第4ノード(N4)の電位が第2電源電圧(VON)に上昇されると、プルダウントランジスタ(M2)がターンオンされて、出力端子OUTはターンオン電圧(VON)からターンオフ電圧(VOFF)になる。

【0049】

制御端子(CT)に印加される次段ステージの出力信号GOUT(N+1)がローレベルに下降されて第5トランジスタ(M5)がターンオフされても、第4ノード(N4)は、第6トランジスタ(M6)を通じて第2電源電圧(VON)にバイアスされた状態を維持することになる。したがって、制御端子(CT)に印加される次段ステージの出力信号GOUT(N+1)がローレベルに下降されて第5トランジスタ(M5)がターンオフされても、第4ノード(N4)の電位が第2電源電圧(VON)に維持されるので、プルダウントランジスタ(M2)がターンオフされる誤動作の恐れなしに、安定した動作が確保される。

上述したように各ステージが動作して、出力信号GOUT[1]~GOUT[4]が、図8に示したように、順次に安定して発生される。

【0050】

以上で説明したように、前端ステージの出力信号によりキャパシタ(C)が充電された後、プルアップ部またはプルダウン部に接続されたパワークロックがハイレベルになると、前述したパワークロック電圧がステージの出力電圧になり、上述した出力電圧により次段ステージのゲートラインに印加波形が発生されると、次段ステージ出力は放電トランジスタ(M5)を動作させてキャパシタ電圧を放電させ、シフトレジスタの一動作サイクルを終了することになる。

【0051】

このような構造のシフトレジスタは、次段ステージの出力により現在ステージがリセットされるために、最終ステージをリセットさせるために必ず一つ以上のダミーステージが追加されなければならない。しかし、上述したダミーステージをリセットさせる手段も問題になる。

ダミーステージをリセットするために、図10に示すように、スキャン開始信号(STV)をダミーステージの放電トランジスタ(M5)に接続する構造を採択することが好適である。

図10は、図7によるシフトレジスタを説明するための図面として、特に、TFTゲート駆動ステージの最終ステージとダミーステージの配線を説明するための図面である。図10に示すように、ダミーステージに備えられるキャパシタを放電させるトランジスタ(M5)は、第1ステージに入力されるスキャン開始信号(STV)により放電動作、即ちリセット動作が実施される。

【0052】

図11は、図7に示したステージが5個であり、縦端に1個のステージを有するシフトレジスタによるシミュレーション結果を説明するための波形図である。図11のシミュレーション結果は、ゲートライン駆動信号を出力するステージを5個と定義し、最後の第6ステージをダミーステージに構成したシフトレジスタの出力波形を示している。勿論、最後の第6ステージの出力電圧は、ディスプレイ動作と連係されるゲートライン駆動信号ではない。

図11に示すように、スキャン開始信号(STV)の立ち上がりエッジに応答して一定時間遅延された後、第1クロック信号(CKV)がハイレベルに変更され、第1クロック(CKV)がハイレベルに変更された後、第1ステージの出力端子に第1ゲートライン駆動信号(GOUT[1])が発生されることが分かる。

【0053】

続いて、第2、第3、第4、第5ステージの出力端子にそれぞれ、第2～第5ゲートライン駆動信号（GOUT[2]、GOUT[3]、GOUT[4]及び（OUT[5]）が順次に発生されることが確認することができる。ここで、スキャン開始信号（STV）は、第1ステージとダミーステージである第6ステージに入力されるので、第6ステージの出力は、次のスキャン開始信号（STV）が発生されてリセットされる前まで、第2クロック（CKVB）を出力する。

【0054】

ところで、ダミーステージをリセットさせるとき、スキャン開始信号（STV）を利用すると、高精細、大画面のTFT LCDでは次の問題が発生する。

即ち、スキャン開始信号（STV）の配線をシフトレジスタ全体にわたって延ばさせなければならないので、レイアウト空間が損失される問題点がある。

また、スキャン開始信号（STV）の配線を縦に配置するために、横ラインとのオーバーラップにより寄生容量が増加し、増加された寄生容量により、信号歪みが生じる可能性が高いという問題点がある。

さらに、消費電力面でも寄生容量を充/放電させるための大きい振幅の第1クロック（CKV）と第2クロック（CKVB）の消費電力増加と共に、ディスプレイランキング時間に発生されるダミーステージの出力により消費電力が増加するという問題点がある。

【0055】

このような問題点を解決するための構造を、以下に説明する。

図12は本発明の一実施形態によるシフトレジスタを説明するための図面であり、図13は、図12によるシミュレーション結果を説明するための図面である。なお、説明の便宜のために、最終ゲートライン駆動信号である第Nゲートライン駆動信号（GOUT[N]）を出力するN番目ステージと、これに接続された一つのダミーステージのみを図示する。

【0056】

図12に示すように、本発明の一実施形態によるシフトレジスタの各ステージは、プルアップ部171、プルダウン部172、プルアップ駆動部173、及びプルダウン駆動部174を含む。図7と比較すると、プルアップ部171、プルダウン部172、プルアップ駆動部173、及びプルダウン駆動部174は同一であるので、同一の符号を付与し、その詳細な説明は省略する。

最終ステージに備えられるプルダウン駆動部174の出力信号は、プルダウン部172に印加されると共に、ダミーステージのプルアップ駆動部173に印加される。より詳細には、最終ステージの第6トランジスタ（M6）のソースは、ダミーステージの第5トランジスタ（M5）のゲートに接続される。

【0057】

このような接続を通じて、動作時に最終ゲートライン駆動信号を出力するN番目ステージが動作される間にロー状態であるインバータ（M6、M7）の出力電圧が、N+1番目出力信号によりリセットされると同時にハイ状態に遷移される。遷移されたハイ状態は、ダミーステージのプルアップ駆動部173に備えられて放電動作を実施する第5トランジスタ（M5）を動作させて、ダミーステージをリセットさせる。

【0058】

図13に示すように、ゲート駆動電圧を発生させる5個のステージの出力信号（GOUT[1]、GOUT[2]、GOUT[3]、GOUT[4]、GOUT[5]）は正常的に発生され、ダミーステージの出力信号GOUT[6]は、最終ステージをリセットさせた後、すぐに自身もリセットされる。

したがって、ディスプレイランキング時間が長くなってもダミーステージの出力はないので、消費電力を節減することができる。即ち、図11では、ランキング時間の間にもダミーステージから出力されるゲートライン駆動信号が存在したが、図13ではダミーステージから出力されるゲートライン駆動信号が存在しないので、ダミーステージの出力による消費電力を節減することができる。

【 0 0 5 9 】

また、スキャン開始信号 (S T V) を利用したリセットではないので、スキャン開始信号 (S T V) を提供するための別途の配線空間を節約することができ、スキャン開始信号 (S T V) との寄生容量による第 1 クロック (C K V) 及び第 2 クロック (C K V B) の消費電力増加問題を解決することができる。

即ち、図 1 0 では、ダミーステージをリセットさせるために、第一ステージにスキャン開始信号 (S T V) を印加させるので、別途の配線空間を必要とし、各ステージに印加される配線とのオーバーラップを回避することができなかつた。しかし、図 1 2 によるシフトレジスタによると、最終ゲートライン駆動信号を出力するステージからダミーステージをリセットするための信号を供給することができるので、配線空間を節約することができるだけでなく、各ステージに印加される配線とのオーバーラップを回避することができる。

10

【 0 0 6 0 】

図 1 4 は、本発明の他の実施形態によるシフトレジスタを説明するための図であり、図 1 5 は、図 1 4 によるシミュレーション結果を説明するための図である。なお、説明の便宜のために、最終ゲートライン駆動信号である第 N ゲートライン駆動信号 (G O U T [N]) を出力する N 番目ステージと、これに接続された一つのダミーステージのみを示す。

図 1 4 に示すように、本発明の他の実施形態によるシフトレジスタの各ステージは、プルアップ部 1 7 1、プルダウン部 1 7 2、プルアップ駆動部 1 7 3、及びプルダウン駆動部 1 7 4 を含む。図 7 と比較すると、プルアップ部 1 7 1、プルダウン部 1 7 2、プルアップ駆動部 1 7 3、及びプルダウン駆動部 1 7 4 は同一であるので、同一の符号を付与し、その詳細な説明は省略する。

20

【 0 0 6 1 】

ダミーステージに備えられるプルダウン部 1 7 2 の出力信号は、最終ステージに備えられるプルアップ駆動部 1 7 3 に印加されて最終ステージをリセットさせると共に、ダミーステージのプルアップ駆動部 1 7 3 に印加されてダミーステージをリセットさせる。

より詳細には、ダミーステージの第 1 トランジスタ (M 1) のソースまたは第 2 トランジスタ (M 2) のドレインが最終ステージの第 5 トランジスタ (M 5) のゲートに接続され、また、ダミーステージの第 5 トランジスタ (M 5) のゲートに接続される。

ダミーステージの出力信号は、ダミーステージのプルアップ駆動部 1 7 3 中の放電動作を実施する第 5 トランジスタ (M 5) を動作させて、ダミーステージをリセットさせる。

30

【 0 0 6 2 】

図 1 5 に示すように、ゲート駆動電圧を発生させる 5 個のステージの出力信号 (G O U T [1]、G O U T [2]、G O U T [3]、G O U T [4]、G O U T [5]) が正常的に発生され、ダミーステージの出力信号 G O U T [6] は最終ステージをリセットさせた後、すぐに自身もリセットされる。特に、図 1 3 に示した本発明の一実施形態に係る波形図と比較すると、ダミーステージの出力レベルが低いということのみ異なり、同一の動作結果が得られることが分かる。

したがって、ディスプレイブランキング時間が長くなってもダミーステージの出力はないので、消費電力を節減することができる。即ち、図 1 1 ではブランキング時間の間にもダミーステージから出力される信号が存在したが、図 1 5 ではダミーステージから出力される信号が存在しないので、ダミーステージの出力による消費電力を節減することができる。

40

【 0 0 6 3 】

また、スキャン開始信号 (S T V) を利用したリセットではないので、スキャン開始信号 (S T V) を提供するための別途の配線空間を節約することができ、スキャン開始信号 (S T V) との寄生容量による第 1 クロック (C K V) 及び第 2 クロック (C K V B) の消費電力増加問題を解決することができる。

即ち、図 1 0 ではダミーステージをリセットさせるために、第 1 ステージにスキャン開始信号 (S T V) を印加させるので、別途の配線空間を必要とし、各ステージに印加される配線とのオーバーラップを回避することができなかつた。しかし、図 1 4 によるシフトレ

50

ジスタによると、ダミーステージ自身からダミーステージをリセットするための信号を供給することができるので、配線空間を節約することができるだけでなく、各ステージに印加される配線とのオーバーラップを回避することができる。

【0064】

ところで、図6及び図7のようなa-SiTFTLCD用ゲート駆動回路を構成するシフトレジスタのみでは、出力信号GOUT[N]~GOUT[4]のシフト方向が一方向(順方向)にのみ固定されて、逆方向にシフトさせることができない。また、順方向と逆方向に両方向シフトになるようにすることができない。即ち、図6及び図7のようなa-SiTFTLCD用ゲート駆動回路を構成するシフトレジスタのみでは、画面の上下反転が必要である場合に画面の上下反転機能を具現することができない。

10

以下に、画面の上下反転機能を具現するためのa-SiTFTLCD用ゲート駆動回路の具現例を説明する。

【0065】

図16は、本発明の望ましい他の実施形態によるa-SiTFTLCDのゲート駆動回路を構成しかつ両方向シフトレジスタ機能を有するシフトレジスタのブロック図である。

図16に示すように、図6と比較すると、ダミーステージであるダミーステージ1に加えて、ダミーステージ0が第1ステージ先端に追加される。また、シフトレジスタのシフト方向を選択するための第1選択信号(Vbuf)及び第2選択信号(Vdis)が追加的に接続される。

20

ダミーステージ0は、シフトレジスタのシフト方向が逆方向になる時、第1ステージ(第1端ステージ、SR1)をリセットさせるためのダミー出力信号(第1リセット制御信号)を発生する。

【0066】

第1選択信号(Vbuf)端子に第2電源電圧(VON)、第2選択信号(Vdis)端子に第1電源電圧(VOFF)、CKV端子に第1クロック信号(CKV)、CKVB端子に第2クロック信号(CKVB)を印加すると、SR1 SR2 SR3 SR4順に各々のステージに相応するゲートラインを駆動するためのゲートライン駆動信号が生成されて順方向シフト動作を行う。

また、第1選択信号(Vbuf)端子に第1電源電圧(VOFF)、第2選択信号(Vdis)端子に第2電源電圧(VON)、CK1に第2クロック信号(CKVB)、CK2に第1クロック信号(CKV)を印加すると、SR4 SR3 SR2 SR1順に各々のステージに相応するゲートライン駆動信号が生成されて逆方向シフト動作を行う。

30

【0067】

ここで、a-TFTの場合にはNMOSを使用するので、第1及び第2選択電圧Vbuf、Vdisがハイレベルである時の電位は、第1及び第2クロック信号CKV、CKVBの最高電圧より大きくなければならない。また、第1選択信号と第2選択信号は互いに相補的であり、第1クロック信号(CK1)と第2クロック信号(CK2)は互いに相補的である。第1選択信号と第2選択信号に応じて第1及び第2クロックを切り換えて入力することにより、順方向シフトと逆方向シフトを具現することができ、したがって、画面上下反転が可能であるよう、ゲートラインを駆動することができる。

40

【0068】

以下、順方向及び逆方向シフト動作を具体的に説明する。

図17は、図16のシフトレジスタのうち、中間ステージ、即ち、第2及び第3番目ステージの具体回路図を示し、図18は、図16のシフトレジスタのうちのダミーステージ0を示し、図19は、図16のシフトレジスタのうちの第1ステージ、即ち、第1ステージの具体回路図を示し、図20は図16のシフトレジスタのうちの最終ステージ、即ち、第4ステージの具体回路を示す。

【0069】

図17に示すように、第2または第3ステージは、図7の回路をそのままに利用している

50

が、ただし、図7の回路との差異点は、別途に第1選択信号(Vbuf)端子をトランジスタM3のドレインに接続し、第2選択信号(Vdis)端子をトランジスタM5のソースに接続することにより、順方向及び逆方向シフト動作を可能としている。

Vbufがハイレベルであり、クロック(CKV)入力端にCKVが入力されると、順方向シフト動作を実施する。即ち、前段ステージ出力信号であるGOUT(N-1)によりセット動作を実行し、次段ステージの出力信号GOUT(N+1)によりリセット動作を実行する。

一方、Vdisがハイレベルであり、クロック(CKV)入力端にCKVBが入力されると、逆方向シフト動作を実行する。即ち、次段ステージの出力信号GOUT(N+1)によりセット動作を実行し、前段ステージの出力信号GOUT(N-1)によりリセット動作を実行する。なお、(Vbuf)と(Vdis)は、相補的關係である。

【0070】

図19に示すように、第1ステージ回路は、図7の回路にバッファ用トランジスタM3、ゲート入力端にトランジスタM8及びM9が追加的に結合されたものである。

図7の回路との差異点は、VbufをトランジスタM8のゲート入力にすることにより、STV信号を選択するように制御し、VdisをトランジスタM9のゲート入力にすることにより、ダミーステージ0の出力信号であるDUMMY0を選択するように制御するという点である。

【0071】

Vbufがハイレベルであり、クロック(CKV)入力端にCKVが入力されると、順方向シフト動作を実行する。即ち、STV信号によりセット動作を実行し、次段ステージの出力GOUT[2]によりリセット動作を実行する。

一方、Vdisがハイレベルであり、クロック(CK)入力端にCKVBになると、逆方向シフト動作を実行する。即ち、次段ステージの出力信号GOUT[2]によりセット動作を実行し、ダミーステージ0の出力信号であるDUMMY0信号によりリセット動作を実行する。VbufとVdisは相補的關係である。

【0072】

図20に示すように、第4ステージは、図7の回路に放電用トランジスタM5ゲート入力端にトランジスタM10、M11が追加的に結合される。

図7の回路との差異点は第1選択信号VbufをトランジスタM11のゲート入力にすることによりダミーステージ1の出力信号であるDUMMY1信号を選択するように制御し、VdisをトランジスタM10のゲート入力にすることにより、STV信号を選択するように制御するという点である。

【0073】

Vbufがハイレベルであり、クロック(CKV)入力端にCKVBが入力されると、順方向シフト動作を実行する。即ち、前段ステージ出力信号GOUT[3]信号によりセット動作を実行し、ダミーステージの出力DUMMY1信号によりリセット動作を実行する。

一方、Vdisがハイレベルであり、クロック(CKV)入力端にCKVBが入力されると、逆方向シフト動作を実行する。即ち、STV信号によりセット動作を実行し、前段ステージの出力信号であるGOUT[3]信号によりリセット動作を実行する。VbufとVdisは相補的關係である。

【0074】

図21に示すように、ダミーステージ1の回路は、バッファ用トランジスタM3のゲートに前段ステージの出力であるGOUT[4]を印加し、M3のドレインにはVON端子を接続し、放電用トランジスタM5のゲートにはスキャン開始信号(STV)を印加し、ソースにはVoff端子を接続する。ダミーステージ1は、第1クロック信号(CKV)が印加された場合、前段ステージの出力信号GOUT[4]によりセット動作を実行し、STV信号によりリセット動作を実行する。ダミーステージ1の役割は、最終ステージ、即ち、ここでは第4ステージのトランジスタM11のドレインにダミー出力信号であるDU

10

20

30

40

50

MMY 1 信号を出力することにより、順方向シフト動作時に最終ステージ (SRC 4) をリセットさせることである。

【0075】

図16のシフトレジスタのうちのダミーステージ0の具体回路図は、図18に示すように、バッファ用トランジスタM3のゲートに次段ステージ、即ち、第1ステージの出力であるGOUT[1]を印加し、M3のドレインにVON端子を接続し、放電用トランジスタM5のゲートにスキャン開始信号(STV)を供給し、ソースにはVoff端子を接続する。ダミーステージ0は、クロック信号として(CKVB)信号が印加された場合、次段ステージの出力信号GOUT[1]によりセット動作を実行し、STV信号によりリセット動作を実行する。ダミーステージ0の役割は、第1ステージのトランジスタM9のドレインにDUMMY0信号を出力することにより、逆方向シフト動作時に第1ステージ(SR1)をリセットさせることである。ダミーステージ0は、第1ステージリセット部の役割を有する。

10

【0076】

図22は本発明によるa-TFTゲート駆動用シフトレジスタの順方向シフト動作を示すシミュレーション結果を示し、図23は逆方向シフト動作を示すシミュレーション結果を示す。

図22は、2個のダミーステージと4個のステージからなる図16のa-TFTゲート駆動用シフトレジスタでVbuf=Von、Vdis=Voff、CK1=CKV、CK2=CKVBを印加した場合の順方向シフト動作を示す。ここで、第1クロック信号(CKV)と第2クロック信号(CKVB)は反対位相を有する。

20

【0077】

図22に示すように、スキャン開始信号(STV)の立ち上がりエッジから所定時間(t1)遅延後、第1クロック信号(CKV)がハイレベルになる。第1クロック信号(CKV)がハイレベルに変更された後、第1ステージの出力端子に出力信号GOUT[1]が発生される。続いて、順次に第2、第3、第4ステージの出力端子に出力信号Gout[2]、Gout[3]、Gout[4]が発生され、順方向シフト動作が実行される。

【0078】

図23は、Vbuf=Voff、Vdis=Von、CK1=CKVB、CK2=CKVを印加した場合の逆方向シフト動作を示す。

30

図23に示すように、スキャン開始信号(STV)の立ち上がりエッジにตอบสนองして所定時間(t2)遅延された(CKV)がハイレベルに変更された後、第4ステージの出力端子に出力信号GOUT[4]が発生される。続いて、順次に第3、第2、第1ステージの出力端子に出力信号Gout[3]、Gout[2]、Gout[1]が発生され、逆方向シフト動作が実行される。

【0079】

図24は、本発明の望ましい他の実施形態によるa-SiTFTLCDのゲート駆動回路を構成する両方向シフト機能を有するシフトレジスタのブロック図を示す。

図24に示すように、ダミーステージ0が第1ステージ前段に追加されるという点は図16と同一であるが、シフトレジスタのシフト方向選択のために、Vbuf代わりにVSEL1、Vdis代わりにVSEL2という、相補関係であるVSEL1、VSEL2信号を、各々のステージに別途のトランジスタM8、M9、M10、M11のゲートを通じて印加する。

40

【0080】

ここで、第1選択電圧VSEL1、VSEL2がハイレベルである時の電位は、第1及び第2クロック信号CK1、CK2の最高電圧より大きくなければならない。また、第1選択信号と第2選択信号は互いに相補的であり、第1クロック信号(CKV)と第2クロック信号(CKVB)は互いに相補的である。第1選択信号VSEL1と第2選択信号VSEL2に相応して第1及び第2クロック信号を取り替えながら入力することにより、順方向シフトと逆方向シフトを実現することができる。

50

【 0 0 8 1 】

VSEL1に第2電源電圧(VON)、VSEL2に第1電源電圧(VOFF)、CKVに第1クロック信号(CKV)、CKVBに第2クロック信号(CKVB)を印加すると、SR1 SR2 SR3 SR4の順にゲートライン駆動信号が生成されて、順方向シフト動作が実行される。また、VSEL1に第1電源電圧(VOFF)、VSEL2に第2電源電圧(VON)、CKVに第2クロック信号(CKVB)、CKVBに第1クロック信号(CKV)を印加すると、SR4 SR3 SR2 SR1の順にゲートライン駆動信号が生成されて、逆方向シフト動作が実行される。

【 0 0 8 2 】

以下、順方向及び逆方向シフト動作の第2実施形態を具体的に説明する。

図25は、図24のシフトレジスタのうちの第2及び第3ステージの具体回路図を示し、図26は、図24のシフトレジスタのうちの第1ステージの具体回路図を示し、図27は図24のシフトレジスタのうちの第4ステージの具体回路図を示す。

各々のステージSR1、SR2、SR3、SR4では、図16の回路にM3のゲート入力端にM3のゲート入力を選択するためのトランジスタM8及びM9が追加に接続される。また、M5のゲート入力端にM5のゲート入力を選択するためのトランジスタM10及びM11が追加に接続される。ここで、シフト方向選択信号であるVSEL1がトランジスタM8及びM11のゲートに印加され、シフト方向選択信号であるVSEL2がトランジスタM9及びM19のゲートに印加される。

【 0 0 8 3 】

図25に示すように、第2及び第3ステージではVSEL1がハイレベルであると、トランジスタM8により前段ステージの出力Gout[N-1]が選択されてセット動作が実行され、M11により次段ステージ出力GOUT[N+1]が選択されてリセット動作が実行されることにより、順方向シフトとなる。一方、VSEL2がハイレベルであると、トランジスタM9により次段ステージの出力Gout[N+1]が選択されてセット動作が実行され、M10により前段ステージの出力GOUT[N-1]が選択されてリセット動作が実行されることにより、順方向シフトとなる。即ち、a-Si TFT LCDのゲート駆動回路を構成するシフトレジスタのシフト方向は、VSEL1とVSEL2により決定される。

【 0 0 8 4 】

図26に示すように、第1ステージでは、図25の回路のトランジスタM8のドレインにSTV信号を印加し、トランジスタM10のドレインにダミーステージ0の出力DUMMY0が印加される。

即ち、VSEL1をトランジスタM8及びM11のゲート入力にすることにより、STV及びGout[2]信号を選択するように制御し、VSEL2をトランジスタM9及びM10のゲート入力にすることにより、Gout[2]及びDUMMY0を選択するように制御する。

【 0 0 8 5 】

したがって、VSEL1がハイレベルであり、クロック(CK)入力端にCKVが入力されると、順方向シフト動作を実行する。即ち、STV信号によりセット動作を実行し、次段ステージの出力Gout[2]によりリセット動作を実行する。

一方、VSEL2がハイレベルであり、クロック(CK)入力端にCKVBが入力されると、逆方向シフト動作を実行する。即ち、次段ステージの出力Gout[2]によりセット動作を実行し、ダミーステージ0の出力信号であるDUMMY0信号によりリセット動作を実行する。

【 0 0 8 6 】

図27に示すように、第4ステージは、VSEL1をトランジスタM8及びM11のゲート入力にすることにより、前段ステージ出力信号であるGout[3]信号及びDUMMY1を選択するように制御し、VSEL2をトランジスタM9及びM10のゲート入力にすることにより、STV及びGout[3]を選択するように制御する。第4ステージは

ダミーステージ1の出力信号であるDUMMY1を利用して、逆方向シフトを行うようにする。

【0087】

VSEL1がハイレベルであり、クロック(CK)入力端にCKVBが入力されると、順方向シフト動作を実行する。即ち、前段ステージの出力Gout[3]によりセット動作を実行し、ダミーステージの出力信号であるDUMMY1信号によりリセット動作を実行する。

一方、VSEL2がハイレベルであり、クロック(CK)入力端にCKVBが入力されると、逆方向シフト動作を実行する。即ち、STV信号によりセット動作を実施し、前段ステージの出力信号であるGout[3]信号によりリセット動作を実行する。

10

ダミーステージ0及びダミーステージ1の回路構成は、図18及び図21のダミーステージ0及びダミーステージ1と同一に構成する。

【0088】

本発明の第2実施形態によるa-TFTゲート駆動用シフトレジスタの順方向シフト動作を示すシミュレーション結果を図28に示し、逆方向シフト動作を示すシミュレーション結果を図29に示した。

図28は、2個のダミーステージと4個のステージからなった図24のa-TFTゲート駆動用シフトレジスタの場合であって、VSEL1=Voff、VSEL2=Von、CKV=CKV、CK2VB=CKVBを印加した場合の順方向シフト動作を示す。なお、第1クロック信号(CKV)と第2クロック信号(CKVB)は反対位相である。

20

図29は、VSEL1=Voff、VSEL2=Von、CKV=CKVB、CKVB=CKVを印加した場合の逆方向シフト動作を示す。

【0089】

図30~図33は、本発明のさらに他の実施形態による両方向シフト機能を有するシフトレジスタを説明するための図である。具体的には、両方向シフトレジスタ動作時に、ダミーステージ0またはダミーステージ1の出力が持続されることを防止するために、開始信号(STV)代わりに第1段または最終ステージの出力を利用して、ダミーステージ0またはダミーステージ1をリセットさせることができる。なお、図30は、ダミーステージ0と図19の第1ステージの配線を示し、図31はダミーステージ0と図26の第1ステージの配線を示す。また、図32は、図20の最終ステージとダミーステージ1の配線を示し、図33は、図27の最終ステージとダミーステージ1の配線を示す。

30

【0090】

図30または図31に示すように、第1ステージのインバータの出力と接続された第1ステージのプルダウントランジスタ(トランジスタM2)のゲートを、ダミーステージのトランジスタM13を通じてダミーステージ0のホールドトランジスタ(トランジスタM5)のゲートを接続することにより、ダミーステージ0と第1端ステージ間を接続する。

【0091】

Vbuf=Von、Vdis=Voffである場合、ダミーステージ0は順方向シフト動作を実行し、ダミーステージ0のトランジスタM12を通じて入力される開始信号(STV)によりダミーステージ0はセットされ、第1ステージの出力(GOUT[1])によりリセットされる。Vbuf=Voffであり、Vdis=Vonである場合、ダミーステージ0は逆方向シフト動作を実行し、第1ステージの出力(GOUT[1])によりセットされ、第1ステージのインバータ出力によりダミーステージ0はリセットされる。

40

従って、開始信号(STV)代わりに第1ステージの内部制御信号(インバータ出力)を利用して、逆方向シフト動作時にダミーステージ0をリセットさせてダミーステージ0の出力が持続されることを防止することができる。

【0092】

図32または図33に示すように、最終ステージのインバータの出力と接続された最終ステージのプルダウントランジスタ(トランジスタM2)のゲートをダミーステージのトランジスタM15を通じてダミーステージ1のホールドトランジスタ(トランジスタM5)

50

のゲートを接続することにより、ダミーステージ1と最終ステージ間を接続する。

【0093】

Vbuf = Vonであり、Vdis = Voffである場合、ダミーステージ1は順方向シフト動作を実行し、最終ステージの出力(GOUT[4])によりセットされ、最終ステージのインバータ出力によりダミーステージ1はリセットされる。Vbuf = Voffであり、Vdis = Vonである場合、ダミーステージ1は逆方向シフト動作を実行し、ダミーステージ1のトランジスタM14を通じて入力された開始信号(STV)によりセットされ、最終ステージの出力(GOUT[4])によりダミーステージ1はリセットされる。

従って、開始信号(STV)代わりに最終ステージの内部制御信号(インバータ出力)を利用して、順方向シフト動作時にダミーステージ1をリセットさせて、ダミーステージ1の出力が持続されることを防止することができる。

10

【0094】

図34~図37は、本発明のさらに別の実施形態による両方向シフト機能を有するシフトレジスタを説明するための図面である。具体的には、両方向シフトレジスタ動作時にダミーステージ0またはダミーステージ1の出力が持続されることを防止するために、開始信号(STV)代わりにダミーステージ0またはダミーステージ1自身の出力を利用して、ダミーステージ0またはダミーステージ1をリセットさせることができる。図34は、ダミーステージ0と図19の第1ステージの配線を示し、図31はダミーステージ0と図26の第1ステージの配線を示す。また、図32は、図20の最終ステージとダミーステージ1の配線を示し、図33は、図27の最終ステージとダミーステージ1の配線を示す。

20

【0095】

図34または図35に示すように、ダミーステージ0の出力(DUMMY0)は、ダミーステージ0のトランジスタM13を通じて、ダミーステージ0のホールドトランジスタ(トランジスタM5)のゲートと接続され、第1ステージの出力(GOUT[1])は、ダミーステージ0のバッファトランジスタ(M3)のゲートに接続される。

【0096】

Vbuf = Vonであり、Vdis = Voffである場合、ダミーステージ0は順方向シフト動作を実行させ、ダミーステージ0のトランジスタM12を通じて入力される開始信号(STV)によりダミーステージ0はセットされ、第1ステージの出力(GOUT[1])によりリセットされる。Vbuf = Voffであり、Vdis = Vonである場合、ダミーステージ0は逆方向シフト動作を実行させ、第1ステージの出力(GOUT[1])によりセットされ、ダミーステージ0自身の出力(DUMMY0)によりダミーステージ0はリセットされる。

30

従って、開始信号(STV)代わりにダミーステージ0の出力(DUMMY0)により、逆方向シフト動作時にダミーステージ0をリセットさせ、ダミーステージ0の出力が持続されることを防止することができる。

【0097】

図36または図37に示すように、ダミーステージ1の出力(DUMMY1)は、ダミーステージ1のトランジスタM15を通じてダミーステージ1のホールドトランジスタ(トランジスタM5)のゲートと接続され、最終ステージの出力(GOUT[4])は、ダミーステージ1のバッファトランジスタM3のゲートに印加することにより、ダミーステージ1と最終ステージとを接続することができる。

40

【0098】

Vbuf = Vonであり、Vdis = Voffである場合、ダミーステージ1は順方向シフト動作を実現させ、最終ステージの出力(GOUT[4])によりセットされ、最終ステージのインバータ出力によりダミーステージ1はリセットされる。Vbuf = Voffであり、Vdis = Vonである場合、ダミーステージ1は逆方向シフト動作を実行させ、ダミーステージ1のトランジスタM14を通じて入力された開始信号(STV)によりセットされ、最終ステージの出力(GOUT[4])によりダミーステージ1はリセット

50

される。

従って、開始信号（STV）代わりに最終ステージの内部制御信号（インバータ出力）を利用して、順方向シフト動作時にダミーステージ1をリセットさせ、ダミーステージ1の出力が持続されることを防止することができる。

【0099】

上記においては、液晶表示パネルのゲートラインを駆動するためのシフトレジスタについて説明したが、本発明は、有機ELディスプレイパネル（organic electroluminescence display panel）のスクアンラインを駆動する場合にも適用することができる。

【0100】

【発明の効果】

本発明によると、複数のステージと、これらステージの最終ステージをリセットするための一つのダミーステージとを有するシフトレジスタにおいて、ダミーステージをリセットするための信号を最終ステージ、より詳細には、インバータ動作を実施するプルダウン駆動部から提供する。また、ダミーステージをリセットするための信号を、ダミーステージのダミー出力信号から提供する。したがって、ディスプレイブランピング区間が長くなっても、消費電力を節電することができ、配線空間を節約することができ、スクアン開始信号（STV）の配線による寄生容量による第1クロック（CKV）及び第2クロック（CKVB）の消費電力増加を解決することができる。

【0101】

また、本発明によると、2個のダミーステージを設けて2個のシフト方向選択信号を各段のステージに印加し、シフト方向選択信号に相応して2個のクロック信号に切り換えながら入力することにより、従来の問題点すなわち、シフト方向が固定されてTF T LCD画面の表示方向を変えることができなかつた問題を解決した。これにより、TF T LCD画面の上下反転が必要である場合、別途の逆方向シフト動作のための追加回路なしに簡単な回路構成によりTF T LCD画面の上下反転機能を実現することができる。

【0102】

以上、本発明を詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できるであろう。

【図面の簡単な説明】

【図1】poly-TF T LCDのTF T基板の構成を示す概略図である。

【図2】従来のa-Si LCDのTF T基板の構成を示す概略図である。

【図3】本発明によるa-Si TF T液晶表示装置の分解斜視図を示す。

【図4】本発明によるa-Si TF T LCDのTF T基板の構成を示す図である。

【図5】図4のデータ駆動回路のシフトレジスタのN番目ステージのブロック図である。

【図6】図4のゲート駆動回路に用いられるシフトレジスタを説明するためのブロック図である。

【図7】図6に示すシフトレジスタの各ステージの具体的な構成を示す回路図である。

【図8】図7の回路の波形図である。

【図9】図6のシフトレジスタにおける駆動波形図である。

【図10】図7のシフトレジスタのN番目及び(N+1)番目のステージを説明するための図である。

【図11】図7のシフトレジスタにおいてステージが5個であり、縦端に1個のダミーステージを有するシフトレジスタによるシミュレーション結果を説明するための波形図である。

【図12】本発明の一実施形態によるシフトレジスタのN番目及び(N+1)番目のステージを説明するための図である。

【図13】図12の回路におけるシミュレーション結果を説明するための図である。

【図14】本発明の他の実施形態によるシフトレジスタのN番目及び(N+1)番目のス

10

20

30

40

50

ページを説明するための図である。

【図15】図14の回路におけるシミュレーション結果を説明するための図である。

【図16】本発明の望ましい他の実施形態による a - S i T F T L C D のゲート駆動回路を構成する両方向シフト機能を有するシフトレジスタのブロック図である。

【図17】図16のシフトレジスタの第2及び第3ステージの具体回路図である。

【図18】図16のシフトレジスタのダミーステージ0の具体回路図である。

【図19】図16のシフトレジスタの第1ステージの具体回路図である。

【図20】図16のシフトレジスタの第4ステージの具体回路図である。

【図21】図16のシフトレジスタのダミーステージ1の具体回路図である。

【図22】図16の各ステージの順方向シフト動作を示すシミュレーション出力波形図である。 10

【図23】図16の各ステージの逆方向シフト動作を示すシミュレーション出力波形図である。

【図24】本発明の望ましい他の実施形態による a - S i T F T L C D のゲート駆動回路を構成する両方向シフト機能を有するシフトレジスタのブロック図である。

【図25】図24のシフトレジスタの第2及び第3ステージの具体回路図である。

【図26】図24のシフトレジスタの第1ステージの具体回路図である。

【図27】図24のシフトレジスタの第4ステージの具体回路図である。

【図28】図24の各ステージの順方向シフト動作を示すシミュレーション出力波形図である。 20

【図29】図24の各ステージの逆方向シフト動作を示すシミュレーション出力波形図である。

【図30】本発明のさらに他の実施形態による両方向シフト機能を有するシフトレジスタを説明するための図である。

【図31】本発明の別の実施形態による両方向シフト機能を有するシフトレジスタを説明するための図である。

【図32】本発明の別の実施形態による両方向シフト機能を有するシフトレジスタを説明するための図である。

【図33】本発明の他の実施形態による両方向シフト機能を有するシフトレジスタを説明するための図である。 30

【図34】本発明の他の実施形態による両方向シフト機能を有するシフトレジスタを説明するための図面である。

【図35】本発明の他の実施形態による両方向シフト機能を有するシフトレジスタを説明するための図面である。

【図36】本発明の他の実施形態による両方向シフト機能を有するシフトレジスタを説明するための図面である。

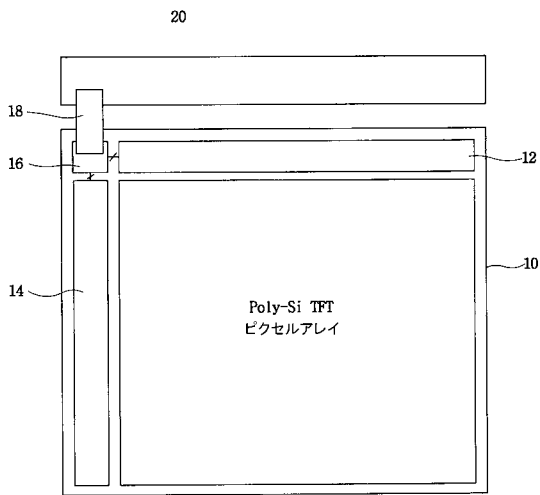
【図37】本発明の他の実施形態による両方向シフト機能を有するシフトレジスタを説明するための図面である。

【符号の説明】

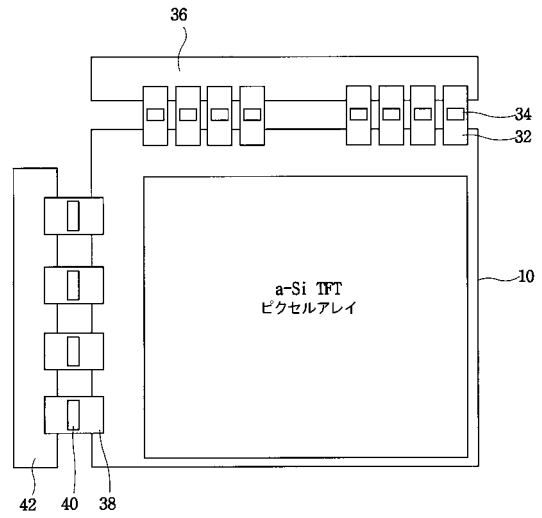
100	液晶表示装置	40
110	液晶表示パネル	
112	液晶表示パネル	
116	可撓性プリント回路基板	
118	制御及びデータ駆動チップ	
120	バックライトアセンブリ	
122	ランプアセンブリ	
124	導光板	
126	光学シート	
128	反射板	
129	モールドフレーム	50

- 1 3 0 シャーシ
- 1 4 0 カバー
- 1 5 0 表示セルアレイ回路
- 1 6 0 データ駆動回路
- 1 6 9 ゲート駆動回路外部接続端子部
- 1 7 0 ゲート駆動回路
- 1 7 1 プルアップ部
- 1 7 2 プルダウン部
- 1 7 3 プルアップ駆動部
- 1 7 4 プルダウン駆動部

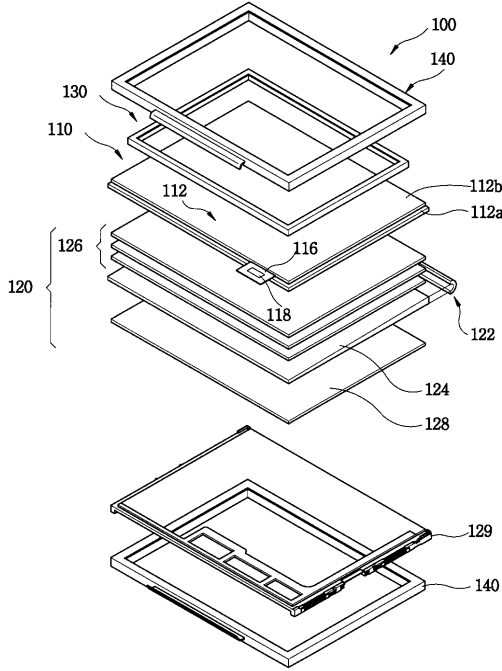
【図1】



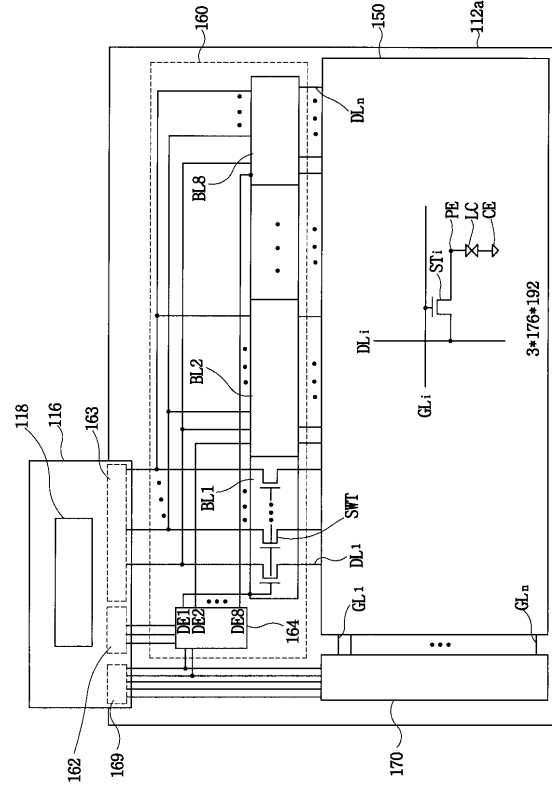
【図2】



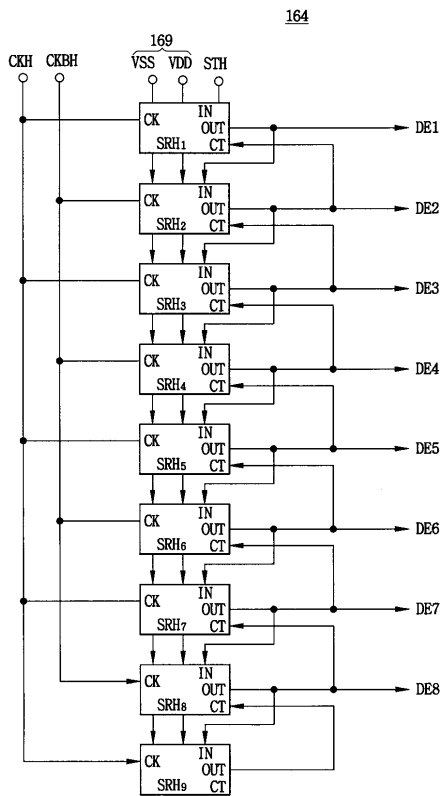
【図3】



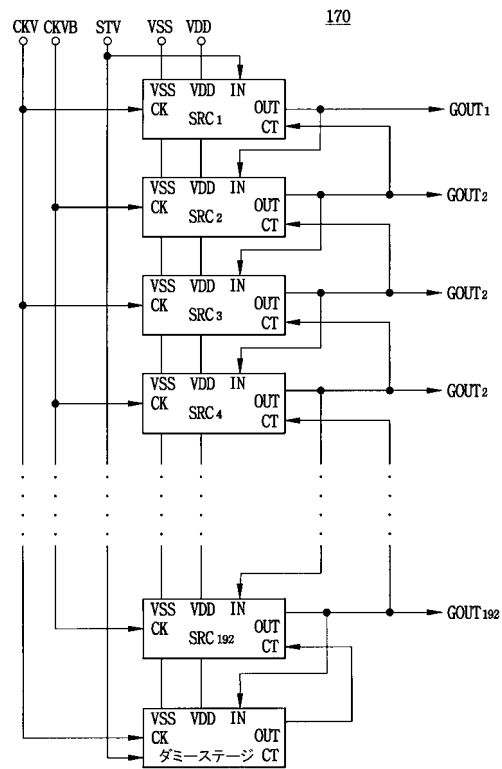
【図4】



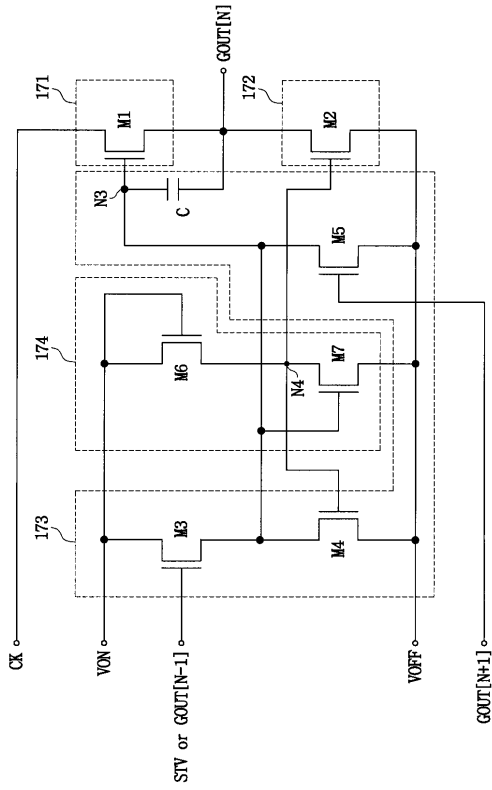
【図5】



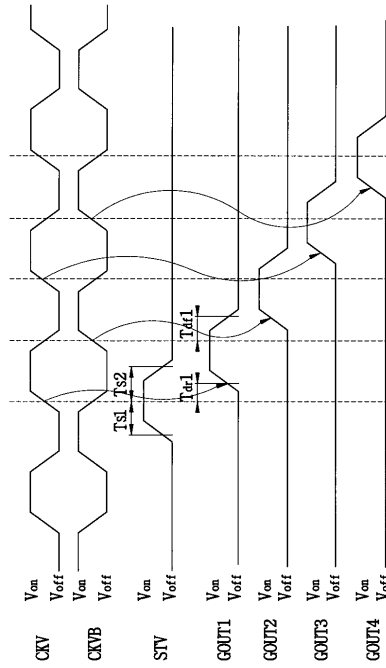
【図6】



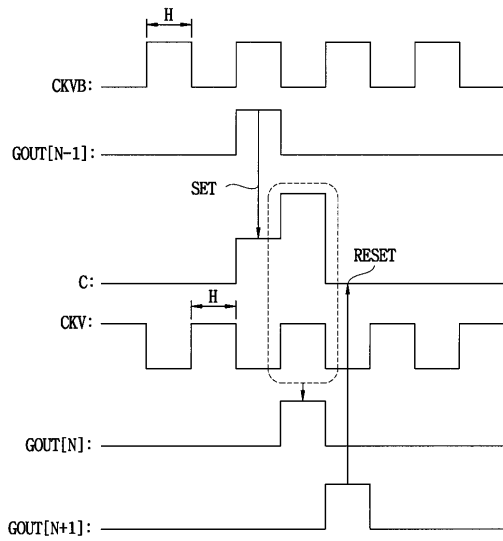
【 図 7 】



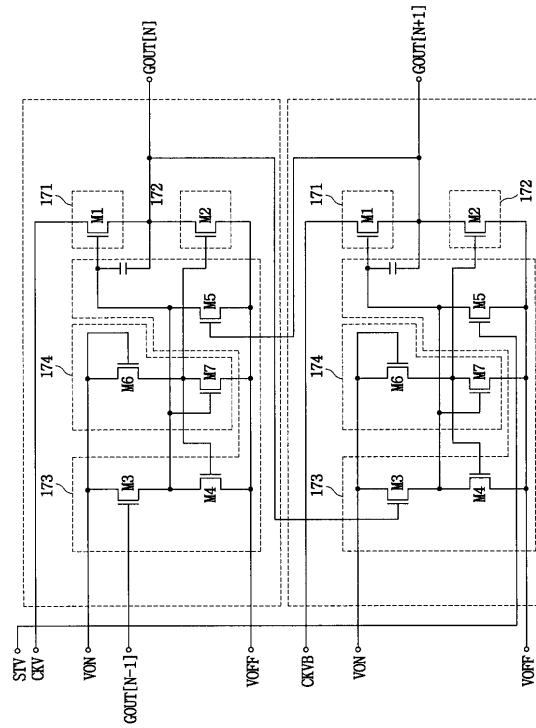
【 図 8 】



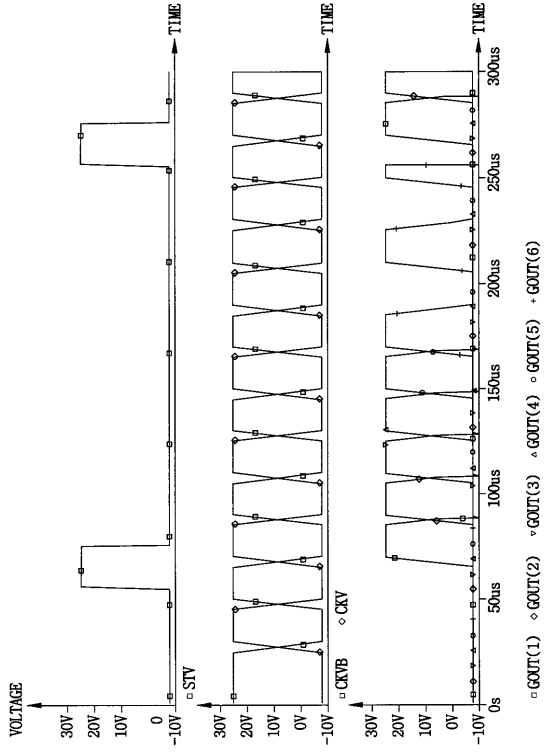
【 図 9 】



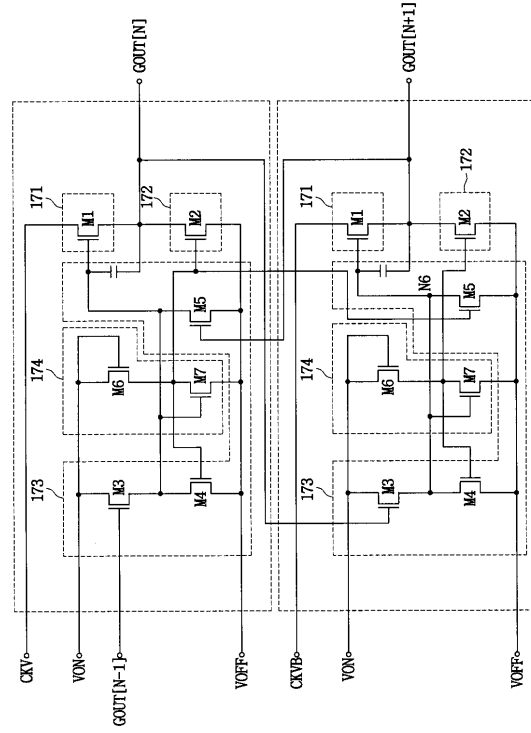
【 図 10 】



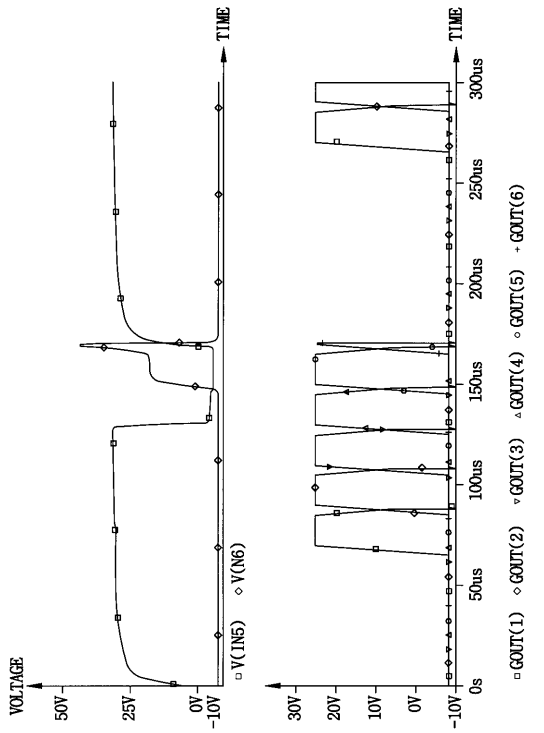
【 1 1 】



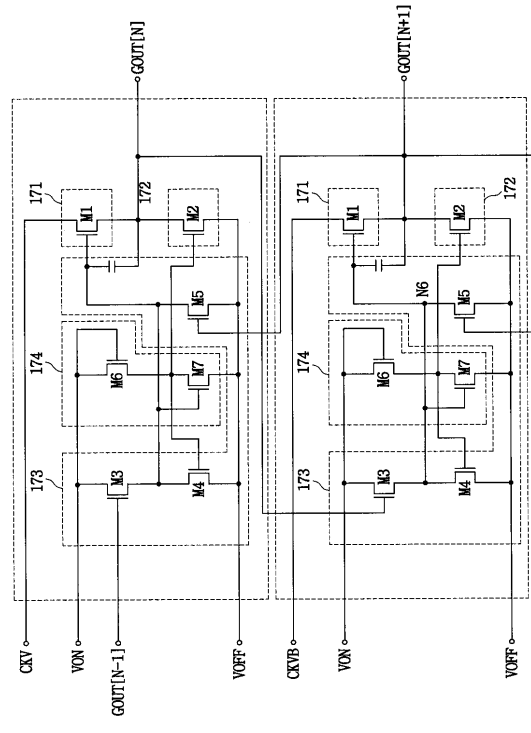
【 1 2 】



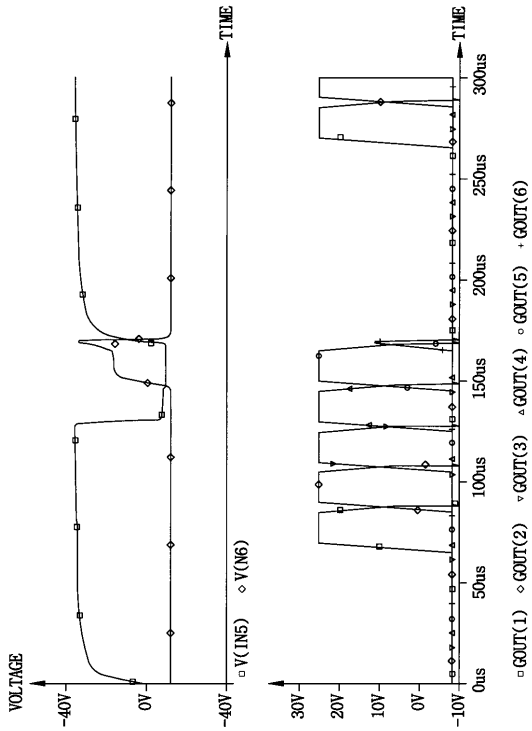
【 1 3 】



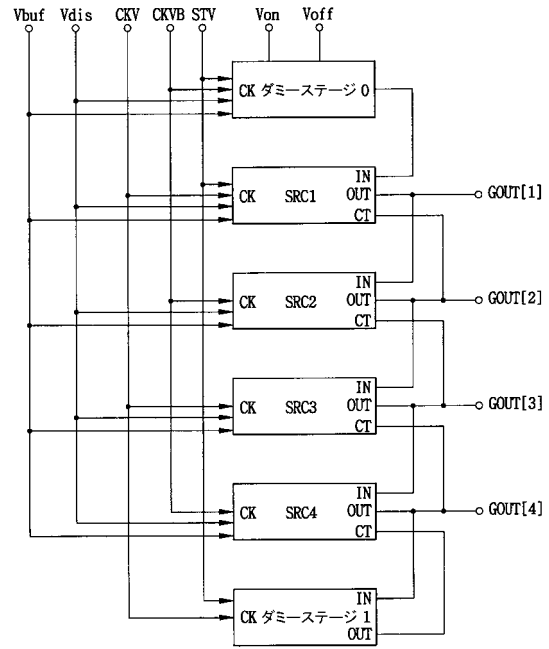
【 1 4 】



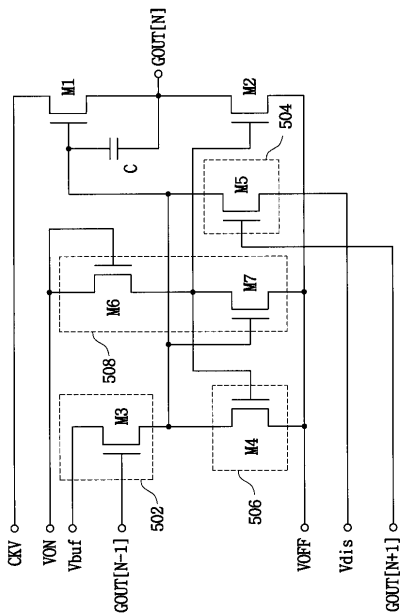
【図15】



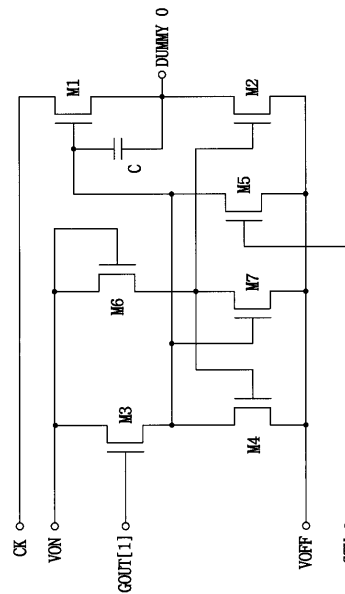
【図16】



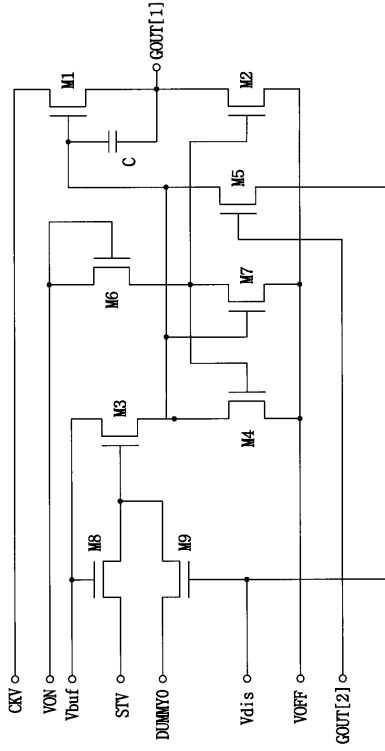
【図17】



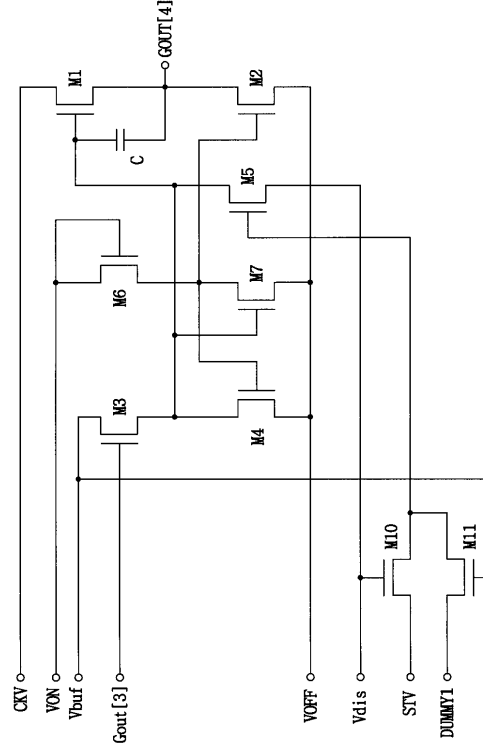
【図18】



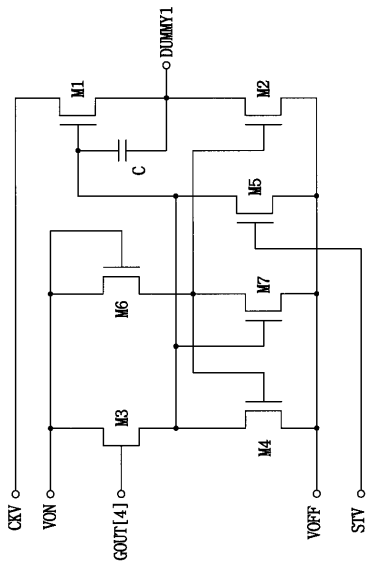
【 図 19 】



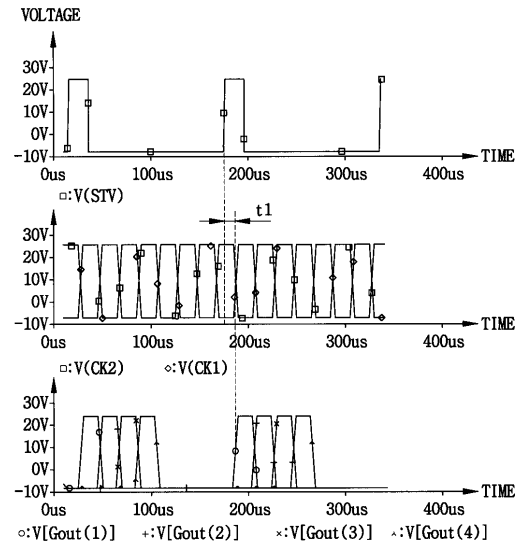
【 図 20 】



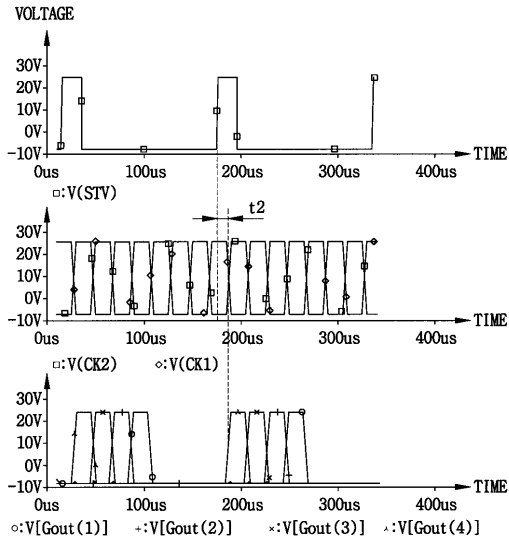
【 図 21 】



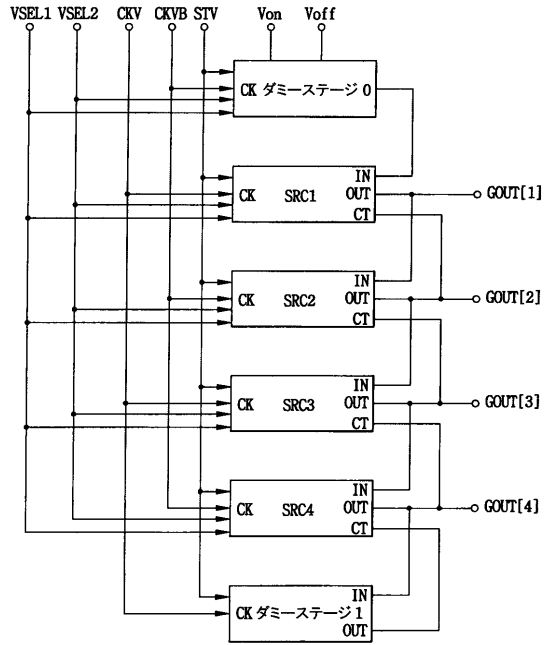
【 図 22 】



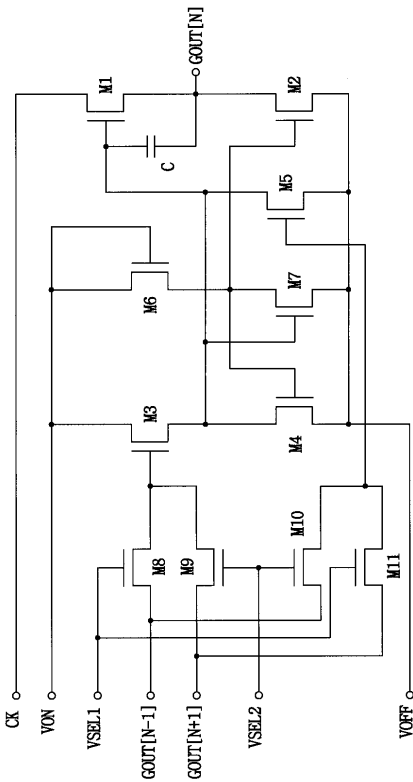
【 図 2 3 】



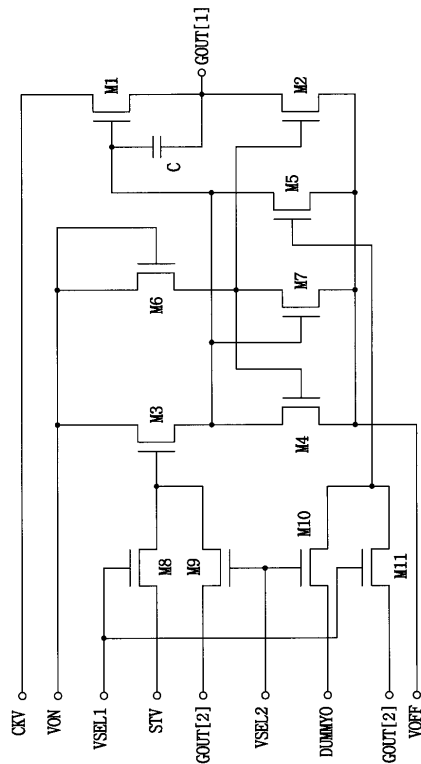
【 図 2 4 】



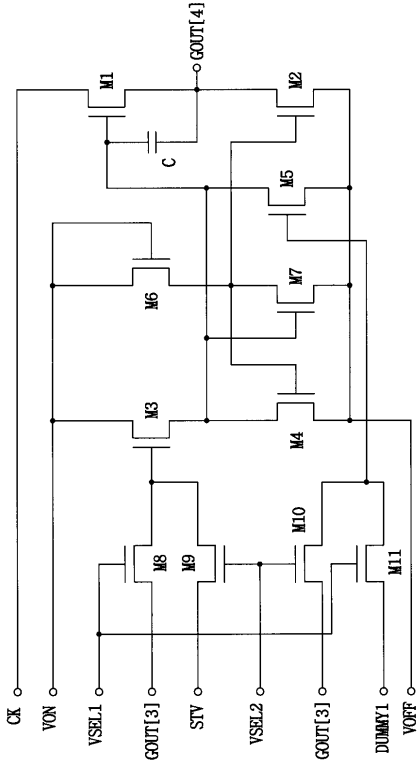
【 図 2 5 】



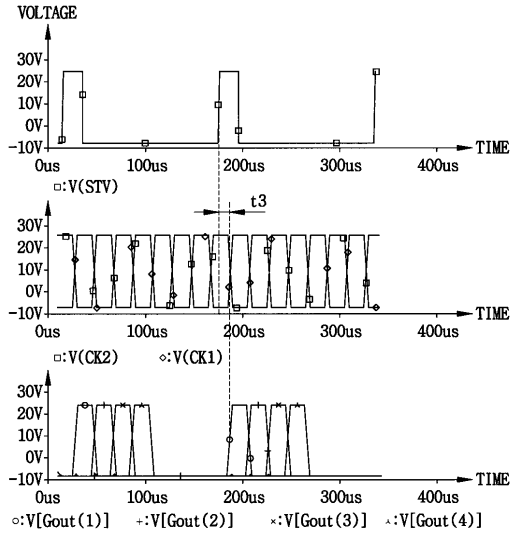
【 図 2 6 】



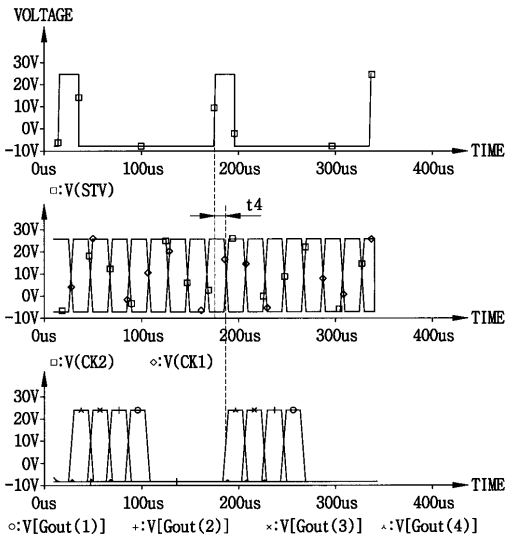
【 27 】



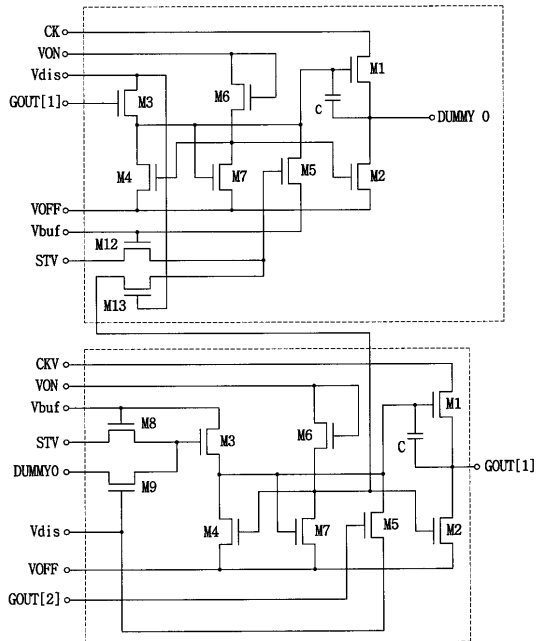
【 28 】



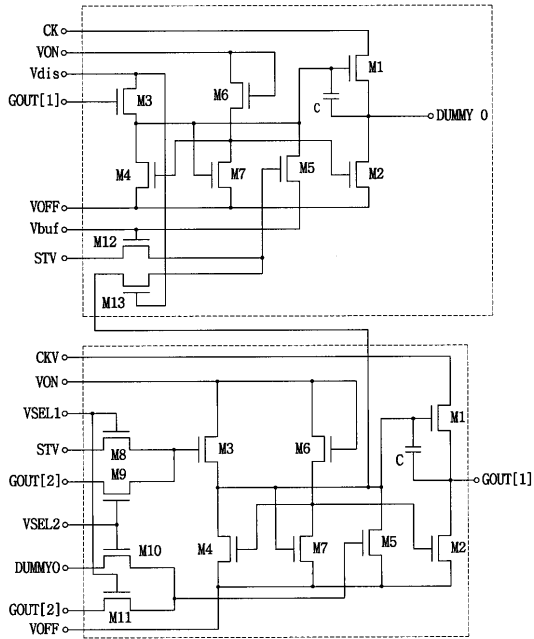
【 29 】



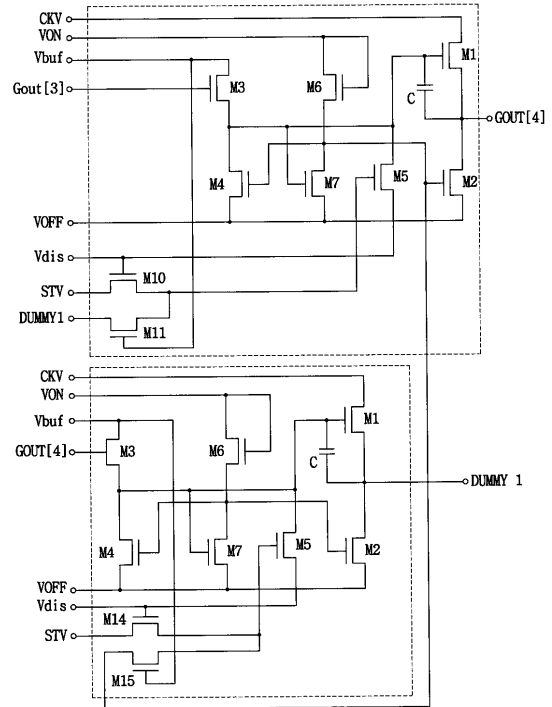
【 30 】



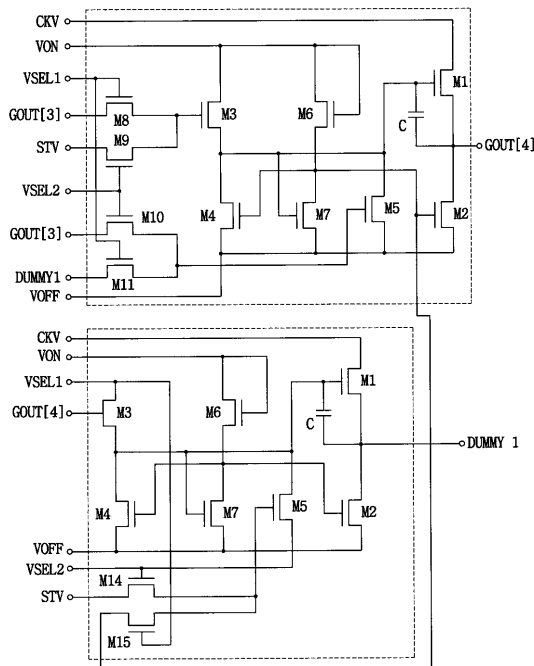
【 3 1 】



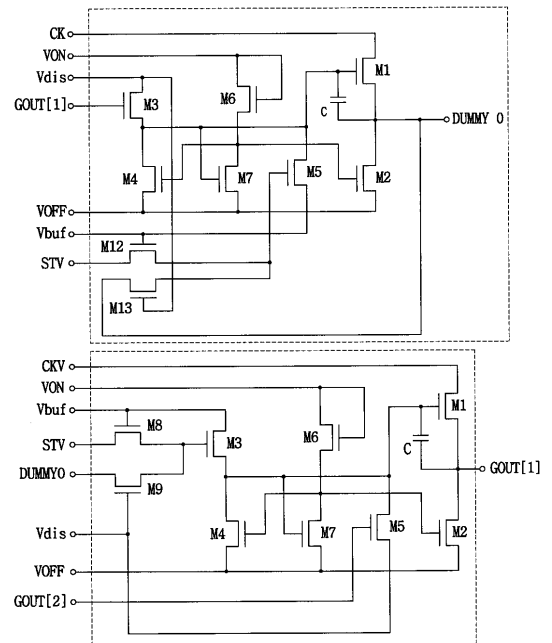
【 3 2 】



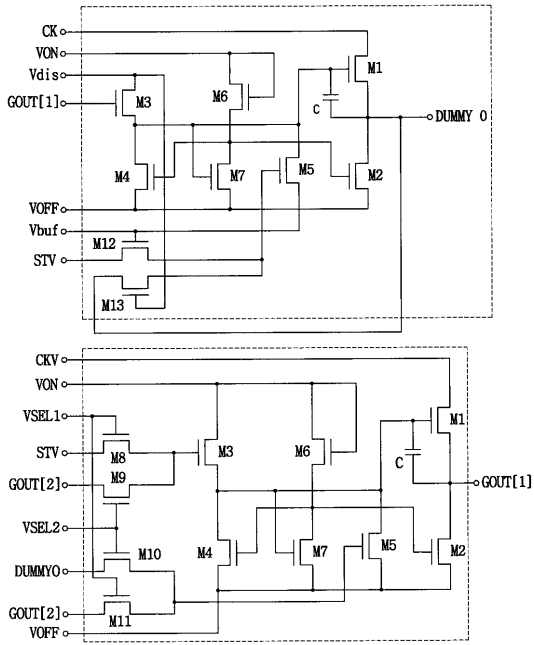
【 3 3 】



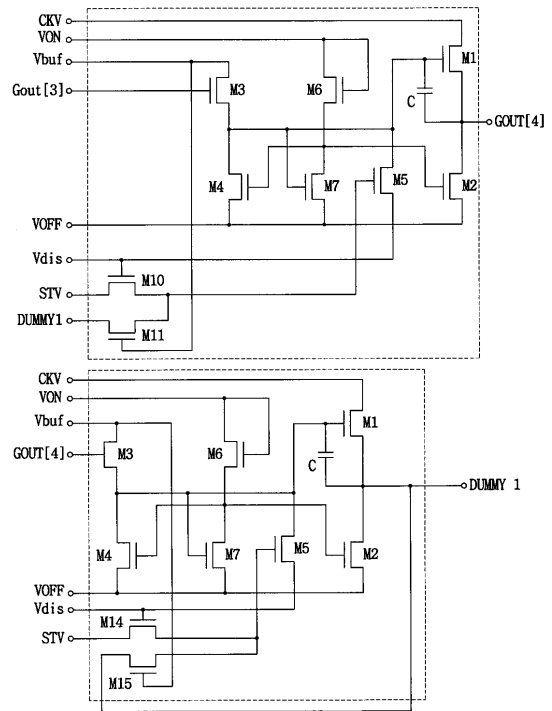
【 3 4 】



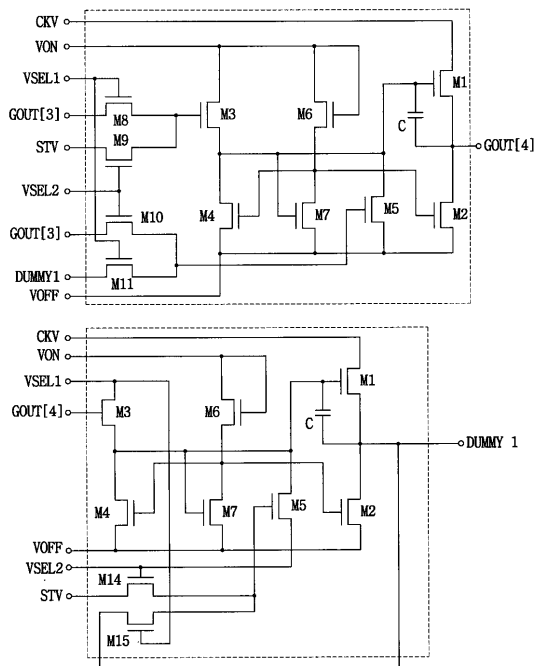
【 3 5 】



【 3 6 】



【 3 7 】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 V
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 6 0 F
G 0 9 G	3/20	6 8 0 G
G 1 1 C	19/00	J

(56)参考文献 特開2001-135093(JP,A)
特開2001-307495(JP,A)
特開2004-005904(JP,A)
特開2002-055644(JP,A)
特開2002-133890(JP,A)
特開平02-246098(JP,A)
特開2001-350438(JP,A)
特開平11-237611(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38