

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶

H01J 1/30

(45) 공고일자 1998년 12월 01일

(11) 등록번호 특0158244

(24) 등록일자 1998년 08월 04일

(21) 출원번호 특1994-020920

(65) 공개번호 특1995-010072

(22) 출원일자 1994년 08월 24일

(43) 공개일자 1995년 04월 26일

(30) 우선권주장 93-260390 1993년 09월 27일 일본(JP)

(73) 특허권자 후다바 덴시 고교 가부시키가이샤 호소야 레이지

일본국 지바켄 모바라시 오오시바 629반지

(72) 발명자 이토 시게오

일본국 지바켄 모바라시 오오시바 629반지 후다바 덴시 고교 가부시키가이샤
내

와타나베 데루오

일본국 지바켄 모바라시 오오시바 629반지 후다바 덴시 고교 가부시키가이샤
내

니이야마 다카히로

일본국 지바켄 모바라시 오오시바 629반지 후다바 덴시 고교 가부시키가이샤
내

(74) 대리인 장용식, 정진상

심사관 : 이득희

(54) 전계방출 캐소드 소자

요약

[목적]

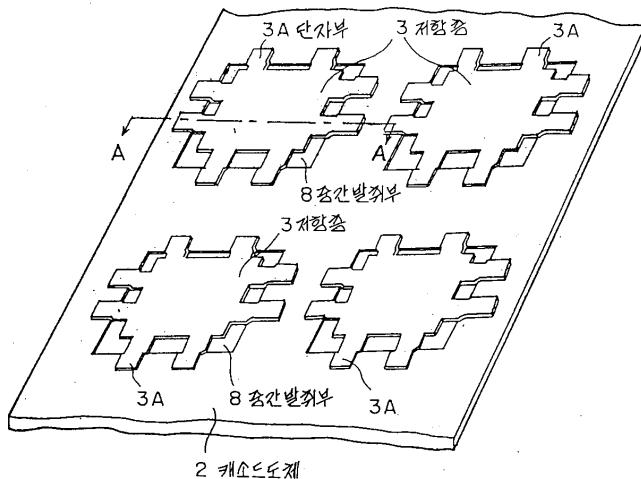
에미터와 게이트 단락시에 그 에미터가 형성되어 있는 블록을 분리독립할 수 있음과 동시에 단락시에 용해 비산물이 원리적으로 비산하지 않는 전계 방출 캐소드를 제공하는 것.

[구성]

기판(1)상에 형성되는 캐소드도체(2)에 복수의 중간발취부를 설치하고, 이 중간 발취부에 저항층(3)을 형성한다. 이 저항층(3)에는 복수의 단자부를 설치하여 캐소드도체(2)와 접속한다.

또, 저항층(3) 및 캐소드도체(2) 상에는 절연층(4)이 형성되고, 저항층(3) 상에는 복수의 콘형상의 에미터(7)가 형성됨과 동시에 에미터(7) 정점부 주위의 절연층(4) 상에 게이트도체(5)가 형성된다. 에미터(7)와 게이트도체(5)가 단락하면 단자부가 용단되지만 단주부상의 절연층(4)에 의해 용해물질은 비산하지 않는다.

대표도



영세서

[발명의 명칭]

전계방출 캐소드 소자

[도면의 간단한 설명]

제1도는 본 발명의 전계방출 캐소드 소자의 제1실시예에 있어서의 캐소드 도체의 구성을 도시한 도면.

제2도는 본 발명의 전계방출 캐소드 소자의 제1 실시예의 단면도.

제3도는 본 발명의 전계방출 캐소드 소자의 제2 실시예의 사시도.

제4도는 본 발명의 전계방출 캐소드 소자의 제2 실시예의 제조방법을 도시한 도면.

제5도는 종래의 전계방출 캐소드 소자의 제조방법을 도시한 도면.

제6도는 종래의 전계방출 캐소드 소자의 사시도.

제7도는 단락시에 에미터마다 분리독립할 수 있는 종래의 전계방출 캐소드 소자의 사시도.

* 도면의 주요부분에 대한 부호의 설명

1, 10, 101 : 기판	2, 11, 102 : 캐소드도체
3, 12, 103 : 저항층	3A : 단자부
4, 13, 104, 12 : 절연층	5, 14, 105, 122 : 게이트도체
6, 15, 107, 123 : 개구부	7, 16, 111, 124 : 에미터
8 : 중간발취부 (中間拔取部)	17 : 틈새부
18 : 빗살모양부	19, 109 : 박리층
20, 21, 22, 106 : 레지스트층	23 : 에미터재료층
108 : 회전부	110 : 퇴적층
112 : 애노드	113 : 애노드전압
114 : 구동전압	120 : 실리콘기판
125 : 게이트라인	126 : 가용저항체

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 콜드캐소드로서 알려져 있는 전계방출캐소드의 개량에 관한 것이다.

[종래의 기술]

금속 또는 반도체 표면의 인가 전계를 10^9 [V/m] 정도로 하면 터널효과에 의해 전자가 장벽을 통과하여 상온에서도 진공중에 전자방출이 행해지게 된다. 이것을 전계방출(Field Emission)이라 하고, 이와 같은 원리로 전자를 방출하는 캐소드를 전계방출 캐소드(이하, FEC라 기재)라 부르고 있다.

근년, 반도체 집적화 기술을 구사하여 미크론사이즈의 FEC를 만드는 것이 가능해져 그 1예로서 스피드(Spinde)형이라 불리우는 FEC의 제조프로세스를 제5도에 도시한다.

우선, 제5도(a)에 도시한 바와 같이 유리 등의 기판(101)상에 금속층으로 되는 캐소드도체(102), 아몰드(Amold)리본 등으로 되는 저항층(103), 실리콘을 열산화시켜서 형성한 절연층(SiO_2 층; 104), 및 니오브(Nb) 등으로 되는 게이트도체(105)를 증착 등에 의해 순차 형성한다.

또한, 게이트도체(105) 상에 레지스트층(106)을 도포한 후, 동도면(b)에 도시하는 바와 같이 패터닝한다. 이 패터닝을 행한 후, 에칭을 행하고, 동도면 (c)에 도시하는 바와 같이 게이트도체(105) 및 절연층(104)에 개구부(107)를 형성한다.

다음에, 레지스트층(106)을 제거하고, 동도면(d)에 도시하는 기판(101)을 회전시키면서 기판면에 대하여 경사 방향에서 알루미늄을 회전증착시킴으로써 박리층(109)의 증착을 행한다. 그러면, 박리층(109)은 개구부(107)안에는 증착되지 않고, 게이트도체(105) 표면에만 선택적으로 증착되게 된다.

그리고, 이 박리층(109) 위해서 물리브렌을 퇴적시키면 동도면(e)에 도시하는 바와 같이 박리층(109) 위에 퇴적층(110)이, 에칭에 의해 뚫린 개구부(107) 안에 에미터 퇴적층(111)이 콘형상으로 퇴적한다. 이 후에 게이트도체(105) 상의 박리층(109) 및 퇴적층(110)을 에미터에 의해 제거하면 동도면(f)에 도시하는 바와 같은 구조의 FEC가 얻어진다.

제5도(f)에 도시하는 FEC는 반도체 집적화 기술을 이용하여 제작하면 콘형상의 에미터(111)와 게이트도체(105)와의 거리를 서브 미크론으로 할 수 있기 때문에 에미터(111)와 게이트도체(105) 사이에 수십 볼트의 전압을 인가함으로써 에미터(111)에서 전자를 방출시킬 수 있다.

또한, 기판(101)상에 제5도의(f)에 도시한 바와같은 구조의 FEC를 다수 집적화할 경우에 각 에미터(111) 사이의 피치는 5미크론 내지 10미크론으로서 제작할 수 있기 때문에 수만에서 수십만개의 FEC를 1매의 기판상에 설치할 수 있다.

이와 같이 면방출형(面放出型) FEC를 제작하기가 가능하게 되어 있고, 이 FEC소자는 형광표시장치, CRT,

전자현미경이나 전자빔 장치에 적용하는 것이 제안되어 있다.

제6도에 이와 같은 면방출형 FEC소자의 사시도를 예시한다.

이 도면에 있어서, 기판(101) 상에 캐소드도체(102)가 형성되어 있고, 이 캐소드도체(102)상에는 저항층(103)이 형성되어 있다.

그리고, 이 저항층(103) 상이 콘형상의 에미터(111)가 형성되어 있다. 또한, 캐소드 도체(102) 상에 절연층(104)을 통하여 게이트(105)가 설치되어 있고, 게이트도체(105)에 설치된 둥근개구부(107)에서 콘형상의 에미터(111) 선단부분이 임하고 있다.

이와 같이 형성된 면방출형 FEC에 있어서, 게이트도체(105)와 캐소드도체(102) 사이에 수십볼트의 구동전압(V_{GE})을 인가하면 에미터(111)에서 전자가 방출되고, 에미터(111)에서 방출된 전자는 게이트도체(105)상에 격리하여 배치되고, 애노드전압(V_A)의 인가된 애노드도체(112)에 의해 포집된다.

이 경우, 애노드도체(112) 상에 형광체를 설치해두면, 애노드도체(112)에 포집된 전자에 의해 형광체를 발광시킬 수 있다.

또한, FEC소자는 전자의 주행이 공간중에 있기 때문에 그 동작은 진공의 환경중에서 행하여지는 것과 같이 행해진다.

그런데, 에미터(111)와 캐소드도체(102) 사이에 저항층(103)을 설치하는 이유는 다음과 같다.

일반적인 FEC에 있어서는 콘형상의 에미터 선단과, 게이트와의 거리가 서브미크론이라 하는 매우 짧은 거리로 되어 있음과 동시에 수만 내지 수십만개의 에미터가 1매의 기판위에 설치되기 때문에 제조과정에 있어서 티끌 등에 의해 에미터와 게이트가 단락되어 버리는 수가 있다.

이와 같이 게이트와 에미터가 하나라도 단락되어 있으면, 캐소드와 게이트가 단락된 것이 되기 때문에 모든 에미터에 전압이 인가되지 않게 되어 동작불능의 FEC소자가 되어 버렸었다.

또, FEC의 초기 동작시에 국부적인 탈가스가 발생하고, 이 가스에 의해 에미터와 게이트 혹은 애노드 사이가 방전을 일으키는 수가 있으며, 이 때문에 대전류가 캐소드에 흘러서 캐소드가 파괴되는 수가 있었다.

그리고, 다수의 에미터중, 전자가 방출되기 쉬운 에미터가 존재하기 때문에 이 에미터에서 집중하여 방출된 전자에 의해 화면상에 이상하게 밝은 스포트가 발생하는 수도 있었다.

그래서, 제5도, 제6도에 도시하는 바와 같이 캐소드도체(102)와 에미터(111) 사이에 저항층(103)을 형성하면 에미터(111)와 게이트도체(105)가 단락될 경우에는, 게이트도체(105)와 캐소드도체(102) 사이에는 저항층(103)에 의한 전압강하가 발생하게 된다.

이 전압강하에 의한 전압은 단락되지 않은 에미터를 갖는 게이트도체(105) · 캐소드도체(102) 사이에 인가되게 되고, 단락되어 있는 에미터 이외의 에미터로 부터는 전자를 방출할 수 있게 된다. 또한, 저항층(103)에 의해 캐소드도체(102)에 흐르는 단락전류가 억제되기 때문에 캐소드도체(102)가 파괴되는 일이 없다.

또, 어느 에미터(111)에 전류가 집중하여 흐를 경우는 그 에미터(111)에 설치된 저항층(103)의 전압강하가 커지기 때문에 그 에미터 전위가 상승하여 그 게이트 · 캐소드간의 전압이 하강하게 된다. 그 때문에 에미터전류가 저하하여 에미터전류의 집중을 방지할 수 있게 된다.

따라서, 저항층(103)을 설치함으로써 FEC소자의 제조상의 수율향상 및 FEC소자의 안정적인 동작을 확보할 수 있게 된다.

그러나, 제5도, 제6도에 도시하는 FEC소자에서는 저항층을 기판 전면에 설치하고 있기 때문에 에미터 사이를 분리 독립하여 동작 시키는 것이 곤란해지고, 크로스토크를 발생 시키기 쉬워진다. 이 크로스토크는 FEC 소자를 이용한 표시 장치에 있어서는 누출 발광으로서 나타나게 된다.

그래서, 단락시에 에미터마다 분리독립할 수 있는 FEC소자가 제7도에 도시하는 바와 같이 제안되어 있다.(특개평4-284324호 공보참조)

이 도면에 있어서, 실리콘기판(12) 상에 절연층(121)이 형성되어 있고, 그 위에는 중앙에 개구부(123)를 갖는 게이트도체(122)가 복수형성되고, 이 게이트도체(122)는 좁은 폭의 가용저항체(126)를 통하여 게이트라인(125)에 각각 접속되어 있다. 또, 개구부(123)내에는 콘형상의 에미터(124)가 각각 형성되어 있다.

이와같이 형성된 FEC에 있어서, 에미터(124)와 게이트도체(122)가 단락하면, 단락 전류가 가용저항체(126)에 흘러서 이 가용저항체(126)에 주울열이 발생하기 때문에 가용저항체(126)는 순간적으로 용단(溶斷)하게 된다. 따라서, 단락을 일으킨 게이트도체(122)는 급전라인인 게이트라인(125)에서 절리되기 때문에 그 동작은 정지되지만, 단락되지 않은 다른 FEC에는 급전되어 정상적인 동작을 할 수 있게 된다.

[발명이 해결하고자 하는 과제]

그러나, 제7도에 도시하는 구조의 FEC에 있어서는 가용저항체가 용단되었을 때에 용해 비산물이 진공중에 방출되고, 이 용해비산물이 진공중을 비산하여 다른 정상의 FEC 개구부에 침입함으로써 새로운 단락결함을 일으키기 쉽다는 문제점이 있었다.

또, 상기한 바와 같이 에미터와 게이트의 간격은 서브미크론오더로서 형성되어 있고, 제7도에 도시하는 바와 같은 서브미크론오더의 좁은 폭의 가용저항체를 게이트마다 형성하는 것은 기술상 매우 곤란하고, 제조시에 가용저항체가 끊어져버릴 염려가 있는 문제점도 있었다.

그래서, 본 발명은 에미터와 게이트 단락시에 그 에미터가 형성되어 있는 불록을 분리 독립시킬 수 있음

과 동시에 단락시에 용해 비산물이 원리적으로 비산하지 않는 전계 방출캐소드 소자를 제공함을 목적으로 하고 있다.

[과제를 해결하기 위한 수단]

상기 목적을 달성하기 위하여 본 발명은 에미터와 캐소드 사이에, 에미터와 게이트 단락시에 용단되는 저항층 위에 절연층을 설치하여 용해비산물이 원리적으로 비산하지 않도록 한 것이다.

[작용]

본 발명에 의하면, 단락시에 복수의 에미터가 설치된 블록마다 절연분리할 수 있음과 동시에 에미터와 게이트 단락시에 용단되는 저항층은 절연층에 의해 덮여 있기 때문에, 용단에 따른 용해물질이 비산하기 어렵고, 다른 정상인 소자를 새로이 2차 파괴시키는 것을 방지할 수 있다.

[실시예]

본 발명의 전계방출 캐소드소자의 제1실시예의 단면도를 제2도에 도시하고, 이 실시예에 있어서의 캐소드도체 부분을 제1도에 도시한다.

이 실시예에 있어서의 캐소드도체(2)에는 제1도에 도시하는 바와같이 복수의 중간발취부(8)가 설치되어 있어 이 중간발취부(8) 안에는 구형(矩形)의 저항층(3)이 배치되고, 이 구형의 저항층(3) 주위에는 가령 도시하는 바와 같이 8개의 단자부(3A)가 형성되어 있으며, 이 단자부(3A)에 의해 저항층(3)과 캐소드도체(2)가 전기적으로 접속되어 있다. 이 저항층(3) 위에 복수의 콘형상의 에미터를 갖는 FEC가 형성되나, 그 구조를 제2도에 도시하는 단면도를 참조하면서 설명한다.

이 도면은 제1도에 도시하는 절단선 A-A에 절단한 도면이고, 절연성기판(1) 위에 캐소드도체(2)가 형성되어 있으며, 이 캐소드도체(2)에 형성된 중간발취부(8) 부분에 그 단부가 캐소드도체(2)에 걸리도록 저항층(3)이 형성되어 있다.

그리고, 저항층(3) 위에는 절연층(4)을 통하여 게이트도체(5)가 형성되어 있고, 이 게이트도체(5)와 절연층(4)에 설치된 복수의 개구부(6) 내에는 콘형상의 에미터(7)가 각각 형성되어 있다.

또, 캐소드도체(2) 상에도 절연층(4)을 통하여 게이트도체(5)가 형성되어 있다.

이와 같이 구성한 FEC에 있어서, 게이트도체와 에미터가 단락했다고 하면 그 에미터가 형성되어 있는 저항층에 과대한 단락전류가 흐른다. 그러면 저항층에는 가는 폭의 단자부(3A)를 통하여 단락전류가 유입되며 때문에 저항층 단자부가 차례로 용단하게 된다.

따라서, 다른 중간발취부에 형성된 FEC의 동작에 미치는 영향을 방지할 수 있다. 또, 용단하는 단자부는 절연층(4)에 의해 덮여있기 때문에, 용단시에 원리적으로 비산하는 물질이 없기 때문에 다른 FEC를 2차 파괴하는 것을 방지할 수 있다.

다음에, 제2도에 도시하는 FEC소자의 제조방법을 설명한다.

우선, 유리 등의 절연기판(1) 상에 니오브(Nb), 몰리브렌(Mo) 혹은 알루미늄(Al) 등의 금속박막으로 되는 캐소드도체(2)를 형성하고, 이 캐소드도체(2)에 포토리소그래피 수법에 의해 한변이 40~100미크론 정도의 구형의 중간발취부(8)를 형성한다.

이 캐소드도체(2)를 덮도록 스파터법 혹은 CVD법에 의해 0.5미크론~2.0미크론 정도의 막두께의 저항층(3)을 형성한다.

이 저항층(3)의 재료는 In_2O_3 , Fe_2O_3 , ZnO , $NiCr$ 합금, 혹은 불순물을 도프한 실리콘 등이 사용되고, 그 저항률은 약 $1 \times 10^1 \sim 1 \times 10^6 \Omega cm$ 가 된다.

그리고, 이 저항층(3)을 암모니아 등의 알칼리 용액에 의한 웨트에칭 혹은 불소계 가스에 의한 반응성 이온에칭(RIE)에 의해 패터닝가공을 행하고, 저항층(3) 주위에 복수의 단자부(3A)를 형성한다.

다음에, 상기 캐소드도체(2) 및 저항층(3)을 덮는 상기 기판(1)상에 스파터법 혹은 CVD법에 의해 약 1.0미크론의 막두께의 2산화실리콘으로 되는 절연층(4)을 형성한다.

또한, 이 절연층(4) 상에 스파터법에 의해 약 0.4미크론의 막두께의 Nb, Mo등으로 되는 게이트도체(5)를 성막한다. 그리고, 이 게이트도체(5)에 직경 약 1.0미크론의 다수의 개구부(6)를 형성하고, 이 개구부(6)에서 베퍼드불산(BHF) 등을 이용한 웨트에칭 혹은 CHF_3 등의 가스를 이용한 RIE에 의해 저항층(3)에 도달하는 개구부(6)를 형성한다.

다음에, 게이트도체(5) 상에 전자빔(EB) 증착법을 이용하여 알루미늄을 경사 증착함으로써 박리층을 형성한다. 이 박리층상에 다시 EB 증착법을 이용하여 몰리브덴을 수직방향으로 정증착하면 상기 개구부(6)내에 몰리브덴이 콘형상으로 퇴형적짐으로써 콘형상의 에미터(7)가 형성된다.

그리고, 박리층을 인산 등의 박리액에 의해 용해시킴으로써 제거하면 제2도에 도시하는 바와 같은 FEC소자를 얻을 수 있다.

또한, 이 제1실시예에 있어서는 상기 설명한 바와 같이 단자부(3A)가 퓨즈회로가 되고, 게이트도체와 이 미터 단락시에 일부의 블록만을 절리함으로써 FEC 전체의 결함을 구제할 수 있으나 초기적인 불량은 외부에서 레이저광을 이용하여 단자부만을 절단함으로써 캐소드 라인의 결함을 일부 블록만으로 구제할 수 있다.

또, 단자부를 복수개로 했기 때문에 포토마스크 정밀도나 제조공정의 파티클, 먼지 등의 영향을 받지 않게 할 수 있으며, 단선불량을 방지할 수 있음과 동시에 수율을 향상시킬 수 있다.

그러나, 제1실시예의 전계방출캐소드 소자에 있어서는 저항층의 저항치가 단자부의 폭으로 결정되기 때문

에 저저항치로 하기가 곤련하였다.

그래서, 저항층의 저항치를 저저항치로 할 수 있는 본 발명의 전계방출 캐소드소자의 제2실시예 구성을 제3도에 도시한다.

이 도면의(a)에 있어서, 유리 등의 절연성기판(10)상에 스트라이프상의 캐소드도체(11)가 소정간격마다 복수개 형성되어 있고, 이 위에 저항층(12)이 형성되어 있다. 이 저항층(12)은 가령 아몰퍼스실리콘을 재료로하여 증착에 의해 형성되어 있다. 또한 이 저항층(12) 상에 절연층(13)이 형성되어 있고, 이 절연층(13)상에는 캐소드도체(11)와 직교하는 스트라이프상의 게이트도체(14)가 형성되어 있다.

그리고, 캐소드도체(11)와 캐소드도체(11) 사이의 게이트도체(14)에는 다수의 개구부(15)가 설치되어 있고, 이 개구부(15)중의 저항층(12) 상에 콘형상의 에미터(16)가 설치되어 있다.

또, 캐소드도체(11) 측단부에 복수의 틈새부(17)가 캐소드도체(11)에 평행으로, 일부재단하여 도시하는 바와 같이 게이트도체(14)에서 기판(10)에 도달하는 깊이로 설치되어 있다.

제3도(a)에 도시하는 틈새부(17)의 부분(A)을 바로 위에서 본 도면을 동도(b)에 도시한다. 이 도시하는 바와 같이 틈새부(17)에는 반점을 시행한 기판(10)의 일부가 면하고 있다. 즉, 이 틈새부(17)에 의해 캐소드도체(11)가 빗살모양으로 패터닝되어 있고, 이 때문에 저항층(12)과 캐소드도체(11)는 이 빗살모양부(18)에 의해 접속되도록 되어있다.

따라서, 이 빗살모양부(18)로 된 저항층(12) 아래는 캐소드도체(11)가 형성되어 있기 때문에 저항층(12)의 저항치를 저저항화할 수 있다.

다음에, 본 발명의 제2실시예의 전계방출 캐소드소자의 제조방법을 제4도를 참조하면서 설명한다.

우선, 유리 등의 절연기판(10)상에 니오브(Nb), 몰리브덴(Mo) 혹은 알루미늄(Al) 등을 스파터링법 혹은 전자빔 증착법에 의해 퇴적하고, 약 0.2미크론의 막두께의 금속박막으로 되는 캐소드도체(11)를 형성하고, 이 캐소드도체(11)상에 레지스트층(18)을 형성하여 포토리소 그래피수법에 의해 제4도(a)에 도시하는 바와 같이 스트라이프상의 캐소드도체(11)로 한다. 또한, 캐소드도체(11)를 Nb를 재료로하여 형성할 때는 RIE에 의해 예칭을 행한다.

이 캐소드도체(11)을 덮도록 플라스마 CVD법 등에 의해 약 0.5미크론의 막두께의 P도프 아몰퍼스실리콘의 저항층(12)을 형성한다. 다음에, 상기 캐소드도체(11) 및 저항층(12)을 덮도록 상기 기판(10) 상에 스파터법 혹은 CVD법에 의해 약 1.0미크론의 막두께의 2산화실리콘 등의 실리콘 산화물로 되는 절연층(13) 플라스마 CVD법 등에 의해 형성한다. 또한, 이 절연층(13)상에 스파터법 혹은 전자빔 증착법에 의해 약 0.4미크론의 막두께의 Nb 또는 Mo등으로 되는 게이트도체(14)와, 이 게이트도체(14)상에 알루미늄등으로 되는 박리층(19)을 성막한다.

다음에, 그 위에 레지스트층(20)을 형성하여 게이트도체(14)가 캐소드도체(11)와 직교하는 스트라이프 상이 되도록, 및 개구부(15), 틈새부(17)가 형성되도록 패터닝을 행한다.

그리고, BCl_3 으로 박리층(19)을, SF_6 으로 Nb로 되는 게이트도체(14)를, CHF_3 과 산소(O_2)를 이용하여 절연층(13)을 각각 RIE에 의해 예칭을 행하고, 개구부(15) 및 틈새부(17) 저부에 저항층(12)에 노출되기 까지 동도면(b)에 도시하는 바와 같이 예칭을 행한다.

다음에, 박리층(19) 상에 레지스트층(21)을 형성하여 개구부(15)를 덮음과 동시에 틈새부(17)가 노출하도록 패터닝을 시행하고, KOH 혹은 불초산에 의한 웨트에칭, 혹은 SF_6 를 이용하여 RIE에 의한 드라이에칭을 행하고, 틈새부(17)내에 노출하고 있는 저항층(12)의 예칭을 행하고, 동도면(c)에 도시하는 바와 같이 틈새부(17)내에 저항층(12)을 제거한 후, SF_6 를 이용한 드리이에칭에 의해 캐소드도체(11)도 제거하고, 빗살모양 캐소드도체를 형성한다.

레지스트층(21)을 제거한 후, 레지스트층(22)을 형성하여 틈새부(17)를 덮음과 동시에 개구부(15)가 노출되도록 패터닝을 행하고, 그 위에서 Mo 등의 에미터 재료를 전자빔 증착법에 의해 수직방향에서 정증착을 행한다. 이에 의해 레지스트층(22) 및 박리층(19) 상에 에미터재료층(23)이 퇴적됨과 동시에 개구부(15)내의 저항층(12) 상에 콘형상의 에미터(16)가 동도면(d)에 도시하는 바와 같이 형성된다.

그리고, 알루미늄으로 되는 박리층(19)을 인산 등의 박리액에 의해 용해하여 제거하면 레지스트층(22) 및 에미터재료층(23)도 제거되고, 동도면(e)에 도시하는 바와 같은 FEC소자를 얻을 수 있다.

본 발명의 제2실시예는 이상과 같이 구성되어 있기 때문에 캐소드도체와 저항층과의 접속개소가 실질적으로 빗살모양이 된다.

그런데 FEC의 적어도 1개의 에미터가 게이트 도체와 단락하면 그 에미터가 형성되어 있는 블록에 과대한 단락전류가 유입하게 된다.

그러면, 그 블록에 접속되어 있는 저항층과 캐소드도체와의 접합부가 주울열에 의해 용단하여 절연분리되기 때문에, 결합블록만의 부동작이 되어 다른 정상적인 블록에 영향은 생기기 않게 된다. 또한, 용단하는 저항층은 절연층에 의해 대략 덮여 있기 때문에 용단에 수반하는 용해물질의 비산을 방지할 수 있다.

또, 캐소드도체를 사전에 빗살모양으로 패터닝해두고, 그 위해 형성한 저항층을 그 캐소드도체의 빗살에 맞추어서 패터닝하게 하면, 틈새부를 설치하고 않고 캐소드도체와 저항층을 빗살모양부에 의해 접속할 수 있게 된다. 이와 같이 하면 틈새부가 설치되어 있지 않기 때문에 저항층이 용단했을 때에 용해물질이 비산할 가능성을 더욱 작게 할 수 있다.

[발명의 효과]

본 발명은 이상과 같이 구성했기 때문에 단락시에 복수의 에미터가 설치된 블록마다 절연분리할 수 있음과 동시에 에미터와 게이트 단락시에 용단되는 저항층은 절연층에 의해 덮여 있기 때문에 용단에 따른 용

해물질이 비산하기 어렵고, 다른 정상의 소자를 새로이 2차 파괴시키는 것을 방지할 수 있다.

(57) 청구의 범위

청구항 1

캐소드도체의 중간발취부에 형성된 저항층상에, 복수의 원추상 에미터와, 그 에미터의 정점부 주위에 위치하는 게이트도체가 형성된 스핀트형 전계방출 캐소드소자에 있어서, 상기 캐소드도체와 상기 저항층상에 절연층이 형성되고, 그 절연층상에 상기 게이트도체가 형성되어 있음과 동시에 상기 캐소드도체에 상기 저항층이 복수의 단자부를 통하여 접속되어 있고, 그 복수의 단자부가 상기 에미터와 상기 게이트도체와의 단락시에 흐르는 단락전류에 의해 용단되는 것을 특징으로하는 전계방출 캐소드소자.

청구항 2

제1항에 있어서, 1 화소에 대하여 상기 중간발취부가 복수설치되어 있는 것을 특징으로 하는 전계방출 캐소드소자.

청구항 3

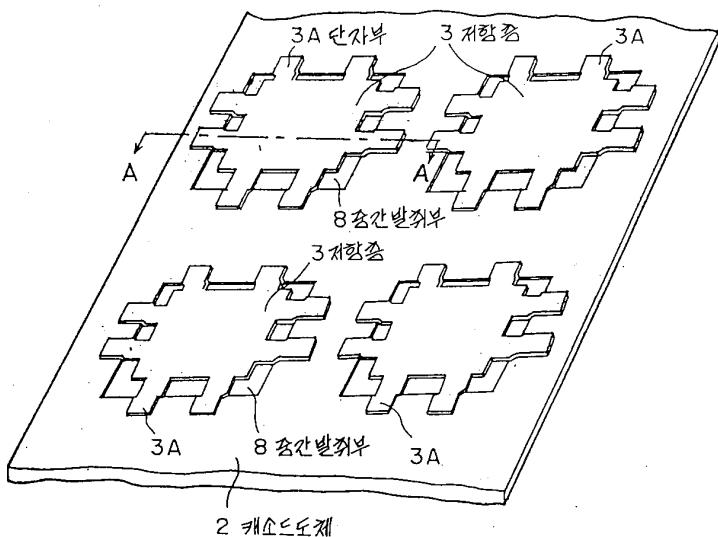
기판상에 형성된 스트라이프상의 복수의 캐소드도체와, 그 캐소드도체 사이의 상기 기판상, 및 그 캐소드도체상에 형성되는 저항층과, 그 저항층 상에 형성된 복수의 에미터와, 그 에미터의 정점부 주위에 위치하여 형성된 게이트도체를 구비한 전계방출 캐소드소자에 있어서, 상기 캐소드도체와, 상기 저항층상에 절연층이 형성되고, 그 절연층상에 상기 게이트도체가 형성되어 있음과 동시에 상기 캐소드도체상에 끝가장자리를 빗살모양으로한 상기 저항층의 끝가장리가 형성되어 있는 것을 특징으로 하는 전계방출 캐소드소자.

청구항 4

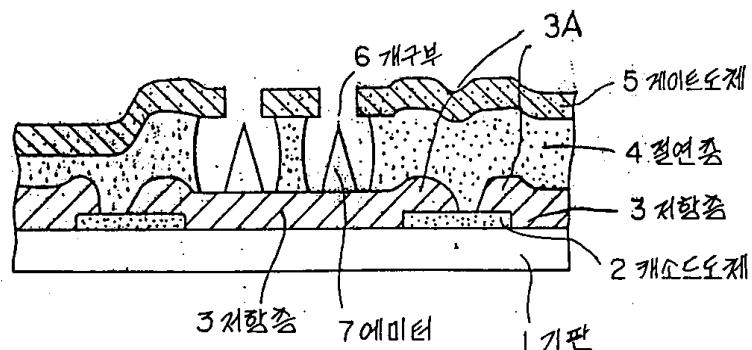
제1항 내지 제3항중의 어느 한항에 있어서, 상기 캐소드도체에 직교하도록 상기 게이트 도체가 스트라이프상으로 형성되어 있는 것을 특징으로하는 전계방출 캐소드소자.

도면

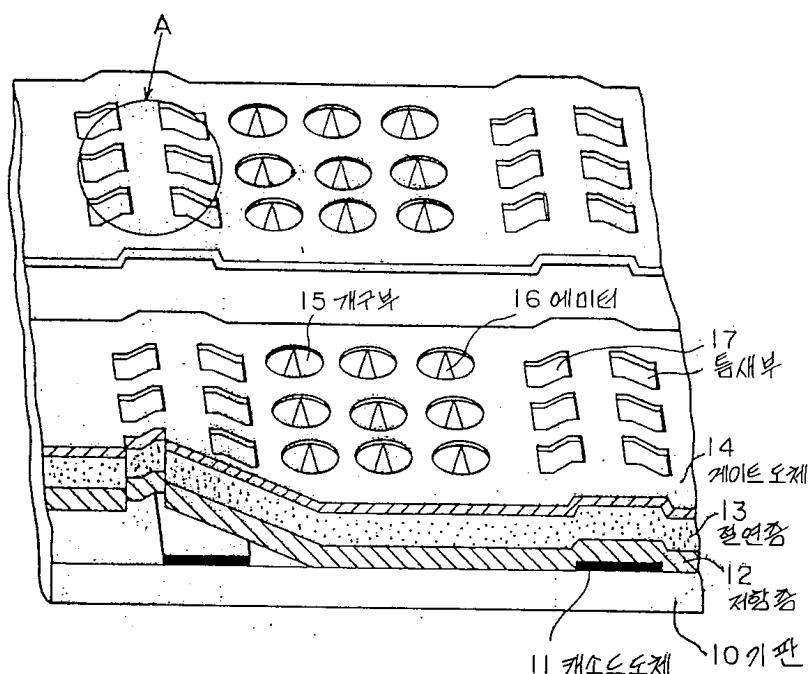
도면1



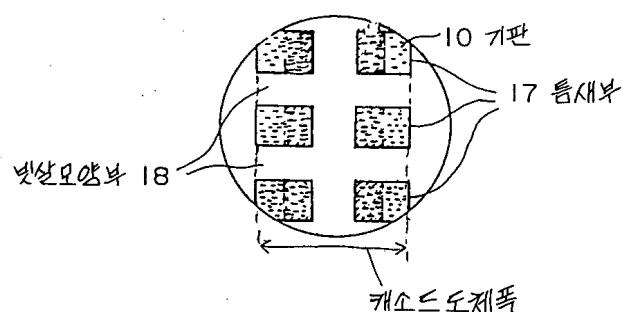
도면2



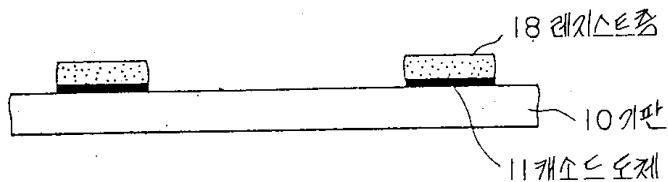
도면3a



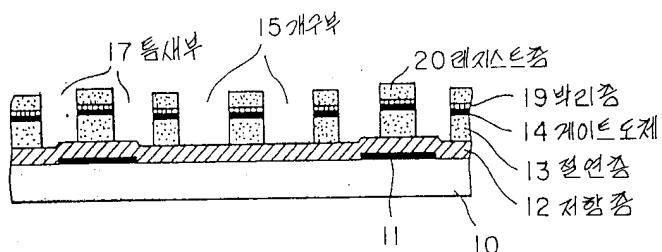
도면3b



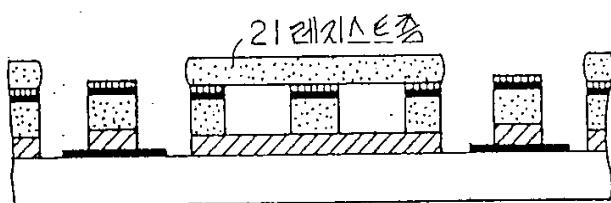
도면4a



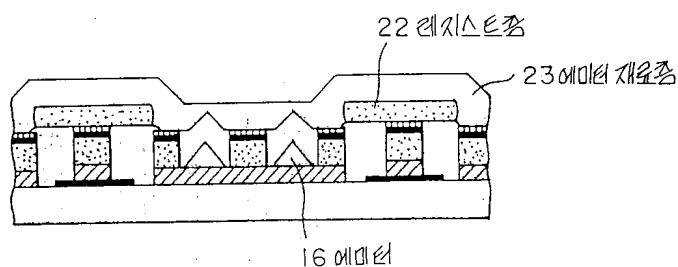
도면4b



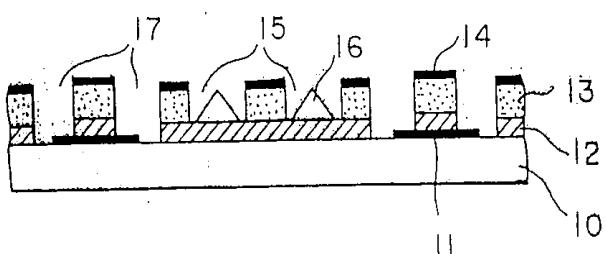
도면4c



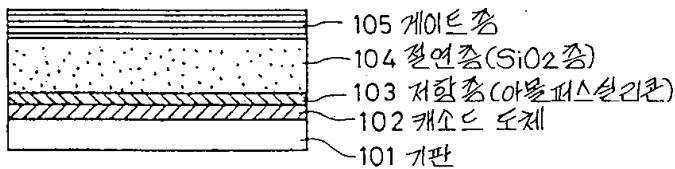
도면4d



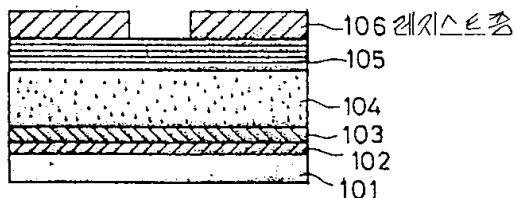
도면4e



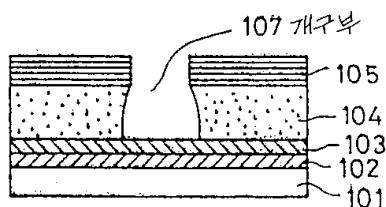
도면5a



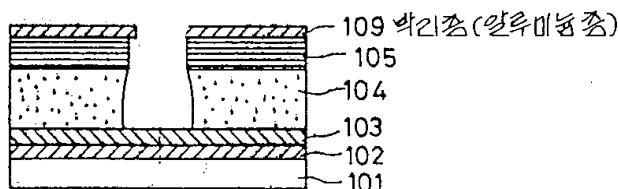
도면5b



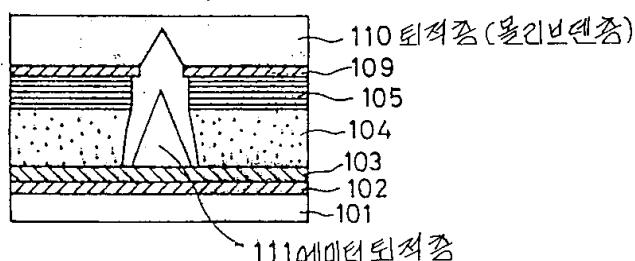
도면5c



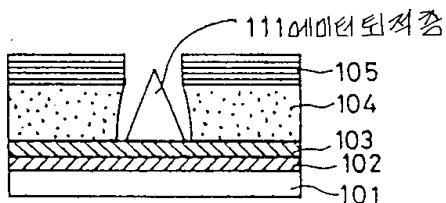
도면5d



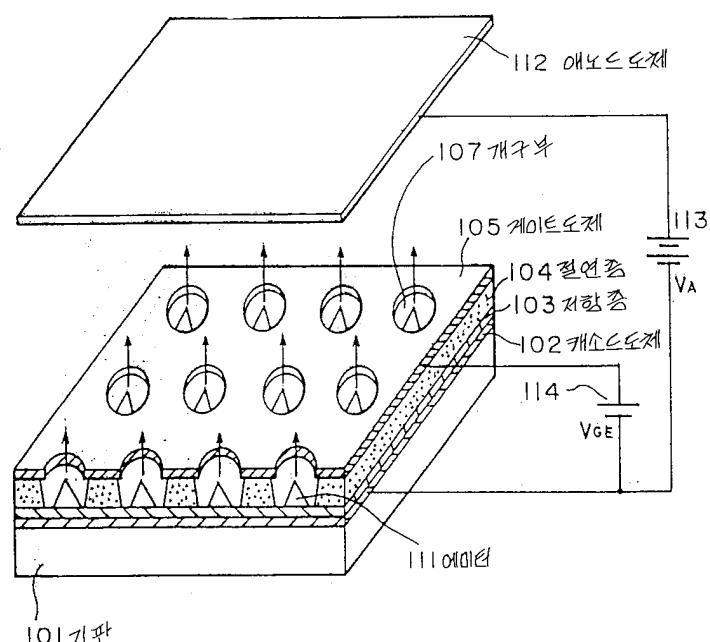
도면5e



도면5f



도면6



도면7

