

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-204811

(P2012-204811A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/868 (2006.01)	HO 1 L 29/91 D	
HO 1 L 29/861 (2006.01)	HO 1 L 29/78 6 5 4 Z	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 P	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 H	
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 6 B	

審査請求 未請求 請求項の数 9 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2011-71044 (P2011-71044)
 (22) 出願日 平成23年3月28日 (2011. 3. 28)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110000925
 特許業務法人信友国際特許事務所
 (72) 発明者 森 日出樹
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 荒井 千広
 東京都港区港南1丁目7番1号 ソニー株式会社内

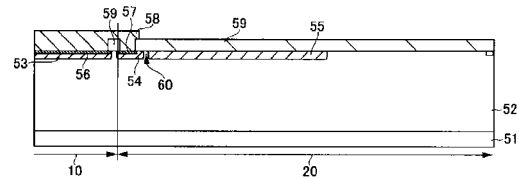
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 耐圧性及び電気的特性に優れた半導体装置を提供する。

【解決手段】 半導体基体 5 1 上に形成された第 1 導電型の第 1 半導体領域と、第 1 半導体領域の表面に形成されている第 2 導電型の第 2 半導体領域、第 3 半導体領域及び第 4 半導体領域を備える半導体装置を構成する。この半導体装置では、第 2 半導体領域、第 3 半導体領域及び第 4 半導体領域がそれぞれ離間され、第 2 半導体領域及び第 3 半導体領域に第 1 電極が接続されている。

【選択図】 図 8



【特許請求の範囲】

【請求項 1】

第 1 導電型の半導体基体と、
 前記半導体基体上に形成された第 1 導電型の第 1 半導体領域と、
 前記第 1 半導体領域の表面に形成されている第 2 導電型の第 2 半導体領域と、
 前記第 1 半導体領域の表面において、前記第 2 半導体領域と離間されて形成されている
 第 2 導電型の第 3 半導体領域と、
 前記第 1 半導体領域の表面において、前記第 2 半導体領域及び前記第 3 半導体領域と離
 間されて形成されている第 2 導電型の第 4 半導体領域と、
 前記第 2 半導体領域及び前記第 3 半導体領域に接続する第 1 電極と、を備える
 半導体装置。

10

【請求項 2】

前記第 3 半導体領域と前記第 4 半導体領域は、前記第 1 電極に逆方向電圧が印加された
 ときに、前記第 1 半導体領域の前記第 3 半導体領域の端部から前記第 4 半導体領域の端部
 に達する空乏層による電位伝搬によって、電氣的に接続される請求項 1 に記載の半導体装
 置。

【請求項 3】

アクティブ領域に前記第 2 半導体領域が形成され、終端領域に前記第 3 半導体領域及び
 前記第 4 半導体領域が形成されている請求項 1 に記載の半導体装置。

20

【請求項 4】

前記第 1 半導体領域上において、前記第 3 半導体領域上及び前記第 4 半導体領域上に形
 成された絶縁層と、
 前記絶縁層内において、前記第 3 半導体領域と前記第 4 半導体領域との一部に跨り、且
 つ、前記絶縁層を介して前記第 1 半導体領域上に形成された第 2 電極と、
 前記第 1 電極と前記第 2 電極とを接続する配線と、
 を備える請求項 1 に記載の半導体装置。

【請求項 5】

前記第 2 半導体領域内において、前記第 2 半導体領域の表面に形成されている第 2 導電
 型の第 5 半導体領域と、前記第 3 半導体領域内において、前記第 3 半導体領域の表面に形
 成されている第 2 導電型の第 6 半導体領域とを備える請求項 1 に記載の半導体装置。

30

【請求項 6】

隣り合う前記第 2 半導体領域の一部に跨るように、第 1 ゲート絶縁膜を介して前記第 1
 半導体領域上に形成されている第 1 ゲート電極と、
 前記第 2 半導体領域と前記第 3 半導体領域の一部に跨るように、第 2 ゲート絶縁膜を介
 して前記第 1 半導体領域上に形成されている第 2 ゲート電極と、
 を備える請求項 1 に記載の半導体装置。

【請求項 7】

前記第 1 半導体領域上、前記第 3 半導体領域上及び前記第 4 半導体領域上に形成された
 第 3 ゲート絶縁膜と、
 前記第 3 半導体領域と前記第 4 半導体領域との一部に跨り、且つ、第 3 ゲート絶縁膜を
 介して前記第 1 半導体領域上に形成された第 3 ゲート電極と、
 前記第 1 電極と第 3 ゲート電極とを接続するゲート配線と、
 を備える請求項 6 に記載の半導体装置。

40

【請求項 8】

前記第 1 半導体領域において、前記第 2 半導体領域、前記第 3 半導体領域、及び、前記
 第 4 半導体領域に、前記半導体基体の主面に対して平行な方向に周期的に配列された第 2
 導電型のピラー領域を備える請求項 6 に記載の半導体装置。

【請求項 9】

前記第 2 半導体領域内において、前記第 2 半導体領域の表面に第 1 導電型の第 7 半導体
 領域が形成され、前記第 7 半導体領域の両端に前記第 5 半導体領域が形成されている請求

50

項 6 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、主に電力用半導体装置、特に高耐圧パワーデバイスとして用いられる半導体装置に係わる。

【背景技術】

【0002】

高耐圧パワーエレクトロニクスアプリケーション用途に用いられる高耐圧パワーデバイスとして、縦型PN接合ダイオードが一般的に知られている（例えば、特許文献1参照）。また、同様に縦型DMOSFET（Double-Diffusion Metal-Oxide-Semiconductor Field Effect Transistor）及びIGBT（Insulated Gate Bipolar Transistor）が一般的に知られている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2000-323488号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

高耐圧パワーデバイスでは、省電力化（低損失）及び動作性の観点から逆回復特性、特にリバースリカバリタイム（ t_{rr} ）特性の向上が求められている。

20

【0005】

本技術においては、耐圧性及び電気的特性に優れる半導体装置を提供するものである。

【課題を解決するための手段】

【0006】

本技術の半導体装置は、第1導電型の半導体基体と、半導体基体上に形成された第1導電型の第1半導体領域と、第1半導体領域の表面に形成されている第2導電型の第2半導体領域とを備える。また、第1半導体領域の表面において、第2半導体領域と離間されて形成されている第2導電型の第3半導体領域と、第1半導体領域の表面において、第2半導体領域及び第3半導体領域と離間されて形成されている第2導電型の第4半導体領域とを備える。また、第2半導体領域及び第3半導体領域に接続する第1電極を備える。

30

【0007】

上記半導体装置によれば、第1半導体領域の表面に、第3半導体領域と第4半導体領域とが離間されて形成されている。また、第2半導体領域及び第3半導体領域に第1電極が接続され、第4半導体領域には電極が接続されていない。このため、第2半導体領域及び第3半導体領域に電圧が印加されて第1半導体領域へのキャリアの流入が起きる際に、第4半導体領域には電圧が印加されず、第4半導体領域から第1半導体領域へのキャリアの流入が起こらない。従って、第1半導体領域内のキャリア量が減少し、リバースリカバリタイム（ T_{rr} ）特性が向上する。

40

また、第3半導体領域と第4半導体領域とにより半導体装置の耐圧を確保することができる。

【発明の効果】

【0008】

本技術によれば、耐圧性及び電気的特性に優れる半導体装置を提供することができる。

【図面の簡単な説明】

【0009】

【図1】Aは、縦型DMOSFETの構成を示す断面図である。Bは、スーパージャンクション構造を有する縦型DMOSFETの構成を示す断面図である。

【図2】縦型PNダイオードの構成を示す断面図である。

50

【図 3】 A ~ C は、昇圧コンバータの出力段回路図である。

【図 4】 昇圧コンバータの出力段回路における縦型 P N ダイオードの電流波形を示す図である。

【図 5】 A , B は、昇圧コンバータの出力段回路における縦型 P N ダイオードの電子及びホールの移動の様子を示す図である。

【図 6】 昇圧コンバータの出力段回路図である。

【図 7】 A , B は、昇圧コンバータの出力段回路における縦型 D M O S F E T の電子及びホールの移動の様子を示す図である。

【図 8】 第 1 実施形態の半導体装置の構成を示す断面図である。

【図 9】 第 1 実施形態の変形例の半導体装置の構成を示す断面図である。

10

【図 10】 第 2 実施形態の半導体装置の構成を示す断面図である。

【図 11】 第 2 実施形態の変形例 1 の半導体装置の構成を示す断面図である。

【図 12】 第 2 実施形態の変形例 2 の半導体装置の構成を示す断面図である。

【図 13】 第 2 実施形態の変形例 3 の半導体装置の構成を示す断面図である。

【図 14】 A , B は、第 2 実施形態の半導体装置の電子及びホールの移動の様子を示す図である。

【図 15】 A , B は、第 2 実施形態の変形例 1 の半導体装置の電子及びホールの移動の様子を示す図である。

【発明を実施するための形態】

【 0 0 1 0 】

20

以下、本技術を実施するための最良の形態の例を説明するが、本技術は以下の例に限定されるものではない。

なお、説明は以下の順序で行う。

- 1 . 半導体装置の説明
- 2 . 半導体装置の第 1 実施の形態
- 3 . 半導体装置の第 1 実施の形態の変形例
- 4 . 半導体装置の第 2 実施形態
- 5 . 半導体装置の第 2 実施形態の変形例 1 ~ 3
- 6 . 半導体装置の動作

【 0 0 1 1 】

30

- 1 . 半導体装置の説明

[縦型 D M O S F E T の基本構成]

高耐圧パワーデバイスに適用される半導体装置について説明する。

図 1 に、高耐圧パワーデバイスの一例として縦型 D M O S F E T (Double-diffused Metal Oxide Semiconductor Field Effect Transistor) の断面図を示す。図 1 A に、縦型 D M O S F E T の断面図を示す。また、図 1 B にスーパージャンクション構造を有する縦型 D M O S F E T の断面図を示す。

【 0 0 1 2 】

図 1 A に示す縦型 D M O S F E T は、アクティブ領域 1 0 と終端領域 2 0 とを備える。アクティブ領域 1 0 は、縦型 D M O S F E T においてトランジスタ等の能動素子や配線が形成される領域である。また、終端領域 2 0 はアクティブ領域の外周部に設けられ、素子等が形成されない領域である。

40

【 0 0 1 3 】

また、縦型 D M O S F E T 等に代表される縦型高耐圧パワーデバイスは、縦方向の第 1 導電型のドリフト領域 1 2 の厚さ (深さ) と、不純物濃度で高耐圧を確保する。さらに、アクティブ領域 1 0 の外側に形成された終端領域 2 0 は、横方向電界をコントロールすることで、耐圧がドリフト領域 1 2 の厚さ (深さ) に依存して決定されるための重要な役割を果たす。

【 0 0 1 4 】

図 1 A に示す縦型 D M O S F E T は、不純物濃度の高い第 1 導電型 (n^+ 型) の半導体

50

基体からなるドレイン領域 11 の主面上に、第 1 導電型 (n 型) の半導体領域からなるドリフト領域 12 が形成されている。

ドリフト領域 12 の表面には、アクティブ領域 10 内に形成される第 2 導電型 (p 型) の半導体領域からなるボディ領域 13 と、終端領域 20 に形成される第 2 導電型 (p 型) の半導体領域からなるボディ領域 14 とが設けられている。

【0015】

アクティブ領域 10 のドリフト領域 12 及びボディ領域 13 上には、ゲート絶縁膜 21 及びゲート電極 22 が設けられている。また、終端領域 20 のドリフト領域 12 及びボディ領域 14 上には、フィールド絶縁層 23 が設けられている。

アクティブ領域 10 では、ボディ領域 13 の一部に跨るように、ドリフト領域 12 上にゲート電極 22 が形成されている。また、アクティブ領域 10 において、最も終端領域 20 側に形成されているゲート電極 24 は、ボディ領域 13 及びボディ領域 14 の一部に跨るようにドリフト領域 12 上に形成されている。

10

【0016】

アクティブ領域 10 のボディ領域 13 の表面には、ゲート絶縁膜 21 の端部が重なる位置に第 1 導電型 (n 型) の半導体領域からなるソース領域 17 が選択的に形成されている。また、ボディ領域 13 の表面には、ソース領域 17 に隣接して、ボディ領域 13 の電位を取り出すための不純物濃度の高い第 2 導電型 (p⁺ 型) の半導体領域からなる電位取り出し領域 (バックゲート) 15 が形成されている。

20

【0017】

終端領域 20 のボディ領域 14 の表面には、最も終端領域 20 側に形成されているゲート電極 24 の端部が重なる位置に、ボディ領域 14 の電位を取り出すための不純物濃度の高い第 2 導電型 (p⁺ 型) の半導体領域からなる電位取り出し領域 (バックゲート) 16 が形成されている。電位取り出し領域 16 は、ボディ領域 14 内のアクティブ領域 10 に近い位置において、フィールド絶縁層 23 が形成されていない部分に選択的に形成されている。

【0018】

アクティブ領域 10 及び終端領域 20 上には、電位取り出し領域 15 と電位取り出し領域 16 とに接続する、ソース電極 18 が形成されている。このため、電位取り出し領域 15 と電位取り出し領域 16 とが同電位になる。

30

また、ボディ領域 13, 14 とドリフト領域 12 とは、互いに接触することで p n 接合が形成される。

【0019】

また、素子耐圧とオン抵抗 (R_{on}) の低減とを両立する半導体装置として、ドリフト領域とピラー領域とが交互に繰返し形成された、いわゆるスーパージャンクション構造と呼ばれる構造が知られている。

図 1 B に、スーパージャンクション構造を有する縦型 DMOSFET の断面構成図を示す。

【0020】

図 1 B に示すスーパージャンクション構造では、図 1 A に示す縦型 DMOSFET 構造に加えて、ドレイン領域 11 の主面に対して略平行な方向に周期的に配列された第 2 導電型 (p 型) のピラー領域 25 が形成されている。ピラー領域 25 は、アクティブ領域 10 においては、ボディ領域 13 と接続する。また、終端領域 20 では、ボディ領域 14 が形成されている範囲では、ボディ領域 14 と接続してピラー領域 25 が形成されている。また、終端領域 20 においてボディ領域 14 が形成されていない範囲では、ドリフト領域 12 の表面からピラー領域 25 が形成されている。

40

【0021】

ドリフト領域 12 とピラー領域 25 とは、互いに隣接して p n 接合部を形成し、いわゆるスーパージャンクション構造を構成している。スーパージャンクション構造においても、終端領域 20 は耐圧確保のための重要な役割を果たす。

50

【 0 0 2 2 】

上述のスーパージャンクション構造では、ピラー領域 2 5 とドリフト領域 1 2 に含まれる不純物量が同じに設計されている。このため、ドレイン、ソース間に逆バイアスが印加されたとき、ピラー領域 2 5 とドリフト領域 1 2 が完全空乏化され、電界分布が均一になる。

従って、スーパージャンクション構造を用いない場合に比べて、ドリフト領域 1 2 の不純物濃度を高くしても高い素子耐圧を確保できる。また、ドリフト領域 1 2 の不純物濃度を高くできるため、トランジスタが ON 状態でのオン抵抗 (R_{on}) を低くすることが可能となる。即ち、スーパージャンクション構造を有することにより、素子耐圧と R_{on} の両立を実現可能な半導体装置を構成できる。

10

【 0 0 2 3 】

[縦型 P N ダイオードの基本構成]

次に、上述の縦型 D M O S F E T と同様に、昇圧型コンバータ等に高耐圧パワーデバイスとして適用される縦型 P N ダイオードの断面図を図 2 に示す。

【 0 0 2 4 】

図 2 に示す縦型 P N ダイオードは、アクティブ領域 1 0 と終端領域 2 0 とを備える。

不純物濃度の高い第 1 導電型 (n^+ 型) の半導体基体 3 1 の主面上に、第 1 導電型 (n 型) の半導体領域からなるカソード領域 3 2 が形成されている。

カソード領域 3 2 の表面には、アクティブ領域 1 0 内に形成される第 2 導電型 (p 型) の半導体領域からなるアノード領域 3 3 と、終端領域 2 0 に形成される第 2 導電型 (p 型) の半導体領域からなるアノード領域 3 4 とが設けられている。

20

【 0 0 2 5 】

アノード領域 3 3 の表面には、アノード領域 3 3 の電位を取り出すための不純物濃度の高い第 2 導電型 (p^+ 型) の半導体領域からなる電位取り出し領域 3 5 が形成されている。また、終端領域 2 0 のアノード領域 3 4 の表面には、アノード領域 3 4 の電位を取り出すための不純物濃度の高い第 2 導電型 (p^+ 型) の半導体領域からなる電位取り出し領域 3 6 が形成されている。電位取り出し領域 3 6 は、アノード領域 3 4 内のアクティブ領域 1 0 側に近接して形成されている。

【 0 0 2 6 】

電位取り出し領域 3 5 及び電位取り出し領域 3 6 上には、アノード電極 3 7 が形成されている。アノード電極 3 7 により接続されることで、電位取り出し領域 3 5 と電位取り出し領域 3 6 とが同電位になる。

30

【 0 0 2 7 】

終端領域 2 0 において、電位取り出し領域 3 6 上を除き、カソード領域 3 2 及びアノード領域 3 4 上には、フィールド絶縁層 3 8 が形成されている。また、アクティブ領域 1 0 の電位取り出し領域 3 5 とアノード電極 3 7 との接続部を除いて、カソード領域 3 2 及びアノード領域 3 3 上には、フィールド絶縁層 3 8 が形成されている。

【 0 0 2 8 】

[動作]

次に、上述の半導体装置の動作について説明する。半導体装置の動作の一例として昇圧型コンバータの出力段回路における、上述の縦型 P N ダイオードの動作を説明する。

40

【 0 0 2 9 】

図 3 A ~ C は、昇圧コンバータの出力段回路である。図 3 A ~ C に示す昇圧コンバータの出力段回路は、入力側からインダクタ 4 1、縦型 D M O S F E T 4 2、縦型 P N ダイオード 4 3、及び、キャパシタ 4 4 を備える。また、昇圧コンバータの縦型 P N ダイオード 4 3 に上述の図 2 に示す縦型 P N ダイオード、又は、図 1 に示す縦型 D M O S F E T が適用可能である。さらに、昇圧コンバータの縦型 D M O S F E T 4 2 に、上述の図 1 に示す縦型 D M O S F E T が適用可能である。

また、図 4 は、図 3 に示す昇圧コンバータの出力段回路における、上述の縦型 P N ダイオードの電流波形を示す。

50

【0030】

図3Aに示すように、縦型DMOSFET42がON状態のとき、入力端子からインダクタ41を介して縦型DMOSFET42を通り、グランドへ電流が流れる。

次に、図3Bに示すように、縦型DMOSFET42がOFF状態になると、入力端子とグランド間が遮断され、インダクタ41の逆起電力により縦型DMOSFET42のドレイン端子の電位が上がる。このとき、縦型DMOSFET42のドレイン端子と縦型PNダイオード43のアノードが接続されているので、縦型PNダイオード43のアノード、カソード間に順方向電圧が印加される。このため、縦型PNダイオード43を介して電流 I_f が流れ、キャパシタ44をチャージする。

このときの縦型PNダイオード43における電流 I_f の電流波形は、図4に示す(a)の領域で表される。

10

【0031】

次に、図3Cに示すように、再び縦型DMOSFET42がON状態になり入力端子からインダクタ41を通して縦型DMOSFET42を介し、グランドへ電流が流れると、縦型DMOSFET42のドレイン端子は急激にグランド電位に下がる。このとき、縦型PNダイオード43のアノード電位もグランド電位に下がるため、アノード、カソード間に急激に逆バイアスが印加された状態になる。このときの電流波形は図4に示す(b)の領域で表される。

【0032】

図4に示す(b)の領域の電流波形の通り、縦型PNダイオード43のアノード、カソード間に急激に逆バイアスが印加された状態になると、逆方向の電流が流れる。そして、逆方向最大電流 I_{rp} が流れた後、逆方向電流は減少する。

20

逆方向最大電流 I_{rp} が流れた後、アノード、カソード間接合に空乏層が広がった状態に遷移する。そして、アノード、カソード間接合に空乏層が完全に広がり、安定した逆バイアス印加状態となる一連の過渡応答を示す。この安定状態になるまでの時間 t_{rr} がリバースリカバリタイムである。

【0033】

上述の昇圧コンバータの出力段回路における、上述の図2に示す縦型PNダイオードの電子及びホール移動の様子を図5に示す。図5Aは、縦型PNダイオードに順バイアスが印加されたときの電子及びホール移動の様子を示す図である。また、図5Bは、縦型PNダイオードに逆バイアスが印加されたときの電子及びホール移動を示す図である。

30

【0034】

上述の図3Bに示すように、縦型PNダイオード43に順バイアスが印加された状態では、アノード電極37側から半導体基体31側に電流 I_f が流れる。このとき、縦型PNダイオード43では図5Aに示すように、アノード電極37が接合されたアノード領域33, 34からカソード領域32にホール46が流入し、半導体基体31側からカソード領域32に電子47が流入する。

【0035】

次に、上述の図3Cに示すように、縦型PNダイオード43に逆バイアスが印加された状態では、半導体基体31側からアノード電極37側に逆方向電流が流れる。この逆方向電流が流れる現象について、図5Bに示す縦型PNダイオード43を用いて説明する。

40

【0036】

逆バイアスが印加された状態の縦型PNダイオード43では、カソード領域32へ流入した少数キャリアであるホール46が、多数キャリアである電子47と再結合して消滅する前に、急激に逆バイアスが印加される。このため、再結合せず残っているカソード領域32内の少数キャリアであるホール46が、逆方向電位が印加されたアノード領域33, 34の負電位によって引抜かれる。このような現象により、縦型PNダイオード43において、カソード領域32からアノード領域33, 34へ電流が流れる。

【0037】

また、上述の図3に示す昇圧型コンバータの出力段回路において、縦型PNダイオード

50

の替わりに、上述の図 1 に示す縦型 DMOSFET を用いることもできる。図 6 に、縦型 DMOSFET を用いた昇圧型コンバータの出力段回路を示す。

また、昇圧コンバータの出力段回路における、縦型 DMOSFET の電子及びホールの移動の様子を図 7 に示す。図 7 A は、縦型 DMOSFET に順バイアスが印加されたときの電子及びホールの移動の様子を示す図である。また、図 7 B は、縦型 DMOSFET に順バイアスが印加されたときの電子及びホールの移動の様子を示す図である。

【 0 0 3 8 】

図 6 に示す昇圧コンバータの出力段回路は、入力側からインダクタ 4 1、縦型 DMOSFET 4 2、縦型 DMOSFET 4 5、及び、キャパシタ 4 4 を備える。

図 6 に示す昇圧型コンバータの出力段回路の動作は、縦型 DMOSFET 4 5 が用いられていることを除き、上述の図 3 に示す昇圧型コンバータの出力段回路と同じである。また、縦型 DMOSFET 4 5 の電流波形も上述の図 4 に示す電流波形と同様である。

【 0 0 3 9 】

昇圧型コンバータの出力段回路における縦型 DMOSFET 4 5 における電子及びホールの移動は、ドレイン領域 1 1、電位取り出し領域（バックゲート）1 5、1 6 間のいわゆる body ダイオードを用いる。これは、上述の図 5 に示す縦型 PN ダイオードと同様の動作である。

【 0 0 4 0 】

つまり、図 7 A に示すように、縦型 DMOSFET 4 5 に順バイアスが印加された状態では、ソース電極 1 8 側からドレイン領域 1 1 側に電流 I_f が流れる。このとき、縦型 DMOSFET 4 5 では、ソース電極 1 8 が接合されたボディ領域 1 3、1 4 からドリフト領域 1 2 にホール 4 6 が流入し、ドレイン領域 1 1 側からドリフト領域 1 2 に電子 4 7 が流入する。

【 0 0 4 1 】

また、図 7 B に示すように、縦型 DMOSFET 4 5 に逆バイアスが印加された状態では、ドレイン領域 1 1 側からソース電極 1 8 側に逆方向電流が流れる。このとき、縦型 DMOSFET 4 5 では、ドリフト領域 1 2 へ流入した少数キャリアであるホール 4 6 が、多数キャリアである電子 4 7 と再結合して消滅する前に、急激に逆バイアスが印加される。このため、再結合せず残っているドリフト領域 1 2 内の少数キャリアであるホール 4 6 が、逆方向電位が印加されたボディ領域 1 3、1 4 の負電位によって引抜かれる。

【 0 0 4 2 】

リバースリカバリタイム t_{rr} は、上述の縦型 PN ダイオード 4 3 において、カソード領域 3 2 内のホール 4 6 が、アノード領域 3 3、3 4 の負電位によって完全に引き抜かれ、カソード領域 3 2 が完全空乏化するまでの時間である。また、上述の縦型 DMOSFET 4 5 において、ドリフト領域 1 2 内のホール 4 6 がボディ領域 1 3、1 4 の負電位によって完全に引き抜かれ、ドリフト領域 1 2 が完全空乏化するまでの時間である。

【 0 0 4 3 】

ここで、 t_{rr} は、図 4 に示すように、電流 I_f が縦型 PN ダイオード 4 3 又は縦型 DMOSFET 4 5 において逆方向電流となるとときから、逆方向最大電流 I_{rp} の 10% 以下に低下するまでの時間として定義することができる。

上述のダイオードの過渡動作において t_{rr} が長いと、回路動作が遅くなる他、逆方向電流が流れている時間が長い分消費電流が増え、効率が低下するといった問題がある。

【 0 0 4 4 】

また、上述の構造の縦型 PN ダイオード及び高耐圧の縦型 DMOSFET では、アクティブ領域 1 0 の周囲に終端領域 2 0 が設けられている。終端領域 2 0 を設けることにより、空乏層をアクティブ領域 1 0 の外側の終端領域 2 0 まで広げることができるため、高耐圧を実現することができる。つまり、耐圧確保の点から終端領域 2 0 構造は必要である。

特に、終端領域 2 0 へボディ領域 1 4、アノード領域 3 4 の張り出し量が少ないと空乏層が伸びにくくなり、耐圧が低下する。

【 0 0 4 5 】

10

20

30

40

50

一方、ダイオードの過渡動作の点からは、縦型DMOSFETのボディ領域14や、縦型PNダイオードのアノード領域34の張り出し量は、少なくすることが好ましい。これは、縦型DMOSFETのボディ領域14や、縦型PNダイオードのアノード領域34の張り出し量が増加すると、ダイオードのPN接合面積が増大する。PN接合面積が増大することにより、順バイアスが印加されたときに注入されるホール46の量が増える。そして、少数キャリアであるホール46は、逆バイアスが印加された時の引き抜き効率が悪いため、ホール46の量が増えると、カソード領域32又はドリフト領域12の完全空乏化が遅れる。従って、 t_{rr} の短縮、及び、逆方向最大電流 I_{rp} の低減を図るためには張り出し量を少なくする必要がある。

【0046】

上述のように、高耐圧パワーデバイスに適用される半導体装置である縦型PNダイオード及び縦型DMOSFETでは、耐圧確保と、リバースリカバリタイム t_{rr} の短縮及び逆方向最大電流 I_{rp} の低減との両立が困難であった。

【0047】

本技術は、上記課題に対して、耐圧確保、 t_{rr} の短縮、及び、 I_{rp} の低減が実現可能な半導体装置を提供する。特に、高耐圧パワーデバイスに適用可能な、MOSFET構造及びダイオード構造を提供する。

【0048】

2. 半導体装置の第1実施形態

[縦型PNダイオード]

以下、半導体装置の第1実施形態について説明する。図8に、第1実施形態の半導体装置の一例として、高耐圧パワーデバイスに用いられる縦型PNダイオード構造の半導体装置の断面図を示す。

【0049】

図8に示す縦型PNダイオードは、アクティブ領域10と終端領域20とを備える。アクティブ領域10は、縦型PNダイオードにおいてトランジスタ等の能動素子や配線が形成される領域である。また、終端領域20はアクティブ領域の外周部に設けられ、素子等が形成されない領域である。

【0050】

不純物濃度の高い第1導電型(n^+ 型)の半導体基体51の主面上に、第1導電型(n 型)の半導体領域からなるカソード領域52が形成されている。

アクティブ領域10内のカソード領域52の表面には、第2導電型(p 型)の半導体領域からなる第1アノード領域53が形成されている。また、終端領域20のカソード領域52の表面には、第2導電型(p 型)の半導体領域からなる第2アノード領域54、及び、第2導電型(p 型)の半導体領域からなる第3アノード領域55が設けられている。

【0051】

また、第2アノード領域54は、終端領域20においてアクティブ領域10に近接する位置に形成されている。そして、第2アノード領域54よりも外周側にカソード領域52により分離された第3アノード領域55が形成されている。第2アノード領域54と第3アノード領域55との間には、カソード領域52による間隙60が設けられている。

【0052】

間隙60の長さは、第2アノード領域54側から外側に広がる空乏層が届く距離以下とする。つまり、縦型PNダイオードに逆バイアスが印加されたとき、カソード領域52の表面付近において、第2アノード領域54の端部から第3アノード領域55の端部まで空乏層が広がる。そして、この空乏層による電位伝搬によって、第2アノード領域54と第3アノード領域55との間隙60にパンチスルーが形成される。間隙60は、このパンチスルーにより第2アノード領域54と第3アノード領域55とが電氣的に接続可能な長さとする。

【0053】

第1アノード領域53の表面には、第1アノード領域53の電位を取りだすための不純

10

20

30

40

50

物濃度の高い第2導電型(p⁺型)の半導体領域からなる第1電位取り出し領域56が形成されている。

【0054】

また、末端領域20の第2アノード領域54の表面には、第2アノード領域54の電位を取り出すための不純物濃度の高い第2導電型(p⁺型)の半導体領域からなる第2電位取り出し領域57が形成されている。第2電位取り出し領域57は、第2アノード領域54内において、アクティブ領域10側に形成されている。

【0055】

第1電位取り出し領域56及び第2電位取り出し領域57上には、アノード電極58が形成されている。第1電位取り出し領域56と第2電位取り出し領域57とに共通の電極が接続されることで、第1電位取り出し領域56と第2電位取り出し領域57とが同電位になる。

10

【0056】

末端領域20において、第2電位取り出し領域57を除く第2アノード領域54、第3アノード領域55、及び、カソード領域52上には、フィールド絶縁層59が形成されている。同様に、アクティブ領域10の第1電位取り出し領域56とアノード電極58との接続部を除く第1電位取り出し領域56、及び、カソード領域52上には、フィールド絶縁層59が形成されている。

【0057】

図8に示す縦型PNダイオード等に代表される縦型高耐圧パワーデバイスは、縦方向のカソード領域52の厚さ(深さ)と、カソード領域52の不純物濃度で高耐圧を確保する。さらに、アクティブ領域10の外側に形成された末端領域20において、横方向電界をコントロールするためのp型の半導体領域(アノード領域)が、第2アノード領域54と、第3アノード領域55とに電氣的に分離されている。

20

【0058】

[動作]

上述の縦型PNダイオードにおいて間隙60は、第2アノード領域54から外側に広がる空乏層が、第3アノード領域55に届く長さ以下で形成されている。このため、縦型PNダイオードに逆バイアスが印加されたとき、第2アノード領域54と第3アノード領域55との間隙60において、第2アノード領域54の端部側から第3アノード領域55の端部側に達する空乏層が形成される。そして、第2アノード領域54から第3アノード領域55に空乏層が達することにより、この空乏層による電位伝搬によって、間隙60にパンチスルーが形成される。このため、第2アノード領域54と第3アノード領域55とが電氣的に接続される。

30

このように、縦型PNダイオードに逆バイアスが印加された場合には、第2アノード領域54と、第3アノード領域55とに電氣的な接続が形成される。このため、末端領域20のカソード領域52の表面のp型の半導体領域(アノード領域)の面積を増大させることができ、半導体装置の耐圧を確保することができる。

【0059】

また、上述の縦型PNダイオードでは、第2アノード領域54と、第3アノード領域55とが電氣的に分離され、第2アノード領域54にのみアノード電極58が接続され、第3アノード領域55にアノード電極58が接続されていない。

40

縦型PNダイオードに順バイアスが印加されたとき、第2アノード領域54からの空乏層の拡散が起こらないため、第2アノード領域54と第3アノード領域55とは電氣的に分離された状態のままである。

つまり、順バイアスの印加時には、PNダイオードの接合面積から第3アノード領域55部分が除かれ、PNダイオードの実効接合面積を縮小することができる。

この結果、順バイアス印加時のカソード領域52に注入されるホールの量を低減することができ、逆バイアス印加時のホールを引き抜く時間の短縮が可能となる。従って、カソード領域52の完全空乏化が容易となり、 t_{rr} の短縮、及び、 I_{rp} の低減が可能とな

50

る。

【 0 0 6 0 】

3 . 半 導 体 装 置 の 第 1 実 施 形 態 の 変 形 例

次に、上述の第1実施形態の縦型PNダイオード構造の半導体装置の変形例について説明する。なお、以下の説明では、上述の第1実施形態と同様の構成には、同じ符号を付して詳細な説明を省略する。

【 0 0 6 1 】

[縦 型 P N ダ イ オ ー ド (フ ィ ー ル ド 電 極)]

図9に、第1実施形態の変形例1の縦型PNダイオード構造を示す。

図9に示す半導体装置は、アクティブ領域10と終端領域20とを備える。また、半導体基体51の主面上に、カソード領域52が形成されている。アクティブ領域10内のカソード領域52の表面には、第1アノード領域53が形成されている。また、終端領域20のカソード領域52の表面には、第2アノード領域54、及び、第3アノード領域55が設けられている。

【 0 0 6 2 】

第1アノード領域53の表面には、第1アノード領域53の電位を取り出すための第1電位取り出し領域56が形成されている。

また、第2アノード領域54の表面には、第2アノード領域54の電位を取り出すための第2電位取り出し領域57が形成されている。第1電位取り出し領域56及び第2電位取り出し領域57上には、アノード電極58が形成されている。

【 0 0 6 3 】

第2アノード領域54は、終端領域20においてアクティブ領域10に近接する位置に形成されている。そして、第2アノード領域54よりも外周側にカソード領域52により分離された第3アノード領域55が形成されている。第2アノード領域54と第3アノード領域55との間には、カソード領域52による間隙60が設けられている。

【 0 0 6 4 】

また、終端領域20において、間隙60のカソード領域52上に、フィールド絶縁層59を介してフィールド電極61が形成されている。フィールド電極61は間隙60上において、第2アノード領域54と第3アノード領域55との一部に跨ぐように形成されている。そして、フィールド電極61と、アノード電極58とがフィールド配線62により接続されている。

このため、フィールド電極61をゲート電極、フィールド絶縁層59をゲート絶縁膜とし、間隙60のカソード領域52により分離された第2アノード領域54と第3アノード領域55とをソース・ドレインとする横型MOSFETが構成される。

【 0 0 6 5 】

[動 作]

上述の第1実施形態の変形例の半導体装置では、アノード電極58と接続されたフィールド電極61が間隙60上に形成されている。これにより、縦型PNダイオードに逆バイアスが印加されたとき、第1電位取り出し領域56と第2電位取り出し領域57とフィールド電極61とが連動する。そして、フィールド電極61に電圧が印加された場合、フィールド電極61と、第2アノード領域54、第3アノード領域55及び間隙60のカソード領域52とからなる横型MOSFETがON状態となる。このとき、フィールド電極61の直下、つまり、第2アノード領域54と第3アノード領域55との間隙60のカソード領域52にチャンネル領域が形成される。このチャンネル領域により、第2アノード領域54と第3アノード領域55とが電氣的に接続される。

【 0 0 6 6 】

従って、図9に示す縦型PNダイオードでは、第2アノード領域54と、第3アノード領域55とを電氣的に接続させ、終端領域のカソード領域52の表面の終端領域のp型半導体領域(アノード領域)の面積を増大させることができる。このため、半導体装置の耐圧が向上する。

10

20

30

40

50

【 0 0 6 7 】

また、上述の縦型PNダイオードでは、順バイアスが印加された場合には、フィールド電極61と、第2アノード領域54、第3アノード領域55及び間隙60のカソード領域52とからなる横型MOSFETがOFF状態となる。このとき、第2アノード領域54と第3アノード領域55との間隙60にはチャンネル領域が形成されない。このため、縦型PNダイオードに順バイアスが印加されたとき、第2アノード領域54と第3アノード領域55とは電氣的に分離された状態のままである。

【 0 0 6 8 】

つまり、順バイアスの印加時には、第3アノード領域55が分離されてPNダイオードの実行接合面積を縮小することができる。この結果、順バイアス印加時のカソード領域52に注入されるホールの量を低減させることができ、 t_{rr} の短縮、及び、 I_{rp} の低減が可能となる。

10

【 0 0 6 9 】

4. 半導体装置の第2実施形態

[縦型DMOSFET]

次に、半導体装置の第2実施形態について説明する。図10に、第2実施形態の半導体装置の一例として、高耐圧パワーデバイスに用いられる縦型DMOSFET構造の半導体装置の断面図を示す。

【 0 0 7 0 】

図10に示す縦型DMOSFETは、アクティブ領域10と終端領域20とを備える。アクティブ領域10は、縦型PNダイオードにおいてトランジスタ等の能動素子や配線が形成される領域である。また、終端領域20はアクティブ領域の外周部に設けられ、素子等が形成されない領域である。

20

【 0 0 7 1 】

不純物濃度の高い第1導電型(n^+ 型)の半導体基体からなるドレイン領域71の主面上に、第1導電型(n 型)の半導体領域からなるドリフト領域72が形成されている。

アクティブ領域10内のドリフト領域72の表面には、第2導電型(p 型)の半導体領域からなる第1ボディ領域73が形成されている。終端領域20のドリフト領域72の表面には、第2導電型(p 型)の半導体領域からなる第2導電型(p 型)の半導体領域からなる第2ボディ領域74、及び、第2導電型(p 型)の半導体領域からなる第3ボディ領域75が設けられている。

30

【 0 0 7 2 】

また、第2ボディ領域74は、終端領域20においてアクティブ領域10に近接する位置に形成されている。そして、第2ボディ領域74よりも外周側にドリフト領域72により分離された第3ボディ領域75が形成されている。第2ボディ領域74と第3ボディ領域75との間には、ドリフト領域72による間隙60が設けられている。

【 0 0 7 3 】

間隙60の長さは、第2ボディ領域74側から外側に広がる空乏層が届く距離以下とする。つまり、縦型DMOSFETに逆バイアスが印加されたとき、第2ボディ領域74の端部から第3ボディ領域75の端部まで、ドリフト領域72の表面付近に空乏層が広がる。空乏層が第2ボディ領域74の端部側から第3ボディ領域75端部側まで達することにより、この空乏層による電位伝搬によって、間隙60にパンチスルーが形成される。そして、形成されたパンチスルーにより、第2ボディ領域74と第3ボディ領域75とが電氣的に接続可能な長さで間隙60が構成されている。

40

【 0 0 7 4 】

アクティブ領域10のドリフト領域72及び第1ボディ領域73上には、第1ゲート絶縁膜81、第2ゲート絶縁膜82及びソース電極79が設けられている。また、終端領域20のドリフト領域72、第2ボディ領域74及び第3ボディ領域75上には、フィールド絶縁層83が設けられている。

また、アクティブ領域10のドリフト領域72及び第1ボディ領域73上には、第1ゲ

50

ート絶縁膜 81 を介して第 1 ゲート電極 84 が形成されている。さらに、第 2 ゲート絶縁膜 82 を介して第 2 ゲート電極 85 が形成されている。

【0075】

第 1 ゲート電極 84 は、アクティブ領域 10 において、第 1 ボディ領域 73 の一部に跨る位置で、第 1 ボディ領域 73 同士の間ドリフト領域 72 上に形成されている。

また、第 2 ゲート電極 85 は、アクティブ領域 10 において、最も終端領域 20 に近い位置に形成されている。そして、第 1 ボディ領域 73 の一部と、第 2 ボディ領域 74 の一部とに跨る位置で、第 1 ボディ領域 73 と第 2 ボディ領域 74 との間ドリフト領域 72 上に形成されている。

【0076】

アクティブ領域 10 の第 1 ボディ領域 73 の表面には、ゲート電極 84 の端部が重なる位置に第 1 導電型 (n 型) の半導体領域からなるソース領域 78 が選択的に形成されている。また、第 1 ボディ領域 73 の表面には、ソース領域 78 に隣接して、第 1 ボディ領域 73 の電位を取り出すための不純物濃度の高い第 2 導電型 (p⁺ 型) の半導体領域からなる第 1 電位取り出し領域 (バックゲート) 76 が形成されている。

【0077】

終端領域 20 の第 2 ボディ領域 74 の表面には、最も終端領域 20 側に形成されている第 2 ゲート電極 85 の端部が重なる位置に、第 2 ボディ領域 74 の電位を取り出すための不純物濃度の高い第 2 導電型 (p⁺ 型) の半導体領域からなる第 2 電位取り出し領域 (バックゲート) 77 が形成されている。第 2 電位取り出し領域 77 は、第 2 ボディ領域 74

内のアクティブ領域 10 に近い位置に選択的に形成されている。

また、終端領域 20 において、第 2 電位取り出し領域 77 を除く第 2 ボディ領域 74、第 3 ボディ領域 75、及び、ドリフト領域 72 上には、フィールド絶縁層 83 が形成されている。

【0078】

第 1 ボディ領域 73、第 2 ボディ領域 74 及び第 3 ボディ領域 75 と、ドリフト領域 72 とは、互いに接触することで p-n 接合が形成される。第 1 電位取り出し領域 76 及び第 2 電位取り出し領域 77 上には、ソース電極 79 が形成されている。第 1 電位取り出し領域 76 と第 2 電位取り出し領域 77 とに共通の電極が接続されることで、第 1 電位取り出し領域 76 と第 2 電位取り出し領域 77 とが同電位になる。

【0079】

図 10 に示す縦型 DMOSFET 等に代表される縦型高耐圧パワーデバイスは、縦方向のドリフト領域 72 の厚さ (深さ) と、ドリフト領域 72 の不純物濃度で高耐圧を確保する。さらに、アクティブ領域 10 の外側に形成された終端領域 20 において、横方向電界をコントロールするための p 型の半導体領域 (ボディ領域) が、第 1 ボディ領域 73 と、第 2 ボディ領域 74 と、第 3 ボディ領域 75 とに電氣的に分離されている。

【0080】

[動作]

上述の縦型 DMOSFET では、第 2 ボディ領域 74 から外側に広がる空乏層が第 3 ボディ領域 75 に届く長さ以下で、間隙 60 が形成されている。このため、縦型 DMOSFET に逆バイアスが印加されたとき、第 2 ボディ領域 74 と第 3 ボディ領域 75 との間隙 60 に、空乏化によるパンチスルーが形成される。このため、第 2 ボディ領域 74 と第 3 ボディ領域 75 とが電氣的に接続される。

このように、縦型 DMOSFET に逆バイアスが印加された場合には、第 2 ボディ領域 74 と第 3 ボディ領域 75 との電氣的な接続が形成される。このため、終端領域 20 のドリフト領域 72 の表面の p 型の半導体領域 (ボディ領域) の面積を増大させることができ、半導体装置の耐圧が向上する。

【0081】

また、上述の縦型 DMOSFET では、第 2 ボディ領域 74 と第 3 ボディ領域 75 とが電氣的に分離され、第 2 ボディ領域 74 にのみソース電極 79 を接続されている。

10

20

30

40

50

縦型DMOSFETに順バイアスが印加された場合には、第2ボディ領域74から空乏層の拡散が起こらないため、第2ボディ領域74と第3ボディ領域75とは電氣的に分離された状態である。

つまり、順バイアスの印加時には、PNダイオードの接合面積から第3ボディ領域75部分が除かれ、PNダイオードの実効接合面積を縮小することができる。

この結果、順バイアス印加時のドリフト領域72に注入されるホールの量を低減することができ、逆バイアス印加時のホールの引き抜く時間の短縮が可能となる。従って、ドリフト領域72の完全空乏化が容易となり、 t_{rr} の短縮、及び、 I_{rp} の低減が可能となる。

【0082】

5. 半導体装置の第2実施形態の変形例

次に、上述の第2実施形態の縦型DMOSFET構造の半導体装置の変形例について説明する。なお、以下の説明では、上述の第1実施形態及び第2実施形態と同様の構成には、同じ符号を付して詳細な説明を省略する。

【0083】

[変形例1：縦型DMOSFET（第3ゲート電極）]

第2実施形態の変形例1の半導体装置について説明する。図11に、第2実施形態の変形例1の縦型DMOSFET構造の半導体装置を示す。図11に示す縦型DMOSFETは、アクティブ領域10と終端領域20とを備える。

【0084】

また、ドレイン領域71の主面上に、ドリフト領域72が形成されている。アクティブ領域10内のドリフト領域72の表面には、第1ボディ領域73が形成されている。また、終端領域20のドリフト領域72の表面には、第2ボディ領域74、及び、第3ボディ領域75が設けられている。

第2ボディ領域74は、終端領域20においてアクティブ領域10に近接する位置に形成され、第2ボディ領域74よりも外周側にドリフト領域72からなる間隙60により、電氣的に分離された第3ボディ領域75が形成されている。

【0085】

アクティブ領域10のドリフト領域72及び第1ボディ領域73上には、第1ゲート絶縁膜81、第1ゲート電極84、第2ゲート絶縁膜82、第2ゲート電極85及びソース電極79が設けられている。

また、終端領域20のドリフト領域72、第2ボディ領域74及び第3ボディ領域75上には、フィールド絶縁層83が設けられている。

【0086】

また、終端領域20において、間隙60のドリフト領域72上に、フィールド絶縁層83を介して第3ゲート電極86が形成されている。第3ゲート電極86は間隙60上において、第2ボディ領域74及び第3ボディ領域75との一部に跨ぐように形成されている。そして、第3ゲート電極86と、ソース電極79とがゲート配線87により接続されている。

【0087】

このため、フィールド絶縁層83を第3ゲート絶縁膜とし、第3ゲート電極86と、間隙60のドリフト領域72により分離された第2ボディ領域74と第3ボディ領域75をソース・ドレインとする横型MOSFETが構成される。

【0088】

アクティブ領域10の第1ボディ領域73の表面には、ソース領域78、及び、第1ボディ領域73の電位を取り出すため第1電位取り出し領域（バックゲート）76が形成されている。

また、終端領域20の第2ボディ領域74の表面には、最も終端領域20側に形成されている第2ゲート電極85の端部が重なる位置に、第2ボディ領域74の電位を取り出すための第2電位取り出し領域（バックゲート）77が形成されている。

10

20

30

40

50

【 0 0 8 9 】

[動作]

上述の第2実施形態の変形例1の半導体装置では、間隙60上にソース電極79と接続された第3ゲート電極86が形成されている。これにより、縦型DMOSFETに逆バイアスが印加されたとき、第1電位取り出し領域76と第2電位取り出し領域77と第3ゲート電極86とが連動する。そして、第3ゲート電極86に電圧が印加された場合、第3ゲート電極86と、第2ボディ領域74、第3ボディ領域75及び間隙60のドリフト領域72とからなる横型MOSFETがON状態となる。このとき、第3ゲート電極86の直下、つまり、第2ボディ領域74と第3ボディ領域75との間隙60のドリフト領域72に、チャンネル領域が形成される。このチャンネル領域により、第2ボディ領域74と第3

10

【 0 0 9 0 】

従って、図11に示す縦型DMOSFETでは、第2ボディ領域74と、第3ボディ領域75とを電氣的に接続させて、終端領域のドリフト領域72の表面のp型半導体領域(ボディ領域)の面積を増大させることができる。このため、半導体装置の耐圧が向上する。

【 0 0 9 1 】

また、上述の縦型DMOSFETでは、順バイアスが印加された場合には、第3ゲート電極86と、第2ボディ領域74、第3ボディ領域75及び間隙60のドリフト領域72とからなる横型MOSFETがOFF状態となる。このとき、第2ボディ領域74と第3ボディ領域75との間隙60にはチャンネル領域が形成されない。このため、縦型DMOSFETに順バイアスが印加されたとき、第2ボディ領域74と第3ボディ領域75とは電氣的に分離された状態である。

20

【 0 0 9 2 】

つまり、順バイアスの印加時には、第3ボディ領域75が分離されてPNダイオードの実行接合面積を縮小することができる。この結果、順バイアス印加時のドリフト領域72に注入されるホールの量を低減させることができ、 t_{rr} の短縮、及び、逆方向最大電流 I_{rp} の低減が可能となる。

【 0 0 9 3 】

[変形例2：縦型DMOSFET(第3ゲート電極、ピラー)]

次に、第2実施形態の変形例2の半導体装置について説明する。図12に、第2実施形態の変形例2の縦型DMOSFET構造の半導体装置を示す。

30

図12に示す第2実施形態の変形例2の半導体装置は、ドリフト領域72とピラー領域88とが交互に繰返し形成された、いわゆるスーパージャンクション構造と呼ばれる構造である。

【 0 0 9 4 】

また、図12に示すスーパージャンクション構造では、上述の図11に示す第2実施形態の変形例1の縦型DMOSFETの構造に加えて、ドリフト領域72内に、ピラー領域88が形成されている。ピラー領域88は、ドレイン領域71の主面に対して略平行な方向に周期的に配列されて形成されている。

40

【 0 0 9 5 】

アクティブ領域10では、ピラー領域88が第1ボディ領域73と接続されている。

終端領域20では、第2ボディ領域74及び第3ボディ領域75が形成されている範囲では、この第2ボディ領域74及び第3ボディ領域75と接続してピラー領域88が形成されている。また、第2ボディ領域74及び第3ボディ領域75が形成されていない範囲では、ドリフト領域72の表面からピラー領域88が形成されている。

【 0 0 9 6 】

なお、第2実施形態の変形例2の半導体装置は、ピラー領域88が形成されていることを除き、上述の第2実施形態の変形例1と同様の構成である。また、ピラーが形成されていることを除き、上述の第2実施形態の変形例1と同様に動作する。

50

【 0 0 9 7 】

上述のスーパージャンクション構造とすることにより、第1ボディ領域73、第2ボディ領域74及び第3ボディ領域75に、p型半導体領域からなるピラー領域88が接続し、ドリフト領域72に形成されるp型の半導体領域が拡張される。このため、第2実施形態の変形例2の半導体装置は、上述の第2実施形態の変形例1よりも、素子耐圧の確保とオン抵抗(Ron)の低減とにおいて優位である。

【 0 0 9 8 】

また、上述の第2実施形態の変形例1の半導体装置と同様に、順バイアス印加時には間隙60にチャンネル領域が形成されず、第2ボディ領域74と第3ボディ領域75とが電気的に分離された状態となる。このため、trrの短縮、及び、Irpの低減が可能となる。

10

【 0 0 9 9 】

[変形例3：縦型DMOSFET(ピラー)]

次に、第2実施形態の変形例3の半導体装置について説明する。図13に、第2実施形態の変形例3の縦型DMOSFET構造の半導体装置を示す。

図13に示す第2実施形態の変形例3の半導体装置は、ドリフト領域72とピラー領域88とが交互に繰返し形成された、いわゆるスーパージャンクション構造と呼ばれる構造である。

【 0 1 0 0 】

また、図13に示すスーパージャンクション構造では、上述の図10に示す第2実施形態の縦型DMOSFETの構造に加えて、ドリフト領域72内に、ピラー領域88が形成されている。ピラー領域88は、ドレイン領域71の主面に対して略平行な方向に周期的に配列されて形成されている。

20

【 0 1 0 1 】

ピラー領域88は、アクティブ領域10においては、第1ボディ領域73と接続されている。また、終端領域20では、第2ボディ領域74及び第3ボディ領域75が形成されている範囲では、この第2ボディ領域74及び第3ボディ領域75と接続してピラー領域88が形成されている。また、第2ボディ領域74及び第3ボディ領域75が形成されていない範囲では、ドリフト領域72の表面からピラー領域88が形成されている。

【 0 1 0 2 】

なお、第2実施形態の変形例3の半導体装置は、ピラー領域88が形成されていることを除き、上述の第2実施形態と同様の構成である。また、ピラーが形成されていることを除き、上述の第2実施形態と同様に動作する。

30

【 0 1 0 3 】

上述のスーパージャンクション構造とすることにより、第1ボディ領域73、第2ボディ領域74及び第3ボディ領域75に、p型半導体領域からなるピラー領域88が接続し、ドリフト領域72に形成されるp型の半導体領域が拡張される。このため、第2実施形態の変形例3の半導体装置は、上述の第2実施形態のよりも、素子耐圧の確保とオン抵抗(Ron)の低減とにおいて優位である。

【 0 1 0 4 】

また、上述の第2実施形態の半導体装置と同様に、順バイアス印加時には間隙60のパンチスルーが形成されず、第2ボディ領域74と第3ボディ領域75とが電気的に分離された状態となる。このため、trrの短縮、及び、Irpの低減が可能となる。

40

【 0 1 0 5 】

6. 半導体装置の動作

次に、上述の第1実施形態及び第2実施形態の半導体装置の動作の一例として、上述の図3又は図6に示す昇圧型コンバータの出力段回路に適用した場合について説明する。なお、昇圧型コンバータの出力段回路は上述の図3又は図6に示す構成と同様であるため説明を省略する。

【 0 1 0 6 】

50

[動作1：パンチスルー]

終端領域20において、空乏化によりパンチスルーが形成される半導体装置の動作について、上述の第2実施形態の半導体装置を例に説明する。

昇圧コンバータの出力段回路における第2実施形態の半導体装置の電子及びホール移動の様子を図14に示す。図14Aは、第2実施形態の半導体装置に順バイアスが印加されたときの電子及びホール移動の様子を示す図である。また、図14Bは、第2実施形態の半導体装置に逆バイアスが印加されたときの電子及びホール移動の様子を示す図である。

【0107】

図14Aに示すように、縦型DMOSFETに順バイアスが印加された状態では、ソース電極79側からドレイン領域71側に電流 I_f が流れる。このとき、縦型DMOSFETでは、ソース電極79が接合された第1ボディ領域73及び第2ボディ領域74から、ドリフト領域72にホール46が流入する。同時に、ドレイン領域71側からドリフト領域72に電子47が流入する。

10

【0108】

このとき、終端領域20において、第2ボディ領域74と、第3ボディ領域75とが電氣的に分離された状態である。このため、ソース電極79側からドレイン領域71側に電流が流れる場合にも、第3ボディ領域75からドリフト領域72へのホール46の流入がない。

従って、順バイアス印加時のドリフト領域72に注入されるホール46の量を低減させることができる。

20

【0109】

図14Bに示すように、縦型DMOSFETに逆バイアスが印加された状態では、ドレイン領域71側からソース電極79側に逆方向電流が流れる。縦型DMOSFETでは、ドリフト領域72へ流入した少数キャリアであるホール46が、多数キャリアである電子47と再結合して消滅する前に、急激に逆バイアスが印加される。このため、再結合せず残っているドリフト領域72内の少数キャリアであるホール46が、逆方向電位が印加されたソース電極79の負電位によって引抜かれる。

【0110】

上述の通り、順バイアス印加時にドリフト領域72に注入されているホール46の量が少ないため、逆バイアス印加時にドリフト領域72内のホール46の引き抜く時間の短縮が可能となる。従って、ドリフト領域72の完全空乏化が容易となり、 t_{rr} の短縮、及び、 I_{rp} の低減が可能となる。

30

【0111】

また、縦型DMOSFETの終端領域では、逆バイアスが印加されたとき第2ボディ領域74から、ドリフト領域72に空乏層が拡大する。縦型DMOSFETにおいて第2ボディ領域74と第3ボディ領域75との間の間隙60は、この第2ボディ領域74からドリフト領域72に広がる空乏層の長さ以下で形成されている。このため、縦型DMOSFETに逆バイアスが印加されたとき、間隙60に空乏化によるパンチスルー63が形成され、第2ボディ領域74と第3ボディ領域75とが電氣的に接続される。

40

【0112】

このように、縦型DMOSFETに逆バイアスが印加された場合には、第2ボディ領域74と、第3ボディ領域75との電氣的な接続により、終端領域20のドリフト領域72の表面のp型の半導体領域(ボディ領域)の面積を増大させることができる。このため、半導体装置の耐圧を向上させることができる。

【0113】

なお、逆バイアス印加時に間隙60にパンチスルー63が形成され、終端領域20のp型半導体領域が電氣的に接続される構成であれば、上述の第2実施形態の半導体装置と同様に動作する。このため、上述の第1実施形態の半導体装置、及び、第2実施形態の変形例3の半導体装置も、第2実施形態の半導体装置と同様に動作する。

50

【 0 1 1 4 】

[動作 2 : チャネル領域]

終端領域 2 0 において、ゲート電極又はフィールド電極直下にチャネル領域が形成される半導体装置の動作について、上述の第 2 実施形態の変形例 1 の半導体装置を例に説明する。

昇圧コンバータの出力段回路における第 2 実施形態の変形例 1 の半導体装置の電子及びホールの移動の様子を図 1 5 に示す。図 1 5 A は、第 2 実施形態の変形例 1 の半導体装置に順バイアスが印加されたときの電子及びホールの移動の様子を示す図である。また、図 1 5 B は、第 2 実施形態の変形例 1 の半導体装置に逆バイアスが印加されたときの電子及びホールの移動の様子を示す図である。

10

【 0 1 1 5 】

図 1 5 A に示すように、縦型 D M O S F E T に順バイアスが印加された状態では、ソース電極 7 9 側からドレイン領域 7 1 側に電流 I_f が流れる。このとき、第 3 ゲート電極 8 6 と、第 2 ボディ領域 7 4、第 3 ボディ領域 7 5 及び間隙 6 0 のドリフト領域 7 2 とからなる横型 M O S F E T が O F F 状態となる。このため、第 2 ボディ領域 7 4 と第 3 ボディ領域 7 5 との間隙 6 0 にはチャネル領域が形成されない。従って、縦型 D M O S F E T に順バイアスが印加されたとき、第 2 ボディ領域 7 4 と第 3 ボディ領域 7 5 とは電氣的に分離された状態のままである。

【 0 1 1 6 】

この結果、縦型 D M O S F E T では、ソース電極 7 9 が接合された第 1 ボディ領域 7 3 及び第 2 ボディ領域 7 4 から、ドリフト領域 7 2 にホール 4 6 が流入する。同時に、ドレイン領域 7 1 側からドリフト領域 7 2 に電子 4 7 が流入する。しかし、終端領域 2 0 において、第 2 ボディ領域 7 4 と、第 3 ボディ領域 7 5 とが電氣的に分離された状態である。このため、ソース電極 7 9 側からドレイン領域 7 1 側に電流が流れる場合にも、第 3 ボディ領域 7 5 からドリフト領域 7 2 へのホール 4 6 の流入がない。

20

従って、順バイアス印加時のドリフト領域 7 2 に注入されるホール 4 6 の量を低減させることができる。

【 0 1 1 7 】

縦型 D M O S F E T に逆バイアスが印加された状態では、ドレイン領域 7 1 側からソース電極 7 9 側に逆方向電流が流れる。縦型 D M O S F E T では、ドリフト領域 7 2 へ流入した少数キャリアであるホール 4 6 が、多数キャリアである電子 4 7 と再結合して消滅する前に、急激に逆バイアスが印加される。このため、再結合せず残っているドリフト領域 7 2 内の少数キャリアであるホール 4 6 が、逆方向電位が印加されたソース電極 7 9 の負電位によって引抜かれる。

30

【 0 1 1 8 】

上述の通り、順バイアス印加時にドリフト領域 7 2 に注入されているホール 4 6 の量が少ないため、逆バイアス印加時にドリフト領域 7 2 内のホール 4 6 の引き抜く時間の短縮が可能となる。従って、ドリフト領域 7 2 の完全空乏化が容易となり、 t_{rr} の短縮、及び、逆方向最大電流 I_{rp} の低減が可能となる。

【 0 1 1 9 】

また、図 1 5 B に示すように、間隙 6 0 上の第 3 ゲート電極 8 6 は、ソース電極 7 9 と接続され、第 1 電位取り出し領域 7 6 と第 2 電位取り出し領域 7 7 と連動する。このため、縦型 D M O S F E T に逆バイアスが印加されたとき、終端領域 2 0 において、第 3 ゲート電極 8 6 と、第 2 ボディ領域 7 4、第 3 ボディ領域 7 5 及び間隙 6 0 のドリフト領域 7 2 とからなる横型 M O S F E T が O N 状態となる。そして、第 3 ゲート電極 8 6 の直下、つまり、第 2 ボディ領域 7 4 と第 3 ボディ領域 7 5 との間隙 6 0 のドリフト領域 7 2 に、チャネル領域 6 4 が形成され、第 2 ボディ領域 7 4 と第 3 ボディ領域 7 5 とが電氣的に接続される。

40

【 0 1 2 0 】

このように、縦型 D M O S F E T に逆バイアスが印加された場合には、第 2 ボディ領域

50

74と、第3ボディ領域75との電気的な接続により、終端領域20のドリフト領域72の表面のp型の半導体領域(ボディ領域)の面積を増大させることができる。このため、半導体装置の耐圧を向上させることができる。

【0121】

なお、逆バイアス印加時に間隙60にチャネル領域64が形成され、終端領域20のp型半導体領域が電気的に接続される構成であれば、上述の第2実施形態の変形例1の半導体装置と同様に動作する。このため、上述の第1実施形態の変形例1の半導体装置、及び、第2実施形態の変形例2の半導体装置も、第2実施形態の変形例1の同様に動作する。

【0122】

なお、上述の半導体装置では、第1導電型をn型とし、第2導電型をp型として記載しているが、本技術においてn型とp型の導電型が逆でもよい。

10

【0123】

なお、本開示は以下のような構成も取ることができる。

(1) 第1導電型の半導体基体と、前記半導体基体上に形成された第1導電型の第1半導体領域と、前記第1半導体領域の表面に形成されている第2導電型の第2半導体領域と、前記第1半導体領域の表面において、前記第2半導体領域と離間されて形成されている第2導電型の第3半導体領域と、前記第1半導体領域の表面において、前記第2半導体領域及び前記第3半導体領域と離間されて形成されている第2導電型の第4半導体領域と、前記第2半導体領域及び前記第3半導体領域に接続する第1電極とを備える半導体装置。

(2) 前記第3半導体領域と前記第4半導体領域は、前記第1電極に逆方向電圧が印加されたときに、前記第3半導体領域端側から前記第4半導体領域端側に達する空乏層による電位伝搬によって、電気的に接続される(1)に記載の半導体装置。

20

(3) アクティブ領域に前記第2半導体領域が形成され、終端領域に前記第3半導体領域及び前記第4半導体領域が形成されている(1)又は(2)に記載の半導体装置。

(4) 前記第1半導体領域上において、前記第3半導体領域上及び前記第4半導体領域上に形成された絶縁層と、前記絶縁層内において、前記第3半導体領域と前記第4半導体領域との一部に跨り、且つ、前記絶縁層を介して前記第1半導体領域上に形成された第2電極と、前記第1電極と前記第2電極とを接続する配線とを備える(1)から(3)のいずれかに記載の半導体装置。

(5) 前記第2半導体領域内において、前記第2半導体領域の表面に形成されている第2導電型の第5半導体領域と、前記第3半導体領域内において、前記第3半導体領域の表面に形成されている第2導電型の第6半導体領域とを備える(1)から(4)のいずれかに記載の半導体装置。

30

(6) 隣り合う前記第2半導体領域の一部に跨るように、第1ゲート絶縁膜を介して前記第1半導体領域上に形成されている第1ゲート電極と、前記第2半導体領域と前記第3半導体領域の一部に跨るように、第2ゲート絶縁膜を介して前記第1半導体領域上に形成されている第2ゲート電極とを備える(1)から(5)のいずれかに記載の半導体装置。

(7) 前記第1半導体領域上、前記第3半導体領域上及び前記第4半導体領域上に形成された第3ゲート絶縁膜と、前記第3半導体領域と前記第4半導体領域との一部に跨り、且つ、第3ゲート絶縁膜を介して前記第1半導体領域上に形成された第3ゲート電極と、前記第1電極と第3ゲート電極とを接続するゲート配線と、を備える(6)に記載の半導体装置。

40

(8) 前記第1半導体領域において、前記第2半導体領域、前記第3半導体領域、及び、前記第4半導体領域に、前記半導体基体の主面に対して平行な方向に周期的に配列された第2導電型のピラー領域を備える(6)又は(7)に記載の半導体装置。

(9) 前記第2半導体領域内において、前記第2半導体領域の表面に第1導電型の第7半導体領域が形成され、前記第7半導体領域の両端に前記第5半導体領域が形成されている(6)から(8)のいずれかに記載の半導体装置。

【符号の説明】

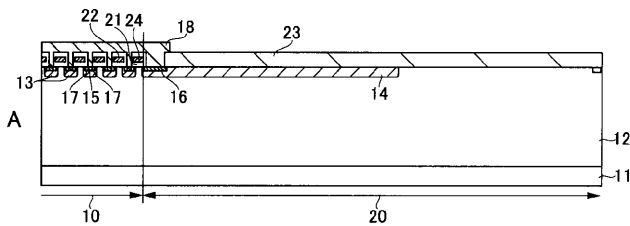
【0124】

50

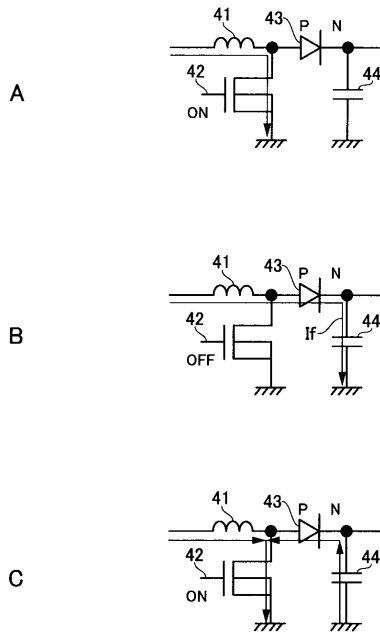
10 アクティブ領域、11, 71 ドレイン領域、12, 72 ドリフト領域、13, 14 ボディ領域、15, 16, 35, 36 電位取り出し領域、17, 78 ソース領域、18, 79 ソース電極、20 終端領域、21 ゲート絶縁膜、22, 24 ゲート電極、23, 38, 59, 83 フィールド絶縁層、25, 88 ピラー領域、31, 51 半導体基体、32, 52 カソード領域、33, 34 アノード領域、41 インダクタ、42, 45 縦型DMOSFET、43 縦型PNダイオード、44 キャパシタ、46 ホール、47 電子、53 第1アノード領域、54 第2アノード領域、55 第3アノード領域、56, 76 第1電位取り出し領域、57, 77 第2電位取り出し領域、37, 58 アノード電極、60 間隙、61 フィールド電極、62 フィールド配線、63 パンチスルー、64 チャンネル領域、73 第1ボディ領域、74 第2ボディ領域、75 第3ボディ領域、81 第1ゲート絶縁膜、82 第2ゲート絶縁膜、84 第1ゲート電極、85 第2ゲート電極、86 第3ゲート電極、87 ゲート配線

10

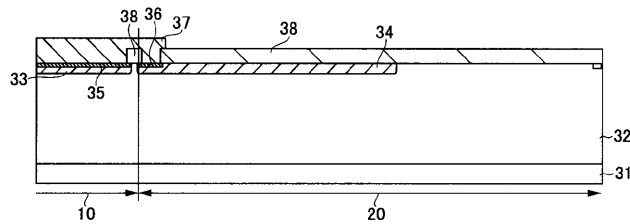
【 図 1 】



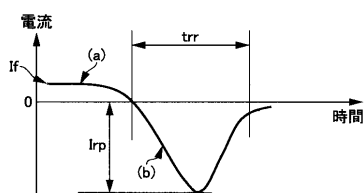
【 図 3 】



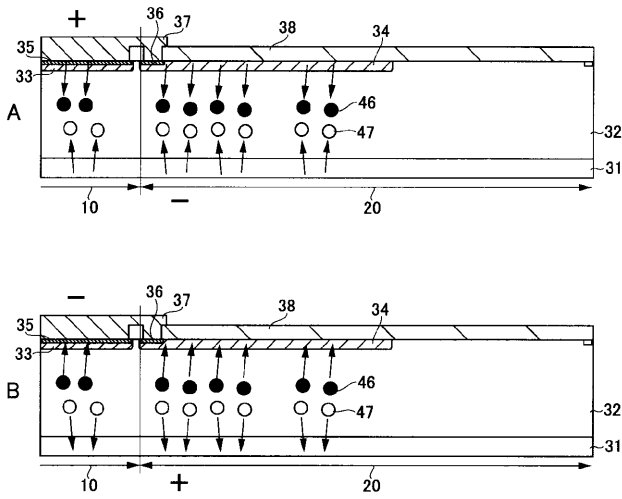
【 図 2 】



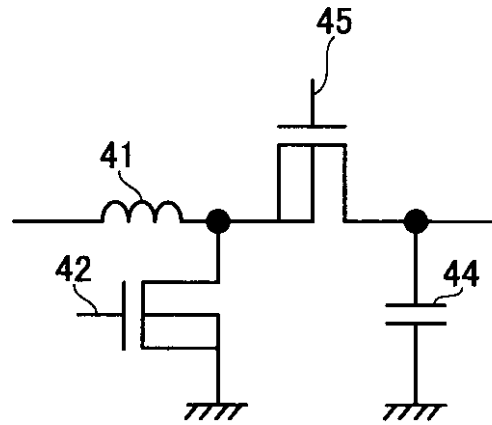
【 図 4 】



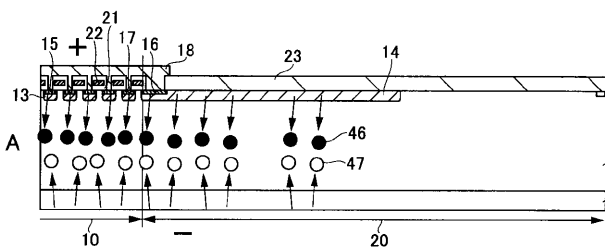
【 図 5 】



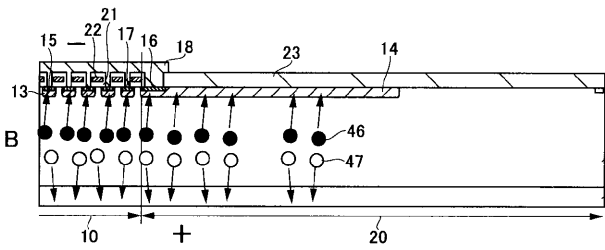
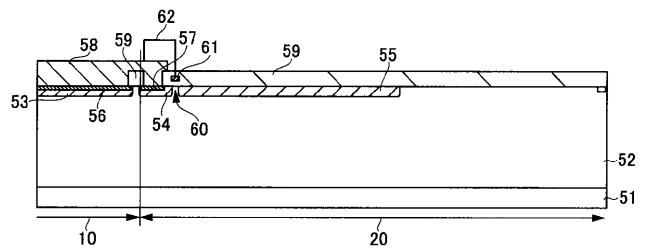
【 図 6 】



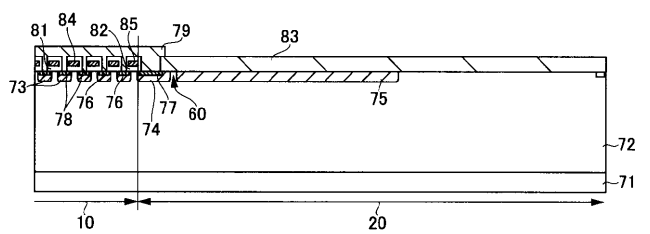
【 図 7 】



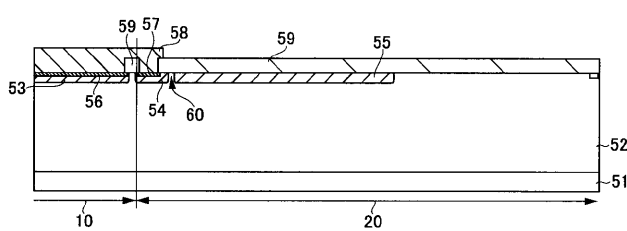
【 図 9 】



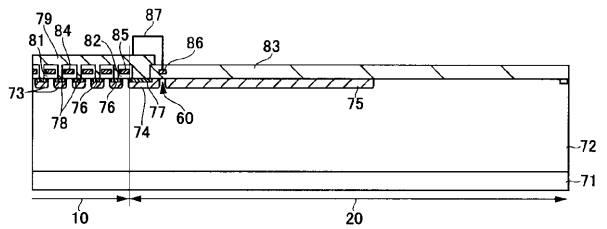
【 図 10 】



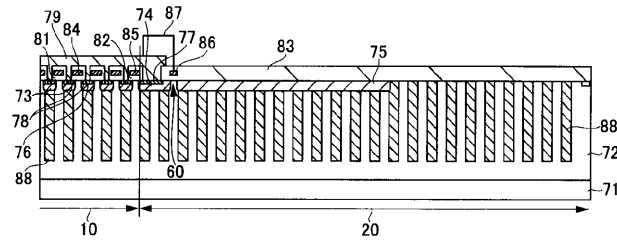
【 図 8 】



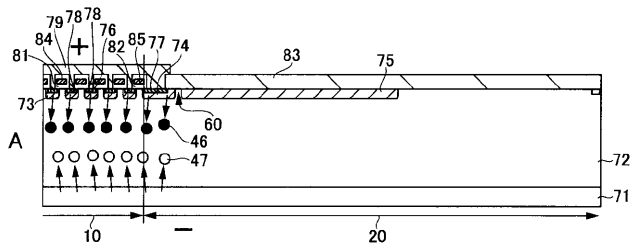
【 図 11 】



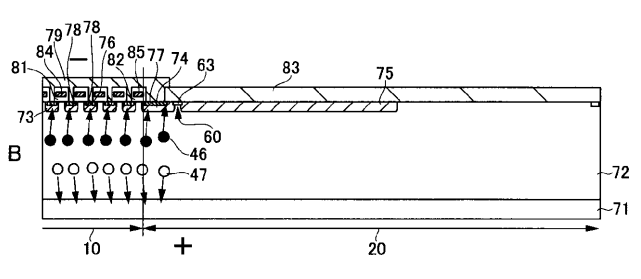
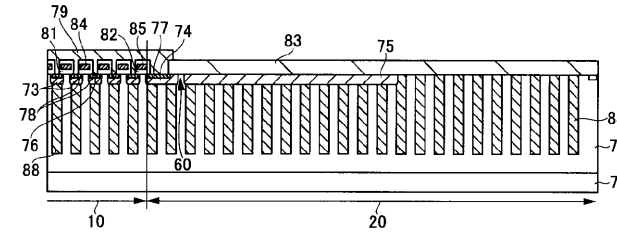
【 図 1 2 】



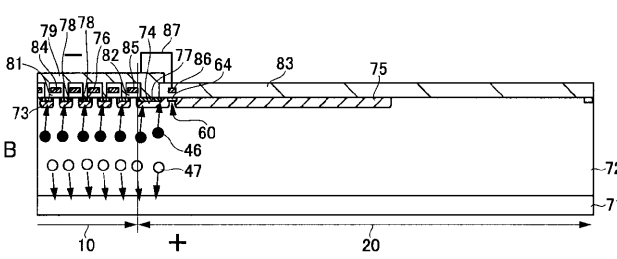
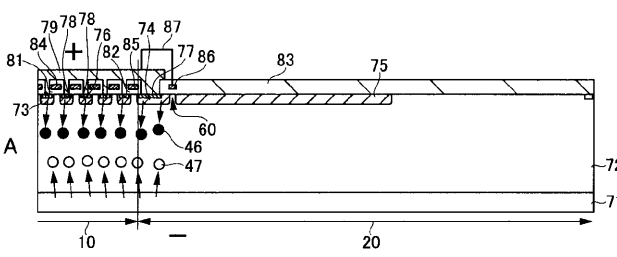
【 図 1 4 】



【 図 1 3 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/06 3 0 1 D

H 0 1 L 29/06 3 0 1 V

H 0 1 L 29/91 L