



(12)发明专利申请

(10)申请公布号 CN 106941121 A

(43)申请公布日 2017.07.11

(21)申请号 201710343776.7

(22)申请日 2017.05.16

(71)申请人 厦门天马微电子有限公司

地址 361101 福建省厦门市翔安区翔安西路6999号

(72)发明人 文亮

(74)专利代理机构 北京汇思诚业知识产权代理有限公司 11444

代理人 王刚 龚敏

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 21/336(2006.01)

H01L 27/12(2006.01)

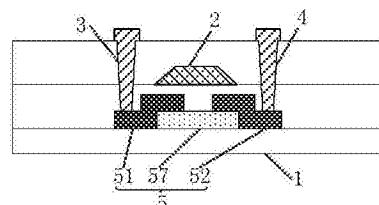
权利要求书2页 说明书8页 附图5页

(54)发明名称

一种薄膜晶体管及其制备方法、阵列基板和显示装置

(57)摘要

本发明实施例提供了一种薄膜晶体管及其制备方法、阵列基板和显示装置，一方面，该薄膜晶体管包括：衬底基板，以及位于所述衬底基板上的栅极、漏极、源极和有源层，所述有源层包括沟道区域和位于所述沟道区域相对两侧的第一区域和第二区域，所述第一区域和所述第二区域分别电连接于对应的所述源极和所述漏极，所述第一区域和所述第二区域均为氧化物半导体。本发明实施例的技术方案通过在沟道区域和源漏极之间设有氧化物半导体区域，利用氧化物半导体对光照和温度的稳定性，有效改善了TFT器件漏电流的问题。



1. 一种薄膜晶体管，包括：衬底基板，以及位于所述衬底基板上的栅极、漏极、源极和有源层，其特征在于，所述有源层包括沟道区域和位于所述沟道区域相对两侧的第一区域和第二区域，所述第一区域和所述第二区域分别电连接于对应的所述源极和所述漏极，所述第一区域和所述第二区域均为氧化物半导体。

2. 如权利要求1所述的薄膜晶体管，其特征在于，所述氧化物半导体的方阻小于 $13\text{ k}\Omega/\square$ 。

3. 如权利要求1所述的薄膜晶体管，其特征在于，所述有源层包括第三区域和第四区域，所述第一区域位于所述沟道区域和所述第三区域之间，所述第二区域位于所述沟道区域和所述第四区域之间，所述第三区域和所述第四区域分别连接于对应的所述源极和所述漏极。

4. 如权利要求3所述的薄膜晶体管，其特征在于，所述第三区域和所述第四区域为重掺杂多晶硅区域。

5. 如权利要求4所述的薄膜晶体管，其特征在于，所述有源层还包括第五区域和第六区域，所述第五区域位于所述沟道区域和所述第三区域之间，所述第六区域位于所述沟道区域和所述第四区域之间。

6. 如权利要求5所述的薄膜晶体管，其特征在于，所述第五区域和所述第六区域为轻掺杂多晶硅区域。

7. 如权利要求6所述的薄膜晶体管，其特征在于，所述第五区域和所述第六区域的导电离子浓度小于所述第三区域和所述第四区域的导电离子浓度。

8. 如权利要求7所述的薄膜晶体管，其特征在于，所述导电离子包括磷离子。

9. 如权利要求1所述的薄膜晶体管，其特征在于，所述沟道区域为沟道掺杂多晶硅区域。

10. 如权利要求1所述的薄膜晶体管，其特征在于，所述第一区域和所述第二区域在所述衬底基板上的正投影落在所述栅极在所述衬底基板上的正投影内。

11. 如权利要求1-10任一项所述的薄膜晶体管，其特征在于，所述栅极位于所述有源层远离所述衬底基板的一侧，在垂直于所述衬底基板所在平面的方向上，所述栅极的投影覆盖所述沟道区域的投影。

12. 如权利要求1-10任一项所述的薄膜晶体管，其特征在于，所述栅极位于所述有源层靠近所述衬底基板的一侧，在垂直于所述衬底基板所在平面的方向上，所述栅极的投影覆盖所述沟道区域的投影。

13. 如权利要求1所述的薄膜晶体管，其特征在于，所述氧化物半导体为铟镓锌氧化物。

14. 一种阵列基板，其特征在于，包括如权利要求1-13任一项所述的薄膜晶体管。

15. 如权利要求14所述的阵列基板，其特征在于，所述阵列基板还包括：遮光层，设置于衬底基板与所述薄膜晶体管之间。

16. 根据权利要求14所述的阵列基板，其特征在于，所述阵列基板还包括：缓冲层，设置于遮光层与所述薄膜晶体管之间。

17. 一种显示装置，其特征在于，包括如权利要求14-16任一项所述的阵列基板。

18. 一种薄膜晶体管的制备方法，其特征在于，包括：在衬底基板上形成栅极、源电极、漏电极和有源层；其中，形成所述有源层的方法，包括：

通过掺杂工艺,在所述有源层上形成沟道区域以及位于所述沟道区域相对两侧的第一区域和第二区域;其中,所述第一区域和所述第二区域为氧化物半导体。

19. 根据权利要求18所述的制备方法,其特征在于,所述氧化物半导体为铟镓锌氧化物。

20. 根据权利要求19所述的制备方法,其特征在于,

在所述第一区域和所述第二区域完成铟镓锌氧化物沉积后,将其置于SF₆和/或He的气氛中处理形成铟镓锌氧化物区。

21. 根据权利要求18所述的制备方法,其特征在于,形成所述有源层的方法,还包括:

通过掺杂工艺,在所述有源层上形成第三区域和第四区域;其中,所述第一区域位于所述沟道区域和所述第三区域之间,所述第二区域位于所述沟道区域和所述第四区域之间,所述第三区域和所述第四区域分别连接于对应的所述源极和所述漏极。

22. 根据权利要求21所述的制备方法,其特征在于,形成所述有源层的方法,还包括:

通过掺杂工艺,在所述有源层上形成第五区域和第六区域;

其中,所述第五区域位于所述沟道区域和所述第三区域之间,所述第六区域位于所述沟道区域和所述第四区域之间。

23. 根据权利要求22所述的制备方法,其特征在于,所述第五区域和所述第六区域的导电离子浓度小于所述第三区域和所述第四区域的导电离子浓度。

一种薄膜晶体管及其制备方法、阵列基板和显示装置

【技术领域】

[0001] 本发明涉及显示技术领域，尤其涉及一种薄膜晶体管及其制备方法、阵列基板和显示装置。

【背景技术】

[0002] 低温多晶硅 (Low Temperature Poly-silicon, LTPS) 薄膜晶体管生产过程中，在经历等离子体刻蚀、去光阻药液腐蚀等过程后，沟道区域界面的缺陷态密度较高，从而导致薄膜晶体管 (Thin Film Transistor, TFT) 处于关闭状态下的漏流密度较高。目前，在薄膜晶体管液晶显示器 (Thin Film Transistor-Liquid Crystal Display, TFT-LCD) 工艺中，通常采用轻掺杂漏极 (Light Doped Drain, LDD) 的方式形成LDD区域来抑制异常增加的漏电流，这种方法所形成的LDD区域对于光照和温度极为敏感。请参考图1，图1是现有技术中薄膜晶体管的LDD区域处于光照下的Id-Vg曲线图，可以看出传统的LDD区域在受到光照时，薄膜晶体管的漏电流会急剧增加。另外，当薄膜晶体管处于100℃以上的高温工作环境时，漏电流甚至会增加至原先的10倍以上。

【发明内容】

[0003] 有鉴于此，本发明实施例提供了一种薄膜晶体管及其制备方法、阵列基板和显示装置。

[0004] 第一方面，本发明实施例提供了一种薄膜晶体管包括：衬底基板，以及位于所述衬底基板上的栅极、漏极、源极和有源层，所述有源层包括沟道区域和位于所述沟道区域相对两侧的第一区域和第二区域，所述第一区域和所述第二区域分别电连接于对应的所述源极和所述漏极，所述第一区域和所述第二区域均为氧化物半导体。

[0005] 第二方面，本发明实施例提供了一种阵列基板，包括：上述薄膜晶体管。

[0006] 第三方面，本发明实施例提供了一种显示装置，包括：上述阵列基板。

[0007] 第四方面，本发明实施例提供了一种薄膜晶体管的制备方法，包括：在衬底基板上形成栅极、源电极、漏电极和有源层；其中，形成所述有源层的方法，包括：

[0008] 通过掺杂工艺，在所述有源层上形成沟道区域以及位于所述沟道区域相对两侧的第一区域和第二区域；其中，所述第一区域和所述第二区域为氧化物半导体。

[0009] 具体地，所述氧化物半导体为铟镓锌氧化物。

[0010] 具体地，在所述第一区域和所述第二区域完成铟镓锌氧化物沉积后，将其置于SF₆和/或He的气氛中处理形成铟镓锌氧化物区。

[0011] 本发明实施例提供了一种薄膜晶体管及其制备方法、阵列基板和显示装置，在沟道区域和源漏极之间设有氧化物半导体区域，利用氧化物半导体对光照和温度的稳定性，有效改善了TFT器件漏电流的问题。

【附图说明】

[0012] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其它的附图。

- [0013] 图1是现有技术中薄膜晶体管的LDD区域处于光照下的Id-Vg曲线图;
- [0014] 图2是本发明实施例所提供的一种薄膜晶体管的结构示意图;
- [0015] 图3是本发明实施例所提供的另一种薄膜晶体管的结构示意图;
- [0016] 图4是本发明实施例所提供的再一种薄膜晶体管的结构示意图;
- [0017] 图5是本发明实施例所提供的基于图1的又一种薄膜晶体管的结构示意图;
- [0018] 图6是本发明实施例所提供的基于图2的又一种薄膜晶体管的结构示意图;
- [0019] 图7是本发明实施例所提供的又一种薄膜晶体管的结构示意图;
- [0020] 图8是本发明实施例所提供的再一种薄膜晶体管的结构示意图;
- [0021] 图9是本发明实施例提供的一种阵列基板的结构示意图;
- [0022] 图10是本发明实施例提供的一种显示面板的结构示意图;
- [0023] 图11为本发明实施例所提供的一种显示装置的结构示意图;
- [0024] 图12为本发明实施例所提供的一种薄膜晶体管制备方法的流程示意图。

【具体实施方式】

[0025] 为了更好的理解本发明的技术方案,下面结合附图对本发明实施例进行详细描述。

[0026] 应当明确,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0027] 在本发明实施例中使用的术语是仅仅出于描述特定实施例的目的,而非旨在限制本发明。在本发明实施例和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式,除非上下文清楚地表示其他含义。

[0028] 应当理解,尽管在本发明实施例中可能采用术语第一、第二、第三等来描述区域,但这些公共电极块不应限于这些术语。这些术语仅用来将区域彼此区分开。例如,在不脱离本发明实施例范围的情况下,第一区域也可以被称为第二区域,类似地,第二区域也可以被称为第一区域。

[0029] 现有技术中,薄膜晶体管的LDD区域对于光照和温度极为敏感,在受到光照或者处于高温的工作环境时,漏电流会急剧增加。尽管在阵列基板上中会设有遮光板或者栅极对沟道区域进行遮挡,来降低背光源对沟道区域的影响,但是由于受到背光源的折射、散射与衍射的影响,以及栅极遮挡面积的限制,很难完全阻隔背光源对沟道区域两侧LDD区域的直接或者间接照射。尽管通过上述方式可能会在一定程度上降低光照对于LDD区域的影响,但是无法解决高温环境对LDD区域的影响。

[0030] 针对上述技术问题,本发明实施例提供了一种薄膜晶体管,如图2所示,图2是本发明实施例所提供的一种薄膜晶体管的结构示意图,该薄膜晶体管,包括:衬底基板1,以及位于衬底基板1上的栅极2、漏极3、源极4和有源层5,有源层5包括沟道区域57和位于沟道区域

57相对两侧的第一区域51第二区域52,第一区域51和第二区域52分别电连接于对应的源极3和漏极4,第一区域51和第二区域52均为氧化物半导体。

[0031] 需要说明的是,当薄膜晶体管打开时,栅极施加栅极电压,栅极电压在栅绝缘层中产生电场,电力线由栅极指向有源层表面,并在有源层的表面处产生感应电荷。随着栅极电压增加,有源层表面将由耗尽层转变为电子积累层,形成反型层,当达到阈值电压时,源电极和漏电极之间加上电压就会有载流子通过导电沟道。当薄膜晶体管关断时,由于自由电子的存在,使得源电极和漏电极之间存在漏电流,漏电流会导致薄膜晶体管的性能降低。当采用LDD的方式形成LDD区域来抑制异常增加的漏电流时,所形成的LDD区域对于光照和温度极为敏感,在受到光照或者处于高温的工作环境时,漏电流会急剧增加。

[0032] 本发明实施例在沟道区域57相对两侧形成由氧化物半导体组成的第一区域51和第二区域52,氧化物半导体在处于光照或者高温环境下较为稳定,即使在当薄膜晶体管处于光照或高温等特殊环境下,仍能对漏电流保持高效的抑制作用。再者,氧化物半导体本身的电子迁移率比传统LDD区域要小,故可以有效保护的沟道区域,进一步降低沟道漏电流。其中,氧化物半导体的方阻小于 $13k\Omega/\square$,若方阻过大可能会影响薄膜晶体管处于开启状态下的电流流通。其中, $k\Omega/\square$ 是指欧姆每方块;方阻即为每方块的电阻。

[0033] 如图2所示,本发明实施例中,第一区域51和第二区域52分别与对应的源极3和漏极4直接相连,这样在第一区域51和源极3之间,以及第二区域52和漏极4之间,无需进行重掺杂来形成重掺杂区域,可以减少一道生产工序,同时有效改善了TFT器件漏电流的问题。

[0034] 如图3所示,图3是本发明实施例所提供的另一种薄膜晶体管的结构示意图,该薄膜晶体管,包括:衬底基板1,以及位于衬底基板1上的栅极2、漏极3、源极4和有源层5,有源层5包括沟道区域57和位于沟道区域57相对两侧的第一区域51和第二区域52,有源层5还包括第三区域53和第四区域54,第一区域51位于沟道区域57和第三区域53之间,第二区域52位于沟道区域57和第四区域54之间,第三区域53和第四区域54分别连接于对应的源极4和漏极3,第一区域51和第二区域52均为氧化物半导体。

[0035] 原则上,有源层5的第三区域53和第四区域54的组成材料能够导电即可,比如可以包括金属材料在内的各种导电材料。但是为了减少掩膜版的使用次数,在有源层的材料选择方面使用多晶硅最为优选方式,也就是说,第三区域53、第四区域54和沟道区域57采用相同的材料,通过一道掩膜版即可形成。鉴于多晶硅的导电性能较差,可选地,第三区域53和第四区域54为重掺杂多晶硅区域。

[0036] 现有技术的LTPS薄膜晶体管的有源层通常包括沟道区域、位于沟道区域两侧的源、漏极区域、位于源极区域和沟道区域之间以及漏极区域和沟道区域之间的LDD区域,其中,沟道区域通过沟道掺杂形成,源、漏极区域通过重掺杂形成,LDD区域通过轻掺杂形成。从图3中可以看出,本发明实施例和现有技术的薄膜晶体管相比,仅将传统薄膜晶体管的LDD区域替换成氧化物半导体区域,其他结构保持不变,所以图3所示的薄膜晶体管在生产过程中,对传统工艺流程的改进较小,同时有效改善了TFT器件漏电流的问题。

[0037] 如图4所示,图4是本发明实施例所提供的再一种薄膜晶体管的结构示意图,该薄膜晶体管,包括:衬底基板1,以及位于衬底基板1上的栅极2、漏极3、源极4和有源层5,有源层5包括沟道区域57和位于沟道区域57相对两侧的第一区域51和第二区域52,有源层5还包括第三区域53、第四区域54、第五区域55和第六区域56,第一区域51位于沟道区域57和第三

区域53之间，第二区域52位于沟道区域57和第四区域54之间，第五区域55位于沟道区域57和第一区域51之间，第六区域56位于第二区域52和第四区域54之间，第三区域53和第四区域54分别连接于对应的源极4和漏极3。其中，第一区域51和第二区域52均为氧化物半导体，第三区域53和第四区域54为重掺杂多晶硅区域。

[0038] 可选地，第五区域55和第六区域56为轻掺杂多晶硅区域。

[0039] 需要说明的是，在图4中，第五区域55位于沟道区域57和第一区域51之间，第六区域56位于第二区域52和第四区域54之间。在本发明实施例中，第一区域51和第五区域55只要位于第三区域53和沟道区域57之间，第二区域52和第六区域56只要位于第四区域54和沟道区域57之间即可，对第一区域51和第五区域55之间的相对位置，以及第二区域52和第六区域56之间的位置不做限定。也就是说，在第一区域51和第五区域55，以及在第三区域53和沟道区域57之间，存在氧化物半导体区域即可。

[0040] 另外，氧化物半导体区域本身的方阻是要大于传统LDD区域的，当有源层中氧化物半导体的占比太高，可能由于方阻过大，在一定程度上影响薄膜晶体管的导通；若当LDD区域占比太高，由于其本身限制漏电流的性能不是很强，则可能会导致漏电流的增大。所以在本发明的实施例中，氧化物半导体的面积和LDD的面积之比位于 $1/3-1/2$ 之间，也就是说，若将第一区域和第二区域的面积之和表示为面积A，第五区域和第六区域的面积之和表示为面积B，那么面积A和面积B的比值在 $1/3-1/2$ 之间。

[0041] 现有技术的LTPS薄膜晶体管的有源层通常包括沟道区域、位于沟道区域两侧的源、漏极区域、位于源极区域和沟道区域之间以及漏极区域和沟道区域之间的LDD区域。从图4中可以看出，本发明实施例和现有技术的薄膜晶体管相比在，将传统薄膜晶体管的LDD区域替换成由部分氧化物半导体区域和部分传统LDD区域组成的复合区域。这是由于氧化物半导体区域本身的方阻是要大于传统LDD区域的，如果全部采用氧化物半导体区域对LDD区域进行替换，可能由于方阻过大，在一定程度上影响薄膜晶体管的导通，采用图4的结构可以在对薄膜晶体管的导通影响不大的情况下，改善TFT器件漏电流的问题。

[0042] 如图2-图4所示，本发明实施例中，沟道区域57为沟道掺杂多晶硅区域，第一区域51和第二区域52为氧化物半导体区域，氧化物半导体为铟镓锌氧化物，第三区域53和第四区域54为重掺杂多晶硅区域，第五区域55和第六区域56为轻掺杂多晶硅区域，所以沟道区域57的导电离子浓度小于第五区域55和第六区域56的导电离子浓度，第五区域55和第六区域56的导电离子浓度小于第三区域53和第四区域54的导电离子浓度。可以理解，本实施例通过在多晶硅区域不同区域掺杂不同浓度的导电离子，离子浓度越高，则对应区域的导电性能越强，以掺杂离子的浓度不同可以分为重掺杂、轻掺杂和沟道掺杂，举例来说，可以在沟道区域57掺杂硼离子，在第五区域55和第六区域56进行轻掺杂磷离子，在第三区域53和第四区域54进行重掺杂磷离子。作为一种可选方式，本实施例的重掺杂多晶硅区域、轻掺杂多晶硅区域和沟道掺杂多晶硅区域之间的导电离子之比为 $100:20:1$ 。

[0043] 如图2-图4所示，本发明实施例中薄膜晶体管的栅极2位于有源层5远离衬底基板1的一侧，在垂直于衬底基板1所在平面的方向上，栅极2的投影覆盖沟道区域57的投影。也就是说，图2-图4示出的是顶栅结构的薄膜晶体管。

[0044] 图5是本发明实施例所提供的基于图2的又一种薄膜晶体管的结构示意图，图6是本发明实施例所提供的基于图3的又一种薄膜晶体管的结构示意图，上述薄膜晶体管的栅

极位于有源层靠近衬底基板的一侧，在垂直于衬底基板所在平面的方向上，栅极的投影覆盖沟道区域的投影。也就是说，图5和图6示出的是底栅结构的薄膜晶体管，图5的薄膜晶体管除了栅极的位置，其他结构与图2基本相同，同样的，图6的薄膜晶体管除了栅极的位置，其他结构与图3基本相同，故在此不再赘述。

[0045] 图7是本发明实施例所提供的又一种薄膜晶体管的结构示意图，图8是本发明实施例所提供的再一种薄膜晶体管的结构示意图，如图7和图8所示，本发明实施例适当增大了栅极的面积，使得第一区域51和第二区域52在衬底基板上的正投影落在栅极2在衬底基板上的正投影内，当栅极2施加导通电压后，沟道区域以及沟道区域和源极4/漏极3之间的半导体氧化物区域均会随之导通，故此时在第一区域51和第二区域52完成铟镓锌氧化物沉积形成氧化物半导体区域后，无需再通过二次处理来降低方阻。

[0046] 具体地，图7中的第三区域53和第四区域54为重掺杂区域，具有导电性，故栅极2只需延伸到第一区域51和第二区域52的正下方即可，无需延伸到源漏极的下方，此时第一区域52和第二区域52在衬底基板上的正投影完全落在栅极在衬底基板上的正投影内。而图8中不存在第三区域和第四区域，源漏极和氧化物半导体直接相连，栅极2延伸到第一区域51和第二区域52的下方，使得源漏极在衬底基板上的正投影落在栅极在衬底基板上的正投影内。

[0047] 需要说明的是，图7和图8所示结构只是示意了本发明部分实施例，但是本发明实施例并不局限于此。原则上，只要增大栅极面积到能够实现漏极/源极的信号能够导通至沟道区域即可。因此，在本发明其他的实施例中，图8所示的结构中的栅极2只需要延伸到漏极3/源极4对应位置即可，即，只需要漏极3/源极4与第一区域51/第二区域52接触的面在衬底基板的正投影位于栅极2衬底基板上的正投影内即可。

[0048] 本发明实施例提供的薄膜晶体管，通过在沟道区域和源漏极之间设有氧化物半导体区域，利用氧化物半导体对光照和温度的稳定性，有效改善了TFT器件漏电流的问题。

[0049] 如图9所示，图9是本发明实施例提供的一种阵列基板的结构示意图，具体地，图9所示的阵列基板包括：图3所示的薄膜晶体管。上述阵列基板还包括：遮光层910，设置于衬底基板与薄膜晶体管之间。薄膜晶体管的材料对于光照极其敏感，一旦有光流入则会引起漏电流增加，将会导致像质恶化，故在衬底基板与薄膜晶体管之间引入遮光层，进一步地，遮光层设置在背光源和薄膜晶体管之间。

[0050] 需要说明的是，图9所示的为顶栅结构的阵列基板，所以需要在背光源和薄膜晶体管之间设置遮光层；若为底栅结构的阵列基板，栅极位于背光源和薄膜晶体管的沟道区域之间，充当了遮光板的作用，一般不需要再另行设置遮光层。

[0051] 上述阵列基板还包括：缓冲层920，设置于遮光层与多晶硅薄膜晶体管之间。设置缓冲层的目的在于，减少衬底基板内的杂质渗透到有源层中，影响薄膜晶体管性能。

[0052] 可以理解，上述阵列基板的结构只是本发明实施例的一种可选方式，但是本发明实施例并非局限于此，本发明实施例还可以包括图2、图4、图5、图6、图7、图8任一附图所示的薄膜晶体管，以及在图2至图8附图所示结构进行简单替换的薄膜晶体管结构。

[0053] 本发明实施例提供的阵列基板，通过在薄膜晶体管的沟道区域和源漏极之间设有氧化物半导体区域，利用氧化物半导体对光照和温度的稳定性，有效改善了TFT器件漏电流的问题。

[0054] 如图10所示,图10是本发明实施例提供的一种显示面板的结构示意图,包括上述的阵列基板1010、彩膜基板1020和液晶层1030。

[0055] 除了如图10所示的液晶显示面板,本实施例的显示面板还可以为OLED显示面板,OLED显示面板包括阵列基板,阵列基板上设有有机发光器件以及用于驱动有机发光器件的驱动电路,驱动电路包括上述实施例提供的薄膜晶体管。其中,阵列基板1010的具体结构和原理与上述实施例相同,在此不再赘述。

[0056] 本发明实施例提供的显示面板,通过在薄膜晶体管的沟道区域和源漏极之间设有氧化物半导体区域,利用氧化物半导体对光照和温度的稳定性,有效改善了TFT器件漏电流的问题。

[0057] 如图11所示,本发明实施例还提供一种显示装置,包括图8所示的显示面板1100。

[0058] 其中,显示面板1100的具体结构和原理与上述实施例相同,在此不再赘述。显示装置可以是例如触摸显示屏、手机、平板计算机、笔记本电脑、电纸书或电视机等任何具有液晶显示功能的电子设备。

[0059] 本发明实施例提供的显示面板,通过在薄膜晶体管的沟道区域和源漏极之间设有氧化物半导体区域,利用氧化物半导体对光照和温度的稳定性,有效改善了TFT器件漏电流的问题。

[0060] 另一方面,基于同一发明构思,本发明实施例提供了一种薄膜晶体管的制备方法,包括:在衬底基板上形成栅极、源电极、漏电极和有源层;其中,形成有源层的方法,包括:

[0061] 通过掺杂工艺,在有源层上形成沟道区域以及位于沟道区域相对两侧的第一区域和第二区域;其中,第一区域和第二区域为氧化物半导体。

[0062] 底栅结构的薄膜晶体管和顶栅结构的薄膜晶体管形成过程类似,下面以图4所示的顶栅结构的薄膜晶体管为例,对本发明实施例的薄膜晶体管的制备方法进行进一步说明,具体流程请参照图12,其为本发明实施例所提供的一种薄膜晶体管的制备方法的流程示意图。

[0063] 步骤1、在衬底基板1上形成有源层5。

[0064] 具体地,步骤1通过掩膜版构图工艺在衬底基板1上形成有源层5。形成有源层5的步骤包括:

[0065] 1)通过沟道掺杂工艺,在有源层上形成沟道区域57,然后在位于沟道区域57相对两侧沉积由氧化物半导体组成的第一区域51和第二区域52。

[0066] 需要说明的是,在第一区域51和第二区域52完成铟镓锌氧化物沉积后,将其置于SF6和/或He的气氛中处理形成铟镓锌氧化物区。本发明实施例将铟镓锌氧化物置于SF6的气氛中进行处理,可以使其方阻降低到 $12\text{K}\Omega/\square$ 左右;将铟镓锌氧化物置于SF6和He的气氛中进行处理,可以使其方阻降低到 $900\Omega/\square$ 左右;将铟镓锌氧化物置于He的气氛中进行处理,可以使其方阻降低到 $800\Omega/\square$ 左右。另外,考虑到铟镓锌氧与多晶硅会形成异质结,必要时,可以将铟镓锌氧化物置于SF6和He的气氛进行处理,以进一步降低其方阻,优化器件性能,提高驱动电流。

[0067] 2)通过重掺杂工艺,在有源层5上形成第三区域53和第四区域54;其中,第一区域51位于沟道区域57和第三区域53之间,第二区域52位于沟道区域57和第四区域54之间。

[0068] 3)通过轻掺杂工艺,在有源层5上形成第五区域55和第六区域56;其中,第五区域

55位于沟道区域57和第三区域53之间，第六区域56位于沟道区域57和第四区域54之间。

[0069] 其中，沟道区域57、第三区域53和第四区域54、第五区域55和第六区域56通过一道掩膜版进行图案化而成；沟道区域57、第三区域53和第四区域54、第五区域55和第六区域56的材料为多晶硅。

[0070] 步骤2、形成第一绝缘层10，第一绝缘层10覆盖有源层5。

[0071] 具体地，第一绝缘层10可以避免栅极2和有源层5直接接触。

[0072] 步骤3、通过掩膜版构图工艺在第一绝缘层10上形成栅极2。

[0073] 具体地，步骤3中形成栅极的工艺可以是先在第一绝缘层上沉积一层金属材料层，金属材料层的沉积方法可以是溅射等方法，可以和现有技术中沉积金属层的方法相同，在此不再赘述。然后在金属材料层上涂覆光刻胶，采用掩膜版对光刻胶进行曝光。在曝光结束后，进行显影过程，显影过程中，曝光部分的光刻胶被洗去，未曝光部分的光刻胶仍旧保留在金属材料层上方。显影后对暴露出的金属材料层进行湿法刻蚀，未被刻蚀的部分即为被光刻胶保护的部分，该部分图案为栅极。最后进行光刻胶剥离，栅极构图过程即结束。

[0074] 步骤4、形成第二绝缘层20，第二绝缘层20覆盖栅极2所在膜层。

[0075] 具体地，第二绝缘层可以保证栅极和源漏极之间电性绝缘。

[0076] 步骤5、在有源层5上形成漏电极3和源电极4。

[0077] 具体地，步骤5通过掩膜版构图工艺，形成贯穿第一绝缘层10和第二绝缘层20的过孔，再通过掩膜版构图工艺形成漏电极和源电极，其中，漏电极和源电极通过贯穿第一绝缘层和第二绝缘层的过孔和有源层电连接。具体地，漏电极和源电极分别连接于有源层的第三区域和第四区域，漏电极和源电极的形成过程和栅极所在膜层的形成过程类似，在此不再赘述。

[0078] 需要说明的是，沟道区域为沟道掺杂多晶硅区域，第一区域和第二区域为氧化物半导体区域，第三区域和第四区域为重掺杂多晶硅区域，第五区域和第六区域为轻掺杂多晶硅区域，所以沟道区域的导电离子浓度小于第五区域和第六区域的导电离子浓度，第五区域和第六区域的导电离子浓度小于第三区域和第四区域的导电离子浓度。可以理解，本实施例通过在多晶硅区域不同区域掺杂不同浓度的导电离子，离子浓度越高，则对应区域的导电性能越强，以掺杂离子的浓度不同可以分为重掺杂、轻掺杂和沟道掺杂，举例来说，可以在沟道区域57掺杂硼离子，在第五区域55和第六区域56进行轻掺杂磷离子，在第三区域53和第四区域54进行重掺杂磷离子。作为一种可选方式，本实施例的重掺杂多晶硅区域、轻掺杂多晶硅区域和沟道掺杂多晶硅区域之间的导电离子之比为100:20:1。

[0079] 可选地，如图7和图8所示，本发明实施例在制备如图7和图8所示的薄膜晶体管过程中，在通过掩膜版构图工艺在第一绝缘层上形成栅极时，可适当增大栅极的面积，使得源漏极在衬底基板上的正投影落在栅极在衬底基板上的正投影内，当栅极施加导通电压后，沟道区域以及沟道区域和源漏极之间的半导体氧化物区域均会随之导通，故此时在第一区域和第二区域完成铟镓锌氧化物沉积形成氧化物半导体区域后，无需再通过二次处理来降低方阻。

[0080] 本发明实施例提供了一种薄膜晶体管的制备方法，可以在在沟道区域和源漏极之间形成氧化物半导体区域，利用氧化物半导体对光照和温度的稳定性，有效改善了TFT器件漏电流的问题。

[0081] 以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明保护的范围之内。

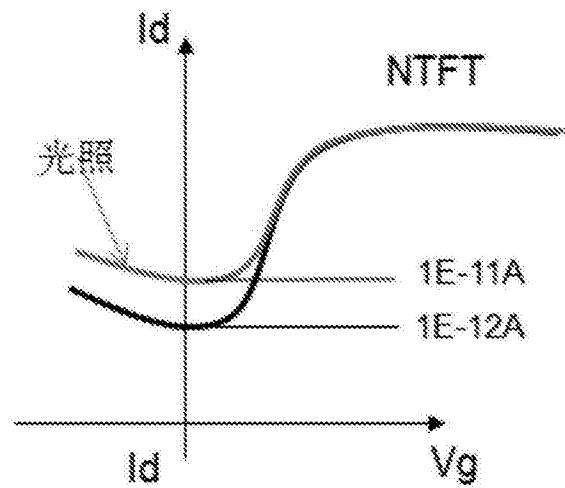


图1

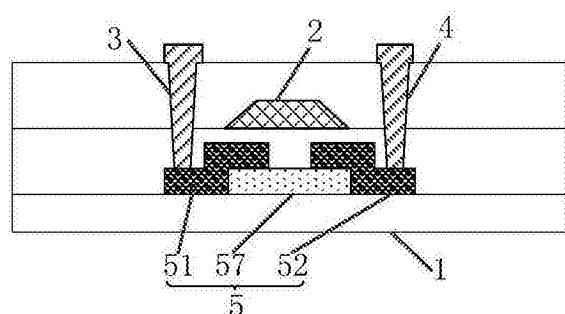


图2

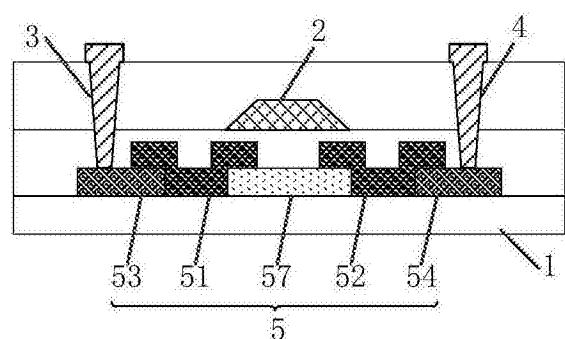


图3

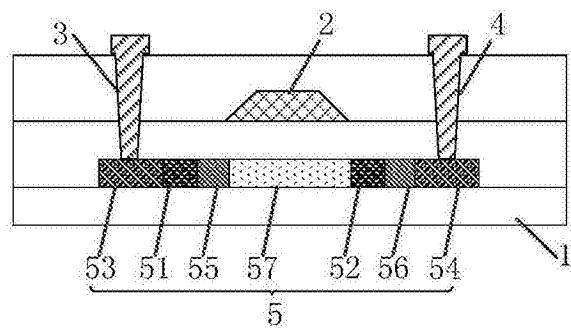


图4

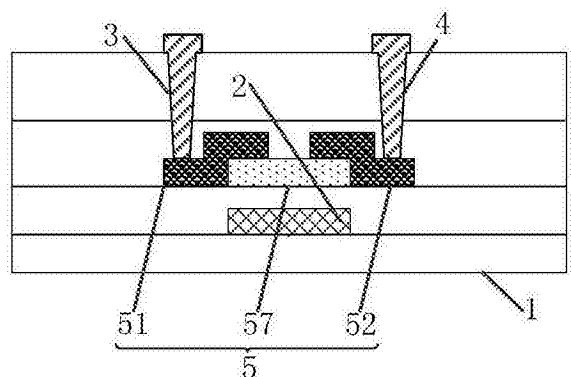


图5

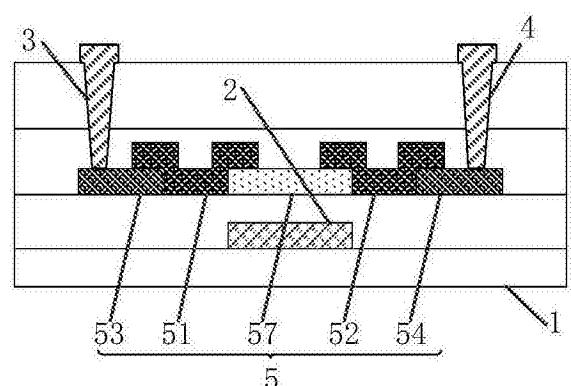


图6

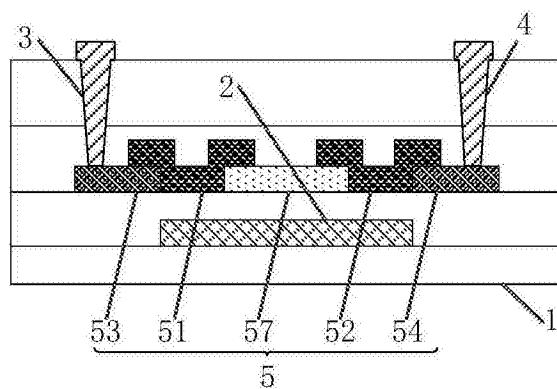


图7

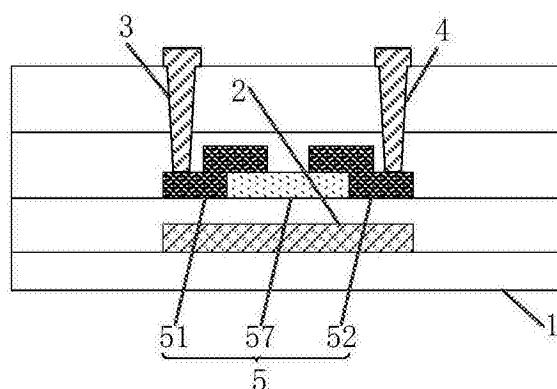


图8

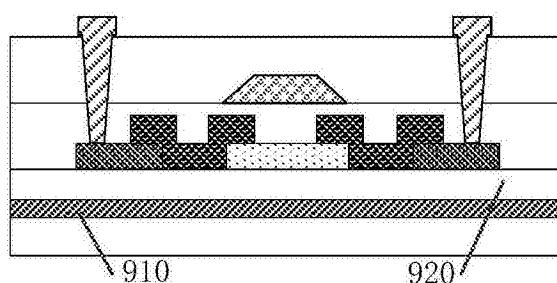


图9

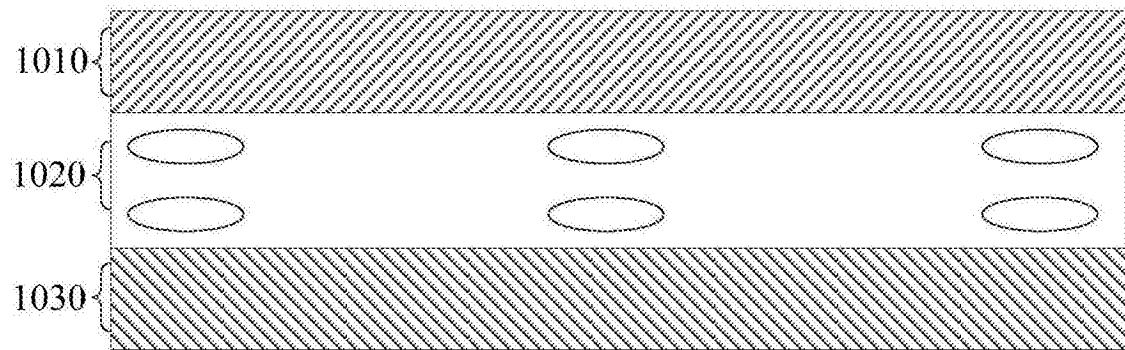


图10

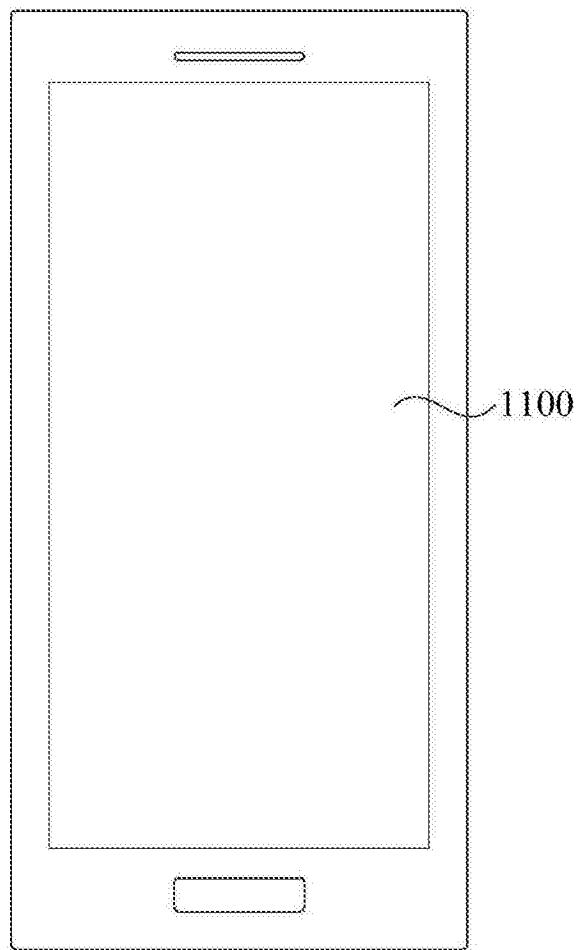


图11

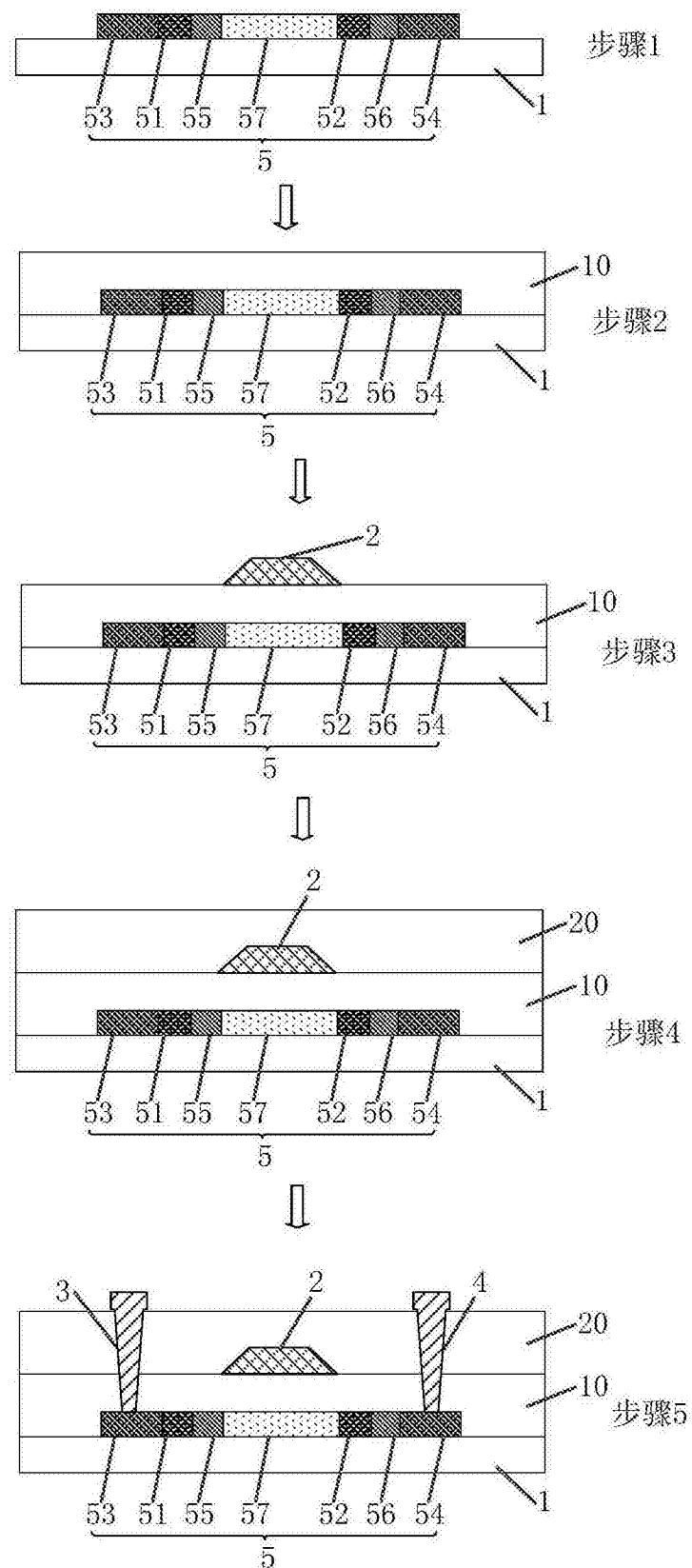


图12