

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3668246号

(P3668246)

(45) 発行日 平成17年7月6日(2005.7.6)

(24) 登録日 平成17年4月15日(2005.4.15)

(51) Int. Cl.⁷

H O 1 J 1/304

H O 1 J 9/02

F I

H O 1 J 1/30

F

H O 1 J 9/02

B

請求項の数 3 (全 20 頁)

(21) 出願番号	特願2004-123179 (P2004-123179)	(73) 特許権者	000003078
(22) 出願日	平成16年4月19日(2004.4.19)		株式会社東芝
(62) 分割の表示	特願平10-8699の分割		東京都港区芝浦一丁目1番1号
原出願日	平成10年1月20日(1998.1.20)	(74) 代理人	100058479
(65) 公開番号	特開2004-214221 (P2004-214221A)		弁理士 鈴江 武彦
(43) 公開日	平成16年7月29日(2004.7.29)	(74) 代理人	100091351
審査請求日	平成16年4月19日(2004.4.19)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 電界放出型冷陰極及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

絶縁基板上に行方向に沿って複数本配列形成されたカソード電極と、これらのカソード電極の何れかに電氣的に接続され、行方向及び列方向に2次元配置された複数個のエミッタ電極と、列方向に沿って複数本形成され、前記エミッタ電極から電子を引き出すゲート電極とを含む電界放出型冷陰極であって、

前記エミッタ電極及びゲート電極は、構造基板上に密接して配列された複数の構造基体にそれぞれ形成され、

列方向に隣接する構造基体に形成されたゲート電極は、膜状のゲート電極接続層によって電氣的に接続され、

隣接する構造基体の隙間に、該隙間の開口部を塞ぐ第1の分離絶縁体が形成されていることを特徴とする電界放出型冷陰極。

【請求項2】

隣接する構造基体の接合部は、前記絶縁基板上に形成された第2の分離絶縁体上に形成されていることを特徴とする請求項1に記載の電界放出型冷陰極。

【請求項3】

行方向及び列方向に2次元配列された複数個のエミッタ電極と、列方向に沿って配列形成され前記エミッタ電極から電子を引き出すゲート電極とが形成された構造基体を複数形成する工程と、

それぞれの構造基体と絶縁基板上に行方向に沿って複数本形成されたカソード電極とを

、前記エミッタ電極層が介在し、且つ隣接する構造基体が密着するように各構造基体を配列させて接着する工程と、

配列された各構造体間の隙間の開口部を塞ぐ分離絶縁体を形成する工程と、

列方向に隣接する構造基体のゲート電極を電氣的に接続する膜状のゲート電極接続導電層を、前記構造基体及びゲート電極上に選択的に形成する工程とを含むことを特徴とする電界放出型冷陰極の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界放出型冷陰極及びその製造方法に関する。

10

【背景技術】

【0002】

近年、S i 半導体加工技術を利用した電界放出型冷陰極の開発が、活発に行なわれている。

【0003】

電界放出型冷陰極は、カソード電極上に形成された円錐状或いはピラミッド状のエミッタと、エミッタ電極層の先端部から電子を引き出すためのゲート電極とから形成される。

【0004】

電界放出型冷陰極の形成方法には、大別するとS p i n d t 法と転写モールド法との二つある。S p i n d t 法で形成した場合、円錐状のエミッタを囲むように形成された絶縁層上にゲート電極が形成される。また、転写モールド法で形成した場合、エミッタの側面上に形成された絶縁膜を介してゲート電極が形成される。

20

【0005】

円錐状のエミッタから電子を引き出すために、ゲート電極とエミッタの間に電圧差を与えると、形状不均一性等のために異常放電が発生したり、ゲート電極とエミッタとの間に電界誘起応力が働き、ゲート電極とエミッタとが電氣的に接触して短絡し、エミッタから電子が放出されないことがあるという問題があった。

【0006】

また、電界放出型冷陰極が行方向及び列方向に2次元配列された小型のF E A (Field Emission Array) を基板上にタイリングして形成する技術が報告されている。ところが、小型のF E A に形成されたゲート電極を電氣的に接続することが困難であるという問題があった。

30

【0007】

隣接するゲート電極をワイヤーボンディングを用いて電氣的に接続し、大面積のF E A を形成する技術が報告されている。だが、ワイヤーボンディングを用いると製造コストが高いという問題点があった。

【発明の開示】

【発明が解決しようとする課題】

【0008】

上述したように、従来の電界放出型冷陰極には、電界誘起応力によってゲート電極とエミッタとが接触し短絡し、エミッタから電子が放出されないことがあるという問題があった。

40

【0009】

また、従来、大面積のF E A を安価に製造することができないという問題点があった。

【0010】

本発明の目的は、ゲート電極とエミッタとの短絡を防止して、信頼性の向上を図り得ると共に、大面積のF E A を容易に、且つ安価に製造することが可能となる電界放出型冷陰極及びその製造方法を提供することにある。

【課題を解決するための手段】

【0011】

50

〔構成〕

本発明は、上記目的を達成するために以下のように構成されている。

【0012】

本発明の一例に係わる電界放出型冷陰極は、絶縁基板上に行方向に沿って複数本配列形成されたカソード電極と、これらのカソード電極の何れかに電氣的に接続され、行方向及び列方向に2次元配置された複数個のエミッタ電極と、列方向に沿って複数本形成され、前記エミッタ電極から電子を引き出すゲート電極とを含む電界放出型冷陰極であって、前記エミッタ電極及びゲート電極は、構造基板上に密接して配列された複数の構造基体にそれぞれ形成され、列方向に隣接する構造基体に形成されたゲート電極は、膜状のゲート電極接続層によって電氣的に接続され、隣接する構造基体の隙間に、該隙間の開口部を塞ぐ 10
第1の分離絶縁体が形成されていることを特徴とする。

【0013】

上記電界放出型冷陰極の好ましい実施態様を以下に示す。

【0015】

隣接する構造基体の接合部は、前記絶縁基板上に形成された第2の分離絶縁体上に形成されている。

【0016】

本発明の一例に係わる電界放出型冷陰極の製造方法は、行方向及び列方向に2次元配列された複数個のエミッタ電極と、列方向に沿って配列形成され前記エミッタ電極から電子を引き出すゲート電極とが形成された構造基体を複数形成する工程と、それぞれの構造基体と絶縁基板上に行方向に沿って複数本形成されたカソード電極とを、前記エミッタ電極層が介在し、且つ隣接する構造基体が密着するように各構造基体を配列させて接着する工程と、配列された各構造体間の隙間の開口部を塞ぐ分離絶縁体を形成する工程と、列方向に隣接する構造基体のゲート電極を電氣的に接続する膜状のゲート電極接続導電層を、前記構造基体及びゲート電極上に選択的に形成する工程とを含むことを特徴とする。 20

【0017】

〔作用〕

本発明は、上記構成によって以下の作用・効果を有する。

【0018】

複数のエミッタが形成された複数の構造基体をタイルを貼るように、密着させて2次元配列し（タイリング）、ゲート電極又はカソード電極の形成を行うことによって、カソード電極又はゲート電極が寸断されて電氣的接続が取れなくなるようなことはないので、大面積のFEAを容易に形成することができる。また、生産性の大幅な向上を図ることができる。 30

【0019】

また、タイリングの際、先端が先鋭な凸部上に、絶縁層、エッチング停止層及びモールド基板が形成されているので、エミッタ先端部が保護され、各構造基体の取り扱いが容易である。

【発明の効果】

【0020】

基板上に複数の構造基体をタイリングし、ゲート電極、或いはカソード電極を形成することによって、電極を連続的に形成することが可能となり、隣接する構造基板の間で電極が切れることがなく、容易に大面積の電界放出型冷陰極を形成することができる。 40

【発明を実施するための最良の形態】

【0021】

本発明の実施の形態を以下に図面を参照して説明する。

【0022】

〔第1実施形態〕

図1は、本発明の第1実施形態に係わる電界放出型冷陰極の構成を示す断面図である。

【0023】

ガラス基板 11 上に ITO 電極層 (カソード電極) 12 を介してエミッタ電極層 13 が形成されている。エミッタ電極層 13 の一部には、その平面に対してピラミッド状に突き出した凸部 20 が形成されている。エミッタ電極層 13 上にシリコン酸化膜 14 が形成されている。シリコン酸化膜 14 は、凸部 20 の先端部を除いて形成され、凸部 20 の先端が露出している。シリコン酸化膜 14 上に、シリコンにボロンがドーピングされた拡散層 15 (エッチング停止層) を介して、タングステン膜からなるゲート電極 16 が形成されている。

【0024】

次に、図 1 に示した電解放出型冷陰極の製造工程を図 2, 3 の斜視図を用いて説明する。

10

【0025】

先ず、図 2 (a) に示すように、p 型の (001) シリコン単結晶基板 (モールド基板) 17 の一方の表面に底部を尖らせた逆ピラミッド状の凹部 18 を形成する。シリコン単結晶基板に 17 に凹部 18 を形成する方法としては、シリコン単結晶基板の異方性エッチングを利用する方法がある。

【0026】

すなわち、先ず、(100) 結晶面方位のシリコン単結晶基板の表面に、厚さ $0.1 \mu\text{m}$ のシリコン酸化膜をドライ酸化法により形成し、更にレジストをスピンコート法により塗布する。次いで、レジストに例えば $0.8 \mu\text{m}$ の開口部が得られるようにパターンニングを行った後、レジストをマスクとして $\text{NH}_4\text{F} \cdot \text{HF}$ 混合溶液により、シリコン酸化膜を選択的にエッチングする。レジストを除去した後、シリコン酸化膜をマスクとして、30 wt % の KOH 水溶液を用いてシリコン単結晶基板に対して異方性エッチングを行うと、深さ $0.56 \mu\text{m}$ の逆ピラミッド状の凹部がシリコン単結晶基板に形成される。

20

【0027】

次いで、シリコン単結晶基板 17 の表面に、熱拡散法を用いて $3 \times 10^{19} \text{cm}^{-3}$ 以上の濃度になるようにボロンをドーピングし、エッチング停止層となる厚さ $0.3 \mu\text{m}$ の拡散層 (剛体層) 15 を形成する。

【0028】

次いで、図 2 (b) に示すように、拡散層 15 の表面に、ドライ酸化法を用いて厚さ $0.2 \mu\text{m}$ 程度のシリコン酸化膜 (絶縁層) 14 を形成する。なお、シリコン酸化膜 14 は、CVD 法等によりシリコン酸化物を堆積することによっても形成することができる。

30

【0029】

熱酸化によって形成されたシリコン酸化膜は、緻密で厚さを制御することが容易であるので、熱酸化によってシリコン酸化膜を形成することが好ましい。シリコン酸化膜の膜厚を制御することによって、後に形成されるゲート電極とエミッタとの距離を精度良く調整することができる。

【0030】

また、熱酸化によってシリコン酸化膜 14 を形成した場合、シリコン酸化膜 14 の凹部 18 内部への成長作用によって、凹部 18 の底の先端部がシリコン酸化物を堆積によって形成した場合に比べて鋭くなり、後工程で形成されるエミッタの先がさらに鋭くなる。

40

【0031】

次いで、図 2 (c) に示すように、シリコン酸化膜 14 上に、スパッタ法を用いて W 膜を厚さ $0.9 \mu\text{m}$ 堆積しエミッタ電極層 13 を形成する。なお、W 以外にも、Mo や Ta 等の材料をエミッタ電極層 13 として用いることが可能である。

【0032】

次いで、エミッタ電極層 13 上に、スパッタリング法を用いて、カソード電極となる厚さ $1 \mu\text{m}$ 程度の ITO 電極層 12 を形成する。なお、エミッタ電極層 13 の材質によっては、ITO 電極層 12 の形成を省くことができる。ITO 電極層 12 を形成しなかった場合、エミッタ電極層 13 がカソード電極を兼ねることとなる。

【0033】

50

次いで、図2(d)に示すように、絶縁基板として、一方の面に厚さ $0.4\mu\text{m}$ のAl層19が形成された厚さ 1mm の石英ガラス基板11を用意し、ガラス基板11とITO電極層12とを接着する。この接着には、例えば、静電接着法を適用することが出来る。静電接着法は、冷陰極装置の軽量化や薄型化に寄与する。

【0034】

次いで、図2(e)に示すように、ガラス基板11の表面に形成されているAl層19を、 $\text{HNO}_3 \cdot \text{CH}_3\text{COOH} \cdot \text{HF}$ の混酸溶液を用いて選択的に除去した後、エチレンジアミン・ピロカテコール・ピラジンから成る水溶液（エチレンジアミン： 75cc ，ピロカテコール： 12g ，ピラジン： 3mg ，水： 10cc ）を用いてSi単結晶基板17を選択的にエッチング除去し、拡散層15を露出させる。この工程までで、エミッタ電極層13，シリコン酸化膜14及び拡散層15の一部が、拡散層15の平坦部に対してピラミッド状に突き出した凸部20が形成される。

10

【0035】

Si単結晶基板17をエッチングする際、厚さ $0.3\mu\text{m}$ の拡散層15は、前述したエッチング溶液による浸食を終了させるエッチング停止層の役割を持つと同時に、先端が鋭く尖ったエミッタ電極層13の凸部20をエッチング溶液の侵食から保護する役目を果たす。従って、シリコン酸化膜14の膜厚が薄い場合でも、エミッタ電極層13をエッチング溶液の浸食から保護し、凸部20先端からの電界放出効率およびその均一性を大幅に向上させることができる。

【0036】

20

次いで、図3(f)に示すように、拡散層15上に、スパッタ法を用いてタングステン層を厚さ $0.5\mu\text{m}$ となるように堆積し、ゲート電極16を形成する。なお、駆動時の電流値にも依存するが、拡散層15のボロン濃度が、例えば $10^{20} \sim 10^{21}\text{cm}^{-3}$ と高く、抵抗率が $10^{-4}\Omega \cdot \text{cm}$ と低い場合には、拡散層15もゲート電極の役割を果たし、工程数及びコスト削減のみならず、ゲートーエミッタ間距離の近接化にも大きく寄与する。

【0037】

次いで、図3(g)に示すように、ゲート電極16上にスピンコート法を用いてフォトレジスト21を塗布し、ピラミッド状の凸部20先端部に約 $0.9\mu\text{m}$ 程度のフォトレジスト21が形成されているようにする。

【0038】

30

次いで、図3(h)に示すように、酸素プラズマによるドライエッチングによって、凸部20の先端部が $0.7\mu\text{m}$ ほど現れるように、レジスト層21の表面層をエッチング除去する。そして、反応性イオンエッチング法を用いて、凸部20の先端部のゲート電極16及び拡散層15をエッチングする。

【0039】

次いで、図3(i)に示すように、レジスト21を除去した後、 $\text{NH}_4\text{F} \cdot \text{HF}$ 混合溶液を用いて、シリコン酸化膜14を選択的に除去する。以上の工程までで、ゲート電極16に開口部が形成されるとともに、エミッタ電極層13の凸部20の先端部が露出し、ピラミッド状の冷陰極、すなわちエミッタが形成される。

【0040】

40

なお、エミッタ電極層上にITO電極層を形成せずに、予め石英ガラス上に形成されたITO電極層とエミッタ電極層を接着して形成することも可能である。

【0041】

本実施形態によれば、ゲート電極が剛体からなる拡散層から形成されていることによって、ゲート電極とエミッタ電極層の凸部とが短絡することがない。

【0042】

ゲート配線が、ゲート電極と拡散層の2層から形成され、その抵抗率が従来に比べて低くなっている。従って、大面積化した場合に信号遅延を抑制することができる。

【0043】

[第2実施形態]

50

図4は、本発明の第2実施形態に係わる電界放出型冷陰極の構成を示す断面図である。図4において、図1と同一な部分には同一符号を付し、その説明を省略する。

【0044】

本実施形態の特徴は、エミッタ電極層12のピラミッド状に形成された凸部20の先端付近まで、n型拡散層31が形成されており、拡散層31の表面がほぼ平坦になっていることである。

【0045】

本冷陰極は、第1実施形態の冷陰極に比べて拡散層31の膜厚が厚いうえ、さらにゲート配線の抵抗が減少し、大面積のFEAを形成しても信号遅延が起こりにくい。

【0046】

図5、6の工程断面図を用いて、図4に示した電界放出型冷陰極の製造工程を説明する。先ず、図5(a)に示すように、p型の(001)シリコン単結晶基板17の表面層に、熱拡散法或いはイオン注入法等を用いてn型拡散層31を形成する。

【0047】

次いで、図5(b)に示すように、逆ピラミッド状の凹部32を、拡散層31及びシリコン基板17上に形成する。凹部32を形成する際、凹部32の開口部が拡散層31に形成され、凹部32の底の先端部がシリコン基板中17に形成されるようにする。シリコン基板17に凹部32を形成するには、第1実施形態において説明した方法を用いて形成することができる。

【0048】

次いで、図5(c)に示すように、拡散層31及びシリコン基板17の表面に、ドライ酸化法を用いてシリコン酸化膜14を形成する。次いで、図7(d)に示すように、シリコン酸化膜14上にエミッタ電極層13及びカソード電極となるITO電極層12を順次積層する。エミッタ電極層13は、凹部内が埋め込まれるまで形成する。

【0049】

次いで、図5(e)に示すように、背面に厚さ0.4μmのAl層19が形成された厚さ1mmの石英ガラス基板11を用意し、ガラス基板11とシリコン単結晶基板17とをエミッタ電極層13が介するように接着する。この接着には、例えば、静電接着法を適用することが出来る。静電接着法は、冷陰極装置の軽量化や薄型化に寄与する。

【0050】

次いで、図5(f)に示すように、石英ガラス基板11背面のAl層19を除去した後、電気化学エッチング法を用いてシリコン単結晶基板17を選択的にエッチング除去し、拡散層31を露出させるとともに、拡散層31及びシリコン酸化膜14に覆われたエミッタ電極層13によるピラミッド形状の凸部33の先端部を露出させる。

【0051】

電気化学エッチング法は、例えばKOH水溶液中で、n型拡散層31とp型のシリコン単結晶基板17との界面に生じているpn接合に対して逆電圧を印加してp型のシリコン単結晶基板を選択的にエッチングする方法である。

【0052】

次いで、図6(g)に示すように、拡散層31上に、電気メッキ法を用いて、ゲート電極16を形成する。電界メッキ法を用いてゲート電極16を形成すると、ゲート電極16は導電性を有する拡散層31の表面にのみ選択的に形成されるので、凸部33の先端部の絶縁性のシリコン酸化膜14上には形成されない。

【0053】

次いで、図6(h)に示すように、NH₄F・HF混合溶液を用いて、シリコン酸化膜14を選択的に除去する。この工程までで、ゲート電極16、拡散層31及びシリコン酸化膜14に開口部が形成されるとともに、エミッタ電極層13によるピラミッド状の凸部33の先端部が露出し、ピラミッド状の冷陰極、すなわちエミッタが形成される。

【0054】

なお、エミッタ電極層上にITO電極層を形成せずに、予め石英ガラス上に形成された

10

20

30

40

50

I T O電極層とエミッタ電極層を接着して形成することも可能である。

【0055】

[第3実施形態]

図7は、本発明の第3実施形態に係わる電界放出型冷陰極の構成を示す断面図である。なお、図1と同一な部分には同一符号を付し、その説明を省略する。

【0056】

本実施形態の特徴は、I T O電極層12とエミッタ電極層35との間に芯状抵抗層34が形成されていることである。エミッタ電極層35は、凸部33毎にそれぞれ分離されて形成されており、芯状抵抗層34によってI T O電極層12と電氣的に接続されている。

【0057】

製造時のバラツキでエミッタ電極層35の形状がそれぞれ異なる場合があるため、ゲート電極16との間隔が短いエミッタ電極層35から大量の電流が流れることによって、ゲート電極16とエミッタ電極層35との間に短絡が生じる可能性がある。しかし、芯状抵抗層34をエミッタ電極層35とI T O電極層12との間に挿入することでI T O電極層12からエミッタ電極層35に流れる電流を制限し、短絡を抑えることができる。

【0058】

この図7に示した冷陰極の製造工程を図8の工程断面図を用いて説明する。図8(a)、(b)は、第2実施形態の図5(a)、(b)に示した工程と同様であるので、その説明を省略する。そして、図8(c)に示すように、シリコン酸化膜14上に電極材を堆積する。そして、凹部32を含む領域の電極材上にレジスト(不図示)を形成した後、レジストをマスクとしてR I E法を用いて電極材をエッチングしてエミッタ電極層35を形成し、レジストを除去する。

【0059】

次いで、図8(d)に示すように、シリコン酸化膜34及びエミッタ電極層35上に、芯状抵抗層34を堆積する。

【0060】

次いで、図8(e)に示すように、芯状抵抗層34上にI T O電極層12を形成した後、第2実施形態と同様に、石英ガラス基板11とI T O電極層12の接着、シリコン単結晶基板17の選択的除去及びゲート電極16の形成を順次行う。

【0061】

そして、図8(f)に示すように、第2実施形態と同様に、拡散層31及びシリコン酸化膜14を選択的にエッチングすることによって、エミッタ電極層35が露出し、電界放出型冷陰極が完成する。

【0062】

なお、芯状抵抗層上にI T O電極層を形成せずに、予め石英ガラス上に形成されたI T O電極層とエミッタ電極層を接着して形成することも可能である。

【0063】

[第4実施形態]

図9は、本発明の第4実施形態に係わるF E Aの構成を示す断面図である。図9において、図7と同一な部分には同一符号を付し、その説明を省略する。

【0064】

本実施形態の特徴は、先端が先鋭な凸部を有するエミッタ電極層35が複数個配列形成された構造基体43a~dが、石英ガラス基板41上行方向に沿って形成されたカソード電極ライン42a、b上に、行方向及び列方向に密着して2次元配置されていることである。そして、構造基体43a~d上に、ゲート電極44a、bが列方向に沿って配列形成されている。

【0065】

なお、図7は、構造基体43a~dの接合部を拡大して図示した図であり、各構造基体43には、図示されている部分以外に多くのエミッタ電極層35が形成されている。また、カソード電極42とゲート電極44の交差部に一つの構造基体が配置されているように

10

20

30

40

50

図示されているが、一つの構造基体にカソード電極 4 2 とゲート電極 4 4 の交差部が複数個形成されている。

【0066】

この冷陰極の製造工程を図 10～12 の工程図を用いて説明する。

【0067】

先ず、図 10 (a) に示すように、第 3 実施形態の図 8 (a)～(d) に示した工程を用いて複数のエミッタ電極層 3 5 を形成した後、芯状抵抗層 3 4 の形成及びパターニングを行った構造基体 4 3 a～d を用意する。また、表面にカソード電極 4 2 a, b が行方向に沿って形成された石英ガラス基板 4 1 を用意する。

【0068】

10

次いで、図 11 (b) に示すように、構造基体 4 3 a～d と石英ガラス基板 4 1 のカソード電極 4 2 a, b が形成されている面とを、エミッタ電極層 3 5 が介在するように接着する。つまり芯状抵抗層 3 4 とカソード電極 4 2 a, b とを接着する。

【0069】

次いで、図 11 (c) に示すように、第 3 実施形態と同様にシリコン単結晶基板 1 1 を選択的にエッチング除去し、拡散層 3 5 の凸部 3 3 を露出させる。

【0070】

次いで、図 12 (d) に示すように、拡散層 3 1 上にスクリーン印刷方法を用いてゲート電極 4 4 a, b を列方向に沿って形成する。拡散層 3 1 の表面は、突起が一部にあるだけで、その表面は平坦であるため、容易にゲート電極 4 4 a, b をスクリーン印刷によって形成することができる。

20

【0071】

このとき、隣接する構造基体 4 3 の間の隙間が大きいと、ゲート電極 4 4 が断切れを起こすおそれがある。そのため、隙間を埋め込むようにゲート電極 4 4 を形成すると、断切れを起こす事を防止することができる。また、隙間を埋め込むように形成した際、カソード電極 4 2 と絶縁されていれば、ゲート電極 4 4 がガラス基板上に形成されていても良い。また、ゲート電極 4 4 が形成される位置のガラス基板上に接続電極を形成しておき、ゲート電極が接続電極上に形成されるようにすると、更にゲート電極の電氣的接続を確実にすることができる。

【0072】

30

そして、図 12 (e) に示すように、ゲート電極 4 4 a, b をパターニングし、拡散層 3 1 を露出させた後、拡散層 3 1 及びシリコン酸化膜 1 4 を順次エッチングし、エミッタ電極層 3 5 の先端が先鋭な凸部を露出させる。以上説明した工程で本実施形態の FEA が形成される。

【0073】

本実施形態によれば、予め複数のエミッタが形成された構造基体を予めカソード電極が形成された石英ガラス基板上に配列した後、エミッタ上のシリコン単結晶基板を選択的に除去し、ゲート電極を形成することによって、ワイヤボンディングを用いることなく大面積の FEA を形成することができる。

【0074】

40

また、ゲート電極の形成に印刷法を用いることによって、簡易に列方向に沿ったゲート電極を形成することができる。

【0075】

なお、構造基体 4 3 は、第 1 実施形態の図 2 (a)～(c) に示した工程を経て形成された構造、又は第 2 実施形態の図 5 (a)～(d) に示した工程を経て形成された構造を用いても良い。

【0076】

[第 5 実施形態]

図 13 は、本発明の第 5 実施形態に係わる FEA の構成を示す断面図である。図 13 において、図 9 と同一な部分には同一符号を付し、その説明を省略する。

50

【0077】

本実施形態のF E Aの特徴は、ゲート電極接続導電層51（51a, b）が、ゲート電極44（44a, b）上に形成されていることである。それぞれのゲート電極接続導電層51a, bは、隣接する構造基体43の接合部上に位置するゲート電極44上に選択的に形成されている。ゲート電極接続層51を形成することによって、隣接する構造基体43の間におけるゲート電極の電氣的接続を確実に行うことができる。

【0078】

図13に示したF E Aの製造工程を図14の工程図を用いて説明する。まず、図14（a）に示すように、図10（a）～図12（d）に示した工程を経て形成された構造に対して、隣接する構造基体43の接合部を含む領域のゲート電極44上に、スクリーン印刷法を用いてゲート電極接続導電層51a, bを形成する。なお、全面に電極材を堆積した後、パターニングしてゲート電極接続導電層51を形成することも可能である。

10

【0079】

次いで、図14（b）に示すように、先の実施形態で説明した工程と同様に、ゲート電極44、拡散層31及びシリコン酸化膜14をエッチングすることによってエミッタ電極層35の凸部先端を露出させて、本実施形態のF E Aが完成する。

【0080】

なお、エミッタ電極層35の凸部先端を露出させた後、ゲート電極接続導電層を形成することも可能である。

【0081】

20

[第6実施形態]

図15は、本発明の第6実施形態に係わるF E Aの構成を示す断面図である。図15において、図9と同一な部分には同一符号を付し、その説明を省略する。

【0082】

本実施形態の特徴は、隣接する構造基体61a, bの隙間部62に、ガラス、SOG（Spin On Glass）、シリコン酸化物又はシリコン窒化物からなる絶縁層63が埋め込まれていることである。絶縁層63が隙間部62に埋め込まれていることによって、ゲート電極44a, bを堆積する際、構造基体の繋ぎ目の隙間部62において、ゲート電極44a, bがITO電極層44a上に形成されるのを防ぎ、ゲート電極44a, bとITO電極層42aとが短絡することを防ぐ。

30

【0083】

図15に示したF E Aの製造工程を図16, 17の工程図を用いて説明する。

【0084】

まず、図16（a）に示した構造は、先に説明した図10（a）～図11（c）に示した工程を経て形成されるものである。図示したように、構造基体61aと構造基体61bとの間に、隙間部62が生じている。

【0085】

次いで、図16（b）に示すように、基板61a, b間の隙間部62を埋めるように、絶縁層63を形成する。

【0086】

40

次いで、図17（c）に示すように、エッチバック法等を用いて、拡散層31上の絶縁層63を除去し、隙間部62に絶縁層63を埋め込み形成する。なお、隙間部62の全てを絶縁層63で埋め込む必要はなく、隙間部62の開口部を塞ぐように形成されていればよい。

【0087】

次いで、図17（d）に示すように、第4実施形態と同様にゲート電極44a, bを形成した後、ゲート電極、拡散層31及びシリコン酸化膜14を選択的に除去することによってF E Aが完成する。

【0088】

なお、構造基体61は、第1実施形態の図2（a）～（c）に示した工程を経て形成さ

50

れた構造、又は第2実施形態の図5（a）～（d）に示した工程を経て形成された構造を用いても良い。

【0089】

〔第7実施形態〕

図18は、本発明の第7実施形態に係わるF E Aの構成を示す斜視図である。図18において、図9と同一な部分には同一符号を付し、その説明を省略する。

【0090】

本実施形態のF E Aの特徴は、隣接する構造基体43の接合部を含む領域の下に絶縁層71が形成されていることである。隣接する構造基体43の接合部の下に絶縁層が形成されていることによって、ゲート電極44とカソード電極42とが電氣的に接続することを防止することができる。

10

【0091】

図19、20の工程図を用いて、図18に示したF E Aの製造工程を説明する。

【0092】

先ず、図19（a）に示すように、図8（a）～（d）に示した工程を経て形成された構造に対し、芯状抵抗層34がパターンニングされた構造基体43a～dを用意する。また、石英ガラス基板41上に、カソード電極ライン42a、b及び絶縁層71が形成された構造基板70を用意する。なお、絶縁層71は、後工程で構造基板70上に構造基体43をタイリングする際、隣接する基体43の接合部を含む領域に接する部位に形成されている。

20

【0093】

次いで、図20（b）に示すように、各構造基体43の抵抗層34が形成されている面と基板70のカソード電極42a、bが形成されている面とを接着する。このとき、絶縁層71上に、隣接する構造基体43の接合部が必ず存在するようにタイリングする。

【0094】

次いで、図20（c）に示すように、各シリコン単結晶基板17の除去、ゲート電極44a、bの形成、ゲート電極44、拡散層31及びシリコン酸化膜14のエッチングを順次行うことによって、本実施形態のF E Aが完成する。

【0095】

なお、構造基体43は、第1実施形態の図2（a）～（c）に示した工程を経て形成された構造、又は第2実施形態の図5（a）～（d）に示した工程を経て形成された構造を用いても良い。

30

【0096】

〔第8実施形態〕

図21、22は、本発明の第8実施形態に係わる電界放出型冷陰極の製造工程を示す工程断面図である。

【0097】

先ず、図21（a）に示すように、支持基板81と、図8（a）～（d）に示した工程を経て形成された構造に対し、芯状抵抗層34がパターンニングされた構造基体82a～dのシリコン基板17面とを仮接着する。

40

【0098】

次いで、図21（b）に示すように、芯状抵抗層34上にカソード電極83a、bをスクリーン印刷法を用いて行方向に沿って形成する。

【0099】

次いで、図22（c）に示すように、カソード電極83a、bと石英ガラス基板84とを接着する。そして、支持基板81及びシリコン単結晶基板17を除去することによって、図11（c）に示した構造が形成される。後の工程は、図11（c）～図12（e）に示した工程と同様の工程を行うことによって本実施形態のF E Aが完成する。

【0100】

〔第9実施形態〕

50

図 2 3 は、本発明の第 9 実施形態に係わる F E A の構成を示す斜視図である。図 2 3 において、図 9 と同一な部分には同一符号を付し、その説明を省略する。

【0101】

本実施形態の特徴は、隣接する構造基体と接合部と接するカソード電極 8 3 の下部にカソード電極接続導電層 9 2 (9 2 a, b) が形成されていることである。カソード電極接続導電層 9 2 を形成することによって、隣接する構造基体 8 3 間におけるカソード電極 8 3 の電氣的接続を確実にすることができる。

【0102】

図 2 3 に示した F E A の製造工程を図 2 4 の工程図を用いて説明する。

【0103】

先ず、図 2 1 (a), (b) に示した工程を経て形成された構造を用意する。そして、表面にカソード電極接続電極層 9 2 a, b が形成されている石英ガラス基板 9 1 を用意する。石英ガラス基板 9 1 上のカソード電極接続導電層 9 2 は、隣接する構造基体の接合部とカソード電極 8 3 a, b との交差部を含む領域に面するガラス基板 9 1 上に形成されている。

【0104】

次いで、カソード電極接続導電層 9 2 とカソード電極 8 3 とを接着した後、支持基板 8 1 及びシリコン基板 1 7 を除去し、ゲート電極 4 4 の形成、拡散層 3 1 及びシリコン酸化膜 1 4 のエッチングを行うことによって F E A が完成する。

【0105】

なお、本発明は、上記実施形態に限定されるものではない。例えば、上述した F E A を用いて F E D (Field Emission Display)、或いは電子ビーム露光装置を形成することも可能である。

【0106】

また、剛体層 (エッチング停止層) は、シリコンに不純物がドーブされた拡散層に限らず、ゲート電極より固く、電界誘起応力によって変位しないものであれば任意の材料を用いることができる。また、シリコン基板 (モールド基板) 上に剛体層を堆積して形成しても良い。

【0107】

また、エミッタ電極層の材料としては、タングステンに限らず、仕事関数の低い種々の材料を用いることができる。

【0108】

また、上記第 4 ~ 9 実施形態に示した製造方法を適宜組み合わせる F E A を形成することも可能である。

【0109】

また、ゲート電極の形成に際し、蒸着法、或いはスパッタリング法等を用いることが可能である。

【0110】

また、S p i n d t 法等で形成された冷陰極が 2 次元配列され、且つゲート電極が列方向に沿って形成された複数の構造基体を密着配列した後、列方向に隣接する構造基体のゲート電極を膜状のゲート電極接続層で電氣的に接続することも可能である。また、ゲート電極とカソード電極とが同一平面内に形成された平面型の冷陰極が形成された構造基体を同様にタイリングすることも可能である。

【0111】

ゲート電極接続層の形成の際、隣接する構造基体の接合部で上述した実施形態で説明したように断切れを起こす事がある。そのため、隙間を埋め込むようにゲート電極接続層を形成すると、断切れを起こす事を防止することができる。また、隙間を埋め込むように形成した際、カソード電極と絶縁されていれば、ゲート電極接続層が構造基板上に形成されていても良い。また、ゲート電極が形成される位置の構造基板上に接続電極を形成しておき、ゲート電極接続層が接続電極上に形成されるようにすると、更にゲート電極の電氣的

10

20

30

40

50

接続を確実にすることができる。

【0112】

また、構造基体が配列形成された複数の構造基板を2次元配列して、更に大面積のFEAを形成することも可能である。この場合、構造基板にカソード電極に接続するスルーホールを設け、該スルーホールを用いて隣接する構造基板のカソード電極を電氣的に接続することが可能である。

【0113】

その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【図面の簡単な説明】

10

【0114】

【図1】第1実施形態に係わる電界放出型冷陰極の構成を示す断面図。

【図2】図1に示した電界放出型冷陰極の製造工程を示す工程断面図。

【図3】図1に示した電界放出型冷陰極の製造工程を示す工程断面図。

【図4】第2実施形態に係わる電界放出型冷陰極の構成を示す断面図。

【図5】図4に示した電界放出型冷陰極の構成を示す工程断面図。

【図6】図4に示した電界放出型冷陰極の構成を示す工程断面図。

【図7】第3実施形態に係わる電界放出型冷陰極の構成を示す断面図。

【図8】図7に示した電界放出型冷陰極の製造工程を示す工程断面図。

【図9】第4実施形態に係わるFEAの構成を示す斜視図。

20

【図10】図9に示したFEAの製造工程を示す工程図。

【図11】図9に示したFEAの製造工程を示す工程図。

【図12】図9に示したFEAの製造工程を示す工程図。

【図13】第5実施形態に係わるFEAの構成を示す斜視図。

【図14】図13に示したFEAの製造工程を示す工程図。

【図15】第6実施形態に係わるFEAの構成を示す斜視図。

【図16】図15に示したFEAの製造工程を示す工程図。

【図17】図15に示したFEAの製造工程を示す工程図。

【図18】第7実施形態に係わるFEAの構成を示す斜視図。

【図19】図18に示したFEAの製造工程を示す斜視図。

30

【図20】図18に示したFEAの製造工程を示す工程図。

【図21】第8実施形態に係わるFEAの製造工程を示す工程図。

【図22】第8実施形態に係わるFEAの製造工程を示す工程図。

【図23】第9実施形態に係わるFEAの構成を示す斜視図。

【図24】図23に示したFEAの製造工程を示す工程図。

【符号の説明】

【0115】

11…ガラス基板

12…ITO電極層（カソード電極）

13…エミッタ電極層

40

14…シリコン酸化膜

15…拡散層

16…ゲート電極

17…シリコン単結晶基板

18…凹部

19…A1層

20…凸部

21…レジスト

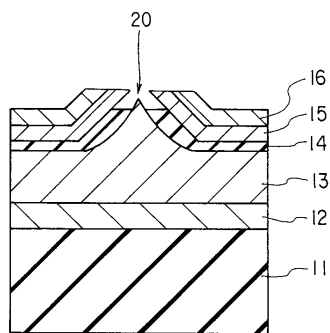
31…拡散層

32…凹部

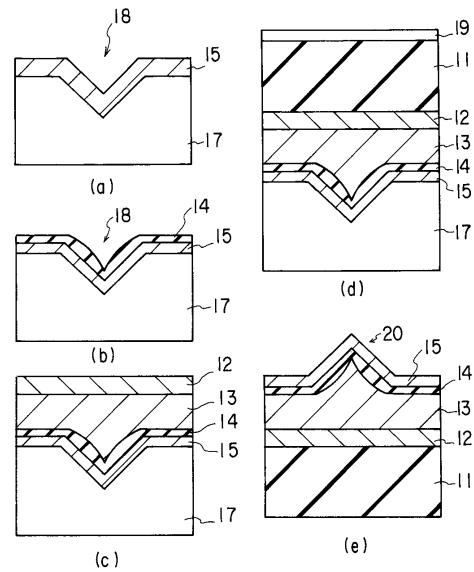
50

- 3 3 … 凸部
- 3 4 … 芯状抵抗層
- 3 5 … エミッタ電極層
- 4 1 … 石英ガラス基板
- 4 2 a, b … カソード電極
- 4 3 a ~ d … 構造基体
- 4 4 a, b … ゲート電極
- 5 1 a, b … ゲート電極接続導電層
- 6 1 … 構造基体
- 6 2 … 隙間部
- 6 3 … 絶縁層
- 7 1 … 絶縁分離層
- 8 1 … 支持基板
- 8 3 a, b … カソード電極
- 9 1 … 石英ガラス基板
- 9 2 a, b … カソード電極接続導電層

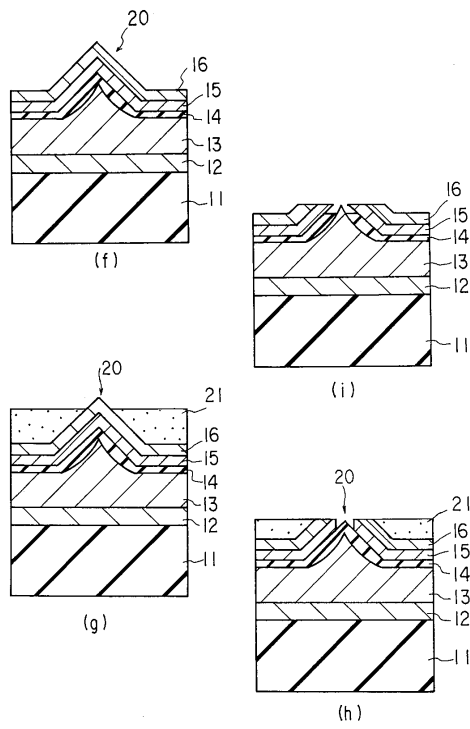
【図 1】



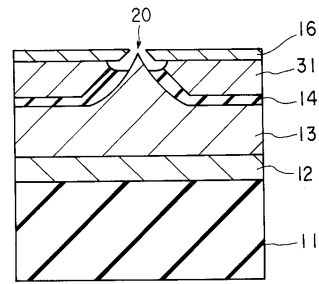
【図 2】



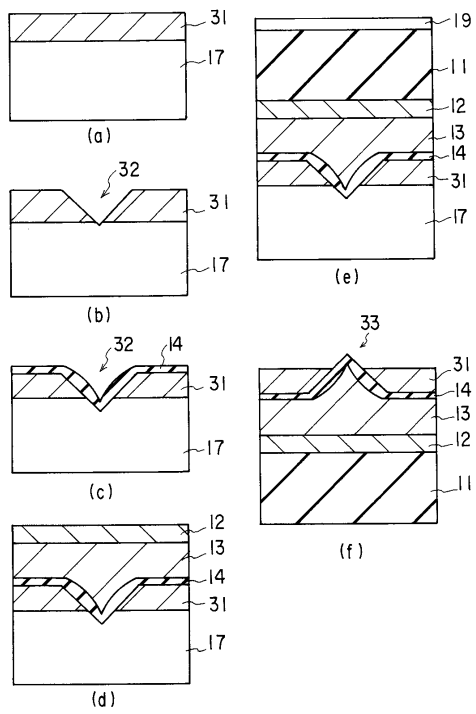
【図 3】



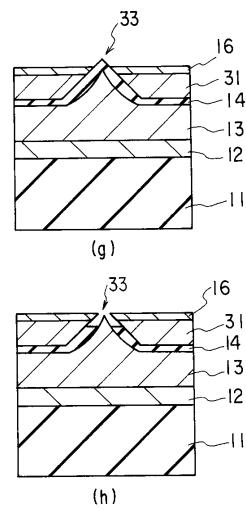
【図 4】



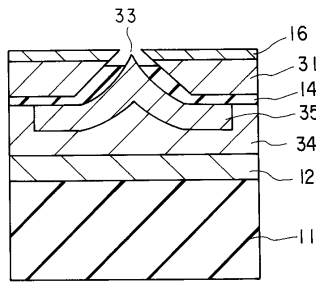
【図 5】



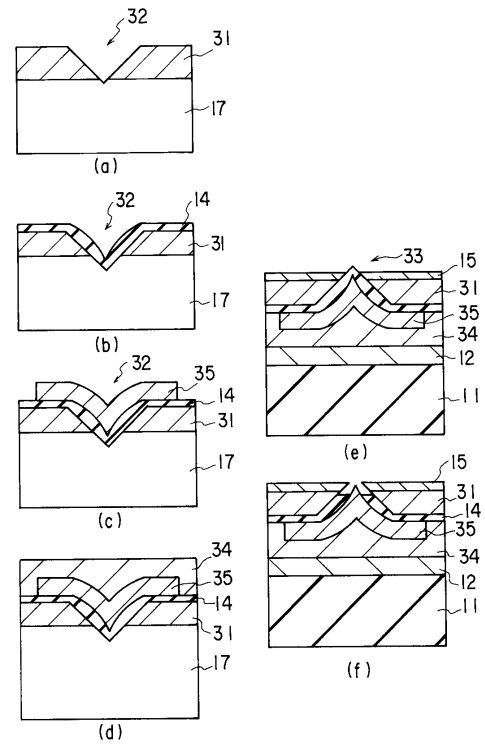
【図 6】



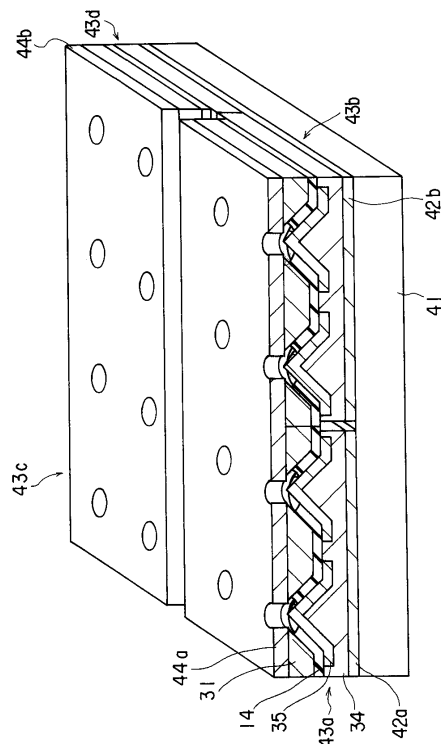
【図 7】



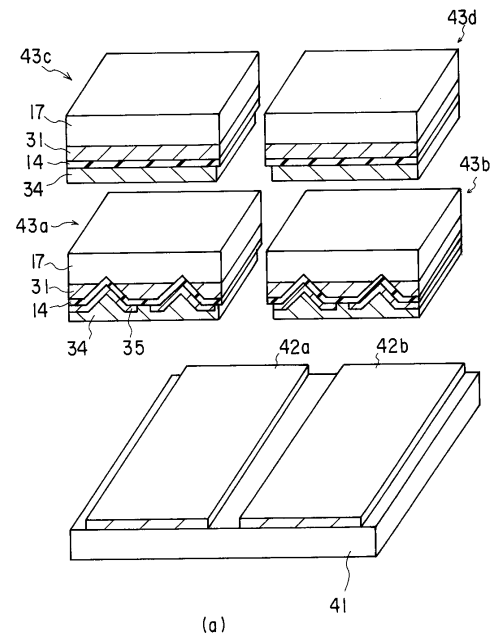
【図 8】



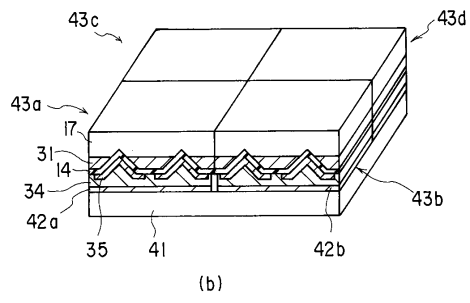
【図 9】



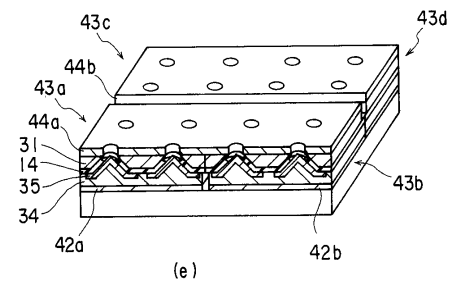
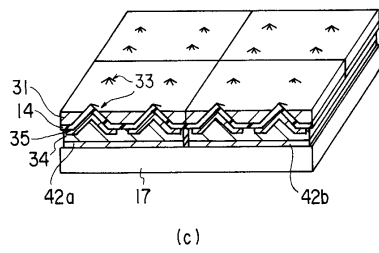
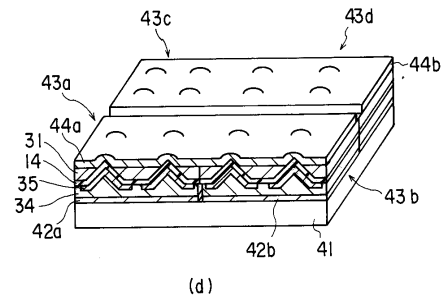
【図 10】



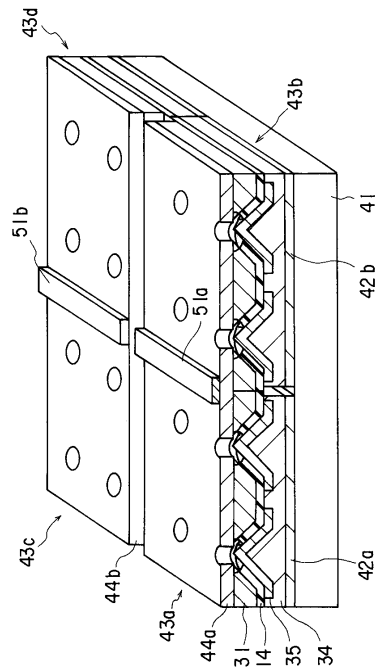
【図 1 1】



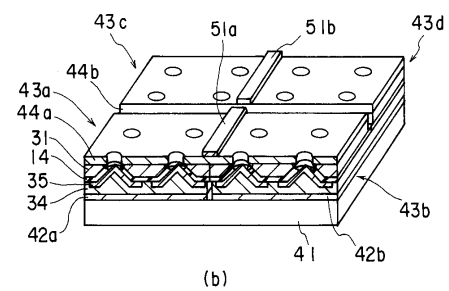
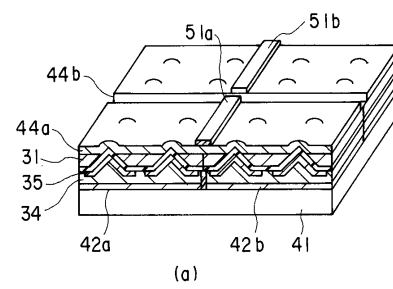
【図 1 2】



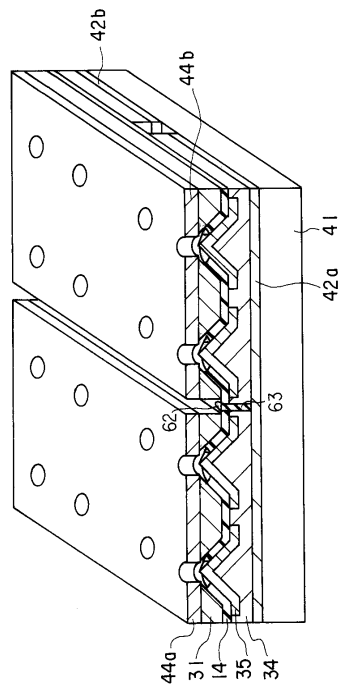
【図 1 3】



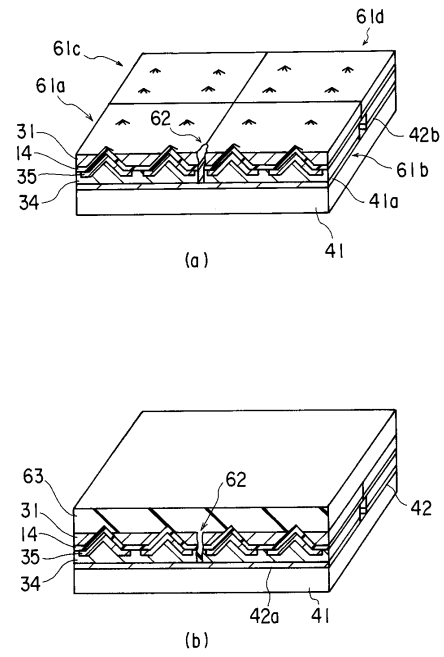
【図 1 4】



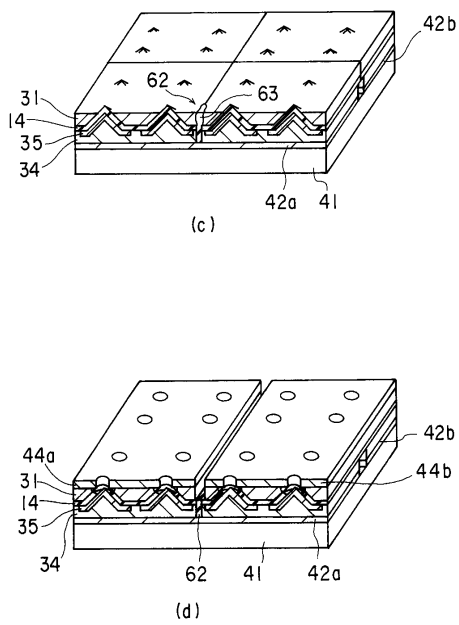
【図 15】



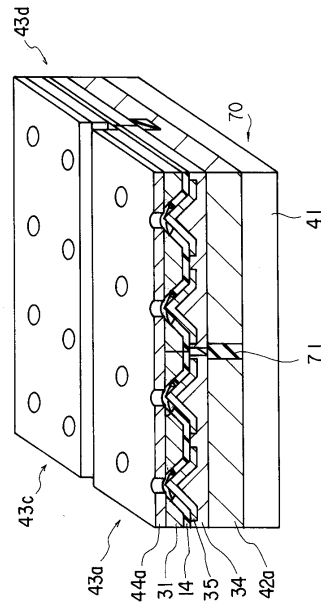
【図 16】



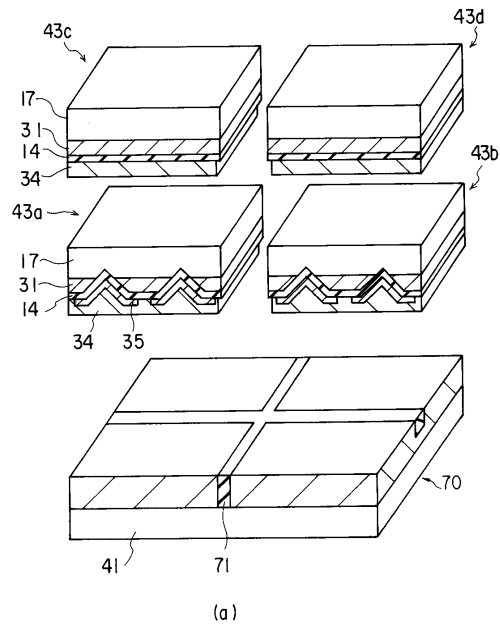
【図 17】



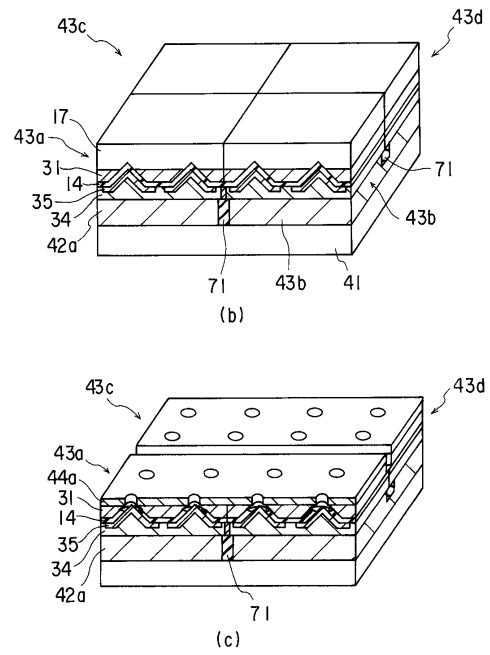
【図 18】



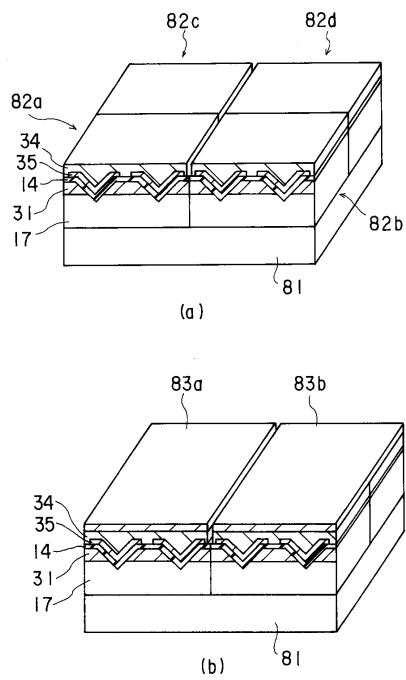
【図 19】



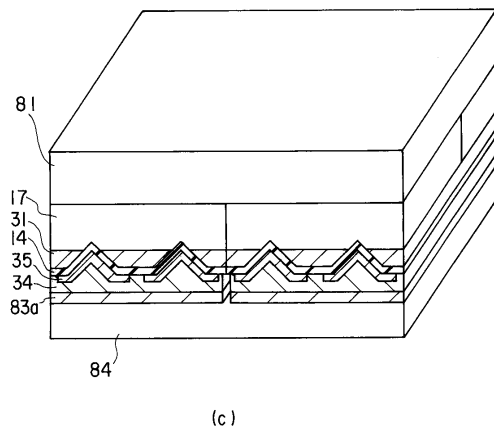
【図 20】



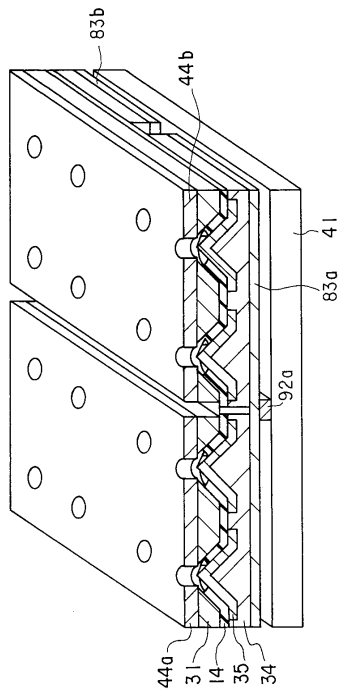
【図 21】



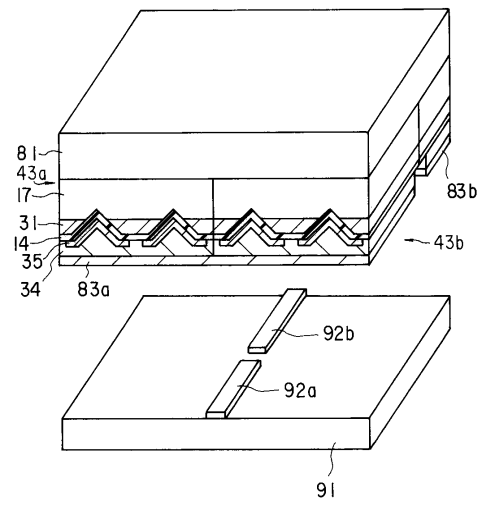
【図 22】



【図 2 3】



【図 2 4】



フロントページの続き

(72)発明者 中本 正幸

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

審査官 古屋野 浩志

(56)参考文献 特開平07-230943 (JP, A)

特開平04-343322 (JP, A)

特開平11-120944 (JP, A)

特開平7-134561 (JP, A)

特開昭57-208038 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01J 1/304

H01J 9/02

H01J 31/02

H01J 29/04