

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2010-73865
(P2010-73865A)

(43) 公開日 平成22年4月2日(2010.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8238 (2006.01)	H O 1 L 27/08 3 2 1 D	4 M 1 0 4
H O 1 L 27/092 (2006.01)	H O 1 L 29/78 3 0 1 G	5 F 0 4 8
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 0 1 B	5 F 1 4 0
H O 1 L 21/28 (2006.01)	H O 1 L 21/28 3 0 1 R	
H O 1 L 29/423 (2006.01)	H O 1 L 29/58 G	
審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2008-239200 (P2008-239200)	(71) 出願人	000003078
(22) 出願日	平成20年9月18日 (2008.9.18)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100077849
			弁理士 須山 佐一
		(74) 代理人	100113871
			弁理士 川原 行雄
		(74) 代理人	100124073
			弁理士 山下 聡
		(74) 代理人	100134223
			弁理士 須山 英明
		(72) 発明者	池野 大輔
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		最終頁に続く	

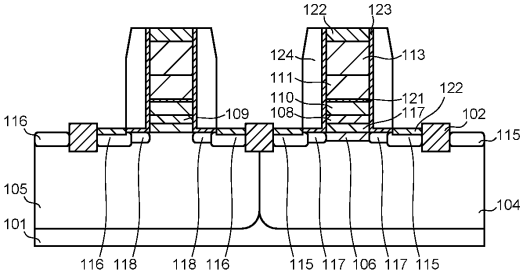
(54) 【発明の名称】 半導体装置、及び半導体装置の製造方法

(57) 【要約】

【課題】NMOSFET及びPMOSFET等のNMOS及びPMOSを有する半導体装置において、ゲート電極の実効仕事関数を、Siバンドギャップのmid-gap付近の値に安定的に設定することが可能な半導体装置及びその製造方法を提供する。

【解決手段】素子分離膜によって分離されてなる、p型拡散層及びn型拡散層を有する半導体基板と、前記半導体基板の、前記p型拡散層及びn型拡散層それぞれの上に形成されてなるゲート絶縁膜と、前記ゲート絶縁膜上に形成された金属膜を含むゲート電極と、前記ゲート絶縁膜と前記金属膜との界面に形成されたGe介在物と、前記金属膜上に形成されたシリコン含有層と、を具えるようにして半導体装置を構成する。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

素子分離膜によって分離されてなる、p 型拡散層及び n 型拡散層を有する半導体基板と、
前記半導体基板の、前記 p 型拡散層及び n 型拡散層それぞれの上に形成されてなるゲート絶縁膜と、
前記ゲート絶縁膜上に形成された金属膜を含むゲート電極と、
前記ゲート絶縁膜と前記金属膜との界面に形成された Ge 介在物と、
前記金属膜上に形成されたシリコン含有層と、
を具えることを特徴とする、半導体装置。

10

【請求項 2】

前記金属膜は Ge を含むことを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】

前記金属膜は、窒化チタン、炭化タンタル、窒化タンタル、及び珪窒化タンタルからなる群より選ばれる少なくとも一種であることを特徴とする、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

半導体基板内に素子分離膜を形成するとともに、前記素子分離膜の一方の側に p 型拡散層を形成し、前記素子分離膜の他方の側に n 型拡散層を形成する工程と、
前記半導体基板の、前記 p 型拡散層及び n 型拡散層それぞれの上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に金属膜を含むゲート電極を形成する工程と、
前記金属膜上に Ge 層を形成するとともに熱処理を実施して、前記 Ge 層中の Ge を前記ゲート絶縁膜と前記金属ゲート電極層との界面に拡散させて、Ge 介在物を形成する工程と、
前記金属膜上にシリコン含有層を形成する工程と、
を具えることを特徴とする、半導体装置の製造方法。

20

【請求項 5】

半導体基板内に素子分離膜を形成するとともに、前記素子分離膜の一方の側に p 型拡散層を形成し、前記素子分離膜の他方の側に n 型拡散層を形成する工程と、
前記半導体基板の、前記 p 型拡散層及び n 型拡散層それぞれの上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に金属膜を含むゲート電極を形成する工程と、
前記金属ゲート電極上に多結晶シリコンを堆積する工程と、
前記多結晶シリコン層に対して Ge イオン注入を行い、前記ゲート絶縁膜と前記金属膜との界面に Ge 介在物を形成する工程と、
前記金属膜上にシリコン含有層を形成する工程と、
を具えることを特徴とする、半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関し、特にシングルメタルゲート (Single metal gate) 構造を有する半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

大規模集積回路の微細化に伴いゲート絶縁膜の薄膜化が要求されている。32nm ノード以降の CMOS (Complementary Metal Oxide Semiconductor) では、ゲート絶縁膜に SiO₂ 換算膜厚で 0.9nm 以下の性能が必要となる。しかしながら、従来ゲート電極として用いられてきた多結晶 Si (Poly-Si) 電極では、その半導体特性よりゲートの空乏化が生じ、実効的なゲート絶縁膜厚を 0.3nm 程度増加させ、更なる絶縁膜厚の薄膜化

50

を阻害している。

【 0 0 0 3 】

従って、多結晶 Si のゲート空乏化抑制のため、メタルゲート電極の導入が求められている。メタルゲート電極には、トランジスタの閾値電圧(V_{th})低減のために、Si バンド端近傍の実効仕事関数(EWF)が求められている。具体的には、NMOSFET(N Channel Metal Oxide Semiconductor Field Effect Transistor)では、Si 伝導帯端(4.05eV)近傍の実効仕事関数が求められており、PMOSFET(P Channel Metal Oxide Semiconductor Field Effect Transistor)では、Si 価電子帯端(5.17eV)近傍の実効仕事関数が求められている。Si バンド端の実効仕事関数を実現させることで、 V_{th} が低減し所望のCMOSの駆動力を得ることが出来る。

10

【 0 0 0 4 】

一方、現在、電極構造は多結晶 Si /メタル構造をとっており、シリサイド工程により、多結晶 Si 上にニッケルシリサイドを形成し、コンタクト抵抗を低減している。また、メタルゲートはNMOSFETとPMOSFETとで同じ材料を用いるシングルメタルゲート(Single metal gate)技術を採用している。

【 0 0 0 5 】

したがって、実効仕事関数がSi 伝導帯端(4.05eV)に近接してしまうと、PMOSFETにおける閾値電圧が増大してしまい、逆に実効仕事関数がSi 価電子帯端(5.17eV)に近接してしまうと、NMOSFETにおける閾値電圧が増大してしまう。

【 0 0 0 6 】

かかる観点より、シングルメタルゲート技術においては、Si バンドギャップのmid-gap近傍の実効仕事関数(EWF)を持つゲート電極材料の使用を前提とし、これに対してNMOSFET及びPMOSFETにおける閾値電圧を下げるべく、種々の提案がなされている。

20

【 0 0 0 7 】

例えば、NMOSFETでは La_2O_3 (酸化ランタン)膜、PMOSFETではチャネルSiGe(シリコンゲルマニウム)層及び Al_2O_3 (酸化アルミニウム)を用いて、閾値電圧を低減させる技術が提案されている(非特許文献1~4参照)。実際に、 La_2O_3 を絶縁膜/Si基板界面に添加することによる0.5eV程度の実効仕事関数の低減を実現することができ、NMOSFETでの実効仕事関数をSi 伝導帯端(4.05eV)に近接させることができる。

30

【非特許文献1】Band-Edge High-Performance High-k/Metal Gate n-MOSFETs using Cap Layers Containing Group IIA and IIIB Elements with Gate-First Processing for 45 nm Beyond, V. Narayanan et al., Dig. Symp. VLSI Technology, 2006

【非特許文献2】Achieving Conduction Band-Edge Effective Work Functions by La2O3 Capping of Hafnium Silicates L-A. Ragnarsson et al., IEEE Electron Device Lett. 28 (2007)486

【非特許文献3】Dual High-k Gate Dielectric Technology Using Selective AlOx Etch (SAE) Process with Nitrogen and Fluorine Incorporation, H-S. Jung et al., Dig. Symp. VLSI Technology, 2006

40

【非特許文献4】Highly Manufacturing 45 nm LSTP CMOSFETs Using Novel Dual High-k and Dual Metal Gate CMOS Integration, B.C. Ju et al., Dig. Symp. VLSI Technology, 2006

【 0 0 0 8 】

また、チャネル部にSiGeを用い、絶縁膜/Si基板界面に Al_2O_3 を添加することによる0.5eV程度の実効仕事関数の増加がおり、PMOSFETの実効仕事関数をSi 価電子帯端(5.17eV)に近接させることができる。したがって、上述したシングルメタルゲート技術においても、閾値電圧の低減を図ることができる。

【 0 0 0 9 】

しかしながら、当初、適当なゲート電極材料を選択して、Si バンドギャップのmid-gap

50

p近傍の実効仕事関数を設定しても、特に、上述のようなシリサイド工程を行うために、多結晶Si/金属電極なる積層構造を形成すると、その実効仕事関数がmid-gapよりも0.2eV程度低い値になってしまうという問題がある。したがって、PMOSFETにおいて、上述のようなチャンネルSiGe層及びAl₂O₃膜を導入する技術を用いても、Si価電子帯端近傍のEWFが得られず、所望の閾値電圧の低減を図ることができないという問題がある。

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は、NMOSFET及びPMOSFET等のNMOS及びPMOSを有する半導体装置において、ゲート電極の実効仕事関数を、Siバンドギャップのmid-gap付近の値に安定的に設定することが可能な半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の一態様は、素子分離膜によって分離されてなる、p型拡散層及びn型拡散層を有する半導体基板と、前記半導体基板の、前記p型拡散層及びn型拡散層それぞれの上に形成されてなるゲート絶縁膜と、前記ゲート絶縁膜上に形成された金属膜を含むゲート電極と、前記ゲート絶縁膜と前記金属膜との界面に形成されたGe介在物と、前記金属膜上に形成されたシリコン含有層と、を具えることを特徴とする、半導体装置に関する。

【0012】

また、本発明の他の態様は、半導体基板内に素子分離膜を形成するとともに、前記素子分離膜の一方の側にp型拡散層を形成し、前記素子分離膜の他方の側にn型拡散層を形成する工程と、前記半導体基板の、前記p型拡散層及びn型拡散層それぞれの上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に金属膜を含むゲート電極を形成する工程と、前記金属膜上にGe層を形成するとともに熱処理を実施して、前記Ge層中のGeを前記ゲート絶縁膜と前記金属ゲート電極層との界面に拡散させて、Ge介在物を形成する工程と、前記金属膜上にシリコン含有層を形成する工程と、を具えることを特徴とする、半導体装置の製造方法に関する。

【0013】

さらに、本発明のその他の態様は、半導体基板内に素子分離膜を形成するとともに、前記素子分離膜の一方の側にp型拡散層を形成し、前記素子分離膜の他方の側にn型拡散層を形成する工程と、前記半導体基板の、前記p型拡散層及びn型拡散層それぞれの上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に金属膜を含むゲート電極を形成する工程と、前記金属ゲート電極上に多結晶シリコンを堆積する工程と、前記多結晶シリコン層に対してGeイオン注入を行い、前記ゲート絶縁膜と前記金属膜との界面にGe介在物を形成する工程と、前記金属膜上にシリコン含有層を形成する工程と、を具えることを特徴とする、半導体装置の製造方法に関する。

【発明の効果】

【0014】

上記態様によれば、NMOSFET及びPMOSFET等のNMOS及びPMOSを有する半導体装置において、ゲート電極の実効仕事関数を、Siバンドギャップのmid-gap付近の値に安定的に設定することが可能な半導体装置及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0015】

(第1の実施形態)

図1～図8は、第1の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。なお、本態様では、シングルメタルゲート型のトランジスタについて説明する。

10

20

30

40

50

【0016】

最初に、図1に示すように、例えばシリコンからなる半導体基板101を準備し、半導体基板101内にSTI構造の素子分離領域102及び犠牲酸化膜103、並びにN型拡散層104及びP型拡散層105を形成する。また、N型拡散層104及びP型拡散層105を覆うようにして犠牲酸化膜103を形成する。N型拡散層104は後にPMOSFETを構成し、P型拡散層105は後にNMOSFETを構成する。

【0017】

この後、レジストをマスクとして、 NH_4F 水溶液または希フッ酸を用いてN型拡散層104上の犠牲酸化膜103を除去する。その後、N型拡散層104領域に選択的にSiGeをエピタキシャル成長させ、チャンネルSiGe層106を形成後、Siを堆積する。また、P型拡散層105上の犠牲酸化膜103を NH_4F 水溶液または希フッ酸を用いて剥離した後、N及びP型拡散層領域に共にケミカルSiO₂膜(シリコン酸化膜)107を形成する(図2)。

10

【0018】

なお、シリコン酸化膜107は、界面準位の形成を抑制するためのものであり、最終的にトランジスタを構成した場合において、その電気特性、特に移動度の劣化を抑制する(向上させる)ことが可能となる。

【0019】

次いで、図3に示すように、シリコン酸化膜107上に、Al₂O₃膜108をALD法で全面に堆積し、レジストをマスクとしてP型拡散層105側のAl₂O₃膜108をエッチング除去する。次に、レジストの剥離後、La₂O₃膜109をPVD法で全面に堆積して、レジストをマスクとしてN型拡散層104側のLa₂O₃膜109をエッチング除去する。

20

【0020】

次いで、レジストの剥離後、図4に示すように、MOCVD法で2.5nmの膜厚のHfSiO(ハフニウム珪酸化膜)を全面に形成する。この後、窒素プラズマ雰囲気中で処理した後に熱処理を行って、HfSiON(ハフニウム珪酸窒化膜)110に改質し、ゲート絶縁膜とする。なお、前記ゲート絶縁膜としては、Hfを含むことが好ましく、上述したHfSiONの他に、HfO₂、HfSiO等を挙げることができる。その後、ゲート電極層を構成するTiN(窒化チタン)膜111をPVD法で成膜する。

30

【0021】

なお、前記ゲート絶縁膜がSiを含むことによって、Geが前記ゲート絶縁膜中に拡散するのを防止することができ、以下に説明するように、ゲート電極を構成する金属膜と前記ゲート絶縁膜との界面に、Ge介在物を制御性よく形成することができる。

【0022】

さらに、Siに加えてNを含むことにより、前記ゲート絶縁膜のバリア性がより向上し、Geが前記ゲート絶縁膜中に拡散するのをより効果的に防止することができ、上述したように、ゲート電極を構成する金属膜と前記ゲート絶縁膜との界面に、Ge介在物を制御性よく形成することができる。

【0023】

その後、図5に示すように、全面に多結晶Ge膜112をPVD法またはゲルマンを用いたCVD法によって堆積する。

40

【0024】

次いで、図6に示すように、多結晶シリコン(Poly-Si)膜(シリコン含有層)113を堆積し、ハードマスクを用いて、多結晶シリコン膜113、Ge膜112、TiN膜111、HfSiON膜110、N型拡散層104領域のAl₂O₃膜108、P型拡散層105領域のLa₂O₃膜109及びシリコン酸化膜107をRIE加工によってエッチングする。

【0025】

次いで、図7に示すように、全面にシリコン酸化膜あるいはシリコン窒化膜をCVD法

50

で堆積し、R I E法を用いてオフセットスペーサー 1 1 4を形成する。さらに、シリコン酸化膜あるいはシリコン窒化膜からなるサイドウォールスペーサー 1 2 0をC V D法及びR I E法で形成する。この後、レジストマスクを用いてBをN型拡散層 1 0 4に注入した後、同様にレジストマスクを用いてP型拡散層 1 0 5にPまたはAsをイオン注入し、熱処理を行うことにより、P型ソース・ドレイン拡散層 1 1 5とN型ソース・ドレイン拡散層 1 1 6とを形成する。

【0026】

この際、T i N膜 1 1 1上のG e層 1 1 2のG e原子がT i N膜 1 1 1中を拡散するとともに、T i N膜 1 1 1とH f S i O N膜 1 1 0との界面に到達し、G e介在物 1 2 1を形成する。なお、G e介在物 1 2 1は完全な層をなしている必要はなく、T i N膜 1 1 1の金属と結合している状態で介在していても良い。

10

【0027】

次いで、図8に示すように、サイドウォールスペーサー 1 2 0を除去した後に、レジストマスクを用いて、BをN型拡散層 1 0 4に注入した後、同様にレジストマスクを用いてP型拡散層 1 0 5にPまたはAsをイオン注入し、熱処理を行うことにより、P型エクステンション拡散層 1 1 7とN型エクステンション拡散層 1 1 8とを形成する。この後、C V D法及びR I E法でS i O₂膜 1 2 3とS i N膜 1 2 4からなる2層のサイドウォールスペーサーを形成する。次いで、ソース・ドレイン拡散層及び多結晶シリコン膜 1 1 3の表面に自己整合的にシリサイド膜 1 2 2を形成する。これによって目的とするシングルメタルゲート型のトランジスタを得ることができる。

20

【0028】

本態様では、T i N膜 1 1 1によってゲート電極（層）が構成される。

【0029】

なお、特に図示しないが、従来のトランジスタで用いられているように、層間絶縁膜の形成、コンタクトホールの開孔・埋め込み、配線形成等を行うことによって、半導体集積回路とすることができる。

【0030】

本態様では、H f S i O N膜 1 1 0からなるゲート絶縁膜と、T i N膜 1 1 1、多結晶シリコン膜 1 1 3及びシリサイド膜 1 2 2からなるゲート電極との間にG e介在物 1 2 1が形成されている。したがって、前記ゲート電極の実効仕事関数をS iバンドギャップのmid-gap付近の値に安定的に設定することが可能となる。

30

【0031】

また、N型拡散層 1 0 4に形成されたL a₂O₃膜 1 0 9により、N型拡散層 1 0 4の実効仕事関数、すなわちN M O S F E Tの実効仕事関数を0.5 e V程度低減させることができるので、N M O S F E Tの実効仕事関数をS i伝導帯端(4.05 e V)に近接させることができる。さらに、P型拡散層 1 0 5に形成されたチャネルS i G e層 1 0 6及びA l₂O₃ 1 0 8により、P型拡散層 1 0 5の実効仕事関数、すなわちP P M O S F E Tの実効仕事関数をS i価電子帯端(5.17 e V)に近接させることができる。結果として、得られたトランジスタの閾値電圧を十分かつ安定的に低減することができるようになる。

40

【0032】

なお、G e介在物 1 2 2の存在によって前記ゲート電極の実効仕事関数をmid-gap付近の値に安定的に設定することができる理由については、以下のように考えることができる。すなわち、上述の製造方法から明らかなように、ゲート電極はT i N膜 1 1 1の他に、シリサイド膜 1 2 2を形成するための多結晶シリコン膜 1 1 3を含むようになる。しかしながら、多結晶シリコン膜 1 1 3は、例えばソース・ドレイン拡散層を形成する際の熱処理によって、その構成元素が拡散してT i N膜 1 1 1とH f S i O N膜 1 1 0との界面に拡散してしまう。

【0033】

一方、本態様では、T i N膜 1 1 1とH f S i O N膜 1 1 0との間に、G e介在物 1 2 1が存在しているので、上述したシリコン元素の、T i N膜 1 1 1とH f S i O N膜 1 1

50

0との間への拡散が抑制される。この結果、前記ゲート電極の実効仕事関数をmid-gap付近の値に安定的に設定することができるものと考えられる。

【0034】

換言すれば、ゲート電極の実効仕事関数のmid-gap付近からの変動は、多結晶シリコン膜113からのTiN膜111及びHfSiON膜110間の界面へのシリコン元素の拡散が原因であって、本態様では、Ge介在物121の存在によって上記シリコン元素の拡散が抑制されるために、ゲート電極の実効仕事関数をmid-gap付近に安定的に保持できるものと考えられる。

【0035】

なお、本態様では、ゲート電極を構成する金属膜をTiN膜から構成したが、本態様の作用効果は、TiN膜以外の、炭化タンタル(TaC)膜、窒化タンタル(TaN)膜、及び珪窒化タンタル(TaSiN)膜の場合にも同様に得ることができる。

【0036】

また、Ge介在物121を形成する際に、Ge層112から拡散したGe元素がTiN膜111中に残存することが好ましい。これによって、ゲート電極の実効仕事関数をmid-gap付近により安定的に保持できる。これは、多結晶シリコン膜113からのシリコン元素の拡散が、Ge介在物121のみならず、TiN膜111においても抑制されるためと考えられる。

【0037】

(第2の実施形態)

図9及び図10は、第2の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。なお、本態様でも、シングルメタルゲート型のトランジスタについて説明する。また、第1の実施形態と同一あるいは類似の構成要素に関しては、同一の参照数字を用いている。

【0038】

最初に、第1の実施形態における図1～4に示す工程に従って、半導体基板101内にSTI構造の素子分離領域102及び犠牲酸化膜103、並びにN型拡散層104及びP型拡散層105を形成する。また、N型拡散層104及びP型拡散層105を覆うようにして犠牲酸化膜103を形成する。次いで、レジストをマスクとして、 NH_4F 水溶液または希フッ酸を用いてN型拡散層104上の犠牲酸化膜103を除去し、N型拡散層104領域に選択的にSiGeをエピタキシャル成長させ、チャンネルSiGe層106を形成後、Siを堆積する。

【0039】

また、P型拡散層104上の犠牲酸化膜103を NH_4F 水溶液または希フッ酸を用いて剥離した後、N及びP型拡散層領域に共にケミカル SiO_2 膜(シリコン酸化膜)107を形成し、 Al_2O_3 膜108をALD法で全面に堆積して、レジストをマスクとしてP型拡散層105側の Al_2O_3 膜108をエッチング除去する。次に、レジストの剥離後、 La_2O_3 膜109をPVD法で全面に堆積して、レジストをマスクとしてN型拡散層104側の La_2O_3 膜109をエッチング除去する。

【0040】

次いで、レジストの剥離後、図4に示すように、MOCVD法で2.5nmの膜厚のHfSiO(ハフニウム珪酸化膜)を全面に形成する。この後、窒素プラズマ雰囲気中で処理した後に熱処理を行って、HfSiON膜(ハフニウム珪酸窒化膜)110に改質し、ゲート絶縁膜とする。その後、TiN(窒化チタン)膜111をPVD法で成膜する。

【0041】

次いで、図9に示すように、TiN膜111の全面に多結晶シリコン膜113を堆積し、次いで、多結晶シリコン膜113の上方からGeイオン注入を行い、TiN膜111とHfSiON膜(ハフニウム珪酸窒化膜)110との界面にGe介在物121を形成する。本態様でも、Ge介在物121は完全な層をなしている必要はなく、TiN膜111の金属と結合している状態で介在していても良い。

10

20

30

40

50

【0042】

その後、第1の実施形態の、図6～図8の工程に従い、多結晶シリコン膜113、TiN膜111、Ge介在物121、HfSiON膜110、N型拡散層104の Al_2O_3 膜108、P型拡散層105の La_2O_3 膜109及びシリコン酸化膜107をRIE加工によってエッチングし、スペーサー114及び120を形成してP型ソース・ドレイン拡散層115とN型ソース・ドレイン拡散層116とを形成する。

【0043】

次いで、スペーサー120を除去した後に、P型エクステンション拡散層117とN型エクステンション拡散層118とを形成し、サイドウォールスペーサーを形成した後、ソース・ドレイン拡散層及び多結晶シリコン膜113の表面に自己整合的にシリサイド膜122を形成する。これによって目的とするシングルメタルゲート型のトランジスタを得ることができる。

10

【0044】

本態様では、TiN膜111によってゲート電極(層)が構成される。

【0045】

本態様でも、HfSiON膜110からなるゲート絶縁膜と、TiN膜111、多結晶シリコン膜113及びシリサイド膜122からなるゲート電極との間にGe介在物122が形成されているので、前記ゲート電極の実効仕事関数をSiバンドギャップのmid-gap付近の値に安定的に設定することが可能となる。

20

【0046】

また、N型拡散層104に形成された La_2O_3 膜109により、N型拡散層104の実効仕事関数、すなわちNMOSFETの実効仕事関数を0.5eV程度低減させることができるので、NMOSFETの実効仕事関数をSi伝導帯端(4.05eV)に近接させることができる。さらに、P型拡散層105に形成されたチャネルSiGe層106及び Al_2O_3 108により、P型拡散層105の実効仕事関数、すなわちPPMOSFETの実効仕事関数をSi価電子帯端(5.17eV)に近接させることができる。結果として、得られたトランジスタの閾値電圧を十分かつ安定的に低減することができるようになる。

【0047】

なお、Ge介在物121の存在によって前記ゲート電極の実効仕事関数をmid-gap付近の値に安定的に設定することができる理由については、第1の実施形態と同様である。

30

【0048】

また、本態様でも、ゲート電極を構成する金属膜をTiN膜から構成したが、本態様の作用効果は、TiN膜以外の、炭化タンタル(TaC)膜、珪化タンタル(TaSi₂)膜、及び珪窒化タンタル(TaSiN)膜の場合にも同様に得ることができる。

【0049】

さらに、Ge介在物121を形成する際に、Geイオン注入を実施した際のGeイオンがTiN膜111中に残存することが好ましい。これによって、ゲート電極の実効仕事関数をmid-gap付近により安定的に保持できる。これは、第1の実施形態同様に、多結晶シリコン膜113からのシリコン元素の拡散が、Ge介在物121のみならず、TiN膜111においても抑制されるためと考えられる。

40

【0050】

(第3の実施形態)

上記第1の実施形態で得たトランジスタ構造に関して、RBS(ラザフォード後方散乱)測定を行った。結果を図11に示す。図11から明らかなように、GeがTiN膜111中に拡散しているとともに、TiN膜111及びHfSiON膜110の界面に偏析して、Ge介在物となっていることが分かる。

【0051】

以上、本発明を上記具体例に基づいて詳細に説明したが、本発明は上記具体例に限定されるものではなく、本発明の範疇を逸脱しない限りにおいて、あらゆる変形や変更が可能である。

50

【 0 0 5 2 】

例えば、上記態様では、ソース・ドレイン領域を形成した後に、サイドウォールスペーサーを除去してエクステンション拡散層 1 1 7 及び 1 1 8 を形成したが、オフセットスペーサーを形成直後にエクステンション領域を形成し、その後、サイドウォールスペーサーを形成してからソース・ドレイン領域を形成しても同様に本発明を実施することができる。

【 図面の簡単な説明 】

【 0 0 5 3 】

【 図 1 】 第 1 の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。

10

【 図 2 】 同じく、第 1 の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。

【 図 3 】 同じく、第 1 の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。

【 図 4 】 同じく、第 1 の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。

【 図 5 】 同じく、第 1 の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。

【 図 6 】 同じく、第 1 の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。

20

【 図 7 】 同じく、第 1 の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。

【 図 8 】 同じく、第 1 の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。

【 図 9 】 第 2 の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。

【 図 1 0 】 同じく、第 2 の実施形態における半導体装置の製造方法の一例における工程を示す断面図である。

【 図 1 1 】 実施例における RBS (ラザフォード後方散乱) 測定における結果を示すグラフである。

30

【 符号の説明 】

【 0 0 5 4 】

- 1 0 1 半導体基板
- 1 0 2 素子分離領域
- 1 0 3 犠牲酸化膜
- 1 0 4 N 型拡散層
- 1 0 5 P 型拡散層
- 1 0 6 S i G e 層
- 1 0 7 ケミカル S i O ₂ 膜 (シリコン酸化膜)
- 1 0 8 A l ₂ O ₃ 膜
- 1 0 9 L a ₂ O ₃ 膜
- 1 1 0 H f S i O N 膜
- 1 1 1 T i N 膜
- 1 1 2 G e 膜
- 1 1 3 多結晶シリコン膜
- 1 1 4 オフセットスペーサー
- 1 1 5 P 型ソース・ドレイン拡散層
- 1 1 6 N 型ソース・ドレイン拡散層
- 1 1 7 P 型エクステンション拡散層
- 1 1 8 N 型エクステンション拡散層

40

50

1 2 0 サイドウォールスペーサー

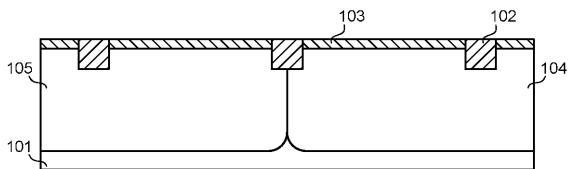
1 2 1 Ge 介在物

1 2 2 シリサイド膜

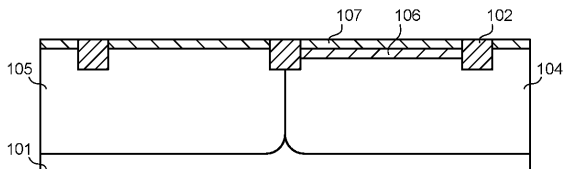
1 2 3 2 層のサイドウォールスペーサーを構成する SiO_2 膜

1 2 4 2 層のサイドウォールスペーサーを構成する SiN 膜

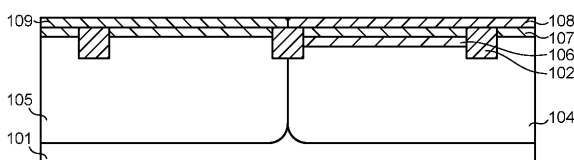
【 図 1 】



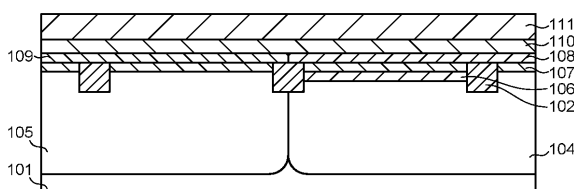
【 図 2 】



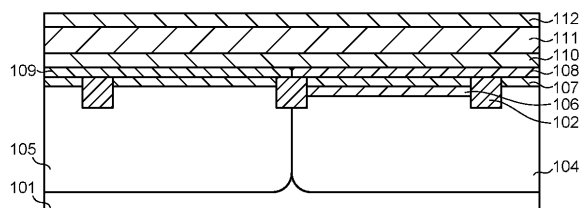
【 図 3 】



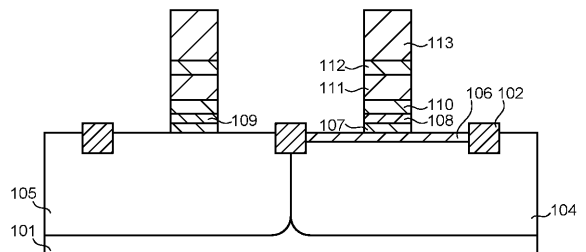
【 図 4 】



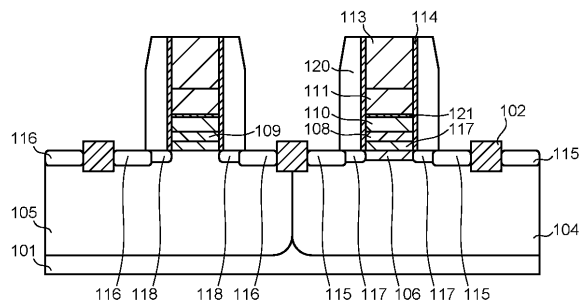
【 図 5 】



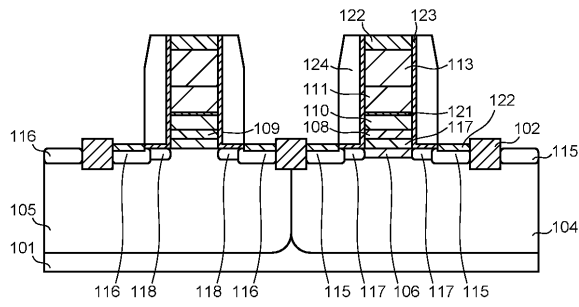
【 図 6 】



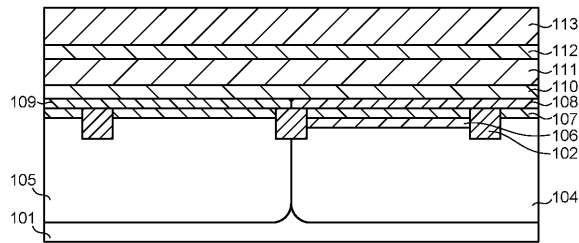
【 図 7 】



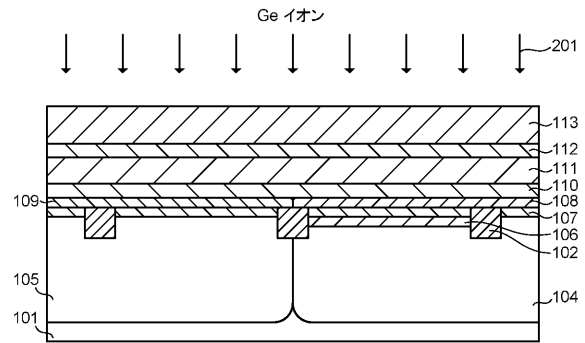
【図 8】



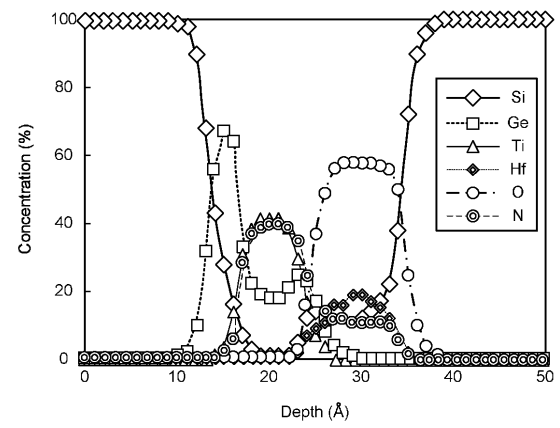
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/49 (2006.01) H 0 1 L 27/08 3 2 1 C

(72)発明者 青山 知憲
 東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 中嶋 一明
 東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 犬宮 誠治
 東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 清水 敬
 東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 小林 琢也
 東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 4M104 AA01 BB27 BB30 BB32 BB34 BB36 BB39 CC05 DD04 DD33
 DD55 DD65 DD78 DD84 EE03 EE14 EE16 FF13 FF16 GG09
 GG10 GG14 HH20
 5F048 AA07 AC03 BA01 BA14 BB05 BB08 BB09 BB10 BB11 BB13
 BB17 BC06 BD09 BD10 BE03 BF06 BG13 DA25 DA27 DA30
 5F140 AA06 AB03 BA01 BA05 BC13 BD02 BD04 BD05 BD11 BD13
 BE03 BE10 BE17 BF03 BF04 BF10 BF13 BF14 BF20 BF21
 BF22 BF24 BF28 BF38 BG09 BG12 BG14 BG27 BG30 BG32
 BG34 BG38 BG44 BG52 BG53 BG54 BH14 BH27 BJ01 BJ08
 BK03 BK13 BK18 BK21 BK34 CB04 CB08 CF04