



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I849521 B

(45)公告日：中華民國 113 (2024) 年 07 月 21 日

(21)申請案號：111138125 (22)申請日：中華民國 111 (2022) 年 10 月 07 日

(51)Int. Cl. : **G11C11/417 (2006.01)** **G11C16/12 (2006.01)**
G11C16/14 (2006.01)

(30)優先權：2021/11/08 美國 63/276,842
2022/01/26 美國 17/585,261
2022/02/01 世界智慧財產權組織 PCT/US22/14744

(71)申請人：美商超捷公司 (美國) SILICON STORAGE TECHNOLOGY, INC. (US)
美國

(72)發明人：陳 曉萬 TRAN, HIEU VAN (US)；李 英 LY, ANH (US)；阮 卡 NGUYEN, KHA (VN)；范 賢 PHAM, HIEN (VN)；阮 德 NGUYEN, DUC (VN)

(74)代理人：賴經臣；宿希成

(56)參考文獻：

US	5812463A	US	6072358A
US	6696880B2	US	7339832B2
US	7460411B2		

審查人員：陳俊達

申請專利範圍項數：12 項 圖式數：15 共 43 頁

(54)名稱

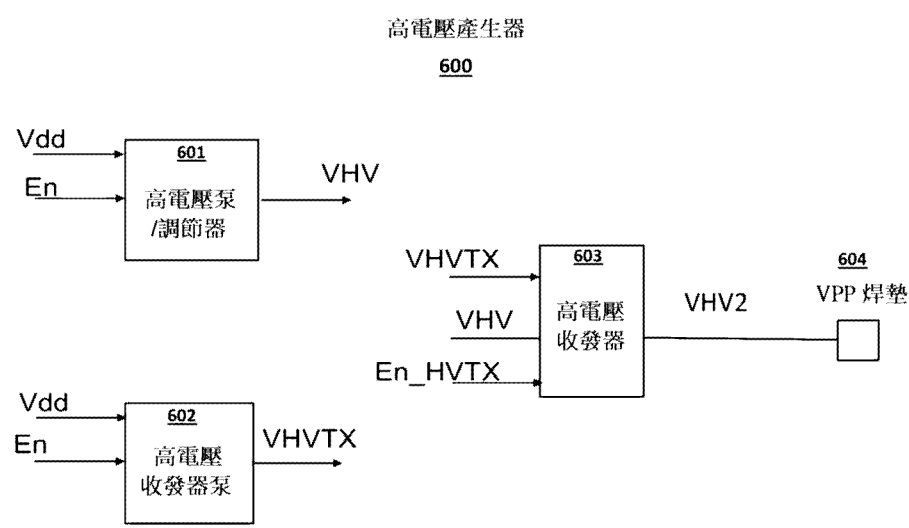
針對非揮發性記憶體系統中的抹除或程式化操作提供高電壓的收發器

(57)摘要

揭露用於在非揮發性記憶體系統中的抹除或程式化操作期間提供高電壓以供使用的收發器之多個具體例。在一個具體例中，收發器包括 PMOS 電晶體及原生 NMOS 電晶體。在另一個具體例中，收發器包括 PMOS 電晶體、NMOS 電晶體及原生 NMOS 電晶體。

Numerous embodiments of a transceiver for providing high voltages for use during erase or program operations in a non-volatile memory system are disclosed. In one embodiment, a transceiver comprises a PMOS transistor and a native NMOS transistor. In another embodiment, a transceiver comprises a PMOS transistor, an NMOS transistor, and a native NMOS transistor.

指定代表圖：



符號簡單說明：

- 600:高電壓產生器
- 601:高電壓泵及調節器
- 602:高電壓收發器泵
- 603:高電壓收發器
- 604:焊墊

【圖6】



公告本

I849521

【發明摘要】

【中文發明名稱】 針對非揮發性記憶體系統中的抹除或程式化操作
提供高電壓的收發器

【英文發明名稱】 TRANSCIEVER FOR PROVIDING HIGH
VOLTAGES FOR ERASE OR PROGRAM OPERATIONS IN A NON-
VOLATILE MEMORY SYSTEM

【中文】

揭露用於在非揮發性記憶體系統中的抹除或程式化操作期間提供高電壓以供使用的收發器之多個具體例。在一個具體例中，收發器包括PMOS電晶體及原生NMOS電晶體。在另一個具體例中，收發器包括PMOS電晶體、NMOS電晶體及原生NMOS電晶體。

【英文】

Numerous embodiments of a transceiver for providing high voltages for use during erase or program operations in a non-volatile memory system are disclosed. In one embodiment, a transceiver comprises a PMOS transistor and a native NMOS transistor. In another embodiment, a transceiver comprises a PMOS transistor, an NMOS transistor, and a native NMOS transistor.

【指定代表圖】 圖6

【代表圖之符號簡單說明】

600:高電壓產生器

601:高電壓泵及調節器

602:高電壓收發器泵

603:高電壓收發器

604:焊墊

【發明說明書】

【中文發明名稱】 針對非揮發性記憶體系統中的抹除或程式化操作提供高電壓的收發器

【英文發明名稱】 TRANSCEIVER FOR PROVIDING HIGH VOLTAGES FOR ERASE OR PROGRAM OPERATIONS IN A NON-VOLATILE MEMORY SYSTEM

【技術領域】

【0001】 本申請案請求2021年11月8日申請之發明名稱為「用於非揮發性記憶體系統的高電壓收發器」的美國臨時專利申請案第63/276,842 號及2022年1月26日申請之發明名稱為「針對非揮發性記憶體系統中的抹除或程式化操作提供高電壓的收發器」的美國專利申請案第17/585,261 號的優先權。

【0002】 揭露針對非揮發性記憶體系統中的抹除或程式化操作提供高電壓的收發器之多個具體例。

【先前技術】

【0003】 非揮發性記憶體係眾所周知的。例如，通過引用併入本文的美國專利第5,029,130號(「'130專利」)揭露一種分離式閘極非揮發性記憶體單元陣列(快閃記憶體單元的類型)。這樣的記憶體單元110顯示在圖1中。每個記憶體單元110包括在半導體基板12中形成之源極區域14及汲極區域16，並且在其間具有通道區域18。浮動閘極20形成在通道區域18的第一部分上方且與其絕緣(並控制其導電性)，並且形成在源極區域

14的一部分上方。字元線端子22(通常耦接至字元線)具有第一部分及第二部分，第一部分設置在通道區域18的第二部分上方且與其絕緣(並控制其導電性)，而第二部分向上延伸並在浮動閘極20上方。浮動閘極20及字元線端子22藉由閘極氧化物與基板12絕緣。位元線24耦接至汲極區域16。

【0004】 藉由在字元線端子22上施加高正電壓來抹除記憶體單元110(其中從浮動閘極移除電子)，這導致浮動閘極20上的電子藉由富爾-諾罕穿隧(Fowler-Nordheim tunneling)從浮動閘極20隧穿中間絕緣體至字元線端子22。

【0005】 藉由在字元線端子22上施加正電壓及在源極區域14上施加正電壓通過用熱電子進行源極側注入(SSI)來程式化記憶體單元110(其中在浮動閘極上放置電子)。電子流將從汲極區域16流向源極區域14。當電子到達字元線端子22與浮動閘極20之間の間隙時，電子將加速並變熱。由於來自浮動閘極20的靜電吸引力，一些加熱的電子將通過閘極氧化物被注入至浮動閘極20上。

【0006】 藉由在汲極區域16及字元線端子22上施加正讀取電壓(這會導通在字元線端子下方之通道區域18的部分)來讀取記憶體單元110。如果浮動閘極20帶正電(亦即，被抹除電子)，則浮動閘極20下方之通道區域18的部分亦導通，並且電流將流過通道區域18，因而被感測為抹除狀態或狀態「1」。如果浮動閘極20帶負電(亦即，用電子來程式化)，則浮動閘極20下方之通道區域的部分大部分或完全截止，並且電流不會

流過(或者只有少量流過)通道區域18，因而被感測為程式化狀態或狀態「0」。

【0007】 表1描繪可以施加至記憶體單元110的端子以執行讀取、抹除及程式化操作的典型電壓及電流範圍：

表1：圖1的快閃記憶體單元110之操作

	WL	BL	SL
讀取	2-3 V	0.6-2 V	0 V
抹除	~11-13 V	0 V	0 V
程式化	1-2 V	10.5-3 μ A	9-10 V

【0008】 其它類型的快閃記憶體單元之其它分離式閘極記憶體單元組態係已知的。

【0009】 例如，圖2描繪4閘極記憶體單元210，其包括源極區域14、汲極區域16、在通道區域18的第一部分上方之浮動閘極20、在通道區域18的第二部分上方之選擇閘極22(通常耦接至字元線WL)、在浮動閘極20上方之控制閘極28以及在源極區域14上方之抹除閘極30。這種組態被描述在通過引用併入本文的美國專利第6,747,310號中。這裡，除浮動閘極20外，所有其它閘極皆是非浮動閘極，這意味著它們電連接或可電連接至電壓源。藉由將加熱的電子從通道區域18注入至浮動閘極20上來執行程式化。藉由電子從浮動閘極20隧穿至抹除閘極30來執行抹除。

【0010】 表2描繪可以施加至記憶體單元210的端子以執行讀取、抹除及程式化操作的典型電壓及電流範圍：

表2：圖2的快閃記憶體單元210之操作

	WL/SG	BL	CG	EG	SL
讀取	1.0-2V	0.6-2V	0-2.6V	0-2.6V	0V
抹除	-0.5V/0V	0V	0V/-8V	8-12V	0V
程式化	1V	0.1-1μA	8-11V	4.5-9V	4.5-5V

【0011】 圖3描繪3閘極記憶體單元310，其為另一種類型的快閃記憶體單元。除記憶體單元310不具有單獨的控制閘極外，記憶體單元310與圖2的記憶體單元210相同。除沒有施加控制閘極偏壓外，抹除操作(從而藉由抹除閘極的使用來抹除)及讀取操作相似於圖2的記憶體單元210之操作。程式化操作亦在沒有控制閘極偏壓的情況下完成，結果，在程式化操作期間必須在源極線上施加較高電壓，以補償控制閘極偏壓的缺少。

【0012】 表3描繪可以施加至記憶體單元310的端子的典型電壓及電流範圍，用以執行讀取、抹除及程式化操作：

表3：圖3的快閃記憶體單元310之操作

	WL/SG	BL	EG	SL
讀取	0.7-2.2V	0.6-2V	0-2.6V	0V
抹除	-0.5V/0V	0V	11.5V	0V
程式化	1V	0.2-3μA	4.5V	7-9V

【0013】 圖4描繪堆疊式閘極記憶體單元410，其為另一種類型的快閃記憶體單元。除浮動閘極20在整個通道區域18上方延伸及控制閘極22(在此將耦接至字元線)在浮動閘極20上方延伸且以絕緣層(未顯示)隔開外，記憶體單元410相似於圖1的記憶體單元110。抹除是藉由電子從FG至基板的FN穿隧來完成，程式化是藉由電子從源極區域14流向汲極

區域16及藉由在通道18與汲極區域16之間的區域處進行通道熱電子(CHE)注入來完成，以及讀取操作類似於圖1的記憶體單元110之讀取操作且具有較高的控制閘極電壓。

【0014】 表4描繪可以施加至記憶體單元410的端子及基板12的典型電壓範圍，用以在記憶體單元410上執行讀取、抹除及程式化操作：

表4：圖4的快閃記憶體單元410之操作

	CG	BL	SL	基板
讀取	2-5V	0.6 – 2V	0V	0V
抹除	-8至-10V/0V	FLT	FLT	8-10V / 15-20V
程式化	8-12V	3-5V	0V	0V

【0015】 其它非揮發性記憶體單元係已知的，例如， FINFET分離式閘極快閃或疊堆式閘極快閃記憶體、NAND快閃記憶體、SONOS(矽-氧化物-氮化物-氧化物-矽，氮化物中的電荷捕捉)、MONOS(金屬-氧化物-氮化物- 氧化物-矽，氮化物中的金屬電荷捕捉)、ReRAM(電阻式RAM)、PCM(相變化記憶體)、MRAM(磁性 RAM)、FeRAM(鐵電式RAM)、CT(電荷捕捉)記憶體、CN(碳管)記憶體、OTP(二階或多階一次可程式)及CeRAM(相關電子RAM)。

【0016】 如上所示，非揮發性記憶體系統通常需要用於程式化及抹除操作之高電壓(例如，高於非揮發性記憶體陣列之諸如3.3V或5.0V的核心電壓Vdd之電壓)。在習知技藝中存在許多用於在程式化或抹除操作期間產生這樣的高電壓並將它們提供給適當的記憶體單元端子之技術。這些技術有時利用高電壓產生及收發器電路。高電壓產生及收發器電路在非揮發性記憶體系統中消耗大量功率。

【0017】 需要一種比習知技藝電路消耗更少功率之改進的高電壓產生及收發器電路。

【發明內容】

【0018】 揭露用於在非揮發性記憶體系統中之抹除或程式化操作期間提供高電壓以供使用之收發器的多個具體例。在一個具體例中，收發器包括PMOS電晶體及原生NMOS電晶體。在另一個具體例中，收發器包括PMOS電晶體、NMOS電晶體及原生NMOS電晶體。

【圖式簡單說明】

【0019】 圖1描繪習知技藝的分離式閘極快閃記憶體單元。

【0020】 圖2描繪另一個習知技藝的分離式閘極快閃記憶體單元。

【0021】 圖3描繪另一個習知技藝的分離式閘極快閃記憶體單元。

【0022】 圖4描繪另一個習知技藝的分離式閘極快閃記憶體單元。

【0023】 圖5描繪非揮發性記憶體系統。

【0024】 圖6描繪實例高電壓產生器。

【0025】 圖7描繪另一個實例高電壓產生器。

【0026】 圖8A描繪高電壓收發器。

【0027】 圖8B描繪強制-感測高電壓收發器。

【0028】 圖9描繪另一個實例高電壓收發器。

【0029】 圖10描繪實例高電壓位準移位器。

【0030】 圖11描繪另一個實例高電壓位準移位器。

【0031】 圖12描繪實例高電壓收發器電荷泵。

【0032】 圖13描繪實例高電壓收發器調節器。

【0033】 圖14描繪實例電荷泵級。

【0034】 圖15描繪包含高電壓收發器的非揮發性記憶體系統。

【實施方式】

【0035】 圖5描繪非揮發性記憶體系統500。非揮發性記憶體系統500包括陣列501、列解碼器502、高電壓解碼器503、行解碼器504、位元線驅動器505、控制邏輯506、偏壓產生器507、感測放大器508及高電壓產生器509。

【0036】 陣列501包括排列成列與行的複數個非揮發性記憶體單元。例如，每個非揮發性記憶體單元可以是圖1中的記憶體單元110、圖2中的記憶體單元210、圖3中的記憶體單元310、圖4中的記憶體單元410或任何其它類型的非揮發性記憶體單元。

【0037】 列解碼器502選擇陣列501中的一列或多列用於程式化、抹除或讀取操作。

【0038】 高電壓解碼器503在程式化或抹除操作期間將高電壓耦接至陣列501中的一列或多列。

【0039】 行解碼器504耦接至陣列501中的所有行且包括用於在讀取、程式化或抹除操作期間選擇陣列501中的一行或多行的多工器。

【0040】 位元線驅動器505在程式化或抹除操作期間提供電壓至一被選的行或多被選的行。

【0041】 控制邏輯506實施讀取、程式化或抹除操作。

【0042】 偏壓產生器507產生讀取、程式化及抹除操作所需的低電壓(例如，小於或等於非揮發性記憶體系統500的核心電壓V_{dd}之電壓)。

高電壓產生器509經由高電壓解碼器503產生程式化及抹除操作所需的高電壓(例如，大於核心電壓Vdd的電壓)。

【0043】 感測放大器508在讀取操作期間感測在一被選行的一被選單元中儲存的數值。

【0044】 與習知技藝的高電壓產生器相比，以下具體例可以在高電壓產生器509中使用以減少高電壓產生器509所需的電源及/或減少高電壓產生器509所需的總功率。

【0045】 圖6描繪高電壓產生器600，其包括高電壓泵及調節器601、高電壓收發器泵602、高電壓收發器603以及焊墊604。

【0046】 高電壓泵及調節器601接收電源電壓Vdd及致能信號En，並且根據程式化或抹除操作所需產生高電壓VHV，高電壓VHV比Vdd還高(例如，電壓VHV係在4V至13V範圍內的電壓，但不限於此)。高電壓泵及調節器601可以包括例如一個或多個電荷泵、調節器及/或一個或多個高電壓位準移位器。

【0047】 高電壓收發器(HV TX)泵602接收電源電壓Vdd及致能信號En，並且根據高電壓收發器603的操作所需產生高電壓VHVTX，高電壓VHVTX係比Vdd還高的電壓，例如，VHVTX係在6V至15V的範圍內，但不限於此。通常選擇 VHVTX 大於VHV。

【0048】 高電壓收發器泵602可以包括例如一個或多個電荷泵及/或一個或多個高電壓位準移位器。

【0049】 高電壓收發器603接收高電壓VHV及VHVTX以及高電壓收發器致能信號En_HV TX並在VPP焊墊604上可控地輸出高電壓

VHV2(高電壓VHV2可選擇地等於高電壓VHV或VHVTX減去高電壓收發器603內遭受的任何臨界電壓降)，或者在VPP焊墊604上接收外部高電壓並在內部VHV節點上輸出那個電壓以供內部使用。例如在製造時執行的各種電壓應力測試(例如，氧化物應力測試)期間，需要在VPP焊墊604上接收外部高壓並在內部VHV節點上輸出那個電壓，以篩選陣列501或控制邏輯506中的缺陷。VPP焊墊604係HV電端子(例如，HV 焊墊或接腳)。

【0050】 高電壓收發器603亦可以監測及/或測量內部高電壓(亦即，高電壓VHV或VHVTX)。例如，藉由應用HV修正演算法調整修整設定，高電壓收發器603可用於修整高電壓VHV至目標電壓，例如，用於抹除的11.5V及用於程式化的10.5V。

【0051】 在一些實例中，高電壓收發器603亦在陣列501的測試(例如，大量測試)期間提供高電壓。大量測試是同時測試多個記憶體單元以加快測試時間的過程。例如，高電壓收發器603可以從外部高電壓電源經由VPP焊墊604供應更多功率，以取代或補充功率受限的內部HV電荷泵電路。因此，高電壓收發器603允許晶片在測試過程期間利用外部電壓源，這與晶片上產生所有這些電壓的情況相比，導致更低的面積耗費及更少的功率。

【0052】 圖7描繪高電壓產生器700，其包括高電壓泵及調節器701、高電壓收發器702以及VPP焊墊703。VPP焊墊703係HV電端子(例如，HV焊墊或接腳)。

【0053】 高電壓泵及調節器701接收電源電壓Vdd及致能信號En並產生高電壓VHV，高電壓VHV係高於電壓Vdd的電壓。高電壓泵及調節器701可以包括例如一個或多個電荷泵及/或一個或多個高電壓位準移位器。

【0054】 高電壓收發器702接收來自高電壓泵及調節器701的高電壓VHV及高電壓收發器致能信號En_HVTX。高電壓收發器 702可以接收高電壓VHV並在VPP 焊墊703上輸出高電壓VHV2，或者它可以接收外部產生並在VPP焊墊703上提供的高電壓並在內部VHV節點(顯示在圖7中之高電壓收發器702的左側)上輸出那個電壓。

【0055】 圖8A描繪高電壓收發器800，其可以用於圖6中的高電壓收發器603或圖7中的高電壓收發器702。高電壓收發器800包括PMOS電晶體801及原生NMOS電晶體802，其如圖所示以串聯配置來排列，使得PMOS電晶體801的第一端子耦接至第一節點803(其被顯示為接收高電壓VHV)，PMOS電晶體801的第二端子在節點804處耦接至原生NMOS電晶體802的第一端子，以及原生NMOS電晶體802的第二端子耦接至第二節點805(其被表示為VPP焊墊)。PMOS電晶體801在其輸入端(亦即，其第一端子)上接收高電壓VHV，並且原生NMOS電晶體802在第二節點(VPP焊墊，其可以是圖6中的VPP焊墊604或圖7中的VPP焊墊703)處輸出高電壓VHV2。PMOS電晶體801與NMOS電晶體802以串接配置來排列，其中存在高輸入-輸出隔離。高電壓VHV亦可以稱為第一高電壓，而高電壓VHV2亦可以稱為第二高電壓。

【0056】 高電壓VHV可能例如是12V。當PMOS電晶體801要導通時(因為源極/汲極係高電壓VHV，高電壓VHV在本實例中為12V，並且PMOS電晶體801的VTP(臨界電壓)通常小於1V)，PMOS電晶體801在其閘極上接收電壓VGP2，電壓VGP2將接近諸如Vdd(例如，1.8V，其代表「0」)的中間電壓(例如，<VHV)。在PMOS電晶體801的閘極上使用這種電壓(在這種情況下為Vdd)可降低PMOS電晶體801上的電壓應力(例如，降低1.8V，這意味著應力電壓=12V-1.8V)。

【0057】 原生NMOS電晶體802在其閘極上接收電壓VGN2。當VGN2超過源極電壓(其大約是高電壓VHV)達原生NMOS電晶體802的臨界電壓VTN時，原生NMOS電晶體802會導通。例如，如果具有本體效應的VTN為0.7V，則當VGN2為12.7V時，原生NMOS電晶體802會導通。當希望原生NMOS電晶體802不導通或不使高電壓收發器800致能時，可以使原生NMOS電晶體802的閘極接地。

【0058】 當高電壓收發器800由VGP2及VGN2致能時，一旦 $VHV > VGP2$ (在本實例中= Vdd) + VTP (由於PMOS的導通電壓) VPP 焊墊上的高電壓VHV2大約等於高電壓。在這種情況下，藉由設定 $VGP2 = Vdd$ 或0V及 $VGN2 = > 12.7V$ 來使高電壓收發器800致能。當高電壓收發器800禁能(在這種情況下，設定 $VGP2 = VHV$ 或使原生NMOS電晶體802的閘極接地，或者設定 $VGN2$ 為諸如Vdd的中間電壓)時， VPP 焊墊上的電壓係浮動的。

【0059】 在另一個具體例中，PMOS電晶體801的閘極可以接收接地(0V)而不是VGP2。

【0060】 圖8B描繪高電壓收發器820，其包括第一電路811及第二電路812。例如，第一電路811可以用於在VPP1焊墊826處感測節點825上的電壓VHV，而第二電路812可以在用於強制來自VPP2焊墊827的電壓進入節點825。

【0061】 第一電路811包括PMOS 821及原生NMOS 822，它們在功能上類似於圖8A中的PMOS 801及原生NMOS 802。在一種模式中，第一電路811的輸入係節點825上的VHV，而其輸出係VPP1焊墊826上的高電壓VHV2。在另一種模式中，第一電路811的輸入係外部產生並提供在VPP1焊墊826上的高電壓，而其輸出係在節點825上提供的高電壓。

【0062】 第二電路812包括PMOS 823及原生NMOS 824，它們在功能上類似於PMOS 821及原生NMOS 822。在一種模式中，第二電路812的輸入係節點825上的高電壓VHV，而其輸出係VPP2焊墊827上的高電壓VHV3。在另一種模式中，第二電路812的輸入係外部產生並提供在VPP2焊墊827上的高電壓，而其輸出係在節點825上提供的高電壓。

【0063】 在操作期間，第一電路811及第二電路812之一者用於分別從VPP1焊墊826或VPP2焊墊827提供高電壓至節點825，並且第一電路811及第二電路812的另一者提供來自節點825的高電壓至其個別VPP1焊墊或VPP2焊墊。換言之，來自VPP1焊墊826及VPP2焊墊827之一者的電壓被強制施加至節點825，而VPP1焊墊826及VPP2焊墊827之另一者可以用於感測節點825上的電壓。

【0064】 圖9描繪高電壓收發器900，其可以用於圖6中的高電壓收發器603或圖7中的高電壓收發器702。高電壓收發器900的操作類似於圖

8A的高電壓收發器800。高電壓收發器900包括PMOS電晶體901、原生NMOS電晶體902及NMOS電晶體903，它們以所示的串接配置來排列，其中存在高輸入-輸出隔離。PMOS電晶體901及NMOS電晶體903接收高電壓VHV作為輸入，而原生NMOS電晶體902在其輸出節點(VPP焊墊904)上輸出高壓VHV2，其中VPP焊墊904可以是圖6中的VPP焊墊604或圖7中的VPP焊墊703。

【0065】 高電壓VHV可能例如是12V。PMOS電晶體901在其閘極接收電壓VGP2，當PMOS電晶體901要導通時，電壓VGP2被設定為接近Vdd。NMOS電晶體903與PMOS電晶體901並聯，並在其閘極上接收電壓VGN1A，NMOS電晶體903將需要 $VHV + V_T$ (NMOS電晶體903的臨界電壓)的高電壓來導通。原生NMOS電晶體902在其閘極上接收電壓VGN2。當希望原生NMOS電晶體902不導通或不使高電壓收發器900致能時，可以使原生NMOS電晶體902的閘極接地。當電壓VGN2超過源極電壓(會大約是VHV)達到原生NMOS電晶體902的臨界電壓 V_{TN} 時，原生NMOS電晶體902會導通。例如，如果臨界電壓 V_{TN} 為0.7V，則原生NMOS電晶體902會在VGN2為12.7V時導通。NMOS 903用於在高電壓 $VHV < VGP2 + V_{TP}$ 時傳送電壓VHV，在這種情況下PMOS 901將不會導通。

【0066】 在另一個具體例中，收發器900可以具有如上面關於圖8B所描述之另一個並聯的PMOS、NMOS、原生NMOS之電路路徑，以執行強制與感測功能。

【0067】 圖10描繪高電壓位準移位器(HV LS)1000，其可以用於高電壓泵及調節器601及701以及高電壓收發器泵602。HV LS 1000在輸出節點HVLSO或 HVLSO_B上不是輸出高電壓VHV就是接地，以回應信號EN的狀態。

【0068】 高電壓位準移位器1000在所示配置中包括反相器1009及1010；NMOS電晶體1003、1004、1007及1008；以及PMOS電晶體1001、1002、1005及1006。

【0069】 高電壓位準移位器1000接收信號EN作為輸入(其中「0」為接地，「1」為Vdd)並輸出電壓HVLSO及其補數HVLSO_B，它們可以具有等於VHVSUP的電壓位準(例如，12V)，其中 HVLSO 及其補數HVLSO_B比信號EN具有更大的電壓擺動。例如，當 EN為「1」時，其電壓將為Vdd。HVLSO 亦將為「1」，並且其電壓將為VHVSUP(例如，12 V)，而 HVLSO_B將為接地。同樣地，當EN為「0」時，其電壓將為接地。HVLSO 亦將為「接地」，而 HVLSO_B 將為VHVSUP(例如，12 V)。

【0070】 圖11描繪高電壓位準移位器(HV LS) 1100，其可以用於高電壓泵及調節器601及701以及高電壓收發器泵602。高電壓位準移位器1100在所示配置中包括反相器1102及1103、位準移位器1101以及PMOS電晶體1104、1105、1106及1107。HV LS 1100在輸出節點1108上輸出高電壓VHV或Vdd。

【0071】 位 準 移 位 器1101接 收EN_HV作 為 輸 入 並 輸 出EN_HVLSO及其補數EN_HVLSO_B，它們可以具有等於VHVSUP的電

壓位準(例如, 12V)且具有比EN還大的電壓擺動。例如, 當 $EN_HV = \text{「1」}$ 時, EN_HVLSO 亦將 $= \text{「1」} = VHVSUP$ (例如, 12V) 並且將具有比 EN_HV 還高的電壓。位準移位器1101可選地包括來自圖10的高電壓位準移位器1000。反相器1102及1103產生如圖所示的信號 EN_LV 及 EN_LV_B 。

【0072】 當 EN_HV 為高位準時, EN_LV 將為低位準, EN_LV_B 將為高位準, EN_HVLSO 將為高位準, 以及 EN_HVLSO_B 將為低位準, 導致PMOS電晶體1104及1105導通, 而PMOS電晶體1106及1107關斷。結果, 輸出節點1108=高電壓VHV。

【0073】 當 EN_HV 為低位準時, EN_LV 將為高位準, EN_LV_B 將為低位準, EN_HVLSO 將為低位準, 以及 EN_HVLSO_B 將為高位準, 導致PMOS電晶體1104及1105關斷, 而PMOS電晶體1106及1107導通。結果, 輸出節點1108=Vdd。

【0074】 圖12描繪高電壓收發器電荷泵(HVTXCP)1200。高電壓收發器電荷泵1200接收作為高電壓VHV的輸入並在節點1205處產生電壓OUT。原生NMOS電晶體1204以二極體形式連接。輸入高電壓VHV被施加至原生NMOS電晶體1204的閘極/汲極, 因此VHV-VTN是在其源極上作為內部電壓 IN之獲得的電壓。

【0075】 高電壓時鐘信號 CK_HVLSO 及其補數高電壓時鐘信號 CK_HVLSO_B 由高電壓位準移位器1201產生。 CK_HVLSO 被施加至電容器1202的一個引腳, 電容器1202在高循環期間以 CK_HVLSO 的量泵升內部電壓IN。那個電壓被以二極體形式連接的原生NMOS電晶體1203接收, 以在節點1205處產生電壓OUT, 電壓OUT等於(VHV-

$V_{TN}) + V(CK_HSLSO) - V_{TN}$ 。 $V(CK_HVL SO)$ 係信號 $CK_HVL SO$ 的電壓，它可以是高電壓 V_{HV} 的分壓，被表示為 V_{HV_DIV} 。

【0076】 例如，如果高電壓 $V_{HV}=12V$ ， $V_{HV_DIV}=4V$ ，並且 $V_{TN}=0.7V$ ，則節點 1205 上的輸出電壓 $OUT=14.6V$ 。 $HVTXCP$ 1200 可以用於提供大於 $V_{HV}+V_{TN}$ 的高位準給電路800及900的信號 V_{GN2} 。

【0077】 電容器1202及二極體連接的NMOS 1203構成一個電荷泵級。僅需要一個電荷泵級，因為 $HVTXCP$ 1200的輸入為高電壓 V_{HV} ，並且泵時脈具有電源 V_{HV_DIV} 。亦即，它具有高電壓 V_{HV} 作為其電源及輸入，以產生大於 $V_{HV}+V_{TN}$ 的輸出電壓。可選地，可以有複數個電荷泵級。

【0078】 圖13描繪高電壓收發器調節器($HVTXREG$)1300，其包括PMOS電晶體1301、NMOS電晶體1302及電流源1303。PMOS電晶體1301及NMOS電晶體1302以串接配置來排列，以提供高輸入-輸出隔離，用以使高電壓 V_{HV_TX} 與電流源1303有緩衝。NMOS電晶體在其閘極接收 V_{dd} ，而PMOS電晶體1301在其閘極接收高電壓 V_{HV} 。 $HVTXREG$ 1300將PMOS 1301 的源極上的電壓(亦即，電壓 V_{HV_TX})箝制在 $V_{HV}+V_{TP}$ ，因為在此電壓或更高電壓下，PMOS 1301將導通並因此藉由電流源1303將電流從 V_{HV_TX} 汲取至NMOS 1302，然後從那裡流汲取至接地端。此電路可用於例如將 $HVTXCP$ 1200的輸出調節至 $V_{HV}+V_{TP}$ 。從 V_{HV_TX} 的供應節點至PMOS 1301的源極可以有多個二極體(例如二極體連接的PMOS電晶體)，以增加 V_{HV_TX} 節點上之經調節的高電壓，例如 $=V_{HV}+2*V_{TP}$ 。

【0079】 圖14描繪電荷泵級1400，其可以用作圖12的HVTXCP中的電荷泵級。電荷泵級1400包括電容器1401及1402以及原生NMOS電晶體1403及1404，以構成VT消除電荷泵級。泵電容器1401的一個端子耦接至時鐘信號CK1A，而另一端子耦接至輸入端1405(IN)。升壓電容器1402的一個端子耦接至時鐘信號CK1B，而另一端子耦接至傳輸電晶體(原生NMOS電晶體1404)的閘極。原生NMOS 1404的汲極及源極之一端子耦接至輸入端1405(IN)，另一端子耦接至輸出端1406(OUT)。原生NMOS 1403的源極及汲極之一端子耦接至輸入端1405(IN)，而另一端子耦接至NMOS 1404的閘極。原生NMOS 1403的閘極耦接至輸出端1406(OUT)。CK1B係CK1A的反相。

【0080】 在操作期間，時鐘信號CK1A及CK1B彼此相差90度振盪。輸出端1406 (OUT)處的電壓將泵升至等於IN 1405處的電壓加上CK1A的峰值電壓之電壓。

【0081】 圖15描繪非揮發性記憶體系統1500，其類似於圖5的非揮發性記憶體系統500，但包括作為高電壓產生器509的一部分之高電壓收發器1501。高電壓收發器1501可以是上面論述的高電壓收發器(例如，高電壓收發器603、702、800、820及900)之一者。高電壓收發器1501提供高電壓至高電壓解碼器503，然後高電壓解碼器503在抹除或程式化期間將高電壓施加至陣列501中的一個或多個被選單元。

【0082】 應當注意，如本文所使用，術語「在...上方」及「在...上」均包含性地包括「直接在...上」(沒有中間材料、元件或空間設置在其間)及「間接在...上」(中間材料、元件或空間設置在其間)。同樣地，術語「相

鄰」包括「直接相鄰」(沒有中間材料、元件或空間設置在其間)及「間接相鄰」(中間材料、元件或空間設置在其間)，「安裝至」包括「直接安裝至」(沒有中間材料、元件或空間設置在其間)及「間接安裝至」(中間材料、元件或空間設置在其間)，以及「電耦接至」包括「直接電耦接至」(沒有中間材料或元件在其間將元件電連接在一起)及「間接電耦接至」(中間材料或元件在其間將元件電連接在一起)。例如，在「在基板上方」形成元件可以包括在基板上直接形成元件而其間沒有中間材料/元件，以及在基板上間接形成元件而在其間具有一個或多個中間材料/元件。

【符號說明】

【0083】

12:半導體基板

14:源極區域

16:汲極區域

18:通道區域

20:浮動閘極

22:字元線端子(選擇閘極、控制閘極)

24:位元線

28:控制閘極

30:抹除閘極

110:記憶體單元

310:3閘極記憶體單元

410:堆疊式閘極記憶體單元

- 500:非揮發性記憶體系統
- 501:陣列
- 502:列解碼器
- 503:高電壓解碼器
- 504:行解碼器
- 505:位元線驅動器
- 506:控制邏輯
- 507:偏壓產生器
- 508:感測放大器
- 509:高電壓產生器
- 600:高電壓產生器
- 601:高電壓泵及調節器
- 602:高電壓收發器泵
- 603:高電壓收發器
- 604:焊墊
- 700:高電壓產生器
- 701:電壓泵及調節器
- 702:高電壓收發器
- 703:VPP焊墊
- 800:高電壓收發器
- 801:PMOS電晶體
- 802:原生NMOS電晶體

- 803:第一節點
- 804:節點
- 805:第二節點
- 811:第一電路
- 812:第二電路
- 820:高電壓收發器
- 821:PMOS
- 822:原生NMOS
- 823:PMOS
- 824:原生NMOS
- 825:節點
- 826:VPP1焊墊
- 827:VPP2焊墊
- 900:高電壓收發器
- 901:PMOS電晶體
- 902:原生NMOS電晶體
- 903:NMOS電晶體
- 904:VPP焊墊
- 1000:高電壓位準移位器(HV LS)
- 1001:PMOS電晶體
- 1002:PMOS電晶體
- 1003:NMOS電晶體

- 1004:NMOS電晶體
- 1005:PMOS電晶體
- 1006:PMOS電晶體
- 1007:NMOS電晶體
- 1008:NMOS電晶體
- 1009:反相器
- 1010:反相器
- 1100:高電壓位準移位器
- 1101:位準移位器
- 1102:反相器
- 1103:反相器
- 1104:PMOS電晶體
- 1105:PMOS電晶體
- 1106:PMOS電晶體
- 1107:PMOS電晶體
- 1108:輸出節點
- 1200:高電壓收發器電荷泵(HVTXCP)
- 1201:高電壓位準移位器
- 1202:電容器
- 1203:原生NMOS電晶體
- 1204:原生NMOS電晶體
- 1205:節點

1300:高電壓收發器調節器(HV TXREG)

1301:PMOS電晶體

1302:N MOS電晶體

1303:電流源

1400:電荷泵級

1401:電容器

1402:電容器

1403:原生NMOS電晶體

1404:原生NMOS電晶體

1405:輸入端

1406:輸出端

1500:非揮發性記憶體系統

1501:高電壓收發器

CK1A:時鐘信號

CK1B:時鐘信號

CK_HVLSO:高電壓時鐘信號

CK_HVLSO_B:補數高電壓時鐘信號

En:致能信號

En_HV TX:高電壓收發器致能信號

EN:信號

EN_HV:輸入

EN_HVLSO:輸出

EN_HVLSO_B:補數輸出

EN_LV:信號

EN_LV_B:信號

HVLSO:輸出節點

HVLSO_B:輸出節點

IN:內部電壓

OUT:電壓

Vdd:電源電壓

VGN1A:電壓

VGN2:電壓

VGP2:電壓

VHV:高電壓

VHV2:高電壓

VHV_DIV:高壓VHV的分壓

VHVTX:高電壓

VHV_TX:高電壓

【發明申請專利範圍】

【請求項1】 一種用於非揮發性記憶體系統的收發器，包括：

一PMOS電晶體，包括耦接至一第一節點的一第一端子、一第二端子及一閘極；以及

一原生NMOS電晶體，包括一耦接至該PMOS電晶體的該第二端子之一第一端子、耦接至一第二節點的一第二端子及一閘極，

其中，該收發器可以在該第一節點上提供一第一高電壓，以回應在該第二節點上接收一第二高電壓，及可以在該第二節點上提供一第三高電壓，以回應在該第一節點上接收一第四高電壓，該第一高電壓等於該第二高電壓減去一臨界電壓降，及該第三高電壓等於該第四高電壓減去一臨界電壓降。

【請求項2】 如請求項1之收發器，其中，該PMOS電晶體的該閘極接收振幅小於該第一高電壓的電壓。

【請求項3】 如請求項1之收發器，其中，該收發器的輸出信號耦接至該非揮發性記憶體系統以用於該非揮發性記憶體系統的抹除或程式化操作。

【請求項4】 如請求項1之收發器，其中，當該收發器禁能時，該原生NMOS 電晶體的該閘極接地。

【請求項5】 如請求項1之收發器，進一步包括一電荷泵。

【請求項6】 如請求項1之收發器，進一步包括在該第一節點與該第二節點之間形成一電路路徑的一第二PMOS電晶體及一第二原生NMOS電晶體。

【請求項7】 一種用於非揮發性記憶體之收發器，包括：

一PMOS電晶體，包括一第一端子、一第二端子及一閘極；

一NMOS電晶體，包括耦接至該PMOS電晶體之該第一端子之一第一端子、一第二端子及一閘極，該PMOS電晶體之該第一端子耦接至一第一節點；以及

一原生NMOS電晶體，包括耦接至該PMOS電晶體之該第二端子及該NMOS電晶體之該第二端子之一第一端子、耦接至一第二節點之一第二端子及一閘極；

其中，該收發器選擇性地在該第一節點及該第二節點之一者上提供一第一高電壓，以回應在該第一節點及該第二節點之另一者上接收一第二高電壓。

【請求項8】 如請求項7之收發器，其中，該第一高電壓用於該非揮發性記憶體中之抹除或程式化操作期間。

【請求項9】 如請求項7之收發器，其中，該PMOS電晶體之該閘極接收振幅小於該第一高電壓之電壓。

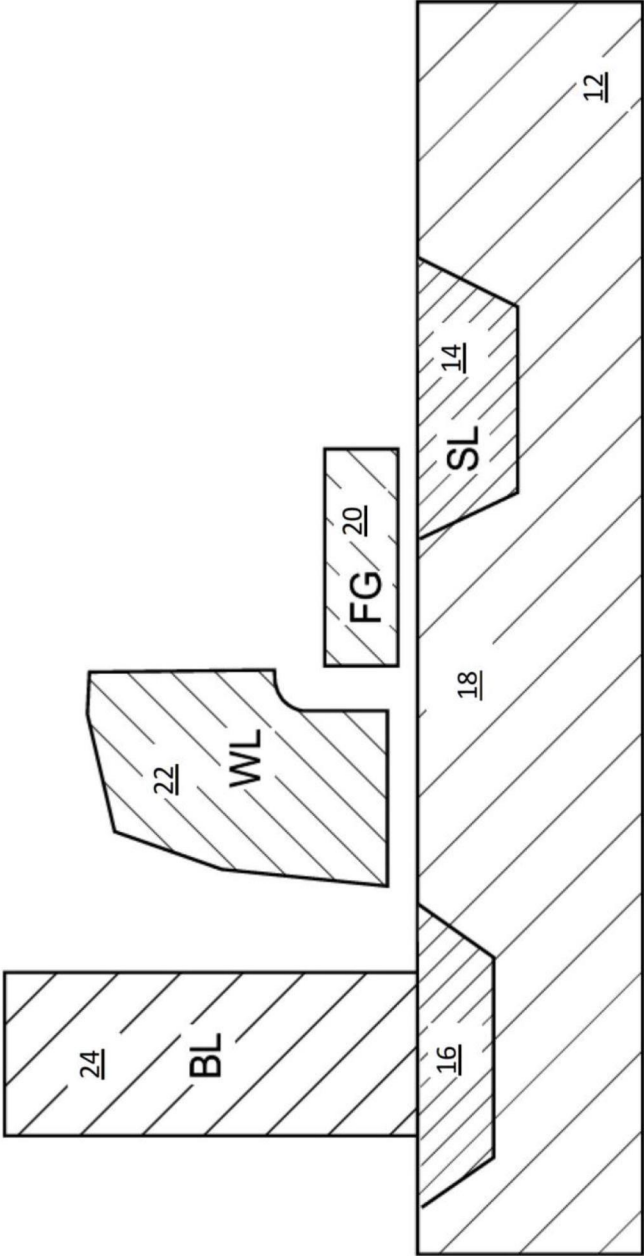
【請求項10】 如請求項7之收發器，其中，當該收發器禁能時，該原生NMOS電晶體之該閘極接地。

【請求項11】 如請求項7之收發器，進一步包括一電荷泵。

【請求項12】 如請求項7之收發器，進一步包括形成一電路路徑之一第二PMOS電晶體及一第二原生NMOS電晶體。

【發明圖式】

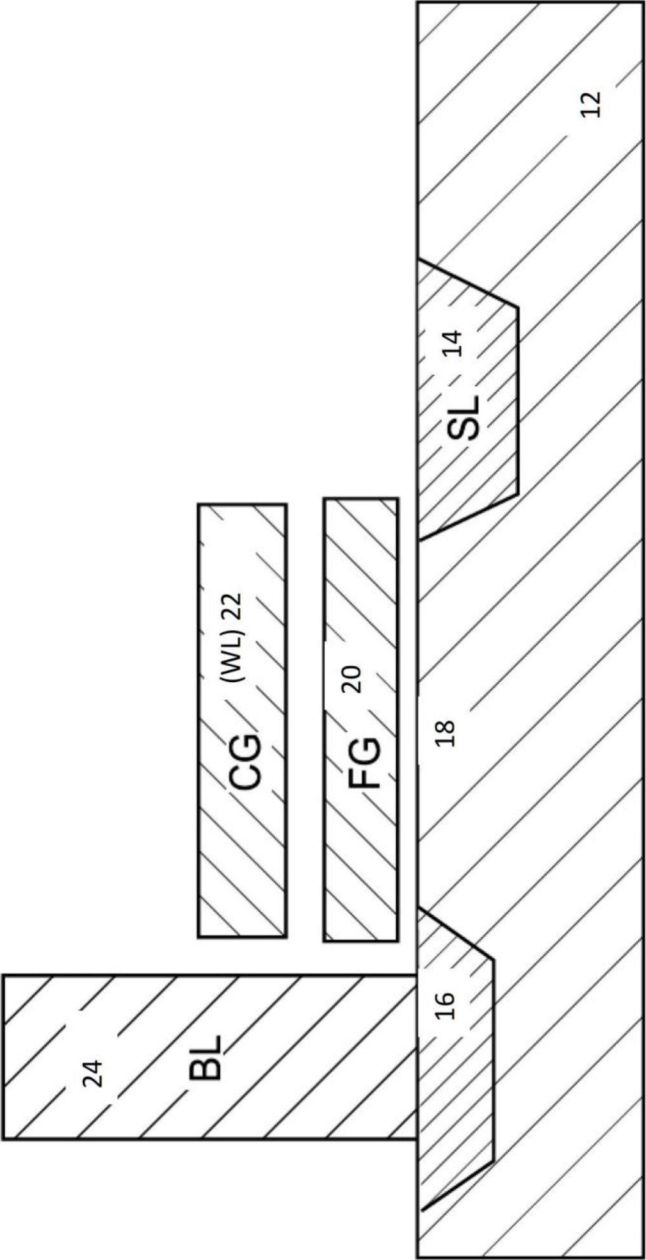
記憶體單元
110



【圖1】

記憶體單元

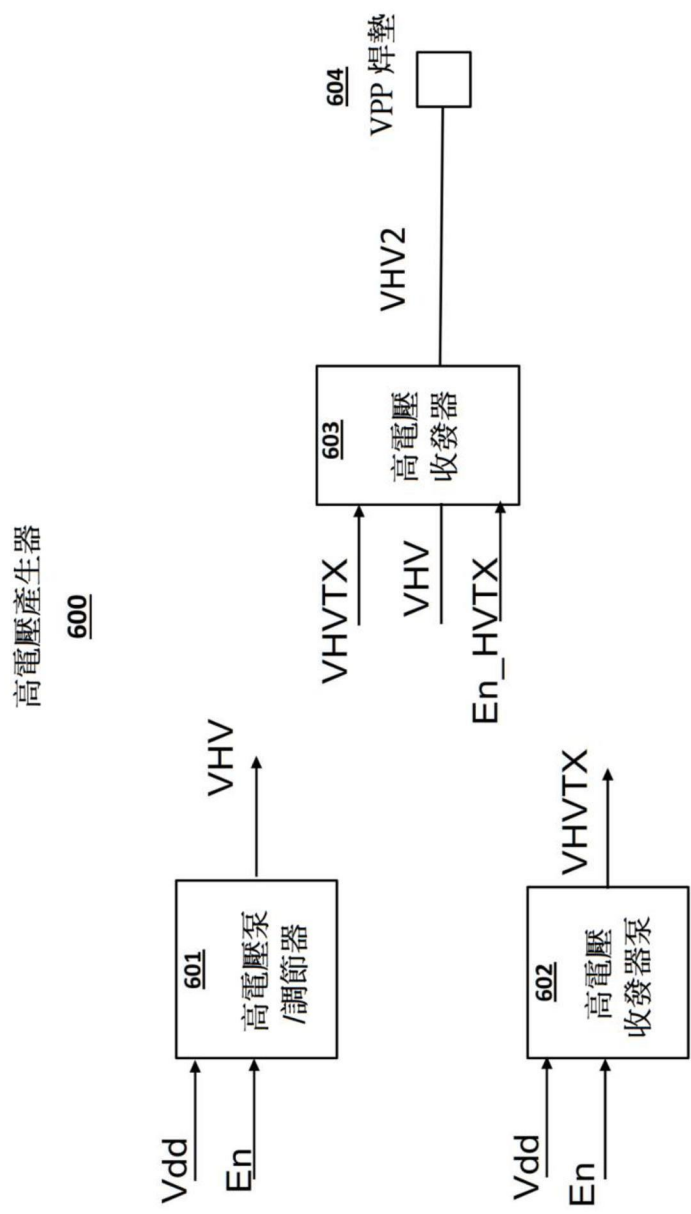
410



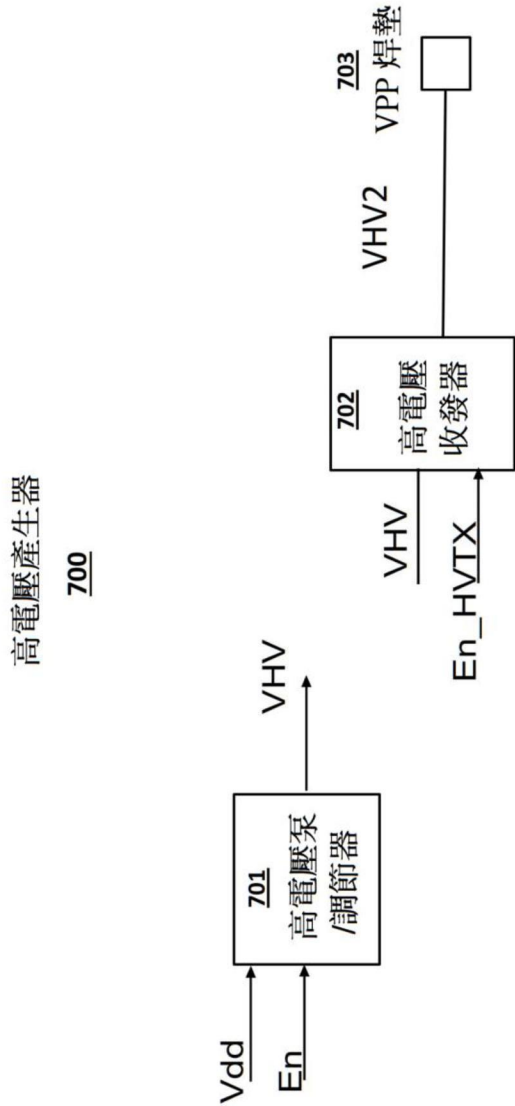
【圖4】



【5回】



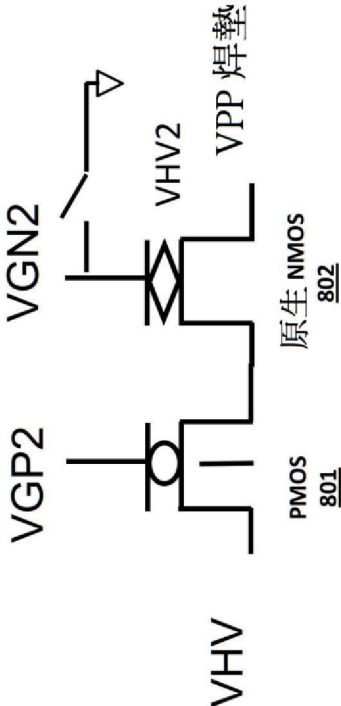
【圖6】



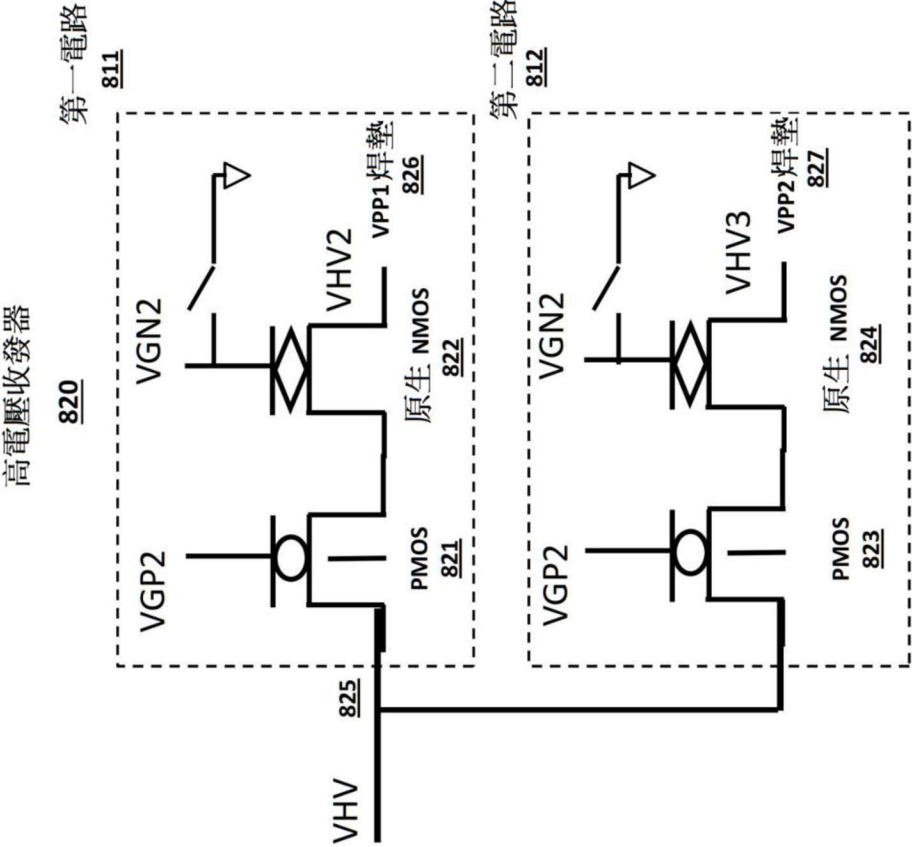
【圖7】

高電壓收發器

800

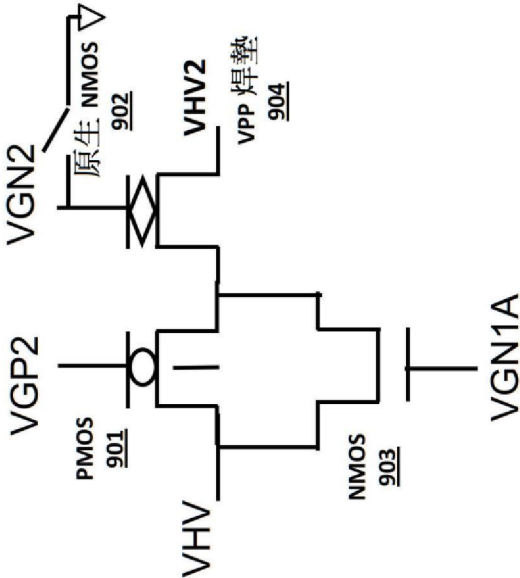


【圖8A】

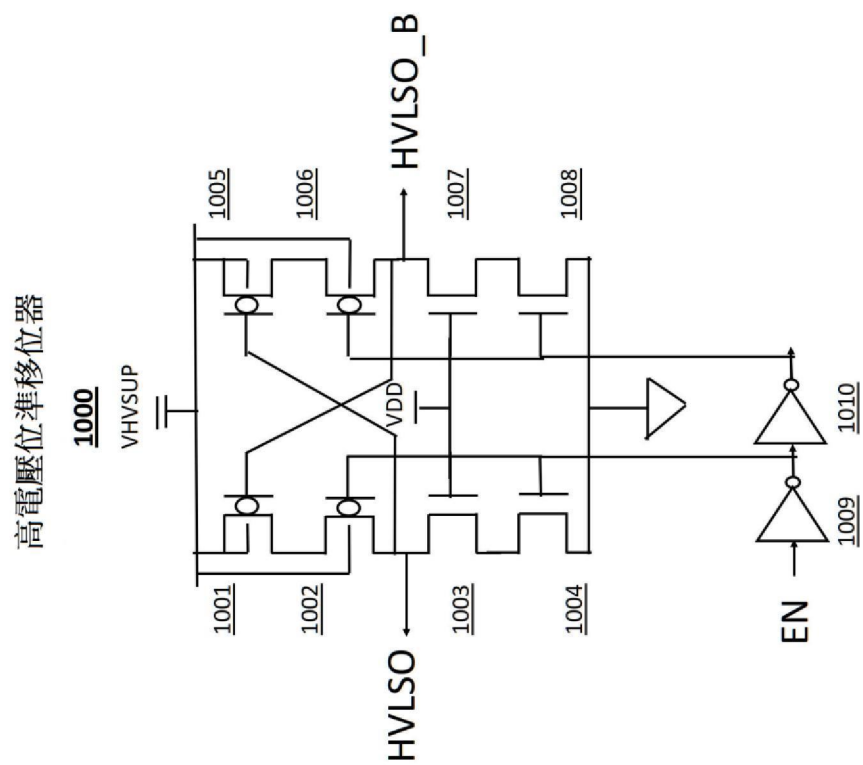


【圖8B】

高電壓收發器
900



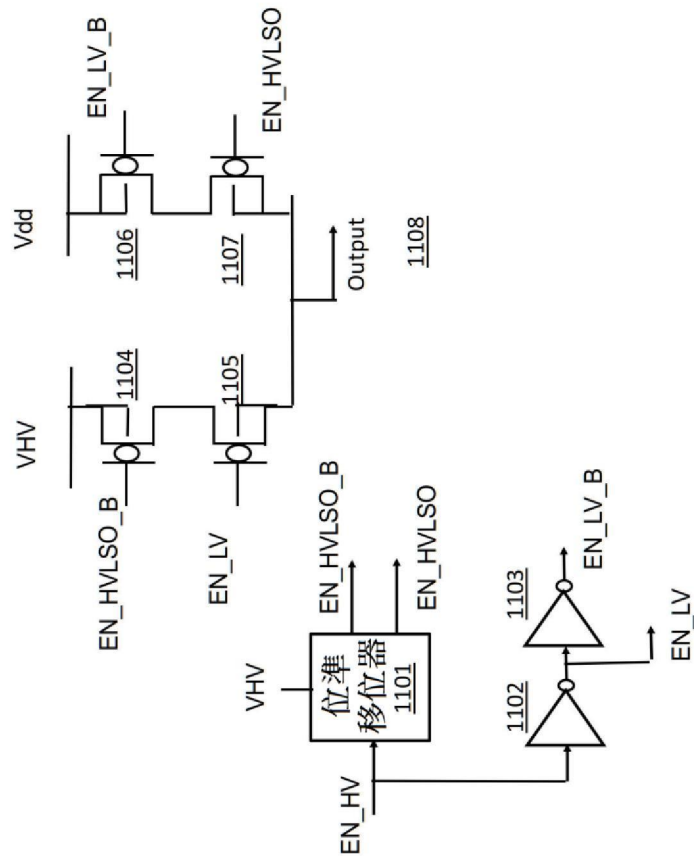
【圖9】



【圖10】

高電壓位準移位器

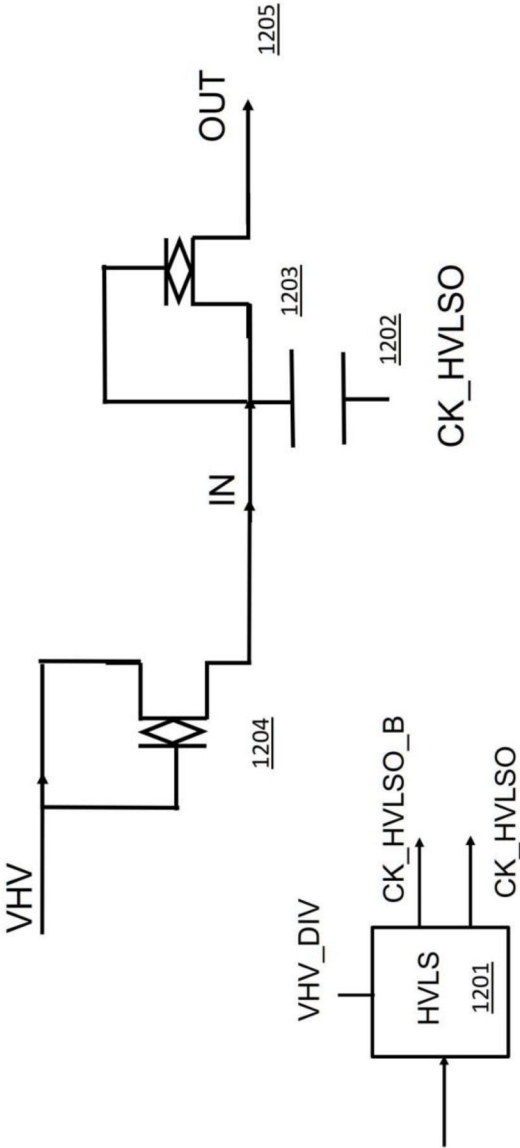
1100



【圖11】

高電壓收發器電荷泵

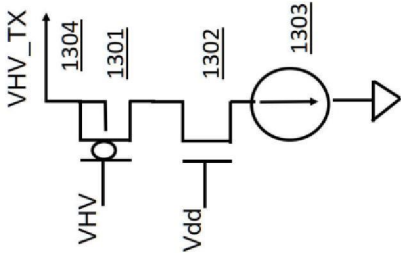
1200



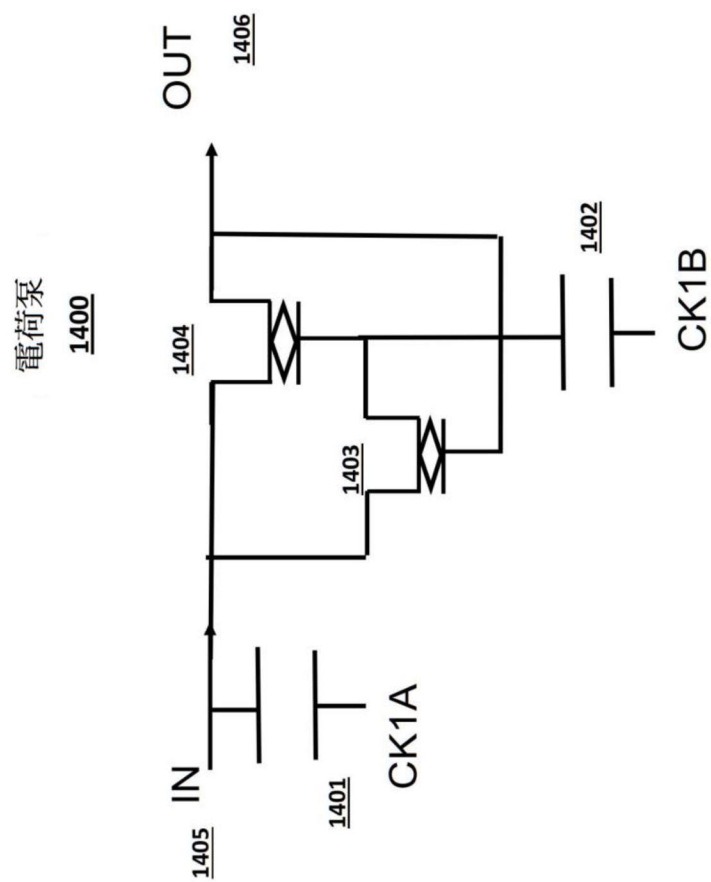
【圖12】

高電壓收發器調節器

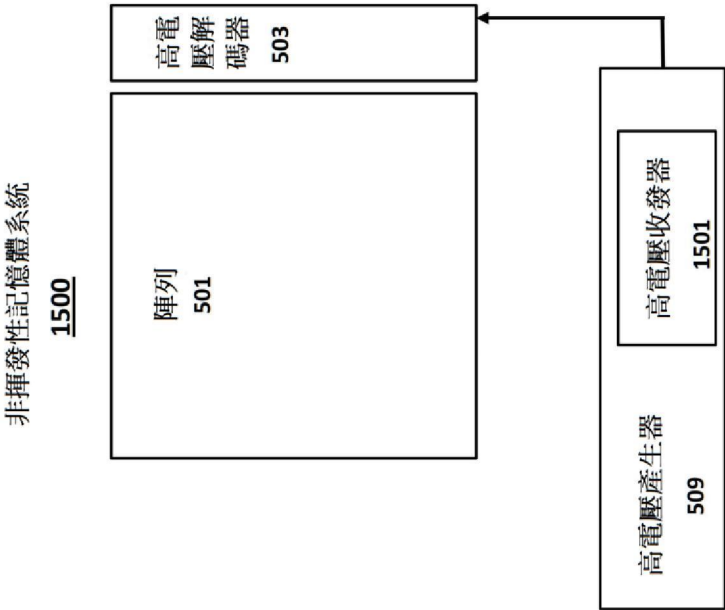
1300



【圖13】



【圖14】



【圖15】