

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-279902
(P2007-279902A)

(43) 公開日 平成19年10月25日(2007. 10. 25)

(51) Int. Cl.

F I

テーマコード (参考)

G O 6 T 1/20 (2006. 01) G O 6 T 1/20 A 5 B O 5 7

H O 4 N 1/40 (2006. 01) H O 4 N 1/40 Z 5 C O 7 7

審査請求 未請求 請求項の数 9 O L (全 13 頁)

(21) 出願番号	特願2006-103345 (P2006-103345)	(71) 出願人	000005496
(22) 出願日	平成18年4月4日 (2006. 4. 4)		富士ゼロックス株式会社
			東京都港区赤坂九丁目7番3号
		(74) 代理人	100098084
			弁理士 川▲崎▼ 研二
		(72) 発明者	奥山 潤一
			神奈川県足柄上郡中井町境430 グリー
			ンテクなかい 富士ゼロックス株式会社内
		(72) 発明者	玉谷 光之
			神奈川県足柄上郡中井町境430 グリー
			ンテクなかい 富士ゼロックス株式会社内
		F ターム (参考)	5B057 CA08 CA12 CA16 CB08 CB12
			CB16 CH01 CH11 CH14 CH18
			5C077 LL18 MP01 NP01 NP05 PQ08
			PQ11 PQ24

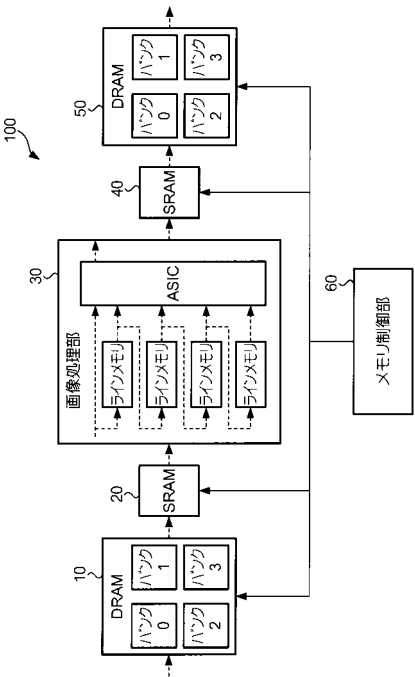
(54) 【発明の名称】 メモリ制御方法、メモリ制御装置、画像処理装置およびプログラム

(57) 【要約】

【課題】 ラインメモリを用いる種々の画像処理装置において、少ないメモリ容量で高速な処理を可能にする。

【解決手段】 画像処理装置100は、DRAM10、SRAM20等のメモリに記憶された画像データを画像処理部30に供給し、所定の画像処理を行う。DRAM10は複数のメモリバンクにより構成されており、メモリ制御部60は各メモリへの画像データの読み出しと書き込みを制御する。メモリ制御部60は、入力された画像データをDRAM10に書き込む際に、画像データを所定の単位で分割してなる分割画像データを、行方向または列方向に連続する分割画像データのそれぞれが同一のメモリバンクに記憶されないようにDRAM10に書き込んでいく。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数行複数列の画素の配列を表す画像データを記憶可能な複数のメモリバンクを有するメモリを用いて、当該画像データを所定の画像処理を実行する画像処理装置に供給するために行うメモリ制御方法であって、

入力された前記画像データの第 1 の行を決められた分割単位で分割してなる複数列の分割画像データの各々を、連続する分割画像データが前記メモリの互いに異なるメモリバンクにそれぞれ記憶されるように書き込む第 1 のステップと、

前記入力された画像データの前記第 1 の行と隣り合う第 2 の行を前記分割単位で分割してなる複数列の分割画像データの各々を、前記第 1 の行において同列に相当する分割画像データが記憶されたメモリバンクと異なるメモリバンクに記憶され、かつ、連続する分割画像データが互いに異なるメモリバンクにそれぞれ記憶されるように書き込む第 2 のステップと、

前記第 1 および第 2 のステップにおいて前記メモリに書き込まれた分割画像データを読み出して、前記画像処理装置が実行する画像処理に応じた順序で供給するステップであって、前記画像データにおいて行方向または列方向に連続する前記分割画像データを連続的に読み出す第 3 のステップと

を有することを特徴とするメモリ制御方法。

【請求項 2】

複数行複数列の画素の配列を表す画像データを記憶可能な複数のメモリバンクを有するメモリを介して、当該画像データを所定の画像処理を実行する画像処理装置に供給するためのメモリ制御装置であって、

前記メモリに前記画像データを書き込む書込手段と、

前記書込手段により前記メモリに書き込まれた画像データを読み出す読出手段と、

前記読出手段により前記メモリから読み出された画像データを前記画像処理装置が実行する画像処理に応じた順序で供給する供給手段とを備え、

前記書込手段は、

入力された前記画像データの第 1 の行を決められた分割単位で分割してなる複数列の分割画像データの各々を、連続する分割画像データが前記メモリの互いに異なるメモリバンクにそれぞれ記憶されるように書き込むとともに、当該画像データの前記第 1 の行と隣り合う第 2 の行を前記分割単位で分割してなる複数列の分割画像データの各々を、前記第 1 の行において同列に相当する分割画像データが記憶されたメモリバンクと異なるメモリバンクに記憶され、かつ、連続する分割画像データが互いに異なるメモリバンクにそれぞれ記憶されるように書き込み、

前記読出手段は、

前記画像データにおいて行方向または列方向に連続する前記分割画像データを連続的に読み出す

ことを特徴とするメモリ制御装置。

【請求項 3】

複数行複数列の画素の配列を表す画像データを記憶可能な複数のメモリバンクを有する第 1 のメモリと、

前記第 1 のメモリに記憶された画像データを記憶可能な第 2 のメモリと、

前記第 2 のメモリに記憶された画像データに所定の画像処理を行う画像処理手段と、

前記第 1 のメモリに画像データを書き込む第 1 の書込手段と、

前記第 1 の書込手段により前記第 1 のメモリに書き込まれた画像データを読み出す第 1 の読出手段と、

前記第 1 の読出手段により前記第 1 のメモリから読み出された画像データを前記第 2 のメモリに書き込む第 2 の書込手段と、

前記第 2 の書込手段により前記第 2 のメモリに書き込まれた画像データを前記画像処理手段が実行する画像処理に応じた順序で読み出して当該画像処理手段に供給する第 2 の読

10

20

30

40

50

出手段とを備え、

前記第 1 の書込手段は、

入力された前記画像データの第 1 の行を決められた分割単位で分割してなる複数列の分割画像データの各々を、連続する分割画像データが前記第 1 のメモリの互いに異なるメモリバンクにそれぞれ記憶されるように書き込むとともに、当該画像データの前記第 1 の行と隣り合う第 2 の行を前記分割単位で分割してなる複数列の分割画像データの各々を、前記第 1 の行において同列に相当する分割画像データが記憶されたメモリバンクと異なるメモリバンクに記憶され、かつ、連続する分割画像データが前記第 1 のメモリの互いに異なるメモリバンクにそれぞれ記憶されるように書き込み、

前記第 1 の読出手段は、

前記画像データにおいて行方向または列方向に連続する前記分割画像データを連続的に読み出す

ことを特徴とする画像処理装置。

【請求項 4】

前記第 1 のメモリは 4 以上のメモリバンクを有するメモリであって、

前記第 1 の書込手段は、前記第 1 の行の分割画像データを書き込むメモリバンクと前記第 2 の行の分割画像データを書き込むメモリバンクとを互いに異ならせる

ことを特徴とする請求項 3 に記載の画像処理装置。

【請求項 5】

前記第 1 のメモリは前記第 2 のメモリよりも多くのデータを記憶可能であり、

前記第 2 のメモリは前記第 1 のメモリよりも高速にデータの書き込みおよび読み出しが可能である

ことを特徴とする請求項 3 に記載の画像処理装置。

【請求項 6】

前記第 1 のメモリが D R A Mであることを特徴とする請求項 3 に記載の画像処理装置。

【請求項 7】

前記分割単位が前記第 1 のメモリのバースト長に相当することを特徴とする請求項 6 に記載の画像処理装置。

【請求項 8】

前記第 2 のメモリが S R A Mであることを特徴とする請求項 3 に記載の画像処理装置。

【請求項 9】

コンピュータが、複数列複数列の画素の配列を表す画像データを記憶可能な複数のメモリバンクを有するメモリを用いて、当該画像データを所定の画像処理を実行する画像処理装置に供給するためのプログラムであって、

前記コンピュータに、

入力された前記画像データの第 1 の行を決められた分割単位で分割してなる複数列の分割画像データの各々を、連続する分割画像データが前記メモリの互いに異なるメモリバンクにそれぞれ記憶されるように書き込む第 1 の機能と、

前記入力された画像データの前記第 1 の行と隣り合う第 2 の行を前記分割単位で分割してなる複数列の分割画像データの各々を、前記第 1 の行において同列に相当する分割画像データが記憶されたメモリバンクと異なるメモリバンクに記憶され、かつ、連続する分割画像データが互いに異なるメモリバンクにそれぞれ記憶されるように書き込む第 2 の機能と、

前記第 1 および第 2 の機能により前記メモリに書き込まれた分割画像データを読み出して、前記画像処理装置が実行する画像処理に応じた順序で供給する機能であって、前記画像データにおいて行方向または列方向に連続する前記分割画像データを連続的に読み出す第 3 の機能と

を実現させるためのプログラム。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明は、小容量のメモリで高速に画像処理を行うための技術に関する。

【 背景技術 】

【 0 0 0 2 】

画像処理には、例えばフィルタ処理やブロック処理のように、複数行複数列の画素からなるブロックに対して処理を行うものがある。このような画像処理を行う画像処理装置は、画像データを行（ライン）方向について記憶するラインメモリを備える構成が一般的である。例えば、 5×5 画素のブロック単位で画像処理を行う画像処理装置であれば、4個のラインメモリで画像データの4ライン分のデータを保持すれば十分である。このような画像処理装置に画像データを転送する際には、D R A M（Dynamic Random Access Memory）がよく用いられる。これは、D R A Mはアドレスが連続するデータを高速に転送することができるため、ラインメモリへのデータ転送に適しているからである。しかも、D R A MはS R A M（Static Random Access Memory）等よりも安価で構造も比較的簡素であるため、回路規模やコストという観点からも有利であると言える。

【 特許文献 1 】 特開平 1 0 - 1 6 2 1 3 1 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 3 】

ところで、上述の画像処理装置においては、各ラインメモリは必ずしも画像データのライン全体を保持する必要はない。例えば、上述した例であれば、各ラインメモリは5画素分のデータを保持できれば十分である。しかしながら、D R A Mは複数ラインに渡る小容量のデータの読み出しには適していないため、従来は処理対象のブロック以外の画像データについてもまとめて読み出し、これをラインメモリに保持させる構成が一般的であった。そのため、ラインメモリのメモリ容量を大きくせざるを得ず、画像処理装置が複雑かつ高価になってしまうという不都合があった。かといって、単にラインメモリを削減し、D R A Mからは必要な画像データのみを読み出したのでは、読み出し動作がボトルネックとなって処理速度が低下してしまうという不都合があった。

【 0 0 0 4 】

このような不都合を解消するためには、特許文献 1 に記載の技術を適用することもある程度は有効である。しかし、特許文献 1 に記載の技術は水平方向（行方向）の連続アクセスと特定の矩形領域の連続アクセスを高速に行うことのみが可能であるために汎用性が低く、種々多様な画像処理に適用することは困難である。

【 0 0 0 5 】

本発明はかかる事情に鑑みてなされたものであり、その目的は、ラインメモリを用いる種々の画像処理装置において、少ないメモリ容量で高速な処理を可能にするための技術を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 6 】

上述の目的を達成するために、本発明は、複数行複数列の画素の配列を表す画像データを記憶可能な複数のメモリバンクを有するメモリを介して、当該画像データを所定の画像処理を実行する画像処理装置に供給するためのメモリ制御装置であって、前記メモリに前記画像データを書き込む書込手段と、前記書込手段により前記メモリに書き込まれた画像データを読み出す読出手段と、前記読出手段により前記メモリから読み出された画像データを前記画像処理装置が実行する画像処理に応じた順序で供給する供給手段とを備え、前記書込手段は、入力された前記画像データの第1の行を決められた分割単位で分割してなる複数列の分割画像データの各々を、連続する分割画像データが前記メモリの互いに異なるメモリバンクにそれぞれ記憶されるように書き込むとともに、当該画像データの前記第1の行と隣り合う第2の行を前記分割単位で分割してなる複数列の分割画像データの各々を、前記第1の行において同列に相当する分割画像データが記憶されたメモリバンクと異なるメモリバンクに記憶され、かつ、連続する分割画像データが互いに異なるメモリバン

クにそれぞれ記憶されるように書き込み、前記読出手段は、前記画像データにおいて行方向または列方向に連続する前記分割画像データを連続的に読み出すメモリ制御装置を提供する。

【0007】

また、本発明は、複数行複数列の画素の配列を表す画像データを記憶可能な複数のメモリバンクを有する第1のメモリと、前記第1のメモリに記憶された画像データを記憶可能な第2のメモリと、前記第2のメモリに記憶された画像データに所定の画像処理を行う画像処理手段と、前記第1のメモリに画像データを書き込む第1の書込手段と、前記第1の書込手段により前記第1のメモリに書き込まれた画像データを読み出す第1の読出手段と、前記第1の読出手段により前記第1のメモリから読み出された画像データを前記第2のメモリに書き込む第2の書込手段と、前記第2の書込手段により前記第2のメモリに書き込まれた画像データを前記画像処理手段が実行する画像処理に応じた順序で読み出して当該画像処理手段に供給する第2の読出手段とを備え、前記第1の書込手段は、入力された前記画像データの第1の行を決められた分割単位で分割してなる複数列の分割画像データの各々を、連続する分割画像データが前記第1のメモリの互いに異なるメモリバンクにそれぞれ記憶されるように書き込むとともに、当該画像データの前記第1の行と隣り合う第2の行を前記分割単位で分割してなる複数列の分割画像データの各々を、前記第1の行において同列に相当する分割画像データが記憶されたメモリバンクと異なるメモリバンクに記憶され、かつ、連続する分割画像データが前記第1のメモリの互いに異なるメモリバンクにそれぞれ記憶されるように書き込み、前記第1の読出手段は、前記画像データにおいて行方向または列方向に連続する前記分割画像データを連続的に読み出す画像処理装置を提供する。

10

20

なお、この画像処理装置において、前記第1のメモリは前記第2のメモリよりも多くのデータを記憶可能であり、前記第2のメモリは前記第1のメモリよりも高速にデータの書き込みおよび読み出しが可能である構成であることが望ましい。さらに、前記第1のメモリがDRAMであり、前記第2のメモリがSRAMであることが望ましい。

【0008】

このようなメモリ制御装置や画像処理装置によれば、行方向および列方向に連続的に読み出される分割画像データが、互いに異なるメモリバンクに記憶される。そのため、行方向および列方向のいずれについても効率的に画像データの読み出しが可能となり、いわゆる「横読み（行方向の連続読み出し）」と「縦読み（列方向の連続読み出し）」の双方を高速に行うことができる。また、このメモリ制御装置や画像処理装置は、画像処理を実行するブロックの単位が特に限定されないので、実行する画像処理が異なるさまざまな画像処理装置に対して適用可能である。

30

なお、上述のメモリ制御装置および画像処理装置においては、前記画像データにおいて行方向または列方向に連続する前記分割画像データを連続的に読み出す、とあるが、行方向または列方向に連続する分割画像データの全てを1回で読み出すとは限らず、例えば、第1の行の行方向に連続する2つの分割画像データを連続的に読み出し、その後、第2の行の行方向に連続する2つの分割画像データを連続的に読み出す、といった動作であってもよい。

40

【0009】

さらに、本発明は、メモリ制御装置が画像処理装置に画像データを供給するためのメモリ制御方法や、この方法を実現するためのプログラムとしても提供され得るものである。すなわち、本発明は、メモリ制御装置が、複数行複数列の画素の配列を表す画像データを記憶可能な複数のメモリバンクを有するメモリを用いて、当該画像データを所定の画像処理を実行する画像処理装置に供給するために行うメモリ制御方法であって、入力された前記画像データの第1の行を決められた分割単位で分割してなる複数列の分割画像データの各々を、連続する分割画像データが前記メモリの互いに異なるメモリバンクにそれぞれ記憶されるように書き込む第1のステップと、前記入力された画像データの第1の行と隣り合う第2の行を前記分割単位で分割してなる複数列の分割画像データの各々を、前記

50

第 1 の行において同列に相当する分割画像データが記憶されたメモリバンクと異なるメモリバンクに記憶され、かつ、連続する分割画像データが互いに異なるメモリバンクにそれぞれ記憶されるように書き込む第 2 のステップと、前記第 1 および第 2 のステップにおいて前記メモリに書き込まれた分割画像データを読み出して、前記画像処理装置が実行する画像処理に応じた順序で供給するステップであって、前記画像データにおいて行方向または列方向に連続する前記分割画像データを連続的に読み出す第 3 のステップとを有するメモリ制御方法や、この方法を実現するためのプログラムとしても特定され得るものである。

【発明を実施するための最良の形態】

【0010】

10

以下、本発明の実施の形態について図面を参照しながら説明する。なお、以下に示す実施形態においては、「画像データ」は点順次形式で入力される 1 画素当たり 32 ビットのデータであるとする。この画像データは、上位 8 ビットは画像処理装置が行う画像処理とは無関係なダミーデータ等のデータ（以下「0 データ」という。）であり、残りの 24 ビットは、R（レッド）、G（グリーン）および B（ブルー）の各色についての 8 ビットの色成分（以下、それぞれ「R データ」、「G データ」および「B データ」という。）であるとする。また、以下に示す実施形態においては、1 ワードは 16 ビットであるとする。

【0011】

[構成]

図 1 は、本発明の一実施形態である画像処理装置 100 の構成を概略的に示したブロック図である。同図に示すように、画像処理装置 100 は、DRAM 10 と、SRAM 20 と、画像処理部 30 と、SRAM 40 と、DRAM 50 と、メモリ制御部 60 とを備える。なお、同図において、破線で示した矢印は画像データの転送経路を示している。画像データは、図示せぬ上位装置から図示せぬ入出力インターフェースを介して入力される。

20

【0012】

DRAM 10 および 50 は、それぞれ、物理的あるいは論理的に 4 個に区分されるメモリセルアレイを有するいわゆる 4 バンク構成のメモリである。DRAM 10 および 50 のそれぞれのメモリセルは、キャパシタに蓄積された電荷により 2 値情報を保持する。DRAM 10 および 50 はその位置が異なるのみであって、具体的な構成に差異はない。なお、本実施形態においては、説明の便宜上、DRAM 10 および 50 はクロック信号に同期して動作する SDRAM（Synchronous DRAM）であり、そのバースト長は「8（ワード）」であるとする。また、以下においては、物理的あるいは論理的に区分されるメモリセルアレイのそれぞれを「（メモリ）バンク」といい、「バンク 0」、「バンク 1」、「バンク 2」、「バンク 3」と記載して各メモリバンクを区別する。

30

【0013】

SRAM 20 および 40 は、それぞれフリップフロップにより 2 値情報を保持するメモリである。SRAM 20 および 40 は上述の DRAM 10 および 50 よりも高速にデータを読み出し、あるいは書き込むことが可能であるが、その容量は DRAM 10 および 50 よりも小さく構成されている。なお、SRAM 20 および 40 はその位置が異なるのみであって、具体的な構成に差異はない。

40

【0014】

画像処理部 30 は、複数のラインメモリと、フィルタ処理やブロック処理等の所定の画像処理を実行するための ASIC（Application Specific Integrated Circuit）とを備える。画像処理部 30 が行う画像処理は任意であり、ラインメモリの数は画像処理部 30 が行う画像処理の態様に依りて異なるが、本実施形態においては、画像処理部 30 は 5 × 5 画素の画像データを用いたフィルタ処理を行うものとし、4 ライン分のラインメモリを有するとする。

【0015】

メモリ制御部 60 は、上述の DRAM 10、50 および SRAM 20、40 の読み出しと書き込みに関する動作を制御する LSI（Large Scale Integration）等を備える。メ

50

メモリ制御部 60 は読み出しあるいは書き込みを行うデータのアドレスを所定の演算により発生させ、各メモリ間のデータ転送を制御する。

【0016】

[動作]

以上の構成のもと、画像処理装置 100 は図示せぬ外部装置から入力された画像データにフィルタ処理を行い、処理後の画像データを出力する。画像データは図 1 において破線で示した矢印に沿って転送されるので、DRAM 10 および SRAM 20 には処理前の画像データが記憶され、SRAM 40 および DRAM 50 には処理後の画像データが記憶されることになる。以下では、画像処理装置 100 が実行する各種動作について具体的に説明する。

10

【0017】

なお、本実施形態の画像処理装置 100 は、いわゆるバンディングにより画像処理を行う。ここでバンディングとは、画像データを所定の矩形領域（バンド）で分割し、分割した領域毎に画像処理を実行する方式のことである。ここでは、バンドの行方向のサイズ（以下「バンド長さ」という。）は画像データの行方向のサイズに一致するものとし、バンドの列方向のサイズ（以下「バンド高さ」という。）は「5（画素）」であるとする。

【0018】

（1）DRAM 10 への書き込み動作

はじめに、画像処理装置 100 のメモリ制御部 60 が DRAM 10 に画像データを書き込むときの動作を説明する。図 2 は、メモリ制御部 60 が画像データを DRAM 10 に書き込むために生成するアドレスを説明するために示した画像データの模式図である。同図に示すように、メモリ制御部 60 は、画像データの奇数行目のデータについてはバンク 0 とバンク 1 を指定するアドレスを交互に生成し、偶数行目のデータについてはバンク 2 とバンク 3 を指定するアドレスを交互に生成する。本実施形態においてはバースト長が「8」であるから、1 回の書き込み動作で 8 ワード分の画像データが書き込まれる。画像データは各画素が 32 ビット、すなわち 2 ワード分に相当するので、バンク 0 には 1 回のバースト転送で 4 画素分の画像データが順次記憶され、バンク 1 にはバンク 0 に直前に書き込まれた画像データに連続する 4 画素分の画像データが順次記憶される。また、同様の要領で、バンク 2 およびバンク 3 にも 4 画素分の画像データが順次記憶される。なお、画像データが各メモリバンクに記憶されときの具体的なアドレスは特に限定されないが、順次記憶される画像データがメモリバンク内において互いに連続するように記憶されるのが望ましい。

20

30

【0019】

このようにしてメモリ制御部 60 は画像データの 1 行目から順次アドレスを生成し、このアドレスにより特定される記憶領域に画像データを記憶させる。その結果、画像データは 4 画素（すなわち 8 ワード）毎に分割されて DRAM 10 のメモリバンクに記憶される。このバースト長に相当する単位で構成された画像データのことを、以下では「分割画像データ」という。図 2 に示されているように、隣り合う分割画像データは、いずれも、行方向と列方向のいずれについても同一のメモリバンクに記憶されないようになっている。このように分割画像データを記憶するのは、後述する読み出し動作を高速に行うことを可能にするためである。

40

【0020】

（2）DRAM 10 からの読み出し動作

続いて、画像処理装置 100 のメモリ制御部 60 が DRAM 10 に記憶された画像データを読み出すときの動作を説明する。メモリ制御部 60 は、各メモリバンクに記憶された分割画像データの連続する 8 ワード分（すなわち 4 画素分）を 1 回のバースト転送で読み出し、この動作をもとの画像データの 5 行分について行う、という処理を 1 サイクルとし、このサイクルを繰り返すことにより画像データ全体を読み出す。

【0021】

図 3 は、このときメモリ制御部 60 が行う読み出し動作と従来の読み出し動作とを示し

50

たタイミングチャートである。また、図 4 は、図 3 (a) に示したタイミングチャートに従って読み出される分割画像データのもとの画像データにおける位置を示した図である。なお、この読み出し動作において、C A S レイテンシは「 2 . 5 」であるとする。また、図 3 において、「CLK」はクロック信号、「Command」は入力されるコマンド、「Address」は選択されたアドレス、「Data」は読み出されるデータをそれぞれ示している。そして、図 3 (a) に示した矢印はメモリバンクの切り替えタイミングを表している。例えば、図 3 (a) の 6 クロック目に示した矢印は、選択するメモリバンクをバンク 0 からバンク 1 に切り替えていることを表している。つまり、この切り替えの前後では、バンク 0 に対するリード・コマンド (read) の入力後に選択するメモリバンクをバンク 1 に切り替え、バンク 1 に対するアクティブ・コマンド (ACT) を入力する、という動作が行われる。 10

【 0 0 2 2 】

図 3 (a) に示すように、バンク 0 の行アドレス (ROW0) と列アドレス (COL0) とを選択してバンク 0 の分割画像データを読み出す旨のコマンド (read) を入力し、その直後に、メモリバンクを切り替えてバンク 1 に対して同様の動作を行うと、バンク 0 に記憶されたデータ (00 ~ 07) を読み出した直後にバンク 1 に記憶されたデータ (10 ~ 17) を読み出すことができる。また、同様の要領で、バンク 1 に記憶されたデータ (10 ~ 17) を読み出した直後にバンク 2 に記憶されたデータ (20 ~ 27) を読み出し、バンク 2 に記憶されたデータ (20 ~ 27) を読み出した直後にバンク 3 に記憶されたデータ (30 ~ 37) を読み出すことができる。これにより、図 4 に示すように、もとの画像データの 2 行分に相当する分割画像データが連続的に読み出されることとなる。 20

【 0 0 2 3 】

そして、図 5 において矢印で示すように、この動作を 1 行目のバンク 0 → 1 行目のバンク 1 → 2 行目のバンク 2 → 2 行目のバンク 3 → 3 行目のバンク 0 → ... → 5 行目のバンク 1、といった具合にバンド高さに相当するだけ繰り返すと、フィルタ処理に必要な画素を含む分割画像データを全て読み出すことができる。図 5 から明らかなように、分割画像データの読み出しに際しては、同一のメモリバンクの分割画像データを繰り返し読み出すことなく、読み出すメモリバンクを順次切り替えることが可能となっている。そのため、データの読み出しが行われない時間を生じさせることなく、必要なデータを効率的に読み出すことが可能となっている。これに対して、図 3 (b) に示すようにメモリバンクを切り替えずに他の行のデータを読み出そうとすると、データの読み出しが連続的にならず、遅延が生じる。これは、同一のメモリバンク内で異なる行のメモリセルにアクセスしようとした場合には、プリチャージ・コマンド (図示しない) を入力するまでは新たなアクティブ・コマンドを入力することができないからである。 30

【 0 0 2 4 】

(3) S R A M 2 0 への書き込み・読み出し動作

続いて、画像処理装置 1 0 0 のメモリ制御部 6 0 が D R A M 1 0 から読み出された画像データを S R A M 2 0 に書き込み、これを読み出すときの動作を説明する。まず、メモリ制御部 6 0 は、画像データを D R A M 1 0 から読み出した順に逐次 S R A M 2 0 に記憶させる。すなわち、メモリ制御部 6 0 は、読み出された画像データが順次 S R A M 2 0 に記憶されるようなアドレスを演算により発生させる。 40

【 0 0 2 5 】

図 6 は、このとき S R A M 2 0 に記憶されるデータを示した模式図である。なお、同図において、各データに付された「00」、「01」、「02」等の番号は図 3 (a) や図 4 に示したデータとの対応を示すものであり、各データはそれぞれ 1 ワード分のデータ容量を有している。画像データが点順次形式で入力される 3 2 ビットのデータであることから、各データは「0 データと R データ」あるいは「G データと B データ」の 1 つのまとまりを構成している。つまり、データ「00」と「01」で 1 つの画素を構成し、以下同様に、連続する 2 ワード分のデータが 1 つの画素を構成している。

【 0 0 2 6 】

また、画像処理部 3 0 は、各色の色成分毎に画像処理を行う。すなわち、R データ、G 50

データおよびBデータのそれぞれを5×5画素分用いて3回のフィルタ処理を行うことで、このブロックに対する処理を行う。そのため、メモリ制御部60は、各色の色成分毎に5×5画素分のデータを順次画像処理部30に供給するべくSRAM20からデータを読み出す。

【0027】

図7は、メモリ制御部60がSRAM20からデータを読み出す手順を説明するための図である。同図において、図7(a)、(b)および(c)は、それぞれ、Rデータ、GデータおよびBデータを読み出す手順を示している。図7(a)に示すように、Rデータを読み出す場合には、メモリ制御部60はデータ「00」のうちのRデータに相当するデータを読み出す。すなわち、このときメモリ制御部60はデータ「00」の下位8ビットを読み出すべくアドレスを発生させる。そして、メモリ制御部60は、直前に読み出すために指定したアドレスに24ビット分を加算したアドレスを指定することにより、隣接する次の画素に相当するRデータ、すなわちデータ「02」の下位8ビットを読み出す。メモリ制御部60は同様の動作を第1行に相当する5画素分のRデータについて行い、5画素分のRデータを読み出す。その後、メモリ制御部60は第2行～第5行のRデータを同様の要領で読み出し、最終的に5×5画素分のRデータを画像処理部30に供給する。そして、画像処理部30はこのRデータをラインメモリに格納するなどし、フィルタ処理を実行する。

10

【0028】

続いて、メモリ制御部60はGデータおよびBデータをSRAM20から読み出す動作を実行する。これらの動作も、上述したRデータの読み出し動作とほぼ同様の手順にて行われる。しかしながら、図7(b)および(c)に示すように、データの読み出しに際して指定するアドレスは当然異なる。メモリ制御部60は、Gデータを読み出すときには、データ「01」、「03」、「05」等の上位8ビットを読み出すためのアドレスを指定し、Bデータを読み出すときには、データ「01」、「03」、「05」等の下位8ビットを読み出すためのアドレスを指定する。そして、このようにして読み出された5×5画素分のGデータとBデータとを、それぞれ画像処理部30に供給する。

20

【0029】

(4) 画像処理の実行後の動作

続いて、画像処理部30がフィルタ処理を行った後の画像データの取り扱いを説明する。画像処理部30が出力したデータは、SRAM40に書き込まれ、その後、DRAM50に書き込まれる。このときメモリ制御部60が行う読み出し・書き込み動作については、画像データが画像処理装置100から出力された後に行われる後段の処理に応じて決定すればよい。例えば、画像データを画像処理装置100に入力されたときと同じ形式で出力するのであれば、DRAM10およびSRAM20において行った動作を逆の手順で行うことによって、フィルタ処理後の画像データをDRAM10に記憶された形式と同一の形式でDRAM50に記憶させることが可能である。もっとも、メモリ制御部60の読み出し・書き込み動作は特に上述の例に限定されるものではなく、画像処理装置100からの出力の態様に適合するようなものであればよい。

30

【0030】

[効果]

以上に説明したように、本実施形態の画像処理装置100によれば、隣り合う分割画像データのそれぞれがいずれも同一のメモリバンクに記憶されないように分割画像データを書き込むことにより、分割画像データを連続的に読み出すことを可能としている。これにより、画像処理装置100は、画像処理部30に効率的にデータを供給することが可能となる。また、この画像処理装置100によれば、ある行の画像データ全体を読み出すときであっても、2つメモリバンクを切り替えながら順次読み出すことができるので、いわゆる横読みを高速に行うことが可能である。さらに、この画像処理装置100によれば、画像データの複数行の読み出しをそれらの行全体を読み出すことなく、かつ高速に行うことができる。そのため、この画像処理装置100によれば、主としてDRAMを用いた比較

40

50

的安価な構成であっても、いわゆる縦読みを高速に行うことが可能である。

【 0 0 3 1 】

また、本実施形態の画像処理装置 1 0 0 は、D R A M 1 0 からの読み出し動作を変更することにより、種々の画像処理に適用することが可能である。例えば、画像処理部 3 0 が行う処理が 3×3 画素の画像データを用いたフィルタ処理であるとすれば、図 8 に矢印で示すように 3 行分の分割画像データを列方向に連続的に読み出せばよい。また、例えば、画像処理部 3 0 が行う処理が 8×8 画素の画像データを用いたブロック処理であるとすれば、図 9 に矢印で示すように、もとの画像データにおいて行方向に連続する 2 つの分割画像データを連続的に読み出す動作を 8 行分行えばよい。

【 0 0 3 2 】

10

[変形例]

以上の説明においては、本発明の一の好適な実施形態を例示したが、本発明は上述の実施形態に限定されるものではなく、その他の種々の態様にて実施することが可能である。本発明においては、例えば、上述した実施形態に対して以下のような変形を適用することができる。なお、これらの変形は、各々を適宜に組み合わせることも可能である。

【 0 0 3 3 】

上述の実施形態においては、説明の便宜上、ワード長やバースト長等を限定したが、本発明は上述した例に限らず、画像処理装置やこれを搭載するコンピュータの仕様に応じた種々の値を用いることが可能である。また、画像データも 3 2 ビットのいわゆる R G B データに限らず、上述の 0 データを含まない 2 4 ビットの R G B データであってもよいし、輝度成分 (Y) のみからなる画像データや、輝度成分と色差成分 (C b 、 C r) からなる画像データであってもよい。また、画像データは点順次形式に限らず、面順次形式であってもよい。

20

【 0 0 3 4 】

また、上述の実施形態においては、D R A M 1 0 および 5 0 をシンクロナス D R A M (S D R A M) であるとしたが、非同期の D R A M を用いることも可能である。非同期の D R A M を用いる場合、制御信号の論理レベルの組み合わせにより上述のコマンドに相当する機能を実現することができる。

【 0 0 3 5 】

また、上述の実施形態においては、D R A M 1 0 と画像処理部 3 0 の間に S R A M 2 0 を設けたが、本発明はこの S R A M 2 0 を設けない構成においても適用できる場合がある。つまり、画像データの形式や画像処理装置 1 0 0 各部の仕様次第では、D R A M 1 0 から読み出された画像データをその読み出された順序で画像処理部 3 0 に供給することも可能である。例えば、画像処理部が供給された画像データを展開して必要なデータを選択可能な構成であれば、S R A M 2 0 に相当するメモリは不要となる。

30

【 0 0 3 6 】

また、上述の実施形態においては、D R A M 1 0 を 4 バンク構成としたが、メモリバンクの数は 2 以上であればいくつであってもよい。例えば、D R A M がバンク 0 とバンク 1 の 2 バンク構成であるとすれば、図 1 0 に示すように、連続する分割画像データが互いに異なるメモリバンクに記憶され、かつ、もとの画像データにおいて、隣り合う行において同列に相当する分割画像データが互いに異なるメモリバンクに記憶されるように画像データを書き込むことにより、もとの画像データの行方向と列方向のいずれについても連続的に読み出すことができ、複数行に渡る分割画像データの集合を高速に読み出すことが可能となる。

40

【 0 0 3 7 】

また、上述の実施形態においては、メモリ制御部 6 0 は L S I 等により構成されると説明したが、メモリ制御部 6 0 に相当する機能を実現するプログラムによってこのメモリ制御部を構成することも可能である。すなわち、本発明は、上述の画像処理装置やメモリ制御部 (メモリ制御装置) としてのみならず、メモリ制御部の機能を実現するプログラムとしても特定され得るものである。また、同様に、本発明はメモリ制御部が行うメモリの制

50

御方法としても特定され得るものである。

【図面の簡単な説明】

【0038】

【図1】本発明の一実施形態である画像処理装置の構成を示したブロック図である。

【図2】画像処理装置のメモリ制御部が画像データをDRAMに書き込むために生成するアドレスを説明するための図である。

【図3】画像処理装置のメモリ制御部が行う読み出し動作と従来の読み出し動作とを示したタイミングチャートである。

【図4】図3(a)に示したタイミングチャートに従って読み出される分割画像データのもとの画像データにおける位置を示した図である。

10

【図5】画像処理装置が分割画像データを読み出す順序を説明するための図である。

【図6】画像処理装置のSRAMに記憶されるデータを示した模式図である。

【図7】画像処理装置のメモリ制御部がSRAMからデータを読み出す手順を説明するための図である。

【図8】画像処理装置が行う読み出し動作の変形例を示した図である。

【図9】画像処理装置が行う読み出し動作の変形例を示した図である。

【図10】画像処理装置が行う書き込み動作の変形例を示した図である。

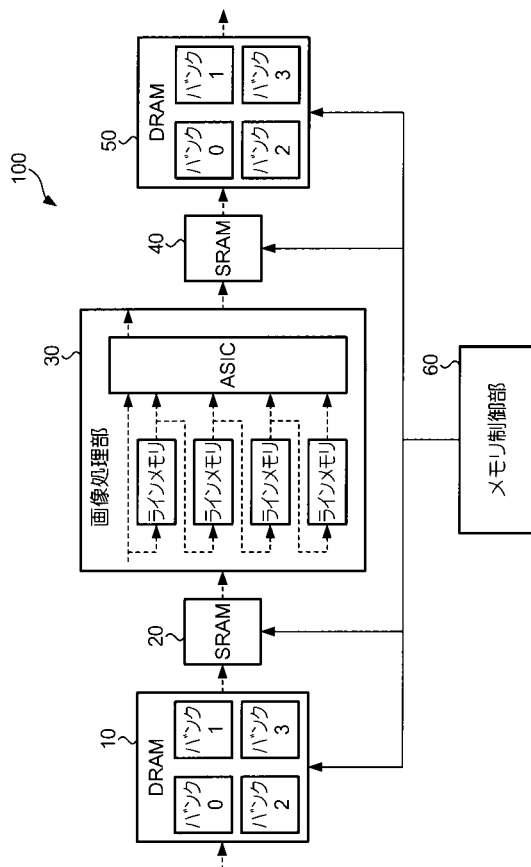
【符号の説明】

【0039】

100...画像処理装置、10、50...DRAM、20、40...SRAM、30...画像処理部、60...メモリ制御部

20

【図1】



【図2】

1行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
2行目	バンク2	バンク3	バンク2	バンク3	バンク2	バンク3	...
3行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
4行目	バンク2	バンク3	バンク2	バンク3	バンク2	バンク3	...
5行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
6行目	バンク2	バンク3	バンク2	バンク3	バンク2	バンク3	...
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

【 図 8 】

1行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
2行目	バンク2	バンク3	バンク2	バンク3	バンク2	バンク3	...
3行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
4行目	バンク2	バンク3	バンク2	バンク3	バンク2	バンク3	...
5行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
6行目	バンク2	バンク3	バンク2	バンク3	バンク2	バンク3	...
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

【 図 1 0 】

1行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
2行目	バンク1	バンク0	バンク1	バンク0	バンク1	バンク0	...
3行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
4行目	バンク1	バンク0	バンク1	バンク0	バンク1	バンク0	...
5行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
6行目	バンク1	バンク0	バンク1	バンク0	バンク1	バンク0	...
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

【 図 9 】

1行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
2行目	バンク2	バンク3	バンク2	バンク3	バンク2	バンク3	...
3行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
4行目	バンク2	バンク3	バンク2	バンク3	バンク2	バンク3	...
5行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
6行目	バンク2	バンク3	バンク2	バンク3	バンク2	バンク3	...
7行目	バンク0	バンク1	バンク0	バンク1	バンク0	バンク1	...
8行目	バンク2	バンク3	バンク2	バンク3	バンク2	バンク3	...
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮