

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 18 年 3 月 9 日 (2006.3.9)

【公開番号】特開 2004-7424 (P2004-7424A)

【公開日】平成 16 年 1 月 8 日 (2004.1.8)

【年通号数】公開・登録公報 2004-001

【出願番号】特願 2003-39934 (P2003-39934)

【国際特許分類】

**H 0 1 P 3/08 (2006.01)**

**H 0 1 P 1/203 (2006.01)**

**H 0 1 P 5/18 (2006.01)**

**H 0 1 P 11/00 (2006.01)**

**H 0 5 K 1/02 (2006.01)**

【F I】

H 0 1 P 3/08

H 0 1 P 1/203

H 0 1 P 5/18 F

H 0 1 P 11/00 G

H 0 1 P 11/00 K

H 0 5 K 1/02 P

【手続補正書】

【提出日】平成 18 年 1 月 24 日 (2006.1.24)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 4

【補正方法】変更

【補正の内容】

【0 0 1 4】

図 1 及び図 2 において、シリコン基板 1 には所定の深さを有する逆矩形錐台形状の凹部 1 a が形成され、当該凹部 1 a の表面に、並びにその表面から例えば符号 2 a で示すごとくシリコン基板 1 の表面に延在して、インダクタデバイスの Q 値を上げるために、Au にてなる接地導体膜 2 が形成されている。シリコン基板 1 及びその凹部 1 a の直上であって空隙 2 0 を介して、Si x Ny ( 0 < x < 3 , 2 < y < 5 ) にてなる誘電体支持膜 3 が形成され、さらに、当該誘電体支持膜 3 上に Au にてなるミアンダ形状のストリップ導体であって、高周波においてインダクタを構成する配線導体膜 4 が形成されている。当該配線導体膜 4 の一端 4 a は他の高周波回路と接続される端子として形成され、その他端 4 b の位置において、誘電体支持膜 3 をその厚さ方向に貫通するスルーホール 5 にスルーホール導体 5 c が充填され、これにより、当該他端 4 b は、スルーホール導体 5 c を介して、その直下の接地導体膜 2 a に接続されて接地される。すなわち、当該インダクタデバイス的一端は接地されている。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 6

【補正方法】変更

【補正の内容】

【0 0 1 6】

以上の実施の形態 1 においては、シリコン基板 1 を用いているが、本発明はこれに限らず、その他の半導体基板や、ガラス基板などの誘電体基板を用いてもよい。また、上記の

誘電体支持膜 3 の材料は  $\text{Si} \times \text{Ny}$  に限定するものでなく、誘電体支持膜 3 をシリコン酸化膜やポリイミド膜などで形成してもよい。さらに、配線導体膜 4 や接地導体膜 2 の材料は  $\text{Au}$  に限らず、 $\text{Cu}$  などの低い抵抗値を有する金属導体膜であればよい。これらの変形例については、他の実施の形態においても適用することが可能である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0081

【補正方法】変更

【補正の内容】

【0081】

まず最初に、シリコン基板 101 と誘電体支持膜 105 との構造体の製造工程について、図 30 及び図 31 を参照して説明する。まず、図 30 (a) に示すように、例えばチョクラルスキー法などの公知の方法を用いて、上表面が平坦化されたシリコン基板 101 を形成する。次いで、図 30 (b) に示すように、シリコン基板 101 の表面上に、例えばフォトリソグラフィ法などを用いて、感光樹脂等のレジスト又は  $\text{SiO}_2$  膜からなるマスクパターン層 113 を形成する。そして、図 30 (c) に示すように、例えば  $\text{KOH}$  などのアルカリ水溶液を用いて、シリコン基板 101 の表面を  $6 \mu\text{m}$  の深さまでエッチングし、逆矩形錐台形状の凹部 103 を形成する。さらに、図 30 (d) に示すように、スパッタリング法と写真製版法を用いて  $\text{Au}$  からなる接地導体膜 104 を、凹部 103 の表面全体に、かつ凹部 103 の斜面を介してシリコン基板 101 の一部に延在するように形成する。また、図 30 (e) に示すように、レジスト犠牲層 114 を凹部 103 内に充填した後、当該レジスト犠牲層 114 の露出面が接地導体膜 104 のシリコン基板 101 の表面に延在した面と同一平面になるように、CMP 法を用いてレジスト犠牲層 114 を平坦化する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0084

【補正方法】変更

【補正の内容】

【0084】

次いで、シリコン基板 102 の製造工程について、図 32 (a) 乃至図 32 (d) を参照して以下に説明する。なお、図 32 (a) 乃至図 32 (d) においては、シリコン基板 101 との配置関係で、上下反転して図示しているが、実際の製造工程では、上下反転したシリコン基板 102に対して処理を実行した後、シリコン基板 101 と接合する直前に、シリコン基板 102 を上下反転してシリコン基板 101 に接合する。