

19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

11) N° de publication : **2 861 848**  
(à n'utiliser que pour les  
commandes de reproduction)

21) N° d'enregistrement national : **04 07526**

51) Int Cl<sup>7</sup> : G 01 R 31/3187

12)

## DEMANDE DE BREVET D'INVENTION

A1

22) Date de dépôt : 07.07.04.

30) Priorité : 07.07.03 US 10614309.

43) Date de mise à la disposition du public de la demande : 06.05.05 Bulletin 05/18.

56) Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

60) Références à d'autres documents nationaux apparentés :

71) Demandeur(s) : HEWLETT PACKARD DEVELOPMENT COMPANY LP — US.

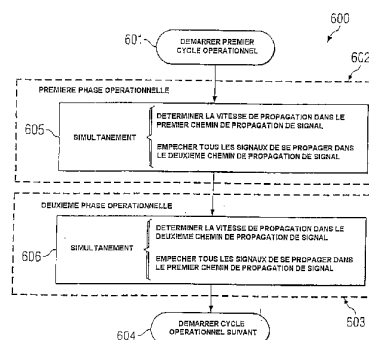
72) Inventeur(s) : PATELLA BENJAMIN J et FETZER ERIC S.

73) Titulaire(s) :

74) Mandataire(s) : REGIMBEAU.

54) SYSTEME ET PROCEDE D'EVALUATION DE LA VITESSE D'UN CIRCUIT.

57) Un procédé et un système destinés à évaluer la vitesse d'un circuit 20 sont proposés. Selon un mode de réalisation, le procédé comprend la détermination 605, pendant une première phase opérationnelle 602 d'un premier cycle opérationnel 601, de la vitesse de propagation d'un premier signal 228 dans un premier chemin de propagation de signal 24 et simultanément l'empêchement 605 de tous les signaux de se propager dans un deuxième chemin de propagation de signal 25 sensiblement parallèle au premier chemin de propagation de signal 24. Le procédé comprend en outre la détermination 606, pendant une deuxième phase opérationnelle 603 alternant avec la première phase opérationnelle 602, de la vitesse de propagation d'un deuxième signal 229 dans le deuxième chemin de propagation de signal 25 et, simultanément, l'empêchement 606 de tous les signaux de se propager dans le premier chemin de propagation de signal 24.



FR 2 861 848 - A1



SYSTEME ET PROCEDE D'EVALUATION DE LA VITESSE D'UN  
CIRCUIT

Contexte

La vitesse d'un circuit numérique dépend de la tension d'alimentation de fonctionnement, de la température de fonctionnement et des effets de traitement qui se produisent pendant la fabrication. Par exemple, les circuits numériques fonctionnent plus rapidement avec une tension d'alimentation croissante et fonctionnent plus lentement avec une tension d'alimentation décroissante. Dans les systèmes où il est nécessaire de mesurer la vitesse des circuits numériques, une ligne de retard peut être utilisée car elle peut être placée sur le même support de microcircuit que le circuit de système numérique. Par conséquent, sa vitesse est affectée par les mêmes procédés, tension et température comme le reste du système numérique.

L'utilisation de lignes de retard pour mesurer la vitesse du circuit numérique est un composant important dans un système de gestion de tension variable et de puissance de fréquence variable. Le composant dynamique ou de commutation de la dissipation de puissance dans les circuits numériques est  $P=C*f*VDD^2$ . Où P est la dissipation de puissance dynamique, C est la charge parasite des nœuds du circuit qui commutent les valeurs de logique, f est la fréquence de fonctionnement de la puce et VDD est la tension d'alimentation. Il est à noter que cette équation montre que la dissipation de puissance est proportionnelle à la tension

d'alimentation au carré. Dans un système de gestion de puissance dynamique, un contrôleur de gestion de puissance mesure la dissipation de puissance du circuit numérique. S'il détecte que le système dépasse un certain budget de puissance, le contrôleur réduit la tension d'alimentation du système VDD pour atteindre des économies d'énergie significatives (étant donné que VDD est un terme au carré dans l'équation de puissance dynamique). Cependant, étant donné que cette réduction de tension d'alimentation amène les circuits du système à fonctionner plus lentement, la fréquence de fonctionnement de la puce doit également être réduite, de sorte que le système ne manque pas ses délais de temps. En particulier, il existe certains chemins critiques dans le système numérique qui respectent à peine leurs délais de temps à la tension d'alimentation et à la fréquence de fonctionnement nominales de la puce. Par exemple, un délai de temps est un temps d'arrivée pour qu'un résultat logique soit verrouillé dans un élément d'horloge, tel qu'une bascule bistable DQ. Lorsque le contrôleur de gestion de puissance réduit la tension d'alimentation, ce chemin critique ralentit, de sorte que le résultat de chemin critique n'est pas calculé assez rapidement pour être verrouillé dans la bascule bistable DQ. Cela peut corrompre les calculs de l'ensemble du système numérique. En réduisant la fréquence de fonctionnement du système, c'est-à-dire en ralentissant l'horloge système, les délais des résultats de chemin critique sont déplacés plus tard dans le temps. Même si le chemin critique est

plus lent, le résultat correct est tout de même verrouillé.

La figure 1A représente un système 10 contenant une ligne de retard classique 13 comprenant une chaîne  
5 d'inverseurs 14-1, ..., 14-4. Un générateur d'impulsion test 12 avec une borne de démarrage 101 est raccordé par l'intermédiaire de la ligne d'entrée 102 à la borne d'entrée d'inversion du premier inverseur 14-1. La borne de sortie du premier inversée 14-1 est raccordée  
10 par l'intermédiaire de la ligne de sortie 103 à la borne d'entrée d'inversion du deuxième inverseur 14-2. La borne de sortie du deuxième inverseur 14-2 est à son tour raccordée par l'intermédiaire de la ligne de sortie 104 à la borne d'entrée d'inversion du troisième  
15 inverseur 14-3. La borne de sortie du troisième inverseur 14-3 est finalement raccordée par l'intermédiaire de la ligne de sortie 105 à la borne d'entrée d'inversion de l'inverseur final 14-4. Les inverseurs 14-1, ..., 14-4 sont généralement  
20 interconnectés avec un bus d'alimentation de tension VDD de microcircuit commun 110. La borne de sortie de l'inverseur final 14-4 est couplée au module de logique de comparaison de vitesse 15 par l'intermédiaire de la ligne de sortie 106. Le module de logique de  
25 comparaison de vitesse 15 est couplé à une ligne d'entrée supplémentaire, une ligne d'évaluation 107 et deux lignes de logique de sortie, nommément la ligne de logique de sortie lente 108 et la ligne de logique de sortie rapide 109.

30 La figure 1B est un diagramme des temps décrivant les signaux se produisant dans une opération

traditionnelle de la ligne de retard 13. La ligne de retard 13 est utilisée pour mesurer la vitesse du circuit (propagation du signal) en appliquant un signal START sur la borne de démarrage 101, amenant le

5 générateur d'impulsion test 12 à entraîner une impulsion IN 112 à travers la ligne d'entrée 102 sur la ligne de retard 13 à travers la borne d'entrée d'inversion du premier inverseur 14-1. L'impulsion IN 112 se propage à travers le ligne de retard 13, comme

10 cela est décrit par les signaux 113, 114 et 115 à des lignes de sortie respectives 103, 104 et 105 pour fournir une impulsion de sortie 116 sur la ligne de sortie 106. Le temps d'arrivée au module de logique de comparaison de vitesse 115 de l'impulsion de sortie

15 (OUT) 116 fournie à travers la ligne de sortie 106 en réponse à l'impulsion IN 112 est mesuré par le module de logique de comparaison de vitesse 15 par rapport à l'arrivée du signal EVALUATE 117 à travers la ligne d'évaluation 107. Comme cela est représenté sur la

20 figure 1B, lorsque l'impulsion OUT 116 arrive en même temps que le signal EVALUATE 117, les signaux de logique de sortie FAST 119 et SLOW 118 au niveau des lignes de logique de sortie respectives rapide 109 et lente 108 restent faibles. Lorsque l'impulsion OUT 116

25 arrive après le signal EVALUATE 117, le signal de logique de sortie SLOW 118 est affirmé, alors que lorsque l'impulsion OUT 116 arrive avant le signal EVALUATE 117, le signal de logique de sortie FAST 119 est affirmé.

30 La figure 1C est un diagramme des temps décrivant les signaux se produisant dans des conditions de

repliement dans le système 10. Le repliement se produit lorsque la tension d'alimentation de ligne de retard VDD sur le bus d'alimentation de tension 110 est suffisamment basse, c'est-à-dire la ligne de retard 13 est suffisamment lente, pour que deux (ou plus) périodes de signaux EVALUATE 127 s'écoulent avant que l'impulsion OUT 126 de la ligne de retard arrive au module de logique de comparaison de vitesse 15. Cela provoque une comparaison de vitesse incorrecte, comme cela est illustré sur la figure 1C, sur laquelle le premier bord montant de l'impulsion IN 122 initie l'évaluation de ligne de retard, c'est-à-dire, une impulsion test commence à se propager à travers la ligne de retard 13. Au niveau du premier bord montant du signal EVALUATE 127, l'impulsion OUT 126 n'a pas encore atteint le module de logique de comparaison de vitesse 15, qui amène un signal de logique de sortie SLOW 128 à être affirmé. Ceci est le résultat correct. Cependant, l'impulsion OUT 126 arrive finalement au module de logique de comparaison de vitesse 15 juste avant le deuxième bord montant du signal EVALUATE 127, qui amène le signal de logique de sortie FAST 129 à être affirmé. Ce résultat est incorrect, puisque la mesure a été réalisée par rapport à l'impulsion IN d'entrée 122 de la comparaison précédente. Le résultat correct doit être que le signal de logique de sortie SLOW 128 soit de nouveau affirmé.

#### Résumé de l'invention

Selon un mode de réalisation décrit ici, un circuit est proposé. Le circuit comprend une première

ligne de retard dotée d'une première borne d'entrée pouvant fonctionner pour recevoir un premier signal d'entrée, une première borne de réinitialisation pouvant fonctionner pour recevoir un premier signal de réinitialisation et une première borne de sortie pouvant fonctionner pour fournir un premier signal de sortie en réponse au premier signal d'entrée. Le circuit comprend en outre une deuxième ligne de retard dotée d'une deuxième borne d'entrée pouvant fonctionner pour recevoir un deuxième signal d'entrée, une deuxième borne de réinitialisation pouvant fonctionner pour recevoir un deuxième signal de réinitialisation et une deuxième borne de sortie pouvant fonctionner pour fournir un deuxième signal de sortie en réponse au deuxième signal d'entrée. Le circuit comprend en outre un module de logique de comparaison de vitesse interconnecté avec la première borne de sortie, avec la deuxième borne de sortie et avec une borne d'évaluation pouvant fonctionner pour recevoir un signal d'évaluation. Le module de logique de comparaison de vitesse comprend au moins une borne de sortie de logique pouvant fonctionner pour affirmer un signal de sortie de logique en réponse à une comparaison du signal d'évaluation avec l'un du premier signal de sortie et du deuxième signal de sortie.

Selon un autre mode de réalisation décrit ici, un procédé pour évaluer la vitesse d'un circuit est proposé. Le procédé comprend simultanément le lancement d'un premier signal d'entrée dans une première ligne de retard et l'application d'un signal de réinitialisation vers une première ligne de retard, de sorte que tous

les signaux se propageant à travers la deuxième ligne de retard sont éliminés. Le procédé comprend en outre la création d'un signal d'évaluation, la réception d'un premier signal de sortie depuis la première ligne de retard en réponse au premier signal d'entrée, la  
5 réception du signal d'évaluation et l'affirmation d'un signal de logique de sortie en fonction du temps de réception du premier signal de sortie par rapport au temps de réception du signal d'évaluation. Le procédé  
10 comprend en outre l'alternance des phases de la première ligne de retard et de la deuxième ligne de retard, simultanément le lancement d'un deuxième signal d'entrée dans la deuxième ligne de retard et l'application d'un signal de réinitialisation sur la  
15 première ligne de retard, de sorte que tous les signaux se propageant à travers la première ligne de retard sont éliminés. Le procédé comprend en outre la création d'un signal d'évaluation, la réception d'un deuxième signal de sortie depuis la deuxième ligne de retard en  
20 réponse au deuxième signal d'entrée, la réception du signal d'évaluation et l'affirmation d'un signal de logique de sortie en fonction du temps de réception du deuxième signal de sortie par rapport au temps de réception du signal d'évaluation.

25 Selon encore un autre mode de réalisation décrit ici, un système destiné à évaluer la vitesse d'un circuit est proposé. Le système comprend des moyens pour, simultanément, lancer un premier signal d'entrée dans une première ligne de retard et des moyens pour  
30 appliquer un signal de réinitialisation sur une deuxième ligne de retard, de sorte que tous les signaux

se propageant à travers la deuxième ligne de retard sont éliminés. Le système comprend en outre des moyens pour créer un signal d'évaluation, des moyens pour recevoir un premier signal de sortie depuis la première  
5 ligne de retard en réponse au premier signal de sortie, des moyens pour recevoir le signal d'évaluation, des moyens pour affirmer un signal de logique de sortie en fonction du temps de réception du premier signal de sortie par rapport au temps de réception du signal  
10 d'évaluation et des moyens pour alterner les phases de la première ligne de retard et de la deuxième ligne de retard, de sorte que les fonctions de la première ligne de retard et de la deuxième ligne de retard sont échangées.

15 Selon encore un autre mode de réalisation décrit ici, un procédé pour évaluer la vitesse d'un circuit est proposé. Le procédé comprend la détermination, pendant une première phase opérationnelle d'un premier cycle opération, de la vitesse de propagation d'un  
20 premier signal dans un premier chemin de propagation de signal et simultanément, d'empêcher tous les signaux de se propager dans un deuxième chemin de propagation de signal sensiblement parallèle au premier chemin de propagation de signal. Le procédé comprend en outre la  
25 détermination, pendant une deuxième phase opérationnelle alternant avec la première phase opérationnelle, de la vitesse de propagation d'un deuxième signal dans le deuxième chemin de propagation et, simultanément, d'empêcher tous les signaux de se  
30 propager dans le premier chemin de propagation de signal.

Brève description des dessins

La figure 1A représente un système contenant une ligne de retard simple traditionnelle, comprenant une chaîne d'inverseurs ;

la figure 1B est un diagramme des temps décrivant les signaux se produisant dans le fonctionnement traditionnel de la ligne de retard représentée sur la figure 1A ;

la figure 1C est un diagramme des temps décrivant les signaux se produisant dans des conditions de repliement dans le système représenté sur la figure 1A ;

la figure 2A décrit un système utilisant deux lignes de retard alternées pour réaliser des évaluations de vitesse, selon des modes de réalisation de la présente invention ;

la figure 2B est un diagramme des temps décrivant les signaux se produisant pendant le fonctionnement du système représenté sur la figure 2A ;

la figure 3 est un organigramme décrivant le cycle opérationnel du système représenté sur la figure 2A ;

la figure 4A est un schéma d'un inverseur de ligne de retard spécialisé, selon des modes de réalisation de la présente invention ;

la figure 4B est un schéma représentant la manière dont l'inverseur de ligne de retard de la figure 4A est utilisé dans une ligne de retard, selon des modes de réalisation de la présente invention ;

la figure 5 est un organigramme illustrant un procédé, selon un mode de réalisation, pour évaluer la vitesse d'un circuit ; et

la figure 6 est un organigramme illustrant un autre procédé selon un autre mode de réalisation, pour évaluer la vitesse d'un circuit.

#### 5 Description détaillée

La figure 2A décrit un système 20 utilisant deux lignes de retard alternées 24, 25 pour réaliser des évaluations de vitesse, selon des modes de réalisation de la présente invention. Un générateur d'impulsion test 22 est raccordé à la première ligne de retard 24 par l'intermédiaire de la première ligne d'entrée de signal 206 et par l'intermédiaire de la première ligne de réinitialisation 204. De même, le générateur d'impulsion 22 est raccordé à la deuxième ligne de retard 25 par l'intermédiaire de la deuxième ligne d'entrée de signal 207 et par l'intermédiaire de la deuxième ligne de réinitialisation 205. Généralement, les lignes de retard 24, 25 partagent un bus de tension d'alimentation commun VDD 220, qui fournit également une tension à d'autres dispositifs partageant le même microcircuit avec le système 20. La première ligne de sortie de signal 208 provenant de la première ligne de retard 24 et la deuxième ligne de sortie de signal 209 provenant de la deuxième ligne de retard 25 sont raccordées aux bornes d'entrée du module de logique de comparaison de vitesse 21. La ligne d'évaluation 210 est raccordée à une troisième borne d'entrée du module de logique de comparaison de vitesse 21. Des lignes de logique de sortie rapide et lente 211 et 212 respectivement sont fournies à partir du module de logique de comparaison de vitesse 21.

La figure 2B est un diagramme des temps décrivant les signaux se produisant pendant le fonctionnement du système 20. La figure 3 est un organigramme décrivant un cycle opérationnel 300 du système 20. Immédiatement

5 après que le cycle opérationnel démarre START 301, un signal IN 226 est lancé en opération 302 depuis le générateur d'impulsion test 22 dans la borne d'entrée 206 de la ligne de retard 24 (ligne de retard n° 1). Simultanément, un signal RESET 225 est appliqué sur la

10 borne de réinitialisation 205 de la ligne de retard alternative 25 (ligne de retard n° 2). Dans l'opération 304, comme cela est déterminé par le circuit de temps du système 20, un signal EVALUATE 230 est lancé dans la borne d'évaluation 210 du module de logique de

15 comparaison de vitesse 21. Pendant que la ligne de retard 24 est en cours d'évaluation (un signal se propage à travers le circuit), la ligne de retard 25 se réinitialise. Pendant la phase de réinitialisation décrite dans l'opération 305, la ligne de retard 25 est

20 totalement effacée, de sorte que de quelconques signaux provenant du cycle d'évaluation précédent sont éliminés. En même temps, dans l'opération 303, le signal OUT 228 provenant de la ligne de retard 24 en réponse au signal IN 226 est reçu au module de logique de comparaison de

25 vitesse 21 par l'intermédiaire de la ligne de sortie de signal 208 et, dans l'opération 306, son temps d'arrivée est comparé à celui du signal EVALUATE 230. Dans l'opération 307, le module de logique de

30 logique de sortie SLOW 232 ou un signal de logique de sortie FAST 231, en fonction du temps d'arrivée du

signal OUT 228 par rapport au temps d'arrivée du signal EVALUATE 230.

Le système est contrôlé entièrement par le circuit de temps. Ainsi, la ligne de retard 24 n'attend pas que  
5 la ligne de retard 25 ait effectué son évaluation avant de commencer son évaluation et vice-versa. Toutes les impulsions IN, les impulsions EVALUATE et les impulsions RESETS sont fondées sur le temps et dans l'implémentation spécifique des figures 2A et 2B, sont  
10 fondées sur la fréquence d'horloge du système pour fournir une mesure précise des délais de temps du système numérique. La ligne de retard 24 entre dans la phase de réinitialisation et, simultanément, le signal IN2 227 est lancé à travers la ligne de retard 25,  
15 comme cela est décrit dans l'opération 312. Dans l'opération 314, le signal EVALUATE 230 est lancé dans la borne d'évaluation 210 du module de logique de comparaison de vitesse 21. Pendant que la ligne d'évaluation 25 effectue son évaluation, la ligne de  
20 retard 24 se réinitialise. Pendant la phase de réinitialisation décrite dans l'opération 315, la ligne de retard 24 est totalement effacée, de sorte que de quelconques signaux provenant du cycle d'évaluation précédent sont éliminés. En même temps, dans  
25 l'opération 313, le signal OUT2 229 provenant de la ligne de retard 25 en réponse au signal IN2 227 est reçu au module de logique de comparaison de vitesse 21 à travers la ligne de sortie de signal 209 et, dans l'opération 316, son temps d'arrivée est comparé à  
30 celui du signal EVALUATE 230. Dans l'opération 317, le module de logique de comparaison de vitesse 21 affirme

ensuite un signal de logique de sortie SLOW 232 ou un signal de logique de sortie FAST 231, en fonction du temps d'arrivée du signal OUT 229 par rapport au temps d'arrivée du signal EVALUATE 230. Le système 20 reprend  
5 ensuite le cycle au cycle opérationnel START 301.

En particulier, dans la dernière phase des cycles de temps représentés sur la figure 2B, EVALUATE 230 est haut, RESET2 225 est bas, OUT1 228 est bas, OUT2 229 est haut (le bord avant précédent le bord avant du  
10 signal EVALUATE 230), SLOW 232 est bas et FAST 231 est affirmé. RESET1 224 a déjà effacé la ligne de retard n°1 24, avant l'affirmation courante d'EVALUATE 230. La logique de comparaison de vitesse 21 évalue OUT2 229 provenant de la ligne de retard n° 2 25 tant que  
15 EVALUATE 230 reste haut dans cette phase. RESET2 225 reste bas pendant que EVALUATE 230 reste haut et est affirmé (passe à la position haute) uniquement en même temps que EVALUATE 230 passe à la position basse, comme cela est contrôlé par le circuit de temps. Cette  
20 relation de temps garantit que la logique de comparaison de vitesse 21 a terminé l'évaluation de OUT2 229 pour un cycle opération respectif avant que l'affirmation suivante de RESET2 force OUT2 229. Dans la phase alternative du cycle opératoire, une relation  
25 de temps similaire existe entre RESET1 224 et EVALUATE 230.

En alternant les lignes de retard 24, 25 de la manière décrite sur la figure 3 entre les phases de réinitialisation et d'évaluation, la même fréquence de  
30 comparaisons est réalisée comme cela est réalisé à l'aide du système traditionnel 10 décrit sur la figure

1A mais le dépliement cycle à cycle est évité. Par exemple, dans le scénario de dépliement décrit sur la figure 2B, la ligne de retard 24 est suffisamment basse pour que les impulsions IN 226 requièrent plus de deux cycles de signal EVALUATE 230 pour arriver aux sorties de la ligne de retard en tant qu'impulsions OUT 228. Ensuite, l'impulsion OUT 228 n'arrive pas à temps pour la comparaison et le signal de logique de sortie SLOW 232 est affirmé correctement car la ligne de retard 24 est réinitialisée de manière alternée en appliquant un signal RESET 224 entre les évaluations. Au contraire, bien que l'impulsion de sortie 229 provenant de la première impulsion IN 227 de la ligne de retard 25 arrive trop tard par rapport au signal EVALUATE 230 pour la comparaison, l'impulsion de sortie 229 provenant de la deuxième impulsion IN 227 de la ligne de retard 25 arrive en avance du quatrième cycle d'impulsion EVALUATE 230, et affirme correctement un signal de logique de sortie FAST 231. Si l'impulsion de sortie 229 a été générée en réponse à un signal IN 227 de cycle antérieur, elle a été effacée par le deuxième cycle de signal RESET 225 avant l'évaluation.

La manière dont la réinitialisation d'une ligne de retard est réalisée dépend de l'implémentation spécifique de la ligne de retard. Dans une telle implémentation, un nfet de rappel vers le bas qui s'active pendant la réinitialisation et force ces nœuds à zéro est ajouté aux étages alternés de la ligne de retard.

La figure 4A est un schéma d'un inverseur de ligne de retard spécialisé 414-i. il comprend trois entrées :

IN 411, RESET 412 et RESET\_BAR 413. Il comprend une sortie unique OUT 410. Le signal RESET 412 est affirmé (binaire 1) pendant la phase de réinitialisation de la ligne de retard et RESET\_BAR 413 est toujours l'inverse logique de RESET 412. De manière fonctionnelle, lorsque l'inverseur de ligne de retard 414-i n'est pas en cours de réinitialisation (c'est-à-dire RESET 412 est binaire 0 et RESET\_BAR 413 est binaire 1), il se comporte comme un inverseur traditionnel contrôlé par des MOSFET traditionnels M1 401 et M4 404, en ce que OUT 410 est l'inverse de IN 411. Pendant la phase d'évaluation de la ligne de retard, les MOSFET M2 402 et M3 403 sont activés, de sorte qu'une évaluation d'inversion normale peut avoir lieu. Pendant la phase de réinitialisation, RESET 412 est binaire 1 et RESET\_BAR 413 est binaire 0. Cela désactive les MOSFET M2 402 et M3 403 de sorte que l'inverseur 414-i ne peut pas exciter une valeur sur OUT 410. A ce point, un transistor externe 415-417 (représenté sur la figure 4B) est capable d'exciter une valeur sur OUT 410 sans « combat d'excitation ».

La figure 4B est un schéma représentant la manière dont l'inverseur de ligne de retard 414-i est utilisé dans la ligne de retard 420. Chacun des inverseurs 414-1, ..., 414-4 sur la figure 4B est un inverseur spécialisé 414-i représenté sur la figure 4A. Sur une évaluation de ligne de retard, une impulsion test positive (un signal binaire 1) est excitée dans l'entrée 421 de la ligne de retard 420. Par définition, une ligne de retard effacée est une ligne de retard dans laquelle le binaire 0 est affirmé sur l'entrée 421 et, par conséquent, le binaire 0 effectue une

évaluation à la sortie 430. Spécifiquement, une ligne de retard entièrement réinitialisée comprend les valeurs binaires suivantes sur ses nœuds : delay\_line\_in 421=0, nœud 422 = 1, nœud 423 = 0, nœud 5 424 = 1, delay\_line\_out 430 = 0. Les MOSFET M5, M6 et M7 (415-417) forcent en réalité les nœuds 422 à 424 aux valeurs binaires correctes de sorte que la réinitialisation de la ligne de retard nécessite uniquement un retard d'un élément de ligne de retard.

10 Il s'agit d'une réinitialisation rapide, permise par l'inverseur spécialisé 414-i et des MOSFET de réinitialisation 415-417 dans le circuit de ligne de retard 420. Cette réinitialisation rapide est une propriété importante de l'implémentation de lignes de 15 retard alternées.

Une variante de solution qui peut être utilisée pour éliminer le dépliement des systèmes incorporant des lignes de retard est d'utiliser une logique dynamique dans la ligne de retard, de sorte que la 20 ligne de retard est effacée pendant la phase de préchargement simplement par la nature de l'implémentation de la ligne de retard. Le document de S. Dhar et al, « Low-Power Digital Filtering Using Multiple Voltage Distribution and Adaptive Voltage 25 Scaling » (« Filtrage numérique à basse puissance à l'aide d'une répartition de tension multiple et un cadrage de tension adaptable ») soumis au Symposium International sur la conception électronique à basse puissance, 2000, incorporé ici en référence, décrit 30 l'utilisation de lignes de retard de circuit dynamique. Par sa nature réelle, la logique dynamique est anti-

déplément en raison de sa phase de préchargement inhérente. Mais avec la logique dynamique, une évaluation complète de cycle ne peut pas être obtenue car la phase de préchargement empiète sur le budget  
5 temps. Les modes de réalisation décrits ici permettent à un QUELCONQUE type de logique d'atteindre le retard par rapport à la réponse VDD nécessaire pour correspondre aux chemins critiques de la puce. Ils permettent également une période d'évaluation de ligne  
10 de retard d'une quelconque durée jusqu'à un cycle d'horloge complet. Un problème avec le plan décrit dans le document de Dhar et al. est que le temps de préchargement empiète sur une partie de la période d'horloge du système. Ainsi, il est impossible de créer  
15 une ligne de retard qui imite complètement un cycle complet de l'horloge du système, sans utiliser deux lignes de retard, comme les présents modes de réalisation le décrivent. Un autre problème avec l'utilisation d'une implémentation de logique purement  
20 dynamique de la ligne de retard est qu'elle ne modélise pas précisément la vitesse des circuits du système numérique, à moins que le système lui-même soit composé entièrement de logique dynamique. Les logiques statique et dynamique sont des termes définis dans l'art. Le  
25 document « Design of High-Performance Microprocessor Circuits » (« Conception de circuits de microprocesseurs haute performance »), publié par Anantha Chandraskasan, et al., IEEE Press 2001, définit la logique statique à la page 120, section 7.2.1 et  
30 définit la logique dynamique à la page 128, section 7.3.1, lesquelles pages sont incorporées ici en

référence. Il est à noter que la logique dynamique est appelée également « logique domino ». Etant donné que les logiques dynamique et statique répondent différemment à des changements de tension d'alimentation, une ligne de retard de logique purement dynamique ne peut pas répondre précisément aux changements de vitesse qui se produisant dans la logique statique.

Une deuxième solution qui peut être utilisée pour éliminer le dépliement d'un système basé sur une ligne de retard est de réduire la fréquence des évaluations, de sorte que la ligne de retard est garantie d'évaluer totalement tous les points de fonctionnement souhaités du système numérique. Le document de T. Kuroda et al., « Variable Supply-Voltage Scheme for Low-Power High Speed CMOS Digital Design » (« Plan de tension d'alimentation variable pour une conception numérique CMOS basse puissance haute vitesse »), IEEE Journal of Solid-State Circuits, vol. 33, pp 454-462, incorporé ici en référence, décrit un système qui attend entre les évaluations de ligne de retard pour éliminer le dépliement. Un inconvénient majeur de cette implémentation est que la fréquence des évaluations doit diminuer, ce qui, à son tour, réduit la réponse dynamique globale du plan de gestion de puissance.

Dans un système de gestion de puissance tel que décrit précédemment, certains moyens destinés à mesurer la vitesse des chemins critiques de la puce sont requis, pour indiquer au système comment ajuster l'horloge système de sorte que l'intégrité du système soit maintenue. L'objectif est de réduire la fréquence

d'opération juste assez pour que les chemins critiques respectent leurs délais de temps, mais pas plus, car une réduction supplémentaire de fréquence amène la performance du système à chuter. Une ligne de retard  
5 peut être utilisée dans un tel système de gestion de puissance pour estimer la vitesse des chemins critiques de la puce et indiquer au circuit de génération d'horloge du système comment ajuster la fréquence d'horloge. Par exemple, sur les figures 2A et 2B, la  
10 sortie FAST de la logique de comparaison de vitesse indique que les lignes de retard et, par conséquent, les chemins critiques du système sont rapides. Cela implique que la tension d'alimentation soit assez élevée pour que la fréquence d'horloge soit augmentée  
15 pour gagner en performance. De même, lorsque la sortie SLOW est affirmée, cela signifie que les lignes de retard et les chemins critiques du système correspondant sont trop lents, éventuellement en raison du système de gestion de puissance qui réduit le VDD  
20 pour rester dans son budget de puissance ou en raison d'une chute de grille de puissance. En réponse à une affirmation SLOW, le circuit de génération d'horloge du système réduit la fréquence d'horloge du système, de sorte que les chemins critiques de la puce respectent  
25 leurs délais de temps.

Un défi majeur associé à ce type de système de gestion de puissance est de concevoir une ligne de retard qui mesure précisément la vitesse des chemins critiques du système réel. Etant donné que le chemin  
30 critique de la puce réelle n'est PAS connu au moment de la conception et peut même varier d'une puce à l'autre,

les lignes de retard doivent être ajustées dans du silicium actuel pour correspondre à ce que le chemin critique de chaque puce doit être. Un moyen avantageux de faire cela est de concevoir le circuit de ligne de retard, de sorte qu'il est composé de circuits qui 5 répondent aux changements de tension d'alimentation d'une manière qui est similaire aux circuits dans le système numérique, pour permettre la flexibilité dans cet ajustement de silicium. Par exemple, dans une 10 conception de VLSI personnalisée, il existe peut de gammes de circuit qui sont en usage courant. Celles-ci sont les CMOS totalement complémentaires (ou logique statique), la logique dynamique et les chemins dominés par RC communs dans les signaux qui doivent être mis en 15 tampon et acheminés sur une longue distance sur la puce. Par conséquent, la conception d'une ligne de retard qui répond aux changements de tension d'alimentation d'une manière similaire à ces gammes de logique est importante pour obtenir une estimation précise de la 20 rapidité à laquelle le système numérique peut fonctionner. En outre, chacun de ces types de circuit montre une réponse de retard unique aux changements de tension d'alimentation. Par exemple, la conception d'une ligne de retard qui utilise la logique dynamique 25 comme estimation de la rapidité à laquelle un chemin de logique statique fonctionne dans le système numérique n'est pas très précise. Le coût de cela est une performance inférieure du système.

Un piège potentiel d'un circuit d'estimation de 30 vitesse basé sur une ligne de retard est le dépliement cycle à cycle. Etant donné que le système de gestion de

puissance et le système d'horloge ajustent de manière dynamique la tension d'alimentation et la fréquence, il est possible que la tension d'alimentation soit ajustée assez basse pour que les lignes de retard ralentissent  
5 tant qu'une impulsion test soit « piégée » dans la ligne de retard. L'impulsion « piégée » n'apparaît pas à l'entrée vers la logique de comparaison de vitesse jusqu'à l'affirmation suivante de EVALUATE. Dans cette situation, il est probable que la logique de  
10 comparaison de vitesse interprète cette impulsion retardée comme une indication que les lignes de retard fonctionnent rapidement et, par conséquent, affirme FAST comme cela est représenté sur la figure 1B. A son tour, cela amène les horloges à augmenter la fréquence  
15 d'horloge et amène les chemins critiques de la puce à manquer leurs délais. En raison de cette erreur, le système ne peut pas récupérer et commence à générer des résultats erronés. L'effacement des lignes de retard alternées avant que chacune d'entre elles effectue une  
20 évaluation, comme cela est décrit selon les modes de réalisation ici, élimine totalement le potentiel de dépliement dans le système.

Le présent plan à double ligne de retard permet une ligne de retard qui est composée d'un quelconque  
25 type ou d'une quelconque combinaison de types de circuits. Par exemple, la ligne de retard peut être implémentée à l'aide d'étages de logique statique ou dynamique, pourvu qu'elle soit implémentée de sorte qu'elle peut être effacée pendant la phase de  
30 réinitialisation. Cela est hautement souhaitable car les chemins critiques de système numérique actuels sont

généralement composés d'une certaine combinaison de ces types de logique et la ligne de retard peut être conçue pour modéliser les chemins de système réels de manière plus réaliste. Des modes de réalisation décrits ici  
5 éliminent le dépliement cycle à cycle dans les circuits de mesure de vitesse de circuit numérique basé sur une ligne de retard, tout en permettant la même fréquence d'évaluation qui peut être utilisée avec un système basé sur une ligne de retard unique.

10 La figure 5 est un organigramme illustrant un procédé 500, selon un mode de réalisation, pour évaluer la vitesse d'un circuit. Le procédé comprend, comme cela est décrit dans l'opération 502, le lancement d'un premier signal d'entrée 226 dans la première ligne de  
15 retard 24 et simultanément l'application d'un signal de réinitialisation 225 sur la deuxième ligne de retard 25, de sorte que tous les signaux 227, 229 se propageant à travers la deuxième ligne de retard 25 sont éliminés comme cela est décrit en outre dans l'opération 503. Le  
20 procédé comprend en outre le lancement d'un signal d'évaluation 230 comme cela est décrit dans l'opération 504 ; la réception d'un premier signal de sortie 228 depuis la première ligne de retard 24 en réponse au premier signal d'entrée 226, comme cela est décrit dans  
25 l'opération 505 ; et la réception d'un signal d'évaluation 230 comme cela est décrit dans l'opération 506. Le procédé comprend en outre l'affirmation d'un signal de logique de sortie 231, 232 en fonction du temps de réception 505 du premier signal de sortie 228  
30 par rapport au temps de réception 506 du signal d'évaluation 230, comme cela est décrit dans

l'opération 507. Le procédé comprend en outre l'alternance des phases de la première ligne de retard 24 et de la deuxième ligne de retard 25, comme cela est décrit dans l'opération 508 et simultanément le  
5 lancement d'un deuxième signal d'entrée 227 dans la deuxième ligne de retard 25 et l'application d'un signal de réinitialisation 224 sur la première ligne de retard 24, comme cela est décrit dans l'opération 509, de sorte que tous les signaux 226, 228 se propageant à  
10 travers la première ligne de retard 24 sont éliminés, comme cela est décrit dans l'opération 510. Le procédé comprend en outre le lancement d'un signal d'évaluation 230 comme cela est décrit dans l'opération 511 ; la réception d'un deuxième signal de sortie 229 provenant  
15 de la deuxième ligne de retard 25 en réponse au deuxième signal d'entrée 227, comme cela est décrit dans l'opération 512 et la réception d'un signal d'évaluation 230, comme cela est décrit dans l'opération 513. Le procédé comprend en outre  
20 l'affirmation d'un signal de logique de sortie 231, 232 en fonction du temps de ladite réception 512 du deuxième signal de sortie 229 par rapport au temps de ladite réception 513 du signal d'évaluation 230, comme cela est décrit dans l'opération 514.

25 En fonction des signaux de temps, le procédé comprend une autre alternance de phases de la première ligne de retard 24 et de la deuxième ligne de retard 25, comme cela est décrit dans l'opération 515, suivi par le renvoi d'un flux opérationnel dans l'opération 516  
30 pour démarrer dans l'opération 501.

La figure 6 est un organigramme illustrant le procédé 600, selon un autre mode de réalisation, pour évaluer la vitesse d'un circuit. Le procédé comprend la détermination, pendant une première phase opérationnelle 602 d'un premier cycle opérationnel 601, de la vitesse de propagation d'un premier signal 226, 228 dans un premier chemin de propagation de signal 24 et simultanément d'empêcher 225 tous les signaux 227, 229 de se propager dans un deuxième chemin de propagation de signal 25 sensiblement parallèle au premier chemin de propagation de signal 24, comme cela est décrit dans l'opération 605. Le procédé comprend en outre la détermination, pendant la deuxième phase opérationnelle 603 alternant avec la première phase opérationnelle 602, de la vitesse de propagation d'un deuxième signal 227, 229 dans le deuxième chemin de propagation de signal 25 et simultanément d'empêcher 224 tous les signaux 226, 228 de se propager dans le premier chemin de propagation de signal 24, comme cela est décrit dans l'opération 606.

Dans l'opération 604, le flux opérationnel est renvoyé à l'opération 601 pour démarrer un cycle opérationnel suivant.

REVENDICATIONS

1. Circuit 20 comprenant :

une première ligne de retard 24 dotée d'une première borne d'entrée 206 pouvant fonctionner pour recevoir un premier signal d'entrée 226, une première  
5 borne de réinitialisation 204 pouvant fonctionner pour recevoir un premier signal de réinitialisation 224 et une première borne de sortie 208 pouvant fonctionner pour fournir un premier signal de sortie 228 en réponse audit premier signal d'entrée 226 ;

10 une deuxième ligne de retard 25 comprenant une deuxième borne d'entrée 207 pouvant fonctionner pour recevoir un deuxième signal d'entrée 227, une deuxième borne de réinitialisation 205 pouvant fonctionner pour recevoir un deuxième signal de réinitialisation 225 et  
15 une deuxième borne de sortie 209 pouvant fonctionner pour fournir un deuxième signal de sortie 229 en réponse audit deuxième signal d'entrée 227 ; et

un module de logique de comparaison de vitesse 21 interconnecté avec ladite première borne de sortie 208,  
20 avec ladite deuxième borne de sortie 209 et avec une borne d'évaluation 210 pouvant fonctionner pour recevoir un signal d'évaluation 230, ledit module de logique de comparaison de vitesse 21 comprenant au moins une borne de sortie de logique 211, 212 pouvant  
25 fonctionner pour affirmer un signal de sortie de logique 231, 232 en réponse à une comparaison dudit signal d'évaluation 230 avec l'un dudit premier signal de sortie 228 et dudit deuxième signal de sortie 229.

2. Circuit 20 selon la revendication 1, comprenant en outre un bus d'alimentation de tension 220 interconnecté avec des bornes d'alimentation de tension de ladite première ligne de retard 24 et de ladite  
5 deuxième ligne de retard 25.

3. Procédé destiné à évaluer la vitesse d'un circuit, ledit procédé comprenant les étapes consistant à :

simultanément 502 lancer un premier signal  
10 d'entrée 226 dans une première ligne de retard 24 et appliquer un signal de réinitialisation 225 sur une deuxième ligne de retard 25, de sorte que tous les signaux se propageant à travers ladite deuxième ligne de retard 25 sont éliminés 503 ;

15 lancer 504 un signal d'évaluation 230 ;

recevoir 505 un premier signal de sortie 228 provenant de ladite première ligne de retard 24 en réponse audit premier signal d'entrée 226 ;

recevoir 506 ledit signal d'évaluation 230 ;

20 affirmer 507 un signal de logique de sortie 231, 232 en fonction du temps de ladite réception 505 dudit premier signal de sortie 228 par rapport au temps de ladite réception 506 dudit signal d'évaluation 230 ;

alterner 508 les phases de ladite première ligne  
25 de retard 24 et de ladite deuxième ligne de retard 25, simultanément 509 lancer un deuxième signal d'entrée 227 dans ladite deuxième ligne de retard 25 et appliquer un signal de réinitialisation 224 sur ladite première ligne de retard 24, de sorte que tous les  
30 signaux se propageant à travers ladite première ligne de retard 24 sont éliminés 510 ;

lancer 511 un signal d'évaluation 230 ;  
recevoir 512 un deuxième signal de sortie 229  
provenant de ladite deuxième ligne de retard 25 en  
réponse audit deuxième signal d'entrée 227 ;  
5 recevoir 513 ledit signal d'évaluation 230 ; et  
affirmer 514 un signal de logique de sortie 231,  
232 en fonction du temps de ladite réception 512 dudit  
deuxième signal de sortie 229 par rapport au temps de  
ladite réception 513 dudit signal d'évaluation 230.

10 4. Procédé destiné à évaluer la vitesse d'un  
circuit, ledit procédé comprenant les étapes consistant  
à :

déterminer 605, pendant une première phase  
opérationnelle 602 d'un premier cycle opérationnel 601,  
15 la vitesse de propagation d'un premier signal 228 dans  
un premier chemin de propagation de signal 24, et  
simultanément empêcher 605 tous les signaux de se  
propager dans un deuxième chemin de propagation de  
signal 25 sensiblement parallèle audit premier chemin  
20 de propagation de signal ; et

déterminer 606, pendant une deuxième phase  
opérationnelle 603 alternant avec ladite première phase  
opérationnelle 602 la propagation d'un deuxième signal  
229 dans ledit chemin de propagation de signal 25 et  
25 simultanément empêcher 606 tous les signaux de se  
propager dans ledit premier chemin de propagation de  
signal 24.

5. Procédé selon la revendication 4, dans lequel  
ladite vitesse de propagation est déterminée en  
30 comparant le temps de propagation d'un signal  
d'évaluation 230 par rapport au temps de propagation de

l'un dudit premier signal 228 et dudit deuxième signal 229 respectif.

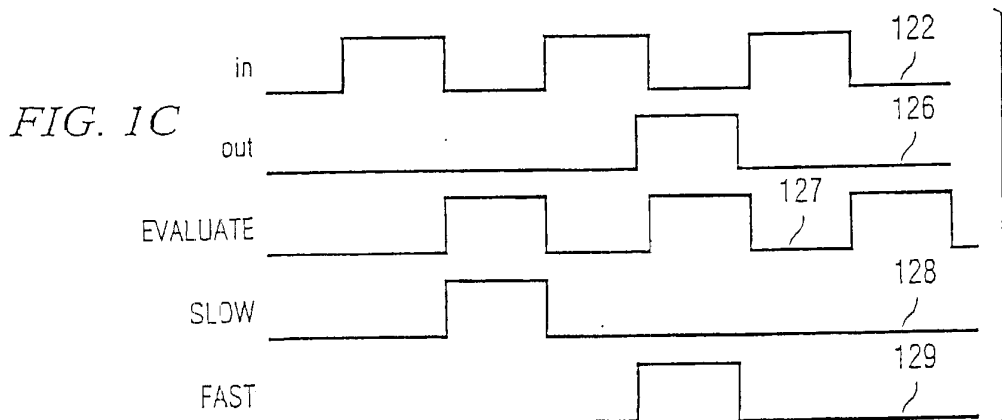
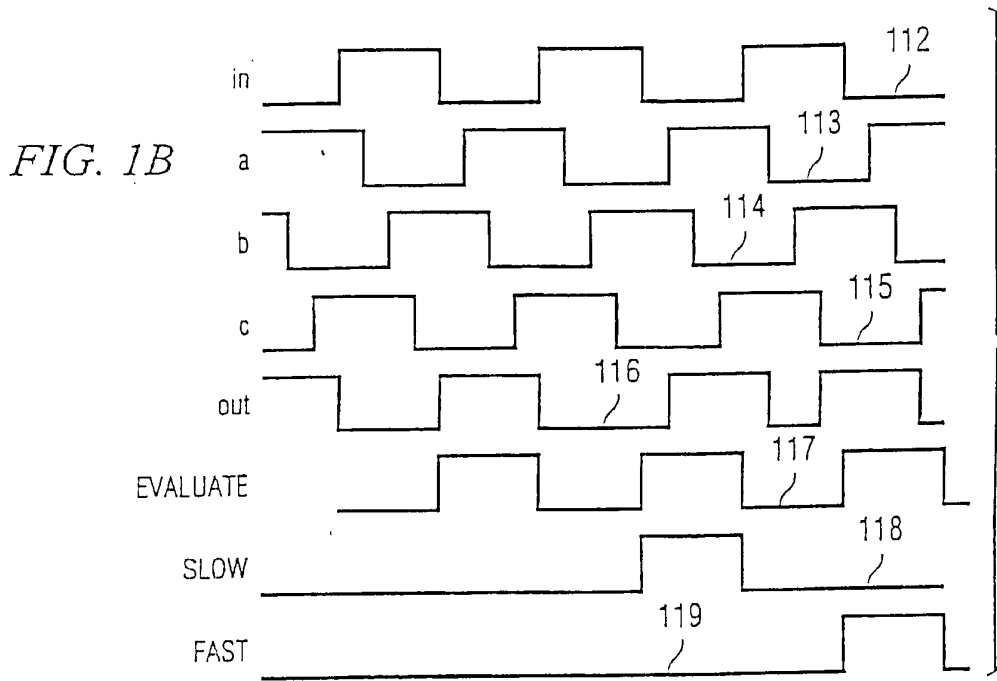
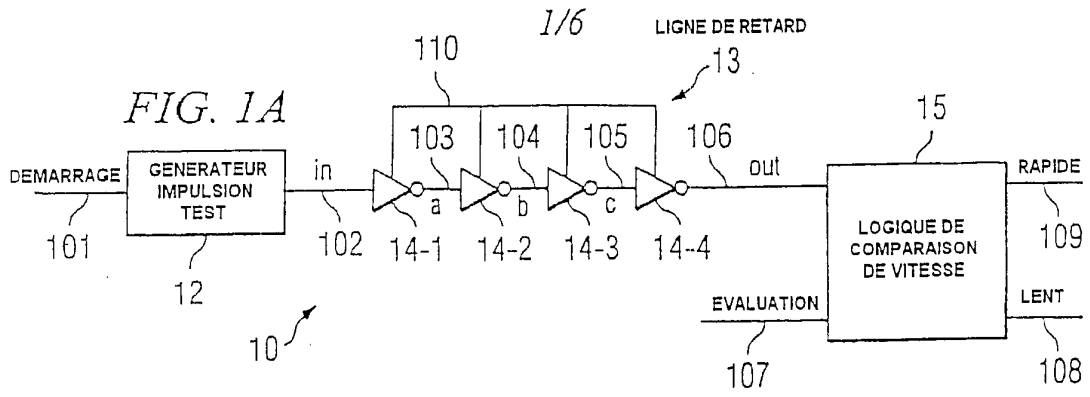
6. Procédé selon la revendication 4 comprenant en outre l'affirmation 507, 514 d'un signal de logique de sortie 231, 232 en fonction dudit temps de propagation de l'un dudit premier signal 228 et dudit deuxième signal 229 respectif par rapport audit temps de propagation dudit signal d'évaluation 230.

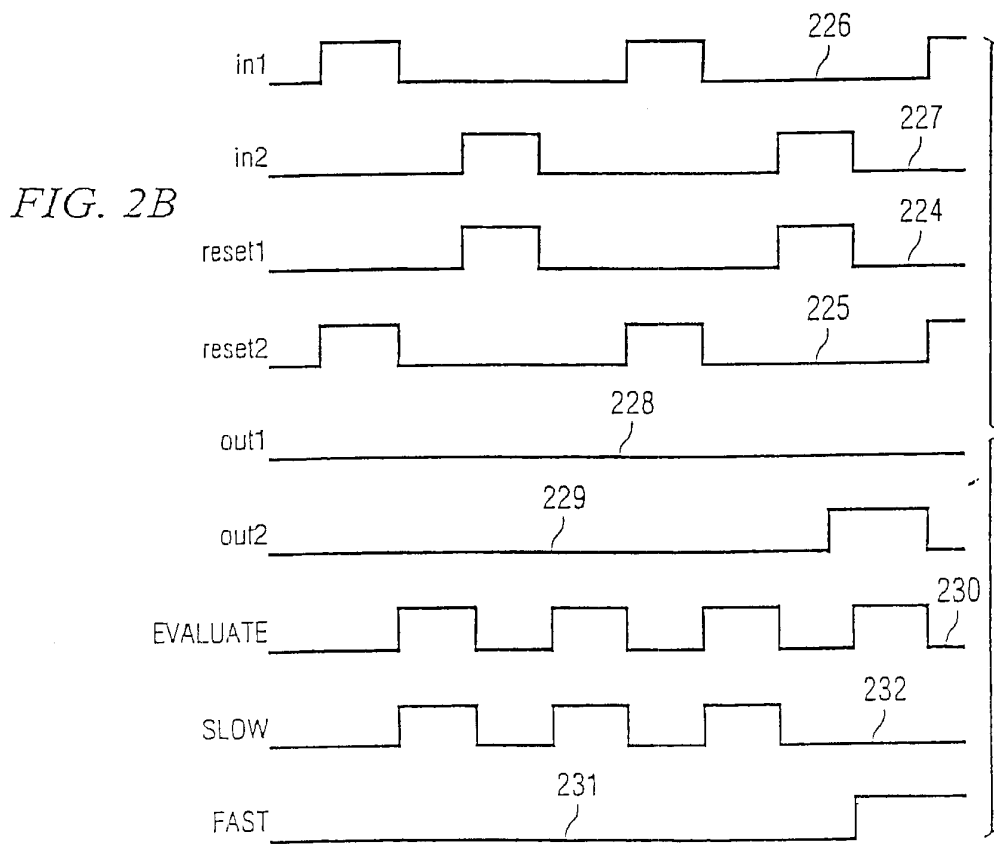
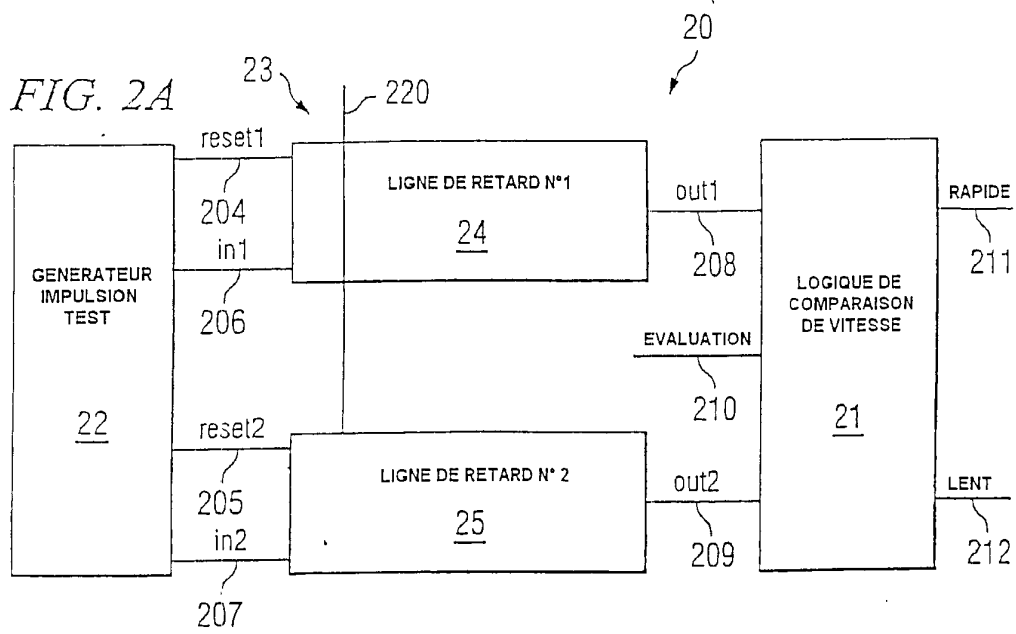
7. Procédé selon la revendication 4, dans lequel ladite étape consistant à empêcher 503, 510 tous les signaux de se propager comprend l'application d'un signal de réinitialisation 224, 225.

8. Procédé selon la revendication 7, dans lequel ledit premier chemin de propagation de signal 24 et ledit deuxième chemin de propagation de signal 25 comprend respectivement une première ligne de retard 24 et une deuxième ligne de retard 25.

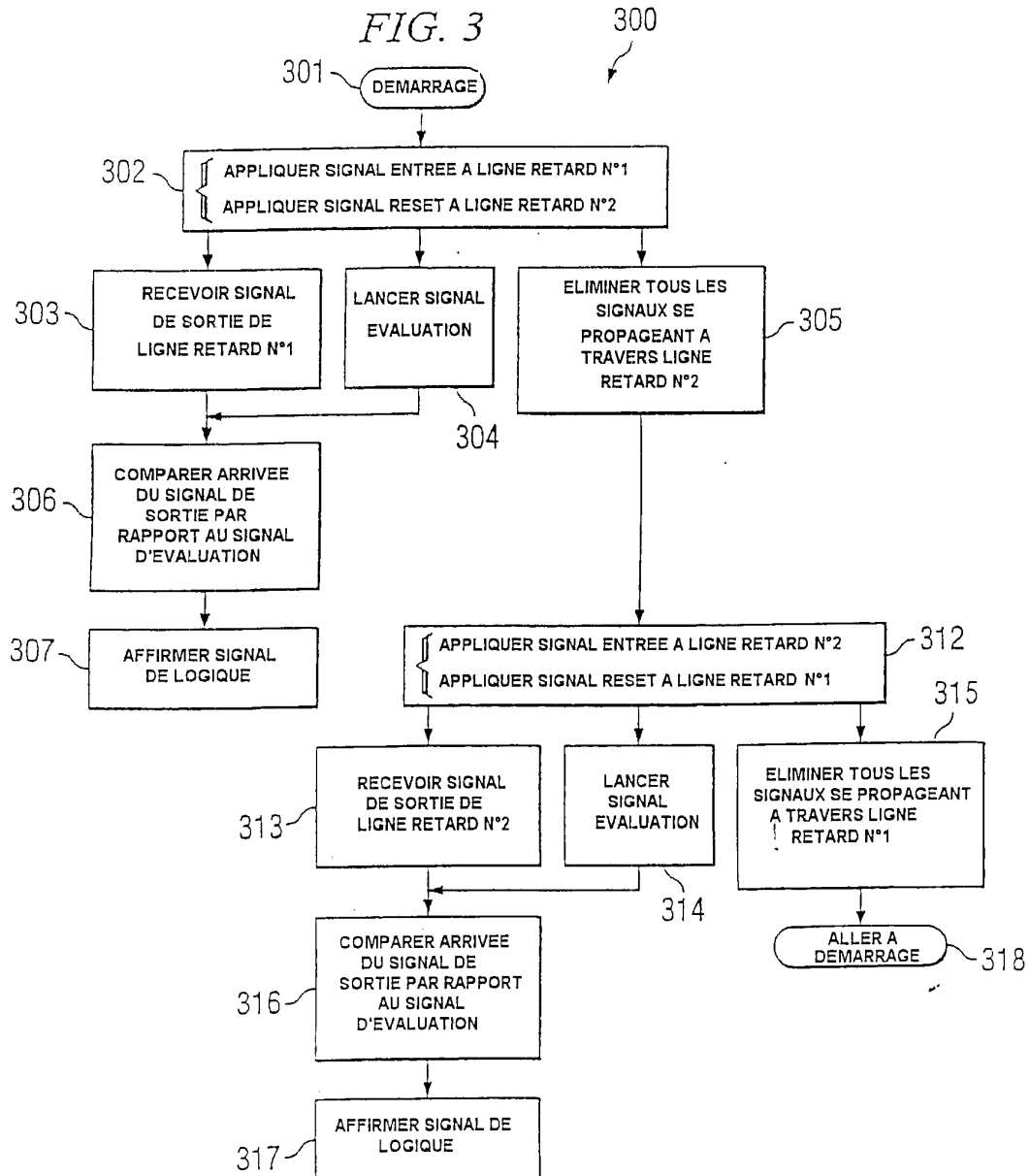
9. Procédé selon la revendication 8, comprenant en outre la fabrication dudit circuit 20, de ladite première ligne de retard 24 et de ladite deuxième ligne de retard 25 sur un support de plaquette de semi-conducteur commun.

10. Procédé selon la revendication 5, dans lequel ledit premier et ledit deuxième signaux d'entrée 226, 227, ledit empêchement 224, 225 et ledit signal d'évaluation 230 sont tous chronométrés par le circuit de temps 414, 420.

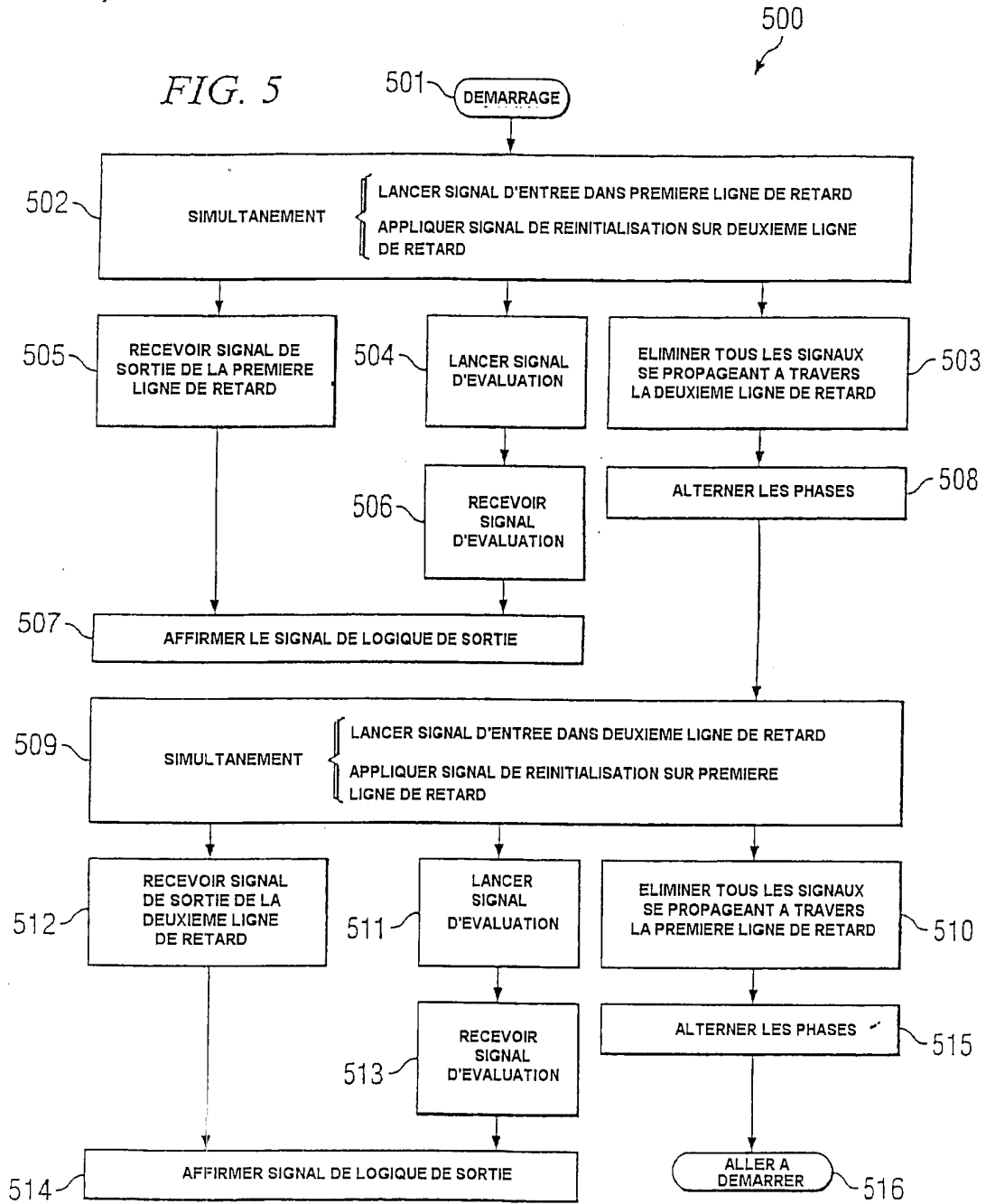




3/6







6/6

FIG. 6

