



(12) 发明专利申请

(10) 申请公布号 CN 104885359 A

(43) 申请公布日 2015. 09. 02

(21) 申请号 201380066583. 1

H03F 1/52(2006. 01)

(22) 申请日 2013. 12. 19

(30) 优先权数据

13/720, 836 2012. 12. 19 US

(85) PCT国际申请进入国家阶段日

2015. 06. 18

(86) PCT国际申请的申请数据

PCT/US2013/076715 2013. 12. 19

(87) PCT国际申请的公布数据

W02014/100491 EN 2014. 06. 26

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 H·卡特里 O·M·乔克斯 W·卓

(74) 专利代理机构 上海专利商标事务所有限公司 31100

代理人 袁逸

(51) Int. Cl.

H03F 1/22(2006. 01)

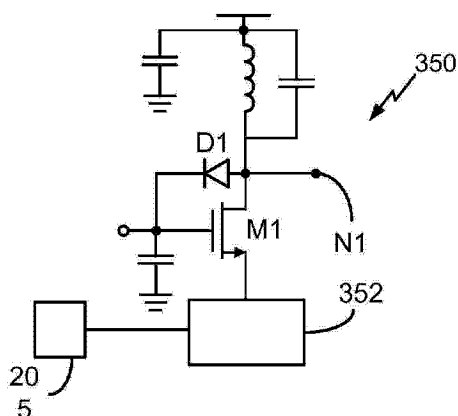
权利要求书3页 说明书8页 附图9页

(54) 发明名称

放大器共源共栅器件的静电放电保护

(57) 摘要

示例性实施例涉及提供放大器的共源共栅器件的静电放电 (ESD) 保护。在一示例性实施例中, 晶体管被配置成接收偏置电压, 并且至少一个电路元件耦合到该晶体管并被配置成经由输入焊盘接收输入电压。附加地, 至少一个二极管可被耦合到第一晶体管的漏极并且配置成限制放大器的内部节点处由该输入焊盘引起的电压电位。



1. 一种放大器,包括:
配置成接收偏置电压的晶体管;
耦合到所述晶体管并配置成经由输入焊盘来接收输入电压的至少一个电路元件;以及
耦合到所述第一晶体管的漏极并且配置成限制在所述放大器的内部节点处的由所述输入焊盘引起的电压电位的至少一个二极管。
2. 如权利要求 1 所述的放大器,其特征在于,所述至少一个二极管耦合在以下一组之间:所述晶体管的栅极和漏极、所述晶体管的漏极和电源电压、以及所述晶体管的漏极和参考电压。
3. 如权利要求 1 所述的放大器,其特征在于,所述至少一个二极管具有耦合到所述晶体管的栅极的阴极、和耦合到所述晶体管的漏极以及输出的阳极。
4. 如权利要求 1 所述的放大器,其特征在于,所述至少一个二极管包括具有耦合到所述晶体管的栅极的阴极的第一二极管、以及具有耦合到所述第一二极管的阳极的阴极和耦合到所述晶体管的漏极的阳极的第二二极管。
5. 如权利要求 1 所述的放大器,其特征在于,所述至少一个二极管具有耦合到所述晶体管的栅极的阳极、以及耦合到所述晶体管的漏极的阴极。
6. 一种设备,包括:
第一晶体管;
耦合在所述第一晶体管与参考电压之间的第二晶体管;
耦合到所述第一晶体管的漏极并配置用于耦合到输出焊盘的至少一个电路元件;以及
耦合到所述第一晶体管的漏极并且配置成提供针对耦合到所述第一晶体管的内部节点的静电放电 (ESD) 保护的至少一个二极管。
7. 如权利要求 6 所述的设备,其特征在于,所述至少一个二极管耦合在以下一组之间:所述第一晶体管的栅极和漏极、所述第一晶体管的漏极和电源电压、以及所述第一晶体管的漏极和所述参考电压。
8. 如权利要求 6 所述的设备,其特征在于,所述至少一个二极管具有耦合到所述第一晶体管的栅极的阴极、和耦合到所述第一晶体管的漏极和所述至少一个电路元件的阳极。
9. 如权利要求 6 所述的设备,其特征在于,所述至少一个二极管包括具有耦合到所述第一晶体管的栅极的阴极的第一二极管、以及具有耦合到所述第一二极管的阳极的阴极和耦合到所述第一晶体管的漏极的阳极的第二二极管。
10. 如权利要求 6 所述的设备,其特征在于,所述至少一个二极管具有耦合到所述第一晶体管的栅极的阳极、和耦合到所述第一晶体管的漏极的阴极。
11. 如权利要求 6 所述的设备,其特征在于,所述至少一个二极管具有耦合到所述参考电压的阳极以及耦合到所述至少一个电路元件的阴极。
12. 如权利要求 6 所述的设备,其特征在于,所述至少一个二极管具有耦合到所述第一晶体管的漏极和所述至少一个电路元件的阳极、以及耦合到电源电压的阴极。
13. 一种方法,包括:
经由输入焊盘在低噪声放大器 (LNA) 处接收信号;以及
用耦合到共源共栅晶体管的漏极的至少一个二极管来限制在静电放电 (ESD) 事件期间在所述 LNA 的内部节点处的由所述输入焊盘引起的电压电位。

14. 如权利要求 13 所述的方法,其特征在于,所述限制包括用耦合在以下一组之间的所述至少一个二极管来限制所述电压电位:所述共源共栅晶体管的栅极和漏极、所述共源共栅晶体管的漏极和电源电压、以及所述共源共栅晶体管的漏极和参考电压。

15. 如权利要求 13 所述的方法,其特征在于,所述限制包括用具有耦合到所述共源共栅晶体管的漏极的阳极和耦合到所述共源共栅晶体管的栅极的阴极的二极管来限制所述电压电位。

16. 如权利要求 13 所述的方法,其特征在于,所述限制包括用具有耦合到所述共源共栅晶体管的栅极的阴极的第一二极管,和具有耦合到所述第一二极管的阳极的阴极和耦合到所述共源共栅晶体管的漏极的阳极的第二二极管来限制所述电压电位。

17. 如权利要求 13 所述的方法,其特征在于,所述限制包括以下一者:用具有耦合到所述共源共栅晶体管的漏极的阴极和耦合到所述共源共栅晶体管的栅极的阴极的二极管来限制所述电压电位,以及用具有耦合到所述共源共栅晶体管的漏极的阴极和耦合到接地电压的阳极的二极管来限制所述电压电位。

18. 如权利要求 13 所述的方法,其特征在于,所述限制包括用具有耦合到所述共源共栅晶体管的漏极的阳极和耦合到电源电压的阴极的二极管来限制所述电压电位。

19. 一种方法,包括:

经由输入焊盘在低噪声放大器(LNA)的输入处接收信号;

经由至少一个电路元件从所述 LNA 的输出向输出焊盘传达所述信号;以及

用耦合到共源共栅晶体管的漏极的至少一个二极管来限制所述共源共栅晶体管的漏极处的电压电位。

20. 如权利要求 19 所述的方法,其特征在于,所述限制包括用耦合在以下一组之间的至少一个二极管来限制所述电压电位:所述共源共栅晶体管的栅极和漏极、所述共源共栅晶体管的漏极和电源电压、以及所述共源共栅晶体管的漏极和参考电压。

21. 如权利要求 20 所述的方法,其特征在于,所述用所述至少一个二极管来限制所述电压电位包括用耦合在所述共源共栅晶体管的栅极和漏极之间的多个二极管来限制所述电压电位。

22. 如权利要求 19 所述的方法,其特征在于,所述限制包括用具有耦合到所述共源共栅晶体管的漏极的阳极和耦合到所述共源共栅晶体管的栅极和电源电压中的一者的阴极的所述至少一个二极管来限制所述电压电位。

23. 如权利要求 19 所述的方法,其特征在于,所述传达包括经由电感器、电容器、匹配网络、和混频器中的至少一者从所述输出向输出焊盘传达所述信号。

24. 一种设备,包括:

用于经由输入焊盘在低噪声放大器(LNA)处接收信号的装置;以及

用于用耦合到共源共栅晶体管的漏极的至少一个二极管来限制在所述 LNA 的内部节点处的由所述输入焊盘引起的电压电位的装置。

25. 一种设备,包括:

用于经由输入焊盘在低噪声放大器(LNA)的输入处接收信号的装置;

用于经由至少一个电路元件从所述 LNA 的输出向输出焊盘传达所述信号的装置;以及

用于用耦合到所述输出和共源共栅晶体管的漏极的至少一个二极管来限制所述共源

共栅晶体管的漏极处的电压电位的装置。

放大器共源共栅器件的静电放电保护

[0001] 背景

[0002] 领域

[0003] 本发明一般涉及静电放电保护。更具体而言,本发明涉及用于低噪声放大器共源共栅(cascode)器件的静电放电保护的系统、设备和方法。

背景技术

[0004] 放大器常常被使用在各种电子设备中以提供信号放大。不同类型的放大器可供不同用途使用。例如,无线通信设备(诸如,蜂窝电话)可包括发射机和接收机以用于双向通信。接收机可利用低噪声放大器(LNA),发射机可以利用功率放大器(PA),并且接收机和发射机可利用可变增益放大器(VGA)。

[0005] 放大器可以用各种集成电路(IC)工艺来制造。亚微米互补金属氧化物半导体(CMOS)制造工艺通常被用于无线设备中的射频(RF)电路、以及其他电子设备,从而降低成本并改进集成。然而,用亚微米CMOS工艺制造的晶体管一般具有很小物理尺寸,并且更易受应力以及(有可能受)因静电放电(ESD)而导致的故障所影响。ESD是可能来自于静电和/或其他来源的突然的较大且瞬时的电荷。期望有效地对抗ESD而又使对性能的影响微乎其微。

[0006] 在共源极的共源共栅LNA中,在具有感性负载的情况下,在LNA输出的输出与接地节点之间可存在负载调谐电容器。典型情况下,共源共栅器件的栅极以及电源电压通过旁路电容器被紧耦合到接地节点。在LNA的输入处的ESD事件期间,由于LNA输出处的LC谐振,大电压电位可在LNA输出与共源共栅器件的栅极之间逐渐形成,潜在可能击穿该共源共栅器件的栅-漏结。在集成接收机中,LNA输出可以是内部节点,其耦合到下变频器。这种情形中,典型情况下,没有针对该共源共栅器件的ESD保护,并且因此,即使跨导晶体管未被损坏,LNA输出摆动也可能损坏该共源共栅器件。

[0007] 因此,期望LNA共源共栅器件的ESD保护。更具体而言,存在对于用于保护LNA共源共栅晶体管以对抗ESD的系统、设备和方法的需要。

[0008] 附图简述

[0009] 图1是无线通信设备的框图。

[0010] 图2解说了包括主晶体管和共源共栅晶体管的放大器。

[0011] 图3是解说低噪声放大器的共源共栅晶体管和主晶体管的栅-漏电压的标绘。

[0012] 图4是解说低噪声放大器操作期间的各种电压电平的标绘。

[0013] 图5A-5E解说了根据本发明的各种示例性实施例的具有耦合到共源共栅晶体管的漏极的二极管的各种设备。

[0014] 图6是解说图5A-5E中解说的设备的共源共栅晶体管的栅-漏电压的标绘。

[0015] 图7A-7E解说了根据本发明的各种示例性实施例的具有耦合到共源共栅晶体管的漏极的二极管以及耦合在该共源共栅晶体管的漏极和输出焊盘之间的至少一个电路元件的各种器件。

[0016] 图 8 是解说根据本发明的示例性实施例的方法的流程图。

[0017] 图 9 是解说根据本发明的示例性实施例的另一方法的流程图。

[0018] 详细描述

[0019] 以下结合附图阐述的详细描述旨在作为本发明的示例性实施例的描述，而无意表示能在其中实践本发明的仅有实施例。贯穿本描述使用的术语“示例性”意指“用作示例、实例或解说”，并且不应当一定要解释成优于或胜过其他示例性实施例。本详细描述包括具体细节以提供对本发明的示例性实施例的透彻理解。对于本领域技术人员将显而易见的是，没有这些具体细节也可实践本发明的示例性实施例。在一些实例中，公知的结构和设备以框图形式示出以免湮没本文中给出的示例性实施例的新颖性。

[0020] 本文中描述了具有改进的 ESD 保护电路系统的 LNA 的各种示例性设计。该 LNA 可被用于各种电子设备，诸如无线和有线通信设备、蜂窝电话、个人数字助理 (PDA)、手持式设备、无线调制解调器、膝上型计算机、无绳电话、蓝牙设备等。为了清楚起见，下面描述该放大器在无线通信设备中的使用。通过考虑随后的描述、附图以及所附的权利要求书，本发明的其他方面以及各种方面的特征和优势对于本领域技术人员来说将会变得明了。

[0021] 图 1 示出了无线通信设备 100 的框图，其可为蜂窝电话或某个其他设备。在图 1 中所示的示例性设计中，无线设备 100 包括支持双向通信的接收机 130 和发射机 150。一般而言，无线设备 100 可包括用于任何数目的通信系统和任何数目的频带的任何数目的接收机和任何数目的发射机。

[0022] 在接收路径中，天线 110 接收由基站和 / 或其他发射机站传送的信号并且提供收到 RF 信号，该收到 RF 信号被路由通过双工器 / 开关 112 并且提供给接收机 130。在接收机 130 内，收到 RF 信号由低噪声放大器 (LNA) 132 放大，并且由接收解调器 (RX Demod) 134 解调，以获得同相 (I) 和正交相位 (Q) 经下变频信号。经下变频信号由放大器 (Amp) 136 放大，由低通滤波器 138 滤波，并且进一步由放大器 140 放大以获得 I 和 Q 输入基带信号，其被提供到数据处理器 170。

[0023] 在发射路径中，数据处理器 170 处理要被传送的数据并且向发射机 150 提供 I 和 Q 输出基带信号。在发射机 150 内，输出基带信号由放大器 152 放大，由低通滤波器 154 滤波，由放大器 156 放大，并且由发射 (TX) 调制器 158 调制以获得经调制信号。功率放大器 (PA) 160 放大经调制的信号以获得期望的输出功率电平并且提供发射 RF 信号。发射 RF 信号被路由通过双工器 / 开关 112 并经由天线 110 发射。本振 (LO) 信号发生器 162 为接收机 130 中的解调器 134 生成下变频 LO 信号以及为发射机 150 中的调制器 158 生成上变频 LO 信号。

[0024] 图 1 示出了收发机的示例性设计。一般而言，在发射机和接收机中对信号的调理可由一级或多级的放大器、滤波器、上变频器、下变频器等来执行。这些电路块可与图 1 中所示的配置不同地安排。此外，还可使用未在图 1 中示出的其他电路块来调理发射机和接收机中的信号。还可省略图 1 中的一些电路块。

[0025] 在图 1 中所示的示例性设计中，接收机 130 和发射机 150 可实现在 RF 集成电路 (RFIC) 120 上。LNA 130 和放大器 152 可从在 RFIC 120 外部的设备接收输入信号，并且可以由此使得其输入耦合到 IC 引脚。这些 IC 引脚可能易受 ESD 电荷影响，这可能损坏耦合到这些 IC 引脚的电路。LNA 130 和放大器 152 可以用能够处置经由 IC 引脚耦合的 ESD 电

荷的 ESD 保护电路系统来实现。

[0026] 图 2 解说了包括第一晶体管 M1 (其在本文中可被称为“共源共栅晶体管”) 和第二晶体管 M2 (其在本文中可被称为“主晶体管”) 的放大器 200。如图 2 中所解说的, 晶体管 M1 具有经由电感器 L 耦合到电源电压 VDD 的漏极、耦合到晶体管 M2 的漏极的源极、以及配置成接收电压 (例如, 偏置电压) 的栅极。进一步, 晶体管 M2 具有耦合到接地电压 GRND 的源极以及配置成从输入焊盘 205 接收电压 (例如, 输入电压) 的栅极。如本领域普通技术人员所将领会的, 常规放大器也可包括耦合在输出与电源电压之间的用于频率调谐的电容器、耦合在电源电压与接地电压 GRND 之间以过滤电源噪声的旁路电容器 C2、和 / 或耦合在共源共栅晶体管 (即, 晶体管 M1) 的栅极与接地电压 GRND 之间以过滤偏置电压噪声的旁路电容器 C3。

[0027] 相应地, 在操作期间, 由于栅极旁路电容, 共源共栅晶体管的栅极可以跟随接地电位, 而输出节点 (即, 共栅共源晶体管的漏极) 可观察到由于 LC 谐振所导致的电压摆动。注意到, 电感器负载可与共栅共源器件 (即, 晶体管 M1) 的调谐电容和漏极电容谐振。由于该谐振, 不仅在共栅共源器件的漏极处的电压瞬态相对于 V_{DD} 而言较高, 而且其还可能经历相位延迟。在 LNA 输入端口处的 ESD 事件期间, 相对于共源共栅晶体管栅极而言的此 LNA 输出摆幅变得大到足以损坏共源共栅器件, 而主晶体管则保持完好。

[0028] 图 3 是解说在 LNA 输入处的负电荷器件模型 (CDM) ESD 事件期间的 LNA (例如, 图 2 的放大器 200) 的共源共栅晶体管 (例如, 图 2 的晶体管 M1) 和主晶体管 (例如, 图 2 的晶体管 M2) 仿真的栅 - 漏电压的标绘 250。波形 252 解说了 LNA 放大器的共源共栅晶体管的栅 - 漏电压, 而波形 254 解说了 LNA 放大器的主晶体管的栅 - 漏电压。如标绘 250 中所解说的, 共源共栅晶体管的栅 - 漏电压包括相对大的电压尖峰, 这可能引起了对共源共栅晶体管的损坏。在该特定情形中, 这些晶体管能够处置跨其端子的约 7.5V 达短历时而不会损坏。由此, 在所解说的情形中, 主晶体管保持完好, 而共源共栅晶体管被损坏。

[0029] 图 4 是解说在 LNA (例如, 图 2 的放大器 200) 的负 CDM ESD 事件期间的各种示例电压的标绘 300。波形 302 解说了共源共栅晶体管的栅 - 漏电压, 波形 304 解说了共源共栅晶体管的相对于电源电压而言的栅极电压 ($V_{g_{cascode}} - V_{DD}$), 波形 306 解说了共源共栅晶体管的相对于电源电压而言的漏极电压 ($V_{DD} - V_{d_{cascode}}$), 并且波形 308 解说了相对于接地电压而言的电源电压 ($V_{DD} - GRND$)。如本领域普通技术人员将会领会的, 共源共栅晶体管的栅极电压相对紧密地跟随电源电压, 并且电源电压相对紧密地跟随接地电压 GRND。然而, 由于跨电感器 L 的压降, 共源共栅晶体管的漏极电压偏离电源电压 V_{DD} 和接地电压 GRND 二者。

[0030] 图 5A 解说了根据本发明的示例性实施例的被配置用于共源共栅器件的 ESD 保护的电路 350。电路 350 (其可包括 LNA) 包括耦合到电路元件 352 的共源共栅晶体管 M1。电路元件 352 配置成经由输入焊盘 205 接收电压 (例如, 输入电压)。根据一个示例性实施例, 电路元件 352 可包括晶体管。共源共栅晶体管 M1 的漏极耦合到节点 N1, 并且共源共栅晶体管 M1 的栅极配置成接收电压 (例如, 偏置电压)。电路 350 还包括耦合在共源共栅晶体管 M1 的漏极与共源共栅晶体管 M1 的栅极之间的二极管 D1。注意到, 节点 N1 可以是内部节点 (即, 节点 N1 可以不直接耦合到输入 / 输出 (I/O) 焊盘)。进一步注意到, 如以上参考图 2 所公开的, 电路 350 可包括一个或多个旁路耦合电容器和在输出处的 LC 负载。

[0031] 在该示例性实施例中, 二极管 D1 的阴极耦合到共源共栅晶体管 M1 的栅极, 而二极

管 D1 的阳极耦合到共源共栅晶体管 M1 的漏极。在 CDM 事件期间,随着电压跨共源共栅晶体管 M1 的漏极和栅极逐渐形成,二极管 D1 开始导电,并且由此在能跨该漏极和栅极逐渐形成足够大的电压之前使节点 N1 放电。因此,二极管 D1 有效地对跨晶体管 M1 的栅-漏端子的电压进行钳位。相应地,二极管 D1 (如在设备 350 中配置的)可在例如输入焊盘 205 引起的 ESD 事件期间限制共源共栅晶体管 M1 的栅-漏电压。因此,根据本发明的示例性实施例,设备 350 被配置成保护设备 350 的内部节点(即,节点 N1)。更具体地,根据一个示例性实施例,二极管 D1 提供针对设备 350 的内部节点的 ESD 保护。然而,二极管 D1 也可能在正常操作期间当在设备 350 的输出处有大摆动时导通。这可能使得设备 350 的性能(特别是线性度)降级,因为其能够对电压摆动造成削波。

[0032] 图 5B 解说了根据本发明的示例性实施例的被配置用于共源共栅器件的 ESD 保护的装置 360。装置 360 (其可包括 LNA) 包括耦合到电路元件 352 的共源共栅晶体管 M1。电路元件 352 (其配置成经由输入焊盘 205 接收电压(例如,输入电压))可例如仅包括晶体管。共源共栅晶体管 M1 的漏极耦合到节点 N1,并且共源共栅晶体管 M1 的栅极配置成接收电压(例如,偏置电压)。装置 360 还包括耦合在共源共栅晶体管 M1 的漏极与共源共栅晶体管 M1 的栅极之间的二极管 D1 和第二二极管 D2。如以上所提及的,节点 N1 可以是内部节点(即,节点 N1 可以不直接耦合到输入/输出(I/O)焊盘)。进一步,如以上参考图 2 所公开的,装置 360 可包括一个或多个旁路耦合电容器和在输出处的 LC 负载。

[0033] 在该示例性实施例中,二极管 D1 的阴极耦合到共源共栅晶体管 M1 的栅极,而二极管 D1 的阳极耦合到二极管 D2 的阴极。进一步,二极管 D2 的阳极耦合到共源共栅晶体管 M1 的漏极。随着电压跨共源共栅晶体管 M1 的漏极和栅极逐渐形成,二极管 D1 和 D2 开始导电,由此使节点 N1 放电。相应地,二极管 D1 和 D2 (如在设备 360 中配置的)可在例如由输入焊盘 205 引起的 ESD 事件期间限制共源共栅晶体管 M1 的栅-漏电压。因此,根据本发明的示例性实施例,装置 360 配置成保护装置 360 的内部节点(即,节点 N1)。更具体地,根据一个示例性实施例,二极管 D1 和 D2 提供针对装置 360 的内部节点的 ESD 保护。注意到,由于级联的二极管,与装置 350 比较,可跨共源共栅晶体管 M1 的漏极和栅极逐渐形成大得多的电压(即,两倍的电压),这会降低其负 CDM ESD 性能。进一步,如与装置 350 比较,在正常操作期间,在二极管 D1 和 D2 开始削波之前在装置 360 的输出处可容忍的电压摆动要大得多。由此,装置 360 可展现出相比于装置 350 而言改善的线性度。

[0034] 图 5C 解说了根据本发明的示例性实施例的被配置用于共源共栅器件的 ESD 保护的装置 370。装置 370 (其可包括 LNA) 包括耦合到电路元件 352 的共源共栅晶体管 M1。电路元件 352 配置成经由输入焊盘 205 接收电压(例如,输入电压)。如之前所提及的,电路元件 352 可例如仅包括晶体管。共源共栅晶体管 M1 的漏极耦合到节点 N1,并且共源共栅晶体管 M1 的栅极配置成接收电压(例如,偏置电压)。装置 370 还包括耦合在共源共栅晶体管 M1 的漏极与共源共栅晶体管 M1 的栅极之间的二极管 D3。如以上所提及的,节点 N1 可以是内部节点。进一步,如以上参考图 2 所公开的,装置 370 可包括一个或多个旁路耦合电容器和在输出处的 LC 负载。

[0035] 在该示例性实施例中,二极管 D3 的阳极耦合到共源共栅晶体管 M1 的栅极,而二极管 D3 的阴极耦合到共源共栅晶体管 M1 的漏极。一旦跨共源共栅晶体管 M1 的漏极和栅极的电压增大到二极管 D3 的反向击穿电压以上,二极管 D3 就开始导电。由此,二极管 D3 将

电压维持在其反向击穿电压,并且使得节点 N1 放电。相应地,二极管 D3(如在设备 370 中配置的)可在例如由输入焊盘 205 引起的 ESD 事件期间限制共源共栅晶体管 M1 的栅-漏电压。因此,根据本发明的示例性实施例,设备 370 配置成保护设备的内部节点(即,节点 N1)。更具体地,根据一个示例性实施例,二极管 D3 提供针对设备 370 的内部节点的 ESD 保护。类似于设备 360,这在正常操作期间对 LNA 的线性度几乎没有影响。

[0036] 图 5D 解说了根据本发明的示例性实施例的被配置用于共源共栅器件的 ESD 保护的装置 380。装置 380(其可包括 LNA)包括耦合到电路元件 352 的共源共栅晶体管 M1,电路元件 352 配置成经由输入焊盘 205 接收电压(例如,输入电压)。共源共栅晶体管 M1 的漏极耦合到节点 N1,并且共源共栅晶体管 M1 的栅极配置成接收电压(例如,偏置电压)。装置 380 还包括耦合在共源共栅晶体管 M1 的漏极与参考电压之间的二极管 D4,参考电压可包括接地电压 GRND。如以上,节点 N1 可以是内部节点。进一步,如以上参考图 2 所公开的,装置 380 可包括一个或多个旁路耦合电容器和在输出处的 LC 负载。

[0037] 在该示例性实施例中,二极管 D4 的阳极耦合到接地电压 GRND,而二极管 D4 的阴极耦合到共源共栅晶体管 M1 的漏极。当晶体管 M1 的漏极电压超过二极管 D4 的反向击穿电压极限时,二极管 D4 开始导电并且限制节点 N1 与接地电压 GRND 之间的电压摆动,其中由于旁路电容器(未在图 5D 中示出),导致共源共栅晶体管 M1 的栅极电压跟随接地电压。因此,漏-栅电压受限。相应地,二极管 D4(如在设备 380 中配置的)可在例如由输入焊盘 205 引起的 ESD 事件期间限制共源共栅晶体管 M1 的栅-漏电压。因此,根据本发明的示例性实施例,装置 380 配置成保护设备的内部节点(即,节点 N1)。更具体地,根据一个示例性实施例,二极管 D4 提供针对装置 380 的内部节点的 ESD 保护。

[0038] 图 5E 解说了根据本发明的示例性实施例的被配置用于共源共栅器件的 ESD 保护的装置 390。装置 390(其可包括 LNA)包括耦合到电路元件 352 的共源共栅晶体管 M1,电路元件 352 配置成经由输入焊盘 205 接收电压(例如,输入电压)。共源共栅晶体管 M1 的漏极耦合到节点 N1,并且共源共栅晶体管 M1 的栅极配置成接收电压(例如,偏置电压)。装置 390 还包括耦合在共源共栅晶体管 M1 的漏极与电源电压 V_{DD} 之间的二极管 D5。如以上所公开的,节点 N1 可以是内部节点。此外,如以上参考图 2 所公开的,装置 390 可包括一个或多个旁路耦合电容器和在输出处的 LC 负载。

[0039] 在该示例性实施例中,二极管 D5 的阴极耦合到电源电压,而二极管 D5 的阳极耦合到共源共栅晶体管 M1 的漏极。二极管 D5 可强迫节点 N1 跟随电源电压 V_{DD} ,而由于电源旁路电容器,电源电压 V_{DD} 紧密地耦合到接地电压 GRND。如在较早前的情形中那样,接地电压 GRND 也通过共源共栅晶体管 M1 的栅极处的滤波电容器耦合到共源共栅晶体管 M1 的栅极。相应地,二极管 D5(如在设备 390 中配置的)可在例如由输入焊盘 205 引起的 ESD 事件期间限制共源共栅晶体管 M1 的栅-漏电压。因此,根据本发明的示例性实施例,装置 390 配置成保护设备的内部节点(即,节点 N1)。更具体地,根据一个示例性实施例,二极管 D5 提供针对装置 390 的内部节点的 ESD 保护。

[0040] 图 6 是解说装置 350、360、370 和 390 的共源共栅晶体管的栅-漏电压,以及在 CDM ESD 事件期间没有共源共栅 ESD 保护的情况下共源共栅晶体管的栅-漏电压的标绘 400。更具体而言,波形 410 描绘了在没有任何共源共栅保护的情况下共源共栅晶体管的栅-漏电压,波形 420 描绘了装置 350 的共源共栅晶体管的栅-漏电压(即,在级联的晶体管的漏

极和栅极之间耦合有二极管), 波形 430 描绘了设备 360 的共源共栅晶体管的栅 - 漏电压 (即, 在级联的晶体管的漏极和栅极之间耦合有多个二极管), 波形 440 描绘了设备 370 的共源共栅晶体管的栅 - 漏电压 (即, 在级联的晶体管的漏极和栅极之间耦合有二极管), 波形 450 描绘了设备 380 的共源共栅晶体管的栅 - 漏电压 (即, 在级联的晶体管的漏极与接地电压之间耦合有二极管), 以及波形 460 描绘了设备 390 的级联的晶体管的栅 - 漏电压 (即, 在级联的晶体管的漏极与电源电压之间耦合有二极管)。

[0041] 如在标绘 400 中所解说的, 在该示例中, 没有任何共源共栅保护的共源共栅晶体管的栅 - 漏电压具有超过 12.5 伏的电压尖峰, 设备 380 的共源共栅晶体管的栅 - 漏电压具有大约 11.0 伏的电压尖峰, 设备 370 的共源共栅晶体管的栅 - 漏电压具有大约 10.0 伏的电压尖峰, 设备 390 的共源共栅晶体管的栅 - 漏电压以及设备 360 的共源共栅晶体管的栅 - 漏电压各自具有大约 8.0 伏的电压尖峰, 并且设备 350 的共源共栅晶体管的栅 - 漏电压具有大约 5.5 伏的电压尖峰。注意到, 虽然设备 350 提供了最优的 ESD 保护, 但是取决于设备 350 的输出处的电压摆动, 二极管 D1 可能变成正向偏置并且可能影响噪声和线性性能。

[0042] 图 7A 解说了根据本发明的示例性实施例的包括被配置用于共源共栅器件的 ESD 保护的装置 600。装置 600 包括负载 617、共源共栅晶体管 M1 和电路元件 352。在该示例性实施例中, 电路元件 352 包括主晶体管 M2, 其中共源共栅晶体管 M1 的源极耦合到主晶体管 M2 的漏极。进一步, 主晶体管 M2 的源极耦合到参考电压 (例如, 接地电压 GRND), 并且主晶体管 M2 的栅极配置成经由输入焊盘 205 接收电压 (例如, 输入电压)。应当注意, 晶体管 M2 的源极不需要直接耦合到接地电压, 而是可在晶体管 M2 的源极与接地电压之间存在电路元件 (例如, 电阻器或电感器)。共源共栅晶体管 M1 的漏极耦合到节点 N2, 节点 N2 包括内部节点。进一步, 共源共栅晶体管 M1 的栅极配置成接收电压 (例如, 偏置电压)。装置 600 还包括耦合在共源共栅晶体管 M1 的漏极与共源共栅晶体管 M1 的栅极之间的二极管 D1。在该示例性实施例中, 二极管 D1 的阴极耦合到共源共栅晶体管 M1 的栅极, 而二极管 D1 的阳极耦合到共源共栅晶体管 M1 的漏极。

[0043] 根据本发明的示例性实施例, 装置 600 可包括耦合在节点 N2 和输出焊盘 614 之间的至少一个电路元件 612。仅作为示例, 电路元件 612 可包括电感器、电容器、混频器、匹配电路、或以上的任何组合。相应地, 装置 600 的共源共栅晶体管 M1 的漏极可不直接耦合到输出焊盘 614。

[0044] 图 7B 解说了根据本发明的示例性实施例的包括被配置用于共源共栅器件的 ESD 保护的装置 610。装置 610 包括负载 617、共源共栅晶体管 M1 和电路元件 352。在该示例性实施例中, 电路元件 352 包括主晶体管 M2, 其中共源共栅晶体管 M1 的源极耦合到主晶体管 M2 的漏极。进一步, 主晶体管 M2 的源极耦合到参考电压 (例如, 接地电压 GRND), 并且主晶体管 M2 的栅极配置成经由输入焊盘 205 接收电压 (例如, 输入电压)。共源共栅晶体管 M1 的漏极耦合到节点 N2, 其包括内部节点。进一步, 共源共栅晶体管 M1 的栅极配置成接收电压 (例如, 偏置电压)。装置 610 还包括耦合在共源共栅晶体管 M1 的漏极与共源共栅晶体管 M1 的栅极之间的二极管 D1 和第二二极管 D2。在该示例性实施例中, 二极管 D1 的阴极耦合到共源共栅晶体管 M1 的栅极, 而二极管 D1 的阳极耦合到二极管 D2 的阴极。进一步, 二极管 D2 的阳极耦合到共源共栅晶体管 M1 的漏极。装置 610 进一步包括耦合在节点 N2 与输出焊盘 614 之间的至少一个电路元件 612。相应地, 装置 610 的共源共栅晶体管 M1 的漏

极可不直接耦合到输出焊盘 614。

[0045] 图 7C 解说了根据本发明的示例性实施例的包括被配置用于共源共栅器件的 ESD 保护的设备 620。设备 620 包括负载 617、共源共栅晶体管 M1 和电路元件 352。在该示例性实施例中,电路元件 352 包括主晶体管 M2,其中共源共栅晶体管 M1 的源极耦合到主晶体管 M2 的漏极。进一步,主晶体管 M2 的源极耦合到参考电压(例如,接地电压 GRND),并且主晶体管 M2 的栅极配置成经由输入焊盘 205 接收电压(例如,输入电压)。共源共栅晶体管 M1 的漏极耦合到节点 N2,其包括内部节点。进一步,共源共栅晶体管 M1 的栅极配置成接收电压(例如,偏置电压)。设备 620 还包括耦合在共源共栅晶体管 M1 的漏极与共源共栅晶体管 M1 的栅极之间的二极管 D3。在该示例性实施例中,二极管 D3 的阳极耦合到共源共栅晶体管 M1 的栅极,而二极管 D3 的阴极耦合到共源共栅晶体管 M1 的漏极。进一步,设备 620 包括耦合在节点 N2 与输出焊盘 614 之间的至少一个电路元件 612。相应地,设备 620 的共源共栅晶体管 M1 的漏极可不直接耦合到输出焊盘 614。

[0046] 图 7D 解说了根据本发明的示例性实施例的包括被配置用于共源共栅器件的 ESD 保护的设备 630。设备 630 包括负载 617、共源共栅晶体管 M1 和电路元件 352。在该示例性实施例中,电路元件 352 包括主晶体管 M2,其中共源共栅晶体管 M1 的源极耦合到主晶体管 M2 的漏极。进一步,主晶体管 M2 的源极耦合到参考电压(例如,接地电压 GRND),并且主晶体管 M2 的栅极配置成经由输入焊盘 205 接收电压(例如,输入电压)。共源共栅晶体管 M1 的漏极耦合到节点 N2,其包括内部节点。进一步,共源共栅晶体管 M1 的栅极配置成接收电压(例如,偏置电压)。设备 630 还包括耦合在共源共栅晶体管 M1 的漏极与参考电压之间的二极管 D4,参考电压可包括接地电压 GRND。在该示例性实施例中,二极管 D4 的阳极耦合到接地电压 GRND,而二极管 D4 的阴极耦合到共源共栅晶体管 M1 的漏极。此外,设备 630 包括耦合在节点 N2 与输出焊盘 614 之间的至少一个电路元件 612。相应地,设备 630 的共源共栅晶体管 M1 的漏极可不直接耦合到输出焊盘 614。

[0047] 图 7E 解说了根据本发明的示例性实施例的包括被配置用于共源共栅器件的 ESD 保护的设备 640。设备 640 包括负载 617、共源共栅晶体管 M1 和电路元件 352。在该示例性实施例中,电路元件 352 包括主晶体管 M1,其中共源共栅晶体管 M1 的源极耦合到主晶体管 M2 的漏极。进一步,主晶体管 M2 的源极耦合到参考电压(例如,接地电压 GRND),并且主晶体管 M2 的栅极配置成经由输入焊盘 205 接收电压(例如,输入电压)。共源共栅晶体管 M1 的漏极耦合到节点 N1,其包括内部节点。进一步,共源共栅晶体管 M1 的栅极配置成接收电压(例如,偏置电压)。设备 640 还包括耦合在共源共栅晶体管 M1 的漏极与电源电压 V_{DD} 之间的二极管 D5。在该示例性实施例中,二极管 D5 的阴极耦合到电源电压,而二极管 D5 的阳极耦合到共源共栅晶体管 M1 的漏极。附加地,设备 640 包括耦合在节点 N2 与输出焊盘 614 之间的至少一个电路元件 412。相应地,设备 640 的共源共栅晶体管 M1 的漏极可不直接耦合到输出焊盘 614。应当注意,如以上参考图 2 所公开的,设备 600、610、620、630 和 640 中的每一个可包括一个或多个旁路耦合电容器和在输出处的 LC 负载。

[0048] 图 8 是解说根据一个或多个示例性实施例的方法 700 的流程图。方法 700 可包括经由输入焊盘在低噪声放大器(LNA)处接收信号(由附图标记 702 描绘)。方法 900 还可包括用耦合到共源共栅晶体管的漏极的至少一个二极管来限制该 LNA 的内部节点处的由该输入焊盘引起的电压电位(由附图标记 704 描绘)。

[0049] 图 9 是解说根据一个或多个示例性实施例的另一方法 750 的流程图。方法 750 可包括经由输入焊盘在低噪声放大器 (LNA) 的输入处接收信号 (由附图标记 752 描绘)。方法 950 还可包括将来自 LNA 的输出的信号经由至少一个电路元件传达到输出焊盘 (由附图标记 754 描绘)。进一步,方法 750 可包括用耦合到该输出和共源共栅晶体管的漏极的至少一个二极管来限制该共源共栅晶体管的漏极处的电压电位 (由附图标记 756 描绘)。

[0050] 本领域技术人员应理解,信息和信号可使用各种不同技术和技艺中的任何一种来表示。例如,贯穿上面描述始终可能被述及的数据、指令、命令、信息、信号、位 (比特)、码元、和码片可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子、或其任何组合来表示。

[0051] 本领域的技术人员将进一步领会,结合本文中所公开的示例性实施例来描述的各种说明性逻辑框、模块、电路、和算法步骤可以实现为电子硬件、计算机软件、或两者的组合。为清楚地解说硬件与软件的这一可互换性,各种解说性组件、块、模块、电路、和步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本发明的示例性实施例的范围。

[0052] 结合本文中公开的示例性实施例描述的各种示例性逻辑框、模块、以及电路可用通用处理器、数字信号处理器 (DSP)、专用集成电路 (ASIC)、现场可编程门阵列 (FPGA) 或其他可编程逻辑器件、分立的门或晶体管逻辑、分立的硬件组件、或其设计成执行本文中描述的功能的任何组合来实现或执行。通用处理器可以是微处理器,但在替换方案中,该处理器可以是任何常规的处理器、控制器、微控制器、或状态机。处理器还可以被实现为计算设备的组合,例如 DSP 与微处理器的组合、多个微处理器、与 DSP 核心协同的一个或更多个微处理器、或任何其他此类配置。

[0053] 在一个或多个示例性实施例中,所描述的功能可在硬件、软件、固件或其任何组合中实现。如果在软件中实现,则各功能可以作为一条或多条指令或代码存储在计算机可读介质上或藉其进行传送。计算机可读介质包括计算机存储介质和通信介质两者,其包括促成计算机程序从一地向另一地转移的任何介质。存储介质可以是能被计算机访问的任何可用介质。作为示例而非限定,这样的计算机可读介质可包括 RAM、ROM、EEPROM、CD ROM 或其它光盘存储、磁盘存储或其它磁存储设备、或能被用来携带或存储指令或数据结构形式的期望程序代码且能被计算机访问的任何其它介质。任何连接也被正当地称为计算机可读介质。例如,如果软件是使用同轴电缆、光纤电缆、双绞线、数字订户线 (DSL)、或诸如红外、无线电、以及微波之类的无线技术从 web 网站、服务器、或其它远程源传送而来,则该同轴电缆、光纤电缆、双绞线、DSL、或诸如红外、无线电、以及微波之类的无线技术就被包括在介质的定义之中。如本文中所使用的盘 (Disk) 和碟 (disc) 包括压缩碟 (CD)、激光碟、光碟、数字多用碟 (DVD)、软盘和蓝光碟,其中盘往往以磁的方式再现数据,而碟用激光以光学方式再现数据。上述的组合也应被包括在计算机可读介质的范围内。

[0054] 提供了先前对所公开的示例性实施例的描述是为了使得本领域任何技术人员皆能够制作或使用本发明。对这些示例性实施例的各种修改对于本领域技术人员将是显而易见的,并且本文中定义的一般原理可被应用于其他实施例而不会脱离本发明的精神或范围。因此,本发明并非意在被限定于本文中所示出的示例性实施例,而是应当被授予与本文中所公开的原理和新颖性特征相一致的最广义的范围。

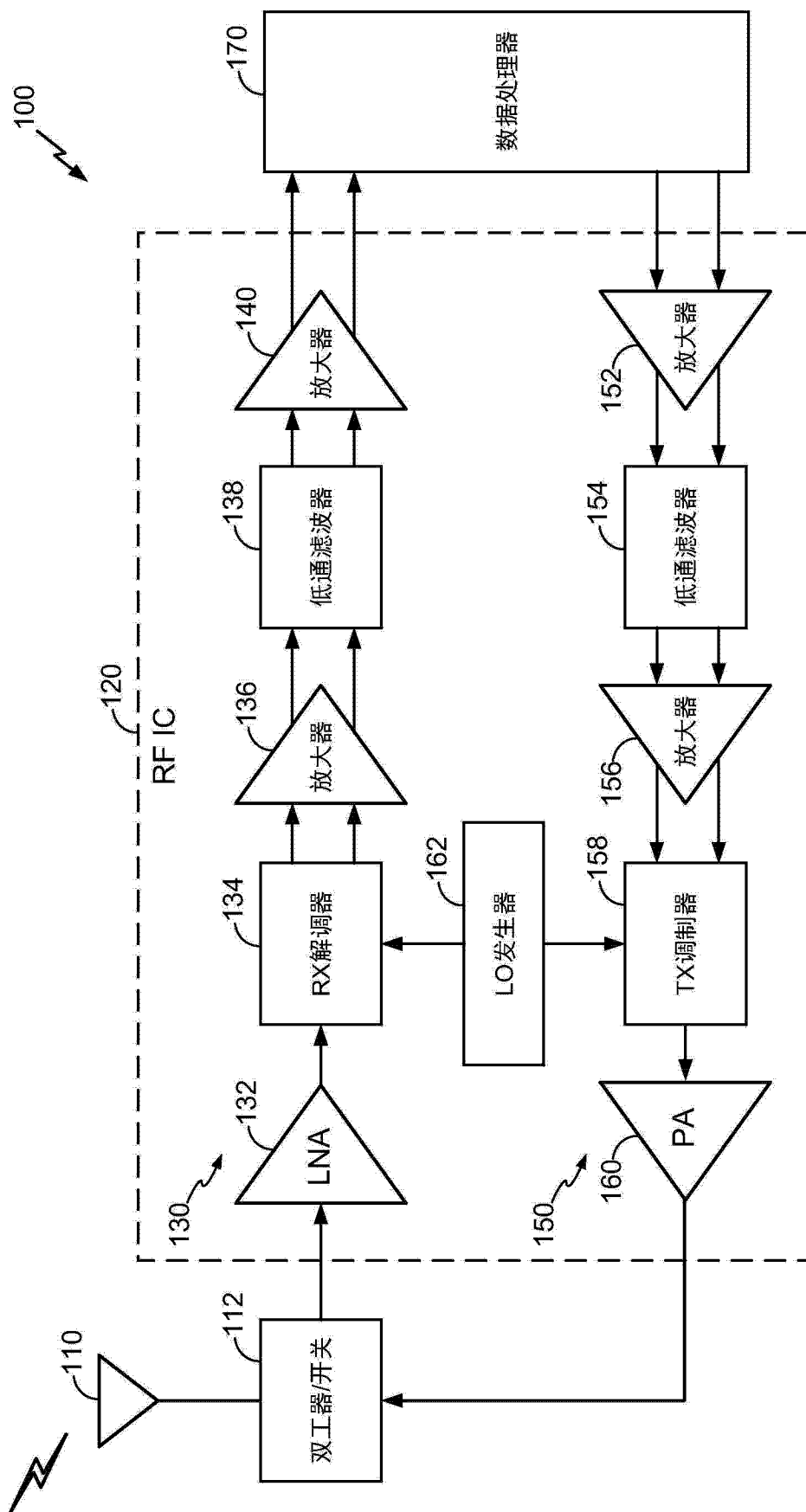


图 1

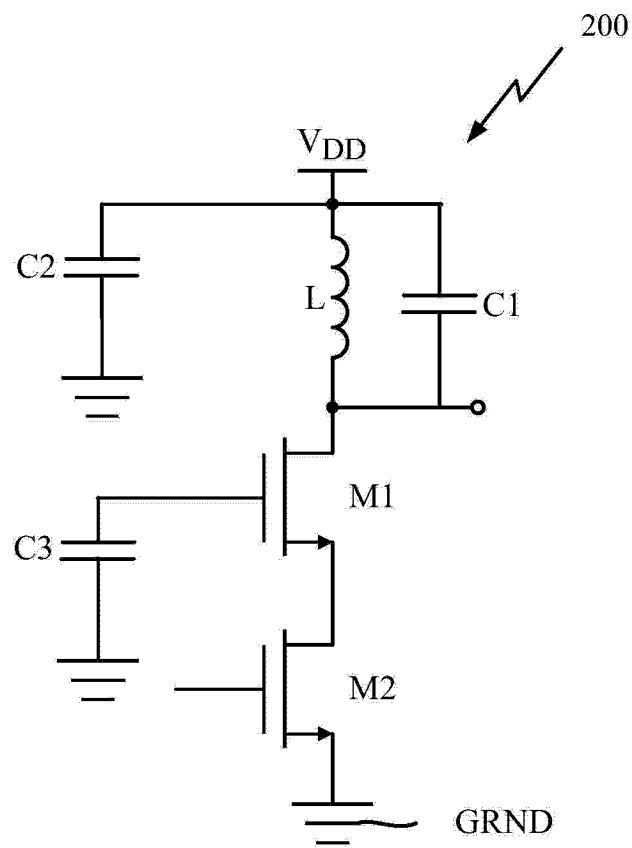


图 2

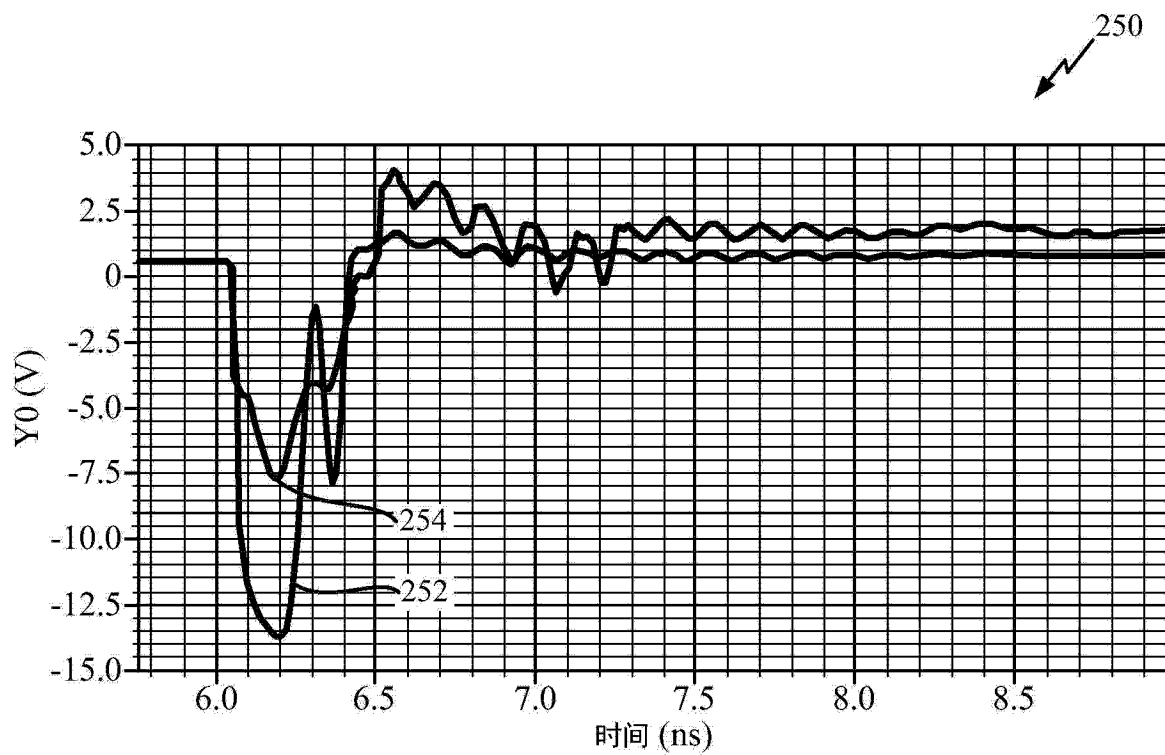


图 3

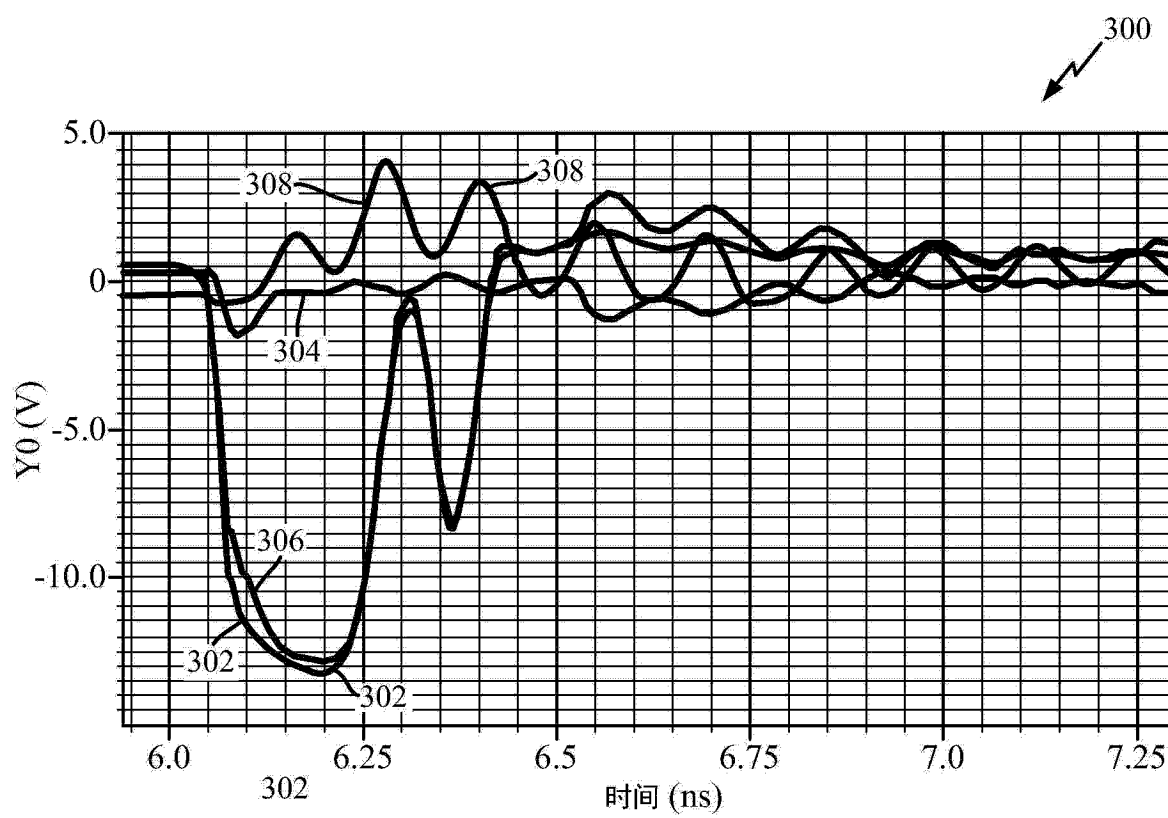


图 4

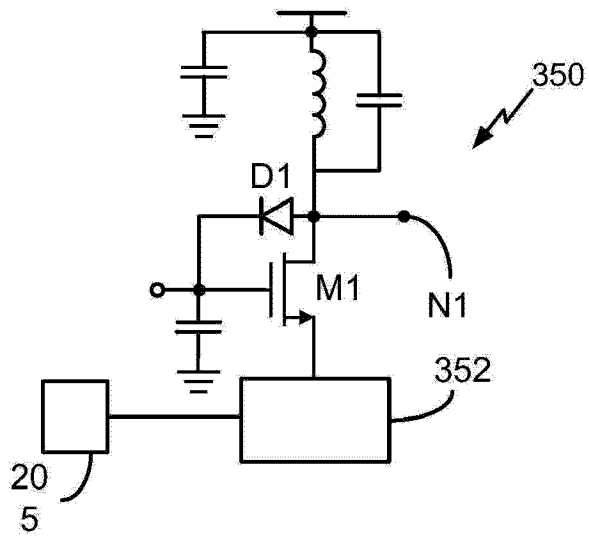


图 5A

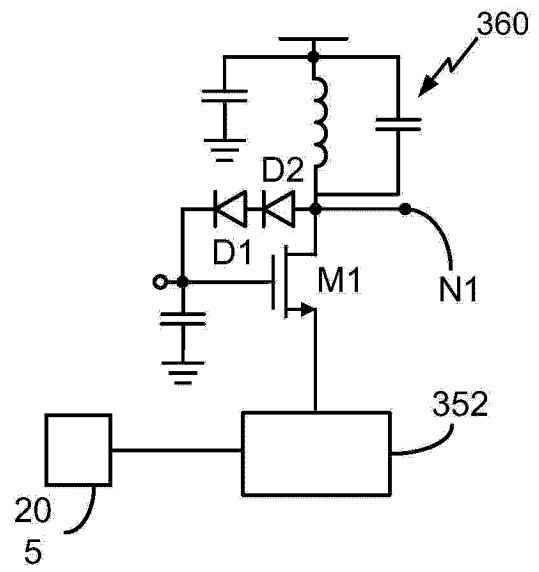


图 5B

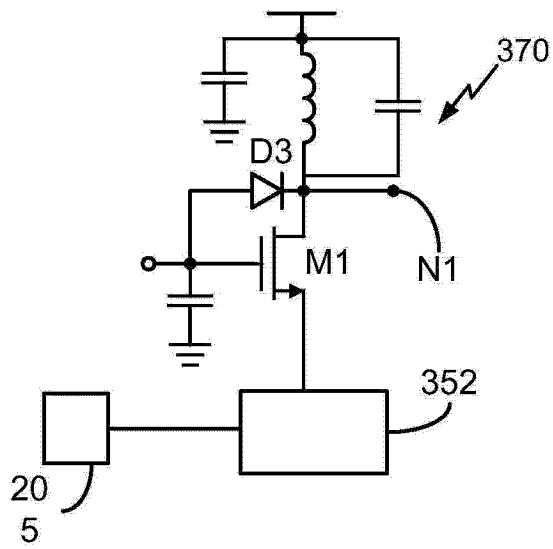


图 5C

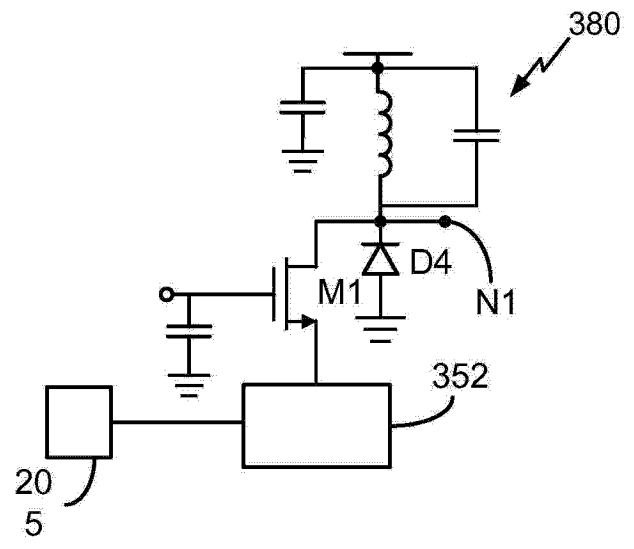


图 5D

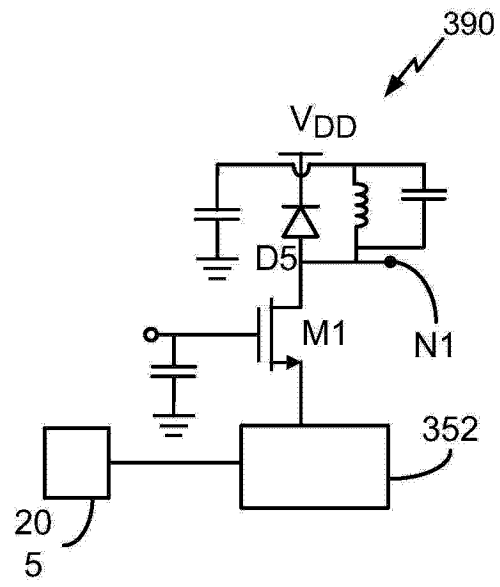


图 5E

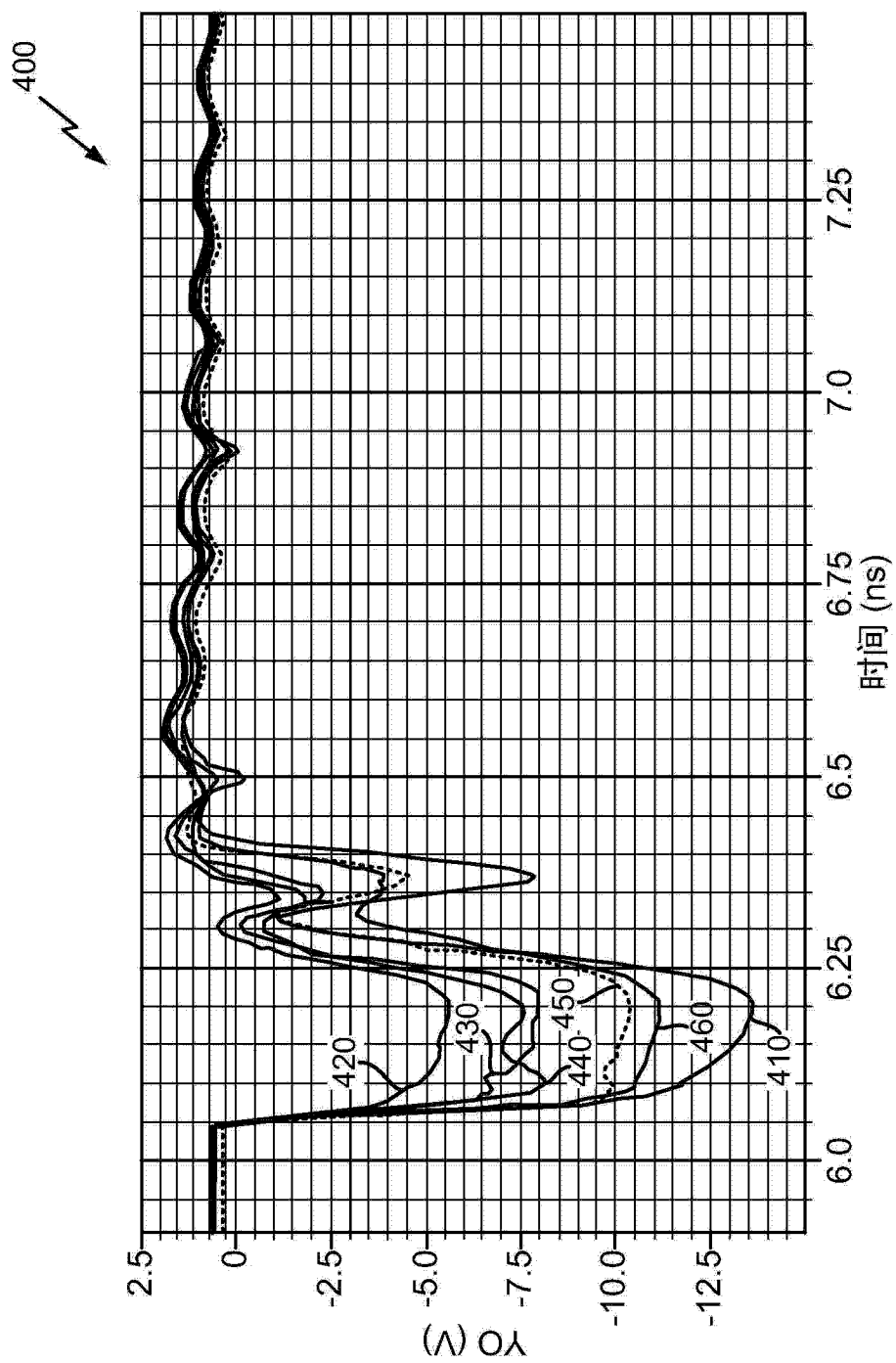


图 6

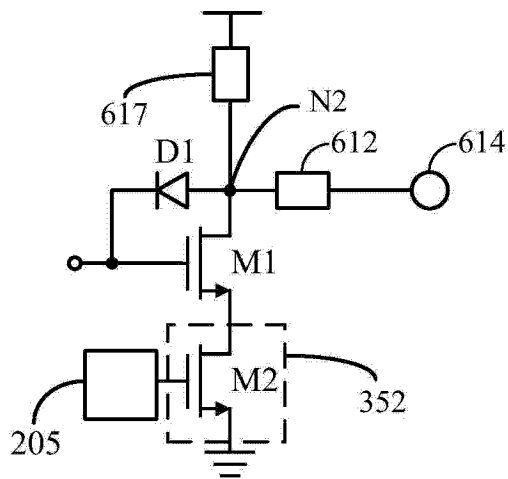


图 7A

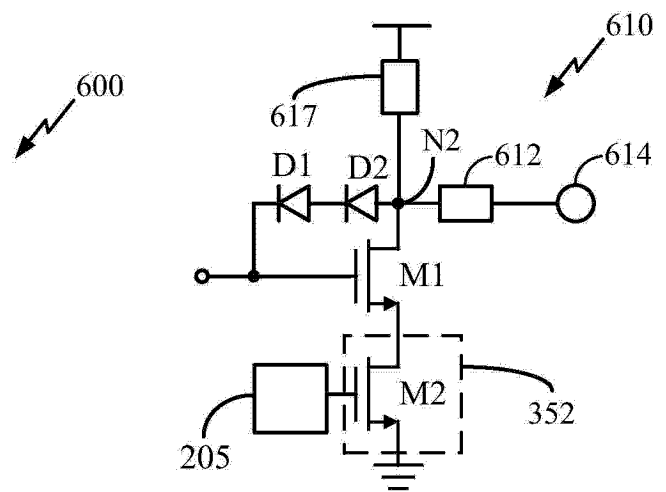


图 7B

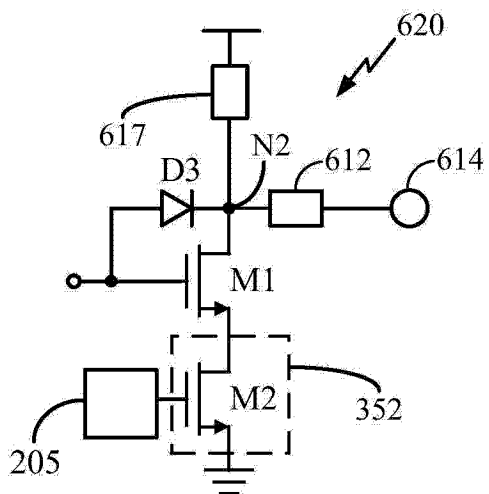


图 7C

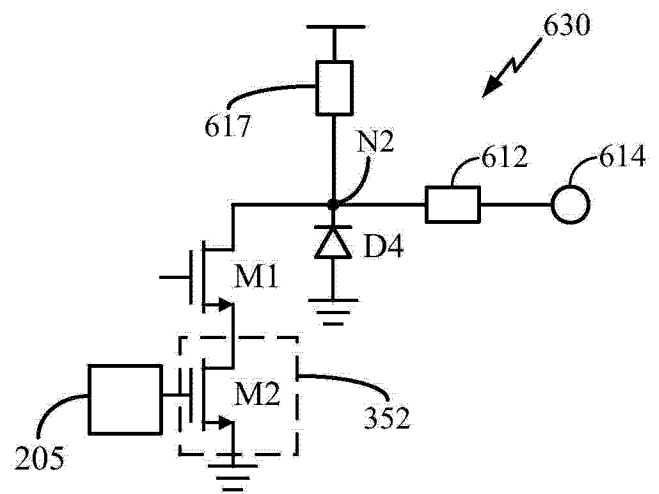


图 7D

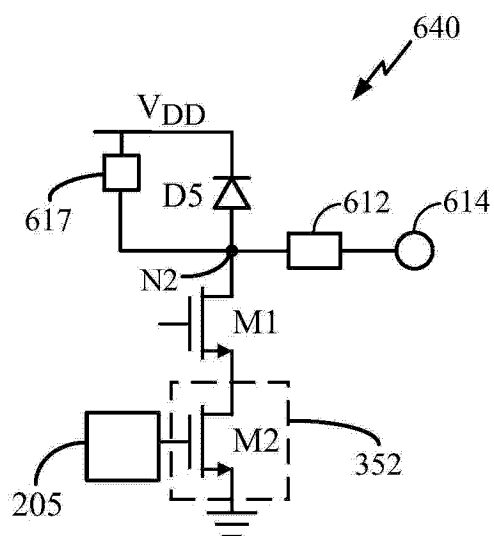


图 7E

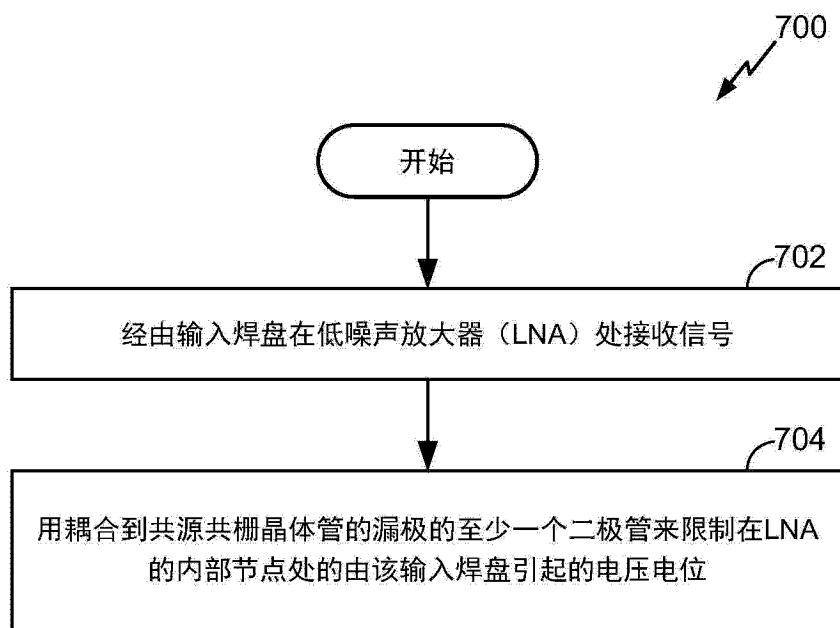


图 8

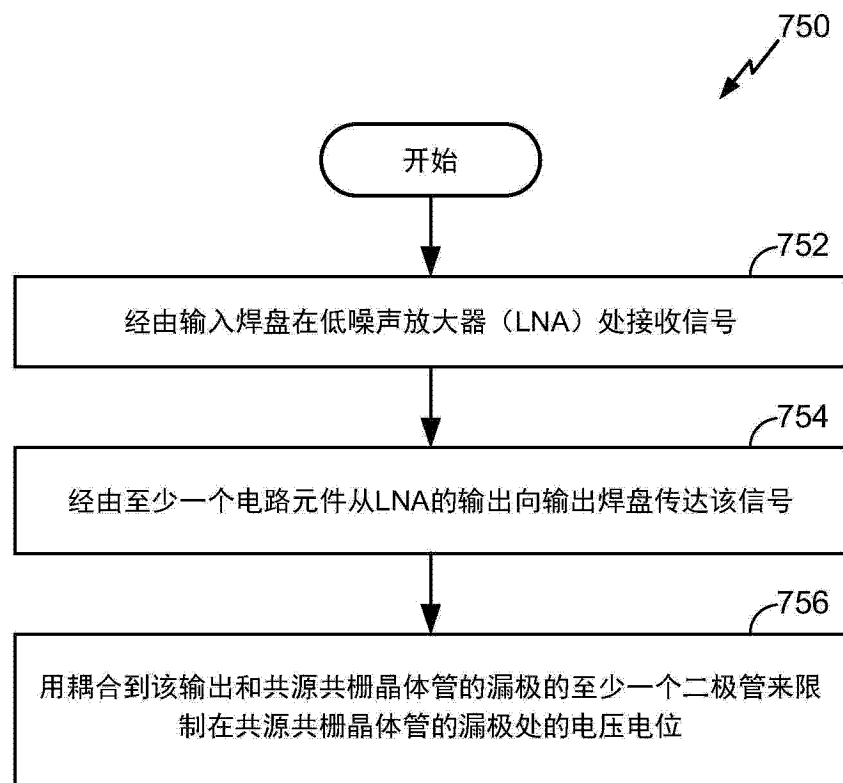


图 9