

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和1年11月7日(2019.11.7)

【公表番号】特表2019-520639(P2019-520639A)

【公表日】令和1年7月18日(2019.7.18)

【年通号数】公開・登録公報2019-028

【出願番号】特願2018-561677(P2018-561677)

【国際特許分類】

G 0 6 F 11/10 (2006.01)

G 0 6 F 12/00 (2006.01)

【 F I 】

G 0 6 F 11/10 6 6 0

G 0 6 F 12/00 5 6 0 A

【手続補正書】

【提出日】令和1年9月20日(2019.9.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ホストインタフェース(642)から受信したデータアクセス要求をダイナミックランダムアクセスメモリ(DRAM)メモリインタフェース(644)に提供される対応するメモリアクセスに変換し、前記DRAMメモリインタフェース(644)から受信した応答に応じて返送データを前記ホストインタフェース(642)に提供するメモリチャネルコントローラ(640)であって、前記応答は、返送データと、複数のエラー訂正コード(ECC)ビットと、を含む、メモリチャネルコントローラ(640)と、

前記返送データ内のエラーをカウントするために前記メモリチャネルコントローラ(640)に接続された第1エラーカウンタ(652)であって、所定の状態に達したことに応じて制御信号を提供する第1エラーカウンタ(652)と、

前記メモリチャネルコントローラ(640)に接続されたバックグラウンドスクラバ(624)であって、前記メモリチャネルコントローラ(640)を制御して、メモリシステム(670)の全てのメモリ位置からデータを特定のレートで順次且つ定期的に読出し、訂正可能なエラーを検出したことに応じて訂正済みデータを再書込みするバックグラウンドスクラバ(624)と、

前記メモリチャネルコントローラ(640)に接続されたデータプロセッサ(610)であって、前記制御信号に応じて前記メモリシステム(670)を用いてポストパッケージリペア動作を実行するデータプロセッサ(610)と、を備える、

ポストパッケージメモリリペアシステム(600)。

【請求項2】

前記データプロセッサ(610)は、

前記メモリチャネルコントローラ(640)に接続された中央処理装置(CPU)コア(614)と、

前記CPUコア(614)によって実行されると、前記メモリチャネルコントローラ(640)が前記ポストパッケージリペア動作を実行するように前記CPUコア(614)に制御させる複数の命令を記憶するために前記CPUコア(614)に接続されたファームウェアメモリ(612)と、を含む、

請求項 1 のポストパッケージメモリリペアシステム (6 0 0) 。

【請求項 3】

前記データプロセッサ (6 1 0) は、前記メモリチャネルコントローラ (6 4 0) が所定レベルのエラーを検出したことに応じて、前記バックグラウンドスクラバのスクラブレートを増加させる、

請求項 2 のポストパッケージメモリリペアシステム (6 0 0) 。

【請求項 4】

前記バックグラウンドスクラバ (6 2 4) は、前記メモリシステム (6 7 0) 内の対応する行のサイズよりも小さい所定サイズのメモリからデータ要素を読み出し、

前記メモリチャネルコントローラ (6 7 0) は、前記データ要素を一時的に記憶するための前記所定サイズの読み出し / 書き込みバッファを有する、

請求項 1 のポストパッケージメモリリペアシステム (6 0 0) 。

【請求項 5】

前記メモリチャネルコントローラ (6 4 0) は、

前記返送データ及び前記複数の ECC ビットに応じて前記返送データ内のエラーを検出し、前記エラーが訂正可能かどうかを判別する ECC チェック回路 (6 4 6) を含む、

請求項 1 のポストパッケージメモリリペアシステム (6 0 0) 。

【請求項 6】

複数の追加のエラーカウンタ (6 5 4) をさらに備え、

前記 ECC チェック回路 (6 4 6) は、メモリアクセスにおける ECC エラーの検出に応じて、前記第 1 エラーカウンタ (6 5 2) に対する第 1 インクリメント信号、及び、前記メモリシステム (6 7 0) 内の前記メモリアクセスの領域に従って選択された対応する複数の追加のエラーカウンタ (6 5 4) に対する複数の追加のインクリメント信号のうち 1 つを提供する、

請求項 5 のポストパッケージメモリリペアシステム (6 0 0) 。

【請求項 7】

ホストインタフェース (6 4 2) から受信したデータアクセス要求を ダイナミックランダムアクセスメモリ (D R A M) メモリインタフェース (6 4 4) に提供される対応するメモリアクセスに変換し、前記 D R A M メモリインタフェース (6 4 4) から受信した応答に応じて返送データを前記ホストインタフェース (6 4 2) に提供するメモリチャネルコントローラ (6 4 0) であって、前記応答は、返送データと、複数のエラー訂正コード (E C C) ビットと、を含み、前記メモリチャネルコントローラ (6 4 0) は、前記返送データに対応する前記複数のエラー訂正コード (E C C) ビットに基づいてエラーチェックを実行することによって前記返送データ内のエラーを検出し、前記返送データ内のエラーを検出したことに応じて第 1 制御信号を提供し、前記返送データ内のエラーが訂正可能なエラーであることを検出したことに応じて、カウント信号を提供する、メモリチャネルコントローラ (6 4 0) と、

前記カウント信号に応じて 前記訂正可能なエラー をカウントするために前記メモリチャネルコントローラ (6 4 0) に接続された第 1 エラーカウンタ (6 5 2) であって、所定の状態に達したことに応じて 第 2 制御信号 を提供する第 1 エラーカウンタ (6 5 2) と、を備える、

メモリコントローラ (6 3 0) 。

【請求項 8】

前記 第 2 制御信号 は、マシンチェックアーキテクチャ割込みを含む、

請求項 7 のメモリコントローラ (6 3 0) 。

【請求項 9】

前記メモリチャネルコントローラ (6 4 0) は、

前記返送データ及び前記複数の ECC ビットに応じて前記返送データ内のエラーを検出し、前記エラーが訂正可能であるかどうかを判別する ECC チェック回路 (6 4 6) を含む、

請求項7のメモリコントローラ(630)。

【請求項10】

複数の追加のエラーカウンタ(654)をさらに備え、

前記ECCチェック回路(646)は、メモリアクセスにおけるECCエラーの検出に応じて、前記第1エラーカウンタ(652)に対するカウント信号、及び、対応する複数の追加のエラーカウンタ(654)に対する複数の追加のインクリメント信号のうち選択された1つを提供し、前記選択された1つは、メモリシステム(670)内の前記メモリアクセスの領域に従って前記メモリアクセスのために選択される、

請求項9のメモリコントローラ(630)。

【請求項11】

ホストインタフェース(642)から受信したデータアクセス要求をダイナミックランダムアクセスメモリ(DRAM)メモリインタフェース(644)に提供される対応するメモリアクセスに変換することと、

前記DRAMメモリインタフェース(644)から受信した応答に応じて返送データを前記ホストインタフェース(642)に提供することであって、前記応答は、前記返送データ及び複数のエラー訂正コード(ECC)ビットと、を含む、ことと、

前記返送データ及び前記複数のECCビットに従ってエラーについてメモリシステム(670)の全てのメモリ位置を特定のレートで定期的にバックグラウンドスクラブして、訂正可能なエラーをリペアすることと、

前記バックグラウンドスクラブの間、前記メモリシステム(670)の領域内の所定数のエラーに応じて前記メモリシステム上でポストパッケージリペア動作を実行することと、を含む、

方法。

【請求項12】

前記変換することは、

前記データアクセス要求をキュー(520)に記憶することと、

所定の基準によって決定された時間に前記メモリアクセスを提供するために前記キュー(520)に記憶された複数のデータアクセス要求間でアービトレーションを行うことと、を含む、

請求項11の方法。

【請求項13】

前記バックグラウンドスクラブすることは、

読出しコマンドを前記メモリシステム(670)内の次のアドレスに提供することと、

前記応答を前記メモリシステム(670)から受信することと、

前記返送データ及び前記複数のECCビットに従ってECCチェックを実行することと

、

前記ECCチェックを実行することがエラーを示す場合に、エラーカウンタ(652)をインクリメントすることと、を含む、

請求項11に記載の方法。

【請求項14】

前記バックグラウンドスクラブすることは、

前記訂正可能なエラーについて前記メモリシステム(670)の各アドレスを定期的且つ順次スクラブすることを含む、

請求項11の方法。

【請求項15】

訂正不可能なエラーを検出することと、

前記訂正不可能なエラーを基本入出力システム(BIOS)に報告することと、をさらに含む、

請求項11の方法。