

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4751351号  
(P4751351)

(45) 発行日 平成23年8月17日(2011.8.17)

(24) 登録日 平成23年5月27日(2011.5.27)

(51) Int.Cl. F I  
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01)  
 HO 1 L 25/18 (2006.01)

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2007-38862 (P2007-38862)	(73) 特許権者	000003078
(22) 出願日	平成19年2月20日(2007.2.20)		株式会社東芝
(65) 公開番号	特開2008-205143 (P2008-205143A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成20年9月4日(2008.9.4)	(74) 代理人	110001092
審査請求日	平成21年3月11日(2009.3.11)		特許業務法人サクラ国際特許事務所
		(74) 代理人	100077849
			弁理士 須山 佐一
		(74) 代理人	100113871
			弁理士 川原 行雄
		(74) 代理人	100124073
			弁理士 山下 聡
		(74) 代理人	100134223
			弁理士 須山 英明

最終頁に続く

(54) 【発明の名称】 半導体装置とそれを用いた半導体モジュール

(57) 【特許請求の範囲】

【請求項1】

第1の接続パッドを有する第1の主面と、第2の接続パッドを有し、前記第1の主面とは反対側の第2の主面と、前記第1の接続パッドの近傍を貫通するように設けられた第1の開口部と、前記第2の接続パッドの近傍を貫通するように設けられた第2の開口部とを備える回路基板と、

第1の電極パッドを有し、前記第1の電極パッドが前記第2の開口部内に露出するように、前記回路基板の第1の主面に搭載された第1の半導体素子と、

第2の電極パッドを有し、前記第2の電極パッドが前記第1の開口部内に露出するように、前記回路基板の第2の主面に搭載された第2の半導体素子と、

前記第1の開口部を介して配置され、前記第1の接続パッドと前記第2の電極パッドとを電氣的に接続する第1の接続部と、

前記第2の開口部を介して配置され、前記第2の接続パッドと前記第1の電極パッドとを電氣的に接続する第2の接続部と、

前記第1および第2の半導体素子を前記第1および第2の接続部と前記回路基板の一部と共に封止する封止部と

を具備することを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記回路基板は前記第2の主面の前記封止部による封止領域を除く領域に形成された外

部接続端子を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 記載の半導体装置において、  
 さらに、第 3 の電極パッドを有する第 3 の半導体素子を具備し、  
 前記第 3 の半導体素子は前記第 3 の電極パッドが前記第 2 の開口部内に露出するように、前記第 1 の半導体素子と積層されており、かつ前記第 3 の電極パッドは前記第 2 の接続パッドと電氣的に接続されており、  
前記第 3 の電極パッドは、前記第 1 の電極パッドを介して前記第 2 の接続部により前記第 2 の接続パッドと電氣的に接続された、前記第 1 の電極パッドとの共通電極を有することを特徴とする半導体装置。

10

【請求項 4】

請求項 1 ないし請求項 3 のいずれか 1 項記載の半導体装置において、  
 さらに、第 4 の電極パッドを有する第 4 の半導体素子を具備し、  
 前記第 4 の半導体素子は前記第 4 の電極パッドが前記第 1 の開口部内に露出するように、前記第 2 の半導体素子と積層されており、かつ前記第 4 の電極パッドは前記第 1 の接続パッドと電氣的に接続されており、  
前記第 4 の電極パッドは、前記第 2 の電極パッドを介して前記第 1 の接続部により前記第 1 の接続パッドと電氣的に接続された、前記第 2 の電極パッドとの共通電極を有することを特徴とする半導体装置。

20

【請求項 5】

請求項 2 ないし請求項 4 のいずれか 1 項記載の半導体装置を複数具備する半導体モジュールであって、前記複数の半導体装置は積層されていると共に、それぞれ前記外部接続端子を介して電氣的に接続されていることを特徴とする半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置とそれを用いた半導体モジュールに関する。

【背景技術】

【0002】

半導体装置の小型化や高密度実装化等を実現するために、1つのパッケージ内に複数の半導体素子を積層して封止したスタック型マルチチップパッケージが実用化されている。スタック型マルチチップパッケージにおいて、複数の半導体素子は半田バンプ等の外部接続端子を有する回路基板やリードフレーム等の回路基材上に順に積層される。複数の半導体素子と回路基材との接続にワイヤボンディングを適用する場合、各半導体素子はそれぞれ金属ワイヤとの接続を可能にするためにフェースアップ状態で積層される。

30

【0003】

従来のスタック型マルチチップパッケージにおいて、最上部の半導体素子に接続される金属ワイヤは、必然的に複数の半導体素子の積層厚を超えた部分を通過するように配置される。このような積層構造とワイヤ配線形状を有する複数の半導体素子を封止樹脂で封止する場合、封止樹脂の厚さは最上部の半導体素子へのワイヤ配線の形状分だけ厚くする必要があり、このように、従来のスタック型マルチチップパッケージでは最上部の半導体素子に対するワイヤ配線の形状がパッケージ厚さを厚くする要因となっている。

40

【0004】

一方、特許文献 1 には 2 個の半導体素子をそれぞれのボンディングパッド形成面同士を対向させて配置した半導体パッケージが記載されている。しかしながら、ここでは各半導体素子のボンディングパッド形成面に絶縁層を形成し、さらに絶縁層の表面に金属配線を形成し、これら金属配線間を半田ボールで接続している。このため、半導体パッケージ自体の厚さを十分に薄くすることはできない。さらに、実装ボードと半導体パッケージとの接続は、2 個の半導体素子間の隙間にボンディングワイヤを配置して実施している。この点からも半導体パッケージの厚さが厚くなる傾向にある。

50

【特許文献1】特開2001-036000号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、積層された複数の半導体素子を封止する場合の封止材料の厚さ、ひいては装置自体の厚さを薄くすることを可能にした半導体装置とそれを用いた半導体モジュールを提供することにある。

【課題を解決するための手段】

【0006】

本発明の態様に係る半導体装置は、第1の接続パッドを有する第1の主面と、第2の接続パッドを有し、前記第1の主面とは反対側の第2の主面と、前記第1の接続パッドの近傍を貫通するように設けられた第1の開口部と、前記第2の接続パッドの近傍を貫通するように設けられた第2の開口部とを備える回路基板と、第1の電極パッドを有し、前記第1の電極パッドが前記第2の開口部内に露出するように、前記回路基板の第1の主面に搭載された第1の半導体素子と、第2の電極パッドを有し、前記第2の電極パッドが前記第1の開口部内に露出するように、前記回路基板の第2の主面に搭載された第2の半導体素子と、前記第1の開口部を介して配置され、前記第1の接続パッドと前記第2の電極パッドとを電気的に接続する第1の接続部と、前記第2の開口部を介して配置され、前記第2の接続パッドと前記第1の電極パッドとを電気的に接続する第2の接続部と、前記第1および第2の半導体素子を前記第1および第2の接続部と前記回路基板の一部と共に封止する封止部とを具備することを特徴としている。

10

20

【発明の効果】

【0007】

本発明の態様に係る半導体装置によれば、回路基板を介して積層された複数の半導体素子を封止する封止材料の厚さ、ひいては装置自体の厚さを薄くすることができる。従って、複数の半導体素子を具備する半導体装置の小型・薄型化を実現することができる。

【発明を実施するための最良の形態】

【0008】

以下、本発明を実施するための形態について、図面を参照して説明する。図1、図2および図3は本発明の実施形態による半導体装置の構成を示す図であり、図1はその断面図、図2は平面図、図3は裏面図である。これらの図に示す半導体装置1は、両面実装が可能な回路基板2を具備している。回路基板2は、例えば樹脂基板、セラミックス基板、ガラス基板等の各種絶縁基板や半導体基板の内部や表面に配線網（図示せず）を設けたものであり、具体的にはガラス-エポキシ樹脂やBT樹脂（ビスマレイミド・トリアジン樹脂）等を使用したプリント配線基板を適用することができる。

30

【0009】

回路基板2は、第1の素子搭載面となる第1の主面（A面）2aと、第1の主面2aとは反対側の第2の素子搭載面となる第2の主面（B面）2bとを備えている。第1の主面2aは中央部付近が素子搭載領域とされている。同様に、第2の主面2bは中央部付近が素子搭載領域とされている。このように、回路基板2は表裏両面に半導体素子を搭載することが可能とされており、半導体素子の両面実装に対応した配線網を有している。

40

【0010】

さらに、回路基板2の第1および第2の主面2a、2bには、それぞれ外部接続用のランド3、4が設けられている。これらランド3、4は後述する封止部による封止領域を除く外側領域に形成されており、それぞれ回路基板2の対向する二辺に沿って配列されている。第2の主面2b側のランド4上には、半田バンプ等の外部接続端子5が設けられている。なお、半導体装置1を多段に積層してモジュール化しない場合には、第1の主面2a側のランド3は必ずしも必要ではない。

【0011】

回路基板2の第1の主面2aには、ランド3、4と少なくとも一部が配線網を介して電

50

氣的に接続された第1の接続パッド6が設けられている。第1の接続パッド6は、第1の主面2aの素子搭載領域を除く領域のうち、回路基板2の対向する二辺のうち一方の辺側に設けられている。第1の接続パッド6は回路基板2の上記辺と平行となるようにほぼ直線状に配列されている。第1の接続パッド6は後述するように、第2の半導体素子等に対するワイヤボンディング時に接続部として機能するものである。

【0012】

回路基板2の第2の主面2bには、ランド3、4と少なくとも一部が配線網を介して電氣的に接続された第2の接続パッド7が設けられている。第2の接続パッド7は、第2の主面2bの素子搭載領域を除く領域のうち、回路基板2の対向する二辺のうち他方の辺側に設けられている。第2の接続パッド7は回路基板2の上記辺と平行となるようにほぼ直線状に配列されている。第2の接続パッド7は後述するように、第1の半導体素子等に対するワイヤボンディング時に接続部として機能するものである。

10

【0013】

回路基板2は、第1の接続パッド6の近傍を貫通する第1の開口部8と、第2の接続パッド7の近傍を貫通する第2の開口部9とを有している。第1の開口部8は回路基板2の一方の辺と第1の接続パッド6の形成領域との間に設けられており、第1の接続パッド6の配列方向に沿った長尺な形状を有している。第2の開口部9は回路基板2の他方の辺と第2の接続パッド7の形成領域との間に設けられており、第2の接続パッド7の配列方向に沿った長尺な形状を有している。これら開口部8、9は後述するように、回路基板2と半導体素子とを接続する接続部の形成領域となるものである。

20

【0014】

回路基板2の第1の主面2aには、第1の半導体素子10が第1の接着材層11を介して接着されている。第1の半導体素子10はトランジスタを含む回路等が形成された素子本体の表面に配置された第1の電極パッド12を有している。第1の電極パッド12は第1の半導体素子10の一辺に沿ってほぼ一列に配列されている。すなわち、第1の半導体素子10は片側パッド構造(片側配列構造)を有している。さらに、第1の半導体素子10は第1の電極パッド12を有する電極形成面が第1の主面(上面)2aと対向するように、フェースダウン状態で回路基板2の第1の主面2aに搭載されている。

【0015】

第1の半導体素子10は第1の電極パッド12の形成領域に沿った辺(パッド形成辺)が第2の開口部9側となるように配置されている。さらに、第1の半導体素子10は第1の電極パッド12が第2の開口部9内に露出するように配置されており、これにより第1の主面(上面)2aに対してフェースダウン状態で配置された第1の半導体素子10の電極パッド12が回路基板2で覆われてしまうことを防いでいる。第2の開口部9内に露出された第1の電極パッド12は、第1の半導体素子10の電極形成面を第1の主面(上面)2aと対向させた上でワイヤボンディング等が可能とされている。

30

【0016】

一方、回路基板2の第2の主面2bには、第2の半導体素子13が第2の接着材層14を介して接着されている。第2の半導体素子13はトランジスタを含む回路等が形成された素子本体の表面に配置された第2の電極パッド15を有している。第2の電極パッド15は第2の半導体素子13の一辺に沿ってほぼ一列に配列されている。第2の半導体素子13も第1の半導体素子10と同様に片側パッド構造を有している。さらに、第2の半導体素子13は第2の電極パッド15を有する電極形成面が第2の主面(下面)2bと対向するように、フェースアップ状態で回路基板2の第2の主面2bに搭載されている。

40

【0017】

第2の半導体素子13は第2の電極パッド15の形成領域に沿った辺(パッド形成辺)が第1の開口部8側となるように配置されている。さらに、第2の半導体素子13は第2の電極パッド15が第1の開口部8内に露出するように配置されており、これにより第2の主面(下面)2bに対してフェースアップ状態で配置された第2の半導体素子13の電極パッド15が回路基板2で覆われてしまうことを防いでいる。第1の開口部8内に露出

50

された第2の電極パッド15は、第2の半導体素子13の電極形成面を第2の主面(下面)2bと対向させた上でワイヤボンディング等が可能とされている。

【0018】

このように、第1の半導体素子10と第2の半導体素子13とは、それぞれの電極形成面が回路基板2を介して対向すると共に、それぞれのパッド形成辺の配置が逆方向(回路基板2の面方向に対して反対側)となるように配置されている。さらに、第1の電極パッド12を第2の開口部9内に露出させると共に、第2の電極パッド15を第2の開口部9とは反対側の第1の開口部8内に露出させている。これらによって、回路基板2を介した積層した第1および第2の半導体素子10、13の厚さ以上に封止厚を増加させることなく、各電極パッド12、15と回路基板2とを接続することが可能となる。

10

【0019】

さらに、第1の半導体素子10上には片側配列構造の第3の電極パッド16を有する第3の半導体素子17が第3の接着材層18を介して接着されている。第3の半導体素子17はその電極形成面が第1の半導体素子10の電極形成面とは反対側の面(裏面(図中では上面))と対向するように、フェースダウン状態で第1の半導体素子10上に積層されている。これら半導体素子10、17は電極パッド12、16同士が近接するように方向を揃えて積層されている。第3の半導体素子17は第3の電極パッド16が露出するように第1の半導体素子10と中心位置をずらして積層されており、第3の電極パッド16は第1の電極パッド12と同様に第2の開口部9内に露出されている。

【0020】

20

第2の半導体素子13上(立体的には下側)には、片側配列構造の第4の電極パッド19を有する第4の半導体素子20が第4の接着材層21を介して接着されている。第4の半導体素子20はその電極形成面が第2の半導体素子13の電極形成面とは反対側の面(裏面(図中では下面))と対向するように、フェースアップ状態で第2の半導体素子13と積層されている。これら半導体素子13、20は電極パッド15、19同士が近接するように方向を揃えて積層されている。第4の半導体素子20は第4の電極パッド19が露出するように第2の半導体素子13と中心位置をずらして積層されており、第4の電極パッド19は第2の電極パッド15と同様に第1の開口部8内に露出されている。

【0021】

第1の半導体素子10上に第3の半導体素子17を積層した3層積層構造、さらに第2の半導体素子13上に第4の半導体素子20を積層した4層積層構造においても、封止厚を回路基板2を介して積層した複数の半導体素子(第1ないし第3の半導体素子10、13、17、もしくは第1ないし第4の半導体素子10、13、17、20)の厚さと同等とした上で、各電極パッドと回路基板2とを接続することができる。第1、第2、第3および第4の半導体素子10、13、17、20には、例えばNAND型フラッシュメモリのようなメモリ素子が適用されるが、これに限られるものではない。

30

【0022】

第1の開口部8は回路基板2の第1の主面2aに設けられた第1の接続パッド6と第2および第4の半導体素子13、20の電極パッド15、19との接続空間を提供するものであり、このような第1の開口部8に第1の接続部が配置される。第1の接続パッド6と第2の半導体素子13の電極パッド15とは、第1の開口部8を介して配置された第1のボンディングワイヤ(Auワイヤ等)22を介して電氣的に接続されている。このように、第2の電極パッド15は第1の開口部8を利用することによって、第2の半導体素子13が搭載された回路基板2の第2の主面2bとは反対側の第1の主面2aに設けられた第1の接続パッド6と第1のボンディングワイヤ22を介して電氣的に接続されている。

40

【0023】

第4の半導体素子20の電極パッド19も同様に、第1の開口部8を介して配置された第1のボンディングワイヤ22を介して第1の接続パッド6と電氣的に接続されている。ここで、第2の電極パッド15と第4の電極パッド19との電気特性や信号特性等が等しい場合には、第4の電極パッド19に接続された第1のボンディングワイヤ22を第2の

50

電極パッド15に接続し、この第2の電極パッド15を介して第1の接続パッド6と電氣的に接続することができる。この場合のボンディングワイヤ22は個々にワイヤボンディング工程を実施して接続してもよいし、1本のボンディングワイヤ22で第4の電極パッド19と第2の電極パッド15と第1の接続パッド6とを順に接続してもよい。

【0024】

同様に、第2の開口部9は回路基板2の第2の主面2bに設けられた第2の接続パッド7と第1および第3の半導体素子10、17の電極パッド12、16との接続空間を提供するものであり、この第2の開口部9に第2の接続部が配置される。第2の接続パッド7と第1の半導体素子10の電極パッド12とは、第2の開口部9を介して配置された第2のボンディングワイヤ(Auワイヤ等)23を介して電氣的に接続されている。このよう

10

【0025】

第3の半導体素子17の電極パッド16も、第2の開口部9を介して配置された第2のボンディングワイヤ23を介して第2の接続パッド7と電氣的に接続されている。第3の半導体素子17は第4の半導体素子20と同様に、第1の半導体素子10の電極パッド12と電気特性や信号特性等が等しい第3の電極パッド16を、第1の電極パッド12を介して第2のボンディングワイヤ23で接続することができる。なお、第3および第4の半導体素子17、20は第1および第2の半導体素子10、13とは別にワイヤボンディング

20

【0026】

そして、ランド3、4や外部接続端子5が露出するように、第1ないし第4の半導体素子10、13、17、20を、第1および第2のボンディングワイヤ22、23や回路基板2の一部と共にエポキシ樹脂等の封止樹脂24で封止することによって、半導体装置1が構成されている。封止樹脂24は回路基板2の第1の主面2a側については最外表面となる第3の半導体素子17の裏面が露出するように形成され、第2の主面2b側については最外表面となる第4の半導体素子20の裏面が露出するように形成される。なお、第3

30

【0027】

このように、第1および第2のボンディングワイヤ22、23はそれぞれ開口部8、9内に配置されているため、封止樹脂24の厚さは回路基板2を介して積層された半導体素子10、13、17、20の積層厚と同等とすることができる。従って、積層された半導体素子10、13、17、20と回路基板2とをワイヤボンディング等で電氣的に接続した上で、封止樹脂24の厚さを薄くすることができる。すなわち、封止樹脂24の厚さがワイヤ配線形状に影響されないため、積層された複数の半導体素子10、13、17、20を具備する半導体装置1の小型・薄型化を実現することが可能となる。なお、第3

40

【0028】

上述した実施形態の半導体装置1は、例えば以下のようにして作製される。半導体装置1の製造工程について、図4ないし図10を参照して説明する。まず、図4に示すように、ランド3(4)と第1および第2の開口部8、9を有する回路基板2を用意する。ここで、回路基板2は複数の装置形成領域を有する回路基板パネル31として半導体装置1の製造工程に供給される。図4は回路基板2の第1の主面2aを示している。

【0029】

回路基板パネル31は1個の回路基板2(それをを用いた半導体装置1)に相当する装置形成領域32を複数有している。ここでは、三連構造の装置形成領域32を長手方向に複

50

数連続させた回路基板パネル 3 1 を用いている。図 4 では図示を省略したが、回路基板 2 の表裏両面にはそれぞれ接続パッド 6、7 が形成されている。

【 0 0 3 0 】

次に、図 5 および図 6 に示すように、半導体素子の実装工程および接続工程を実施する。図 5 および図 6 は回路基板パネル 3 1 のうちの 1 個の回路基板 2 ( 装置形成領域 3 2 ) を拡大して示している。これらの図にしたがって半導体素子の実装工程および接続工程を説明する。なお、実際の工程は回路基板パネル 3 1 の複数の回路基板 2 ( 装置形成領域 3 2 ) に対して順次半導体素子の実装工程および接続工程が実施される。

【 0 0 3 1 】

まず、図 5 A に示すように、回路基板 2 ( 装置形成領域 3 2 ) の第 1 の主面 2 a の中央付近に接着材層 1 1 を形成する。次に、図 5 B に示すように、回路基板 2 の第 1 の主面 2 a 上に接着材層 1 1 を介して第 1 の半導体素子 1 0 を実装する。次いで、図 5 C に示すように、第 1 の半導体素子 1 0 上に第 3 の半導体素子 1 7 を積層する。第 1 および第 3 の半導体素子 1 0、1 7 は向きを揃え、中心位置をずらして階段状に積層され、さらに第 2 の開口部 9 を覆うように配置して実装される。

10

【 0 0 3 2 】

次に、図 6 A に示すように、回路基板 2 ( 装置形成領域 3 2 ) の第 2 の主面 2 b の中央付近に接着材層 1 4 を形成する。次に、図 6 B に示すように、回路基板 2 の第 2 の主面 2 b 上に接着材層 1 4 を介して第 2 の半導体素子 1 3 を実装する。次いで、図 6 C に示すように、第 2 の半導体素子 1 3 上に第 4 の半導体素子 2 0 を積層する。第 2 および第 4 の半導体素子 1 3、2 0 は向きを揃え、中心位置をずらして階段状に積層され、さらに第 1 の開口部 8 を覆うように配置して実装される。

20

【 0 0 3 3 】

次に、図 7 A に示すように、回路基板 2 の第 2 の主面 2 b に実装された第 2 および第 4 の半導体素子 1 3、2 0 に対して、回路基板 2 の第 1 の主面 2 a 側から第 1 の開口部 8 を介してワイヤボンディング工程を実施する。すなわち、回路基板 2 の第 1 の主面 2 a に設けられた第 1 の接続パッド 6 と、回路基板 2 の第 2 の主面 2 b に実装された第 2 および第 4 の半導体素子 1 3、2 0 の電極パッド 1 5、1 9 とを、Au ワイヤ等の金属ワイヤからなる第 1 のボンディングワイヤ 2 2 で電氣的に接続する。

【 0 0 3 4 】

30

次に、図 7 B に示すように回路基板 2 を裏返し、第 1 の主面 2 a に実装された第 1 および第 3 の半導体素子 1 0、1 7 に対して、回路基板 2 の第 2 の主面 2 b 側から第 2 の開口部 9 を介してワイヤボンディング工程を実施する。すなわち、回路基板 2 の第 2 の主面 2 b に設けられた第 2 の接続パッド 7 と、回路基板 2 の第 1 の主面 2 a に実装された第 1 および第 3 の半導体素子 1 0、1 7 の電極パッド 1 2、1 6 とを、Au ワイヤ等の金属ワイヤからなる第 2 のボンディングワイヤ 2 3 で電氣的に接続する。

【 0 0 3 5 】

このようにして、図 8 に示すように回路基板パネル 3 1 の各装置形成領域 3 2 ( 各回路基板 2 ) に、それぞれ複数の半導体素子 1 0、1 3、1 7、2 0 を実装すると共に、これら半導体素子 1 0、1 3、1 7、2 0 を回路基板 2 と電氣的に接続する。次いで、図 9 に示すように、回路基板 2 の表裏両面 2 a、2 b を一括して樹脂モールドするように、封止樹脂 2 4 を例えばインジェクションモールドする。ここでは、三連構造の装置形成領域 3 2 の表裏両面を一括してインジェクションモールドしている。半導体装置 1 の厚さの観点からは、封止樹脂 2 4 は最外層の半導体素子 1 7、2 0 の裏面が露出するように形成することが好ましいが、半導体装置 1 の信頼性等を高める上で、最外層の半導体素子 1 7、2 0 の裏面を封止樹脂 2 4 で覆うことも有効である。

40

【 0 0 3 6 】

この後、図 1 0 に示すように、回路基板 2 の第 2 の主面 ( 裏面 ) 2 b 側に設けられたランド 4 上に、外部接続端子 5 として半田ボールを接合する。そして、半導体素子 1 0、1 3、1 7、2 0 の実装工程、ボンディングワイヤ 2 2、2 3 による接続工程、封止樹脂 2

50

4による封止工程、外部接続端子5の形成工程等を実施した配線基板パネル31を、各装置形成領域32に沿って切断することによって、個片化された半導体装置1を作製する。

【0037】

上述した実施形態の半導体装置1は、直接半導体パッケージとして使用することができる。この場合、回路基板2の厚さが100 $\mu\text{m}$ 、各半導体素子10、13、17、20の厚さが60 $\mu\text{m}$ 、各接着材層11、14、18、21の厚さが10 $\mu\text{m}$ としたとき、封止樹脂24の厚さは各構成要素の積層厚に相当する380 $\mu\text{m}$ とすることができる。また、外部接続端子5の取り付け高さ(例えば320 $\mu\text{m}$ )を考慮しても、半導体装置1の全高は例えば500 $\mu\text{m}$ 程度とすることができる。

【0038】

半導体装置1は個別にパッケージとして使用するほか、多段に積層してモジュール化して使用することができる。図11は複数個の半導体装置1を積層した多段構造(POP構造)の半導体モジュール41を示している。図11は4個の半導体装置1を積層した状態を示している。各半導体装置1間の電気的な接続は、回路基板2の第1の主面2a側に設けられたランド3と第2の主面2b側に形成された外部接続端子5とを順に接続することにより実施される。さらに、図12および図13は実装ボード42の表裏両面に4段構造の半導体モジュール41をそれぞれ4連状態で実装した半導体モジュール43を示している。このように、半導体モジュールは多段・多連実装構造を有していてもよい。

【0039】

このような半導体モジュール41、43においても、各半導体装置1の薄型化や接続高さの低減等に基づいて薄型化することができる。例えば、図11に示した半導体モジュール41において、上記した封止樹脂24の厚さが380 $\mu\text{m}$ 、全高が500 $\mu\text{m}$ の半導体装置1を4段モジュールとした場合、その高さ(モジュール高さ)は1.7mm程度とすることができる。なお、半導体モジュール41、43はNAND型フラッシュメモリ等を搭載した半導体装置1を複数積層した構造に限らず、ロジック素子が搭載された半導体装置とNAND型フラッシュメモリを搭載した半導体装置とを積層した構造、さらにDRAMを搭載した半導体装置を積層した構造等、種々の形態が適用可能である。

【0040】

本発明は上記した各実施形態に限定されるものではなく、回路基板の両面にそれぞれ半導体素子を搭載すると共に、回路基板と各半導体素子とを接続した各種構造の半導体装置に適用することができる。そのような半導体装置についても、本発明に含まれるものである。本発明の実施形態は本発明の技術的思想の範囲内で拡張もしくは変更することができる。この拡張、変更した実施形態も本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【0041】

【図1】本発明の実施形態による半導体装置の構成を示す断面図である。

【図2】図1に示す半導体装置の平面図である。

【図3】図1に示す半導体装置の裏面図である。

【図4】図1に示す半導体装置の製造工程に用いられる回路基板パネルの構成を示す平面図である。

【図5A】図1に示す半導体装置の製造工程における回路基板の第1の主面に接着材層を形成した状態を拡大して示す図である。

【図5B】図1に示す半導体装置の製造工程における回路基板の第1の主面に第1の半導体素子を実装した状態を拡大して示す図である。

【図5C】図1に示す半導体装置の製造工程における第1の半導体素子上に第3の半導体素子を積層した状態を拡大して示す図である。

【図6A】図1に示す半導体装置の製造工程における回路基板の第2の主面に接着材層を形成した状態を拡大して示す図である。

【図6B】図1に示す半導体装置の製造工程における回路基板の第2の主面に第2の半導体素子を実装した状態を拡大して示す図である。

10

20

30

40

50



【図6C】図1に示す半導体装置の製造工程における第2の半導体素子上に第4の半導体素子を積層した状態を拡大して示す図である。

【図7A】図1に示す半導体装置の製造工程における第2および第4の半導体素子に対するワイヤボンディング工程を拡大して示す図である。

【図7B】図1に示す半導体装置の製造工程における第1および第3の半導体素子に対するワイヤボンディング工程を拡大して示す図である。

【図8】図1に示す半導体装置の製造工程における回路基板パネルの各装置形成領域に半導体素子を実装した状態を示す平面図である。

【図9】図1に示す半導体装置の製造工程における回路基板パネルの各装置形成領域を樹脂封止した状態を示す平面図である。

【図10】図1に示す半導体装置の製造工程における回路基板パネルの各装置形成領域に外部接続端子を形成した状態を示す平面図である。

【図11】本発明の実施形態による半導体モジュールの構成を示す断面図である。

【図12】図11に示す半導体モジュールを実装ボードの表裏両面に多連実装したモジュール構造を示す平面図である。

【図13】図12に示すモジュール構造の断面図である。

【符号の説明】

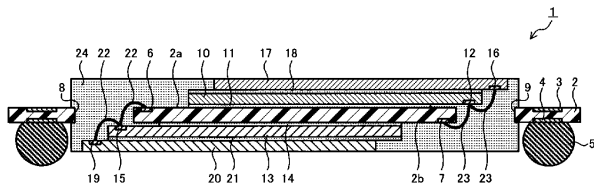
【0042】

1...半導体装置、2...回路基板、2a...第1の主面、2b...第2の主面、3,4...ランド、5...外部接続端子、6...第1の接続パッド、7...第2の接続パッド、8...第1の開口部、9...第2の開口部、10...第1の半導体素子、12...第1の電極パッド、13...第2の半導体素子、15...第2の電極パッド、16...第3の電極パッド、17...第3の半導体素子、19...第4の電極パッド、20...第4の半導体素子、22...第1のボンディングワイヤ、23...第2のボンディングワイヤ、24...封止樹脂。

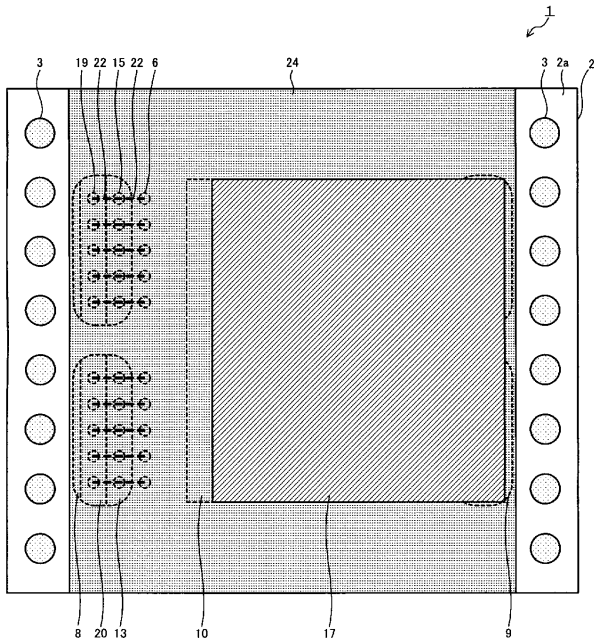
10

20

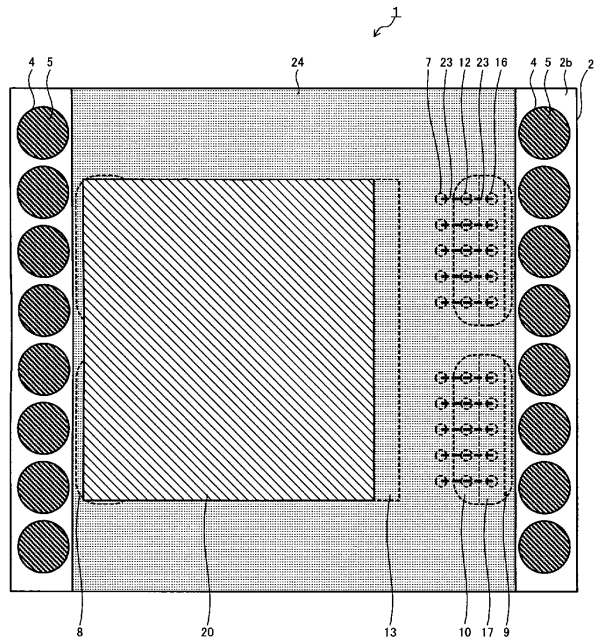
【図1】



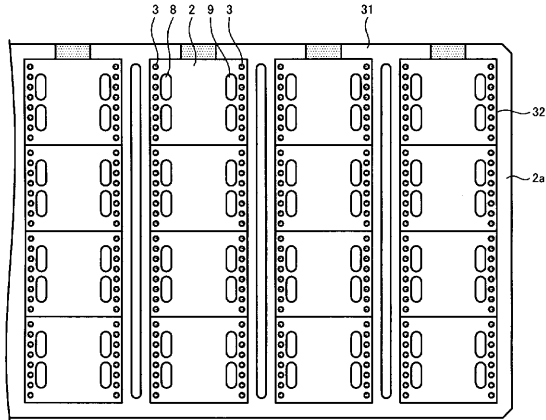
【図2】



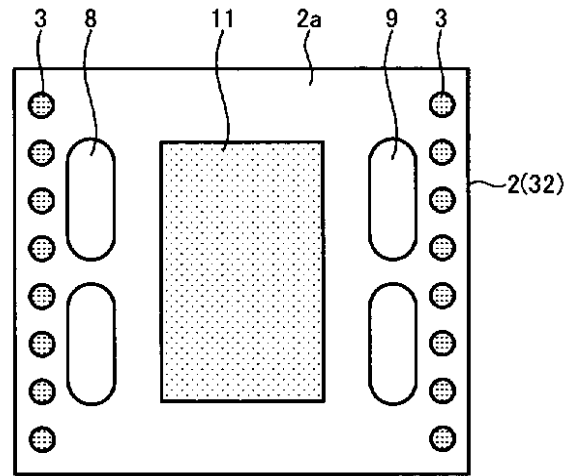
【図3】



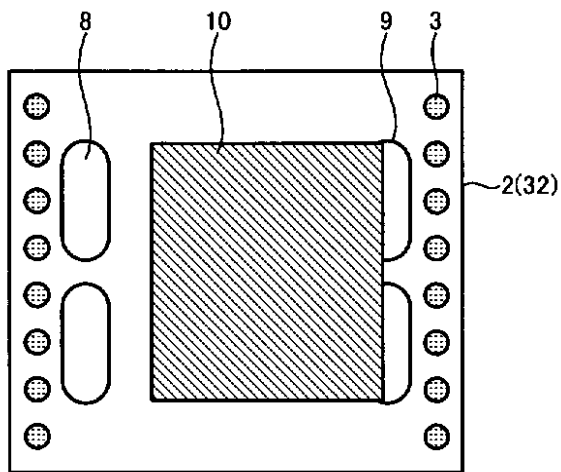
【 4 】



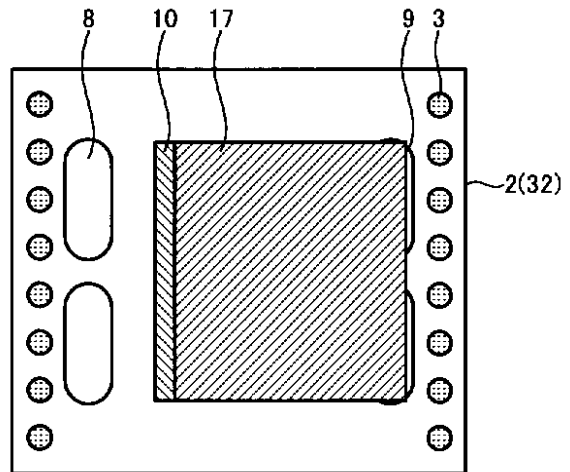
【 5 A 】



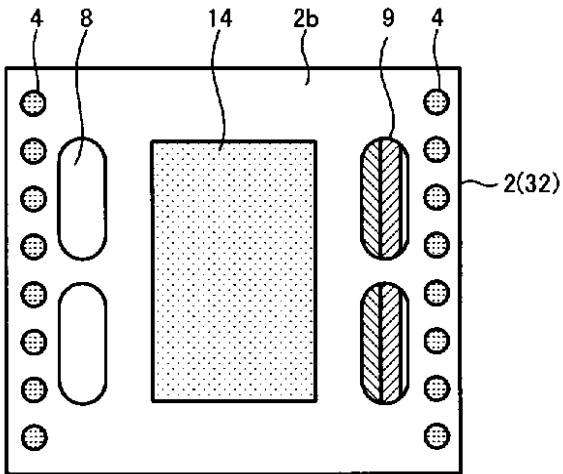
【 5 B 】



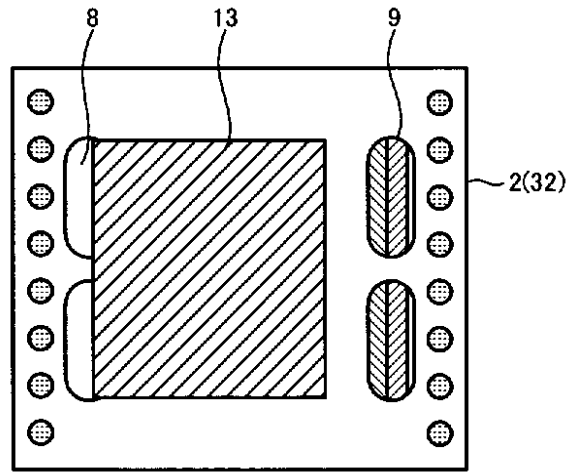
【 5 C 】



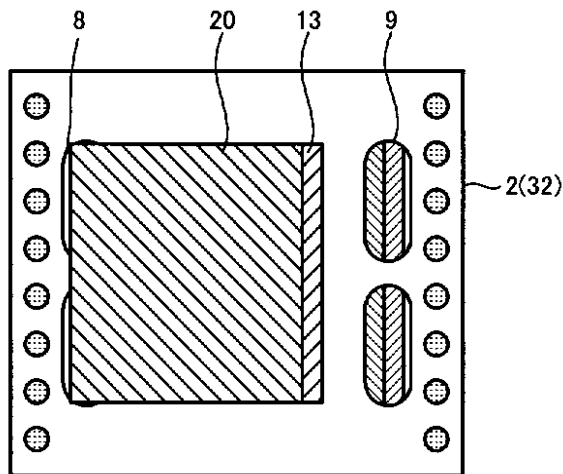
【 6 A 】



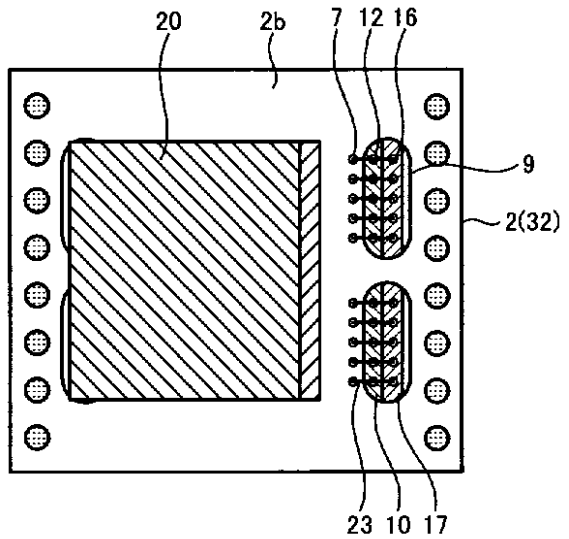
【 6 B 】



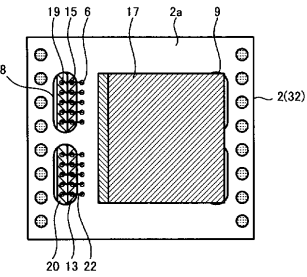
【 6 C 】



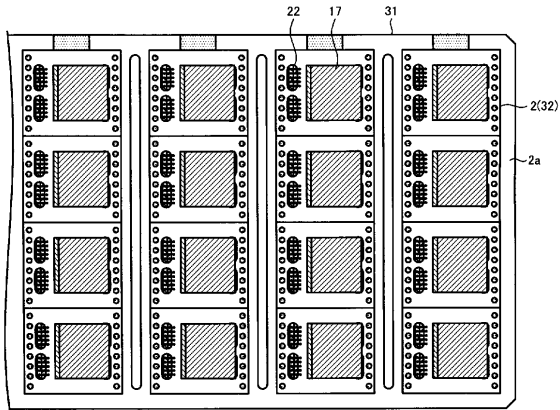
【 7 B 】



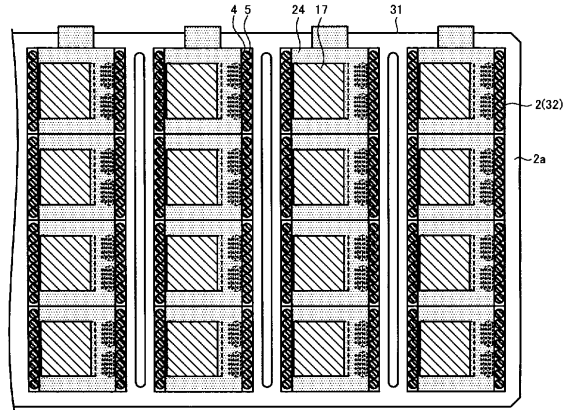
【 7 A 】



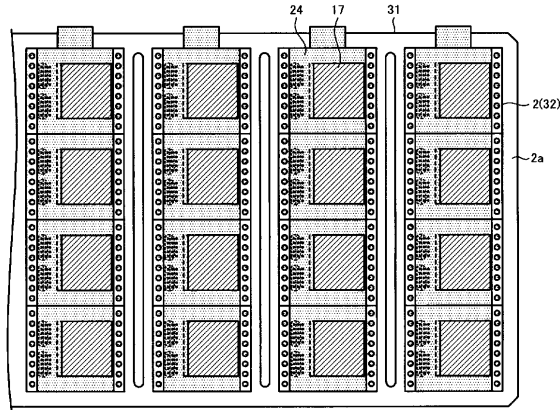
【 8 】



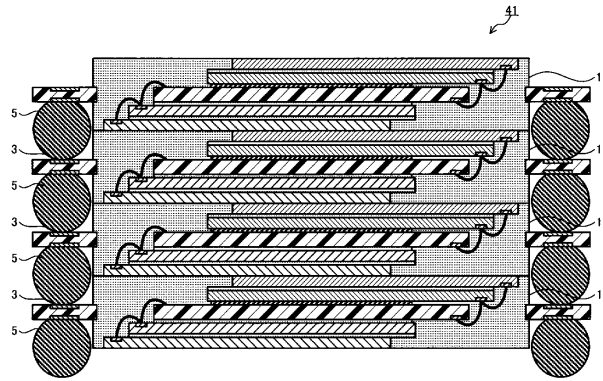
【 10 】



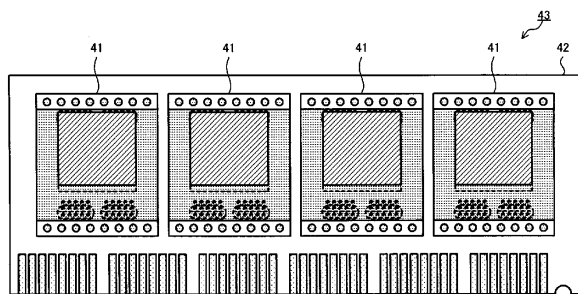
【 9 】



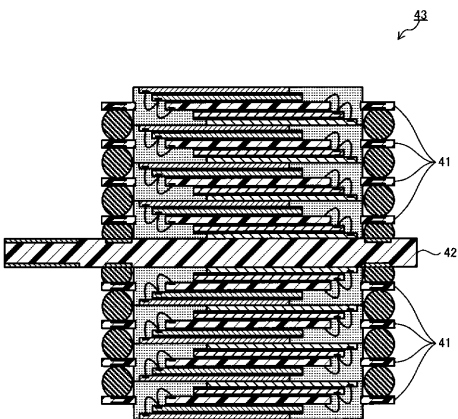
【 11 】



【 12 】



【 13 】



---

フロントページの続き

(72)発明者 松嶋 良二  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 市川 裕司

(56)参考文献 米国特許第05615475 (US, A)  
特開2005-150647 (JP, A)  
特開2001-274316 (JP, A)  
特開2001-298150 (JP, A)  
特開2006-128711 (JP, A)  
特開平11-163253 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
H01L 25/065  
H01L 25/07  
H01L 25/18