

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-127455
(P2004-127455A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl.⁷

G11C 29/00
G01R 31/28
G01R 31/3183
G01R 31/319
G11C 11/401

F I

G11C 29/00 651T
G01R 31/28 M
G01R 31/28 Q
G01R 31/28 R
G11C 11/34 371A

テーマコード(参考)

2G132
5J039
5L106
5M024

審査請求 未請求 請求項の数 18 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2002-292770(P2002-292770)
(22) 出願日 平成14年10月4日(2002.10.4)

(71) 出願人 390005175
株式会社アドバンテスト
東京都練馬区旭町1丁目32番1号
(74) 代理人 100104156
弁理士 龍華 明裕
(72) 発明者 長谷川 崇
東京都練馬区旭町1丁目32番1号 株式
会社アドバンテスト内
(72) 発明者 土井 優
東京都練馬区旭町1丁目32番1号 株式
会社アドバンテスト内
(72) 発明者 佐藤 新哉
東京都練馬区旭町1丁目32番1号 株式
会社アドバンテスト内

最終頁に続く

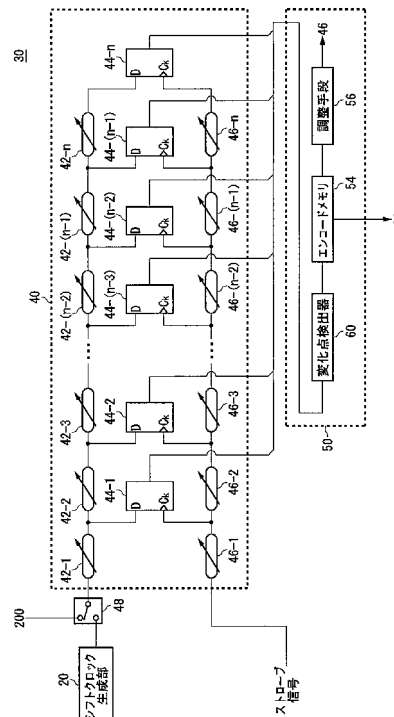
(54) 【発明の名称】 マルチストロープ生成装置、試験装置、及び調整方法

(57) 【要約】

【課題】 複数のストロープのそれぞれのタイミングが精度よく調整されたマルチストロープを生成する。

【解決手段】 複数のストロープを有するマルチストロープを生成するマルチストロープ生成装置であって、基準クロックを分周したシフトクロックを、ストロープのそれぞれが生成されるべきタイミングに応じたタイミングで出力可能なシフトクロック生成部と、基準クロックのそれぞれの立ち上がり、又はそれぞれの立ち下がりに応じて、マルチストロープを生成するストロープ発生部と、シフトクロックに基づいて、ストロープ発生部がストロープのそれぞれを生成するタイミングを調整する調整部とを備えることを特徴とするマルチストロープ生成装置を提供する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数のストローブを有するマルチストローブを生成するマルチストローブ生成装置であって、

基準クロックを分周したシフトクロックを、前記ストローブのそれぞれが生成されるべきタイミングに応じたタイミングで出力可能なシフトクロック生成部と、

前記基準クロックのそれぞれの立ち上がり、又はそれぞれの立ち下がりに応じて、前記マルチストローブを生成するストローブ発生部と、

前記シフトクロックに基づいて、前記ストローブ発生部が前記ストローブのそれぞれを生成するタイミングを調整する調整部と

を備えることを特徴とするマルチストローブ生成装置。

10

【請求項 2】

前記調整部は、前記ストローブ発生部が生成する前記マルチストローブのうち、前記シフトクロックの値の変化点を検出した前記マルチストローブの、それぞれの前記ストローブにおける前記シフトクロックの値に基づいて、前記ストローブのそれぞれのタイミングを調整することを特徴とする請求項 1 に記載のマルチストローブ生成装置。

【請求項 3】

前記シフトクロック生成部は、前記複数のストローブが生成されるべき複数のタイミングに応じて順次前記シフトクロックを生成し、

前記調整部は、前記複数のタイミングに応じて生成されたそれぞれの前記シフトクロックに基づいて、前記ストローブ発生部が、対応する前記ストローブを生成するタイミングを調整することを特徴とする請求項 2 に記載のマルチストローブ生成装置。

20

【請求項 4】

前記ストローブ発生部は、ストローブ信号を受け取り、受け取ったストローブ信号を所定の時間遅延させ、それぞれ前記ストローブとして順次出力する、縦続接続された複数の可変遅延回路を有し、

前記調整部は、それぞれの前記シフトクロックに基づいて、対応する前記可変遅延回路における遅延時間を順次調整することを特徴とする請求項 3 に記載のマルチストローブ生成装置。

【請求項 5】

それぞれが前記可変遅延回路のいずれかに対応して設けられ、対応する前記可変遅延回路が出力した前記ストローブのタイミングと、前記シフトクロックのタイミングとを比較する複数の比較器を更に備え、

前記調整部は、それぞれの前記可変遅延回路における遅延時間を、対応する前記比較器における比較結果に基づいて調整することを特徴とする請求項 4 に記載のマルチストローブ生成装置。

30

【請求項 6】

前記調整部は、遅延時間を調整するべき前記可変遅延回路における遅延時間を変化させ、調整するべき前記可変遅延回路が出力する前記ストローブのタイミングと、前記シフトクロックのタイミングとが略一致したと前記比較器が判定する遅延時間に、調整するべき前記可変遅延回路の遅延時間を設定することを特徴とする請求項 5 に記載のマルチストローブ生成装置。

40

【請求項 7】

前記可変遅延回路は、前記調整部が変化させるそれぞれの遅延時間毎に前記ストローブを複数回出力し、

前記シフトクロック生成部は、調整される前記可変遅延回路が前記ストローブを出力するべきタイミングにおいて値が変化する前記シフトクロックを複数回生成し、

前記比較器は、前記複数回出力された前記ストローブを用いて、前記シフトクロックの値を検出し、

前記調整部は、複数回生成された前記シフトクロックの値の変化点をいずれの前記ストロ

50

ープがそれぞれ検出したかを、前記比較器における比較結果に基づいて判定する変化点検出器を有し、前記変化点検出器における判定結果に基づいて、それぞれの前記可変遅延回路の前記遅延時間を設定することを特徴とする請求項 6 に記載のマルチストローク生成装置。

【請求項 8】

前記調整部は、前記変化点を検出した前記マルチストロークにおいて、最初の前記ストロークを示す第 1 のストロークのタイミングを設定する場合に、前記第 1 のストロークの次の第 2 のストロークが前記変化点を検出する回数が、前記シフトクロックの発生回数の略半分の回数であって、前記第 2 のストロークの次の第 3 のストロークが前記変化点を検出する回数が零となるように、前記第 1 のストロークを出力する前記可変遅延回路の遅延時間を設定することを特徴とする請求項 7 に記載のマルチストローク生成装置。

10

【請求項 9】

前記調整部は、前記変化点を検出した前記マルチストロークにおいて、前記第 2 のストロークのタイミングを設定する場合に、前記第 2 のストロークが前記変化点を検出する回数と、前記第 3 のストロークが前記変化点を検出する回数とが略同一回数となるように、前記第 2 のストロークを出力する前記可変遅延回路の遅延時間を設定することを特徴とする請求項 8 に記載のマルチストローク生成装置。

【請求項 10】

前記変化点検出器は、前記比較器における比較結果をエンコードし、前記マルチストロークにおける前記変化点を検出した前記ストロークの番号を示すエンコードデータを、前記マルチストローク毎に生成することを特徴とする請求項 9 に記載のマルチストローク生成装置。

20

【請求項 11】

前記変化点検出器は、対応する前記マルチストロークが、前記変化点を検出したか否か更に示す前記エンコードデータを、前記マルチストローク毎に生成することを特徴とする請求項 10 に記載のマルチストローク生成装置。

【請求項 12】

前記変化点検出器は、対応する前記マルチストロークが、前記シフトクロックのグリッチを検出したか否かを更に示す前記エンコードデータを、前記マルチストローク毎に生成することを特徴とする請求項 11 に記載のマルチストローク生成装置。

30

【請求項 13】

前記調整部は、前記変化点検出器が生成した前記エンコードデータを格納するエンコードメモリを更に有することを特徴とする請求項 10 から 12 のいずれかに記載のマルチストローク生成装置。

【請求項 14】

前記調整部は、それぞれの前記エンコードデータが、一の前記ストロークにおいて前記変化点を検出したことを示すか否かを判定する第 1 の変化点一致比較回路と、それぞれの前記エンコードデータが、前記一の前記ストロークの次のストロークにおいて前記変化点を検出したことを示すか否かを判定する第 2 の変化点一致比較回路とを更に有し、

40

前記第 1 の変化点一致比較回路が、前記一の前記ストロークにおいて前記変化点を検出したと判定する回数と、前記第 2 の変化点一致比較回路が、前記次のストロークにおいて前記変化点を検出したと判定する回数とが、略同一となるように、前記一の前記ストロークを出力する前記可変遅延回路の遅延時間を設定することを特徴とする請求項 10 に記載のマルチストローク生成装置。

【請求項 15】

前記第 1 の変化点一致比較回路は、前記マルチストロークのうち、前記一の前記ストロークの番号を示す第 1 の比較用データを格納する第 1 の比較用メモリと、

50

前記エンコードデータのうち、前記変化点を検出した前記ストロークの番号を示すストローク番号データと、前記第 1 の比較用データとが一致するか否かを判定する第 1 の検出位置比較器と

を有し、

前記第 2 の変化点一致比較回路は、

前記マルチストロークのうち、前記次のストロークの番号を示す第 2 の比較用データを格納する第 2 の比較用メモリと、

前記エンコードデータのうち、前記変化点を検出した前記ストロークの番号を示すストローク番号データと、前記第 2 の比較用データとが一致するか否かを判定する第 2 の検出位置比較器と

を有することを特徴とする請求項 1 4 に記載のマルチストローク生成装置。

【請求項 1 6】

前記第 1 の検出位置比較器は、

前記第 1 の比較用データを構成するそれぞれのビットと、対応する前記ストローク番号データのビットとが一致する場合に、H 論理を出力する複数の第 1 の排他的論理和回路と、前記排他的論理和回路のそれぞれの出力の論理積を出力する第 1 の論理積回路と、前記論理積回路が H 論理を出力する回数を、前記一のストロークが前記変化点を検出した回数として出力する第 1 のカウンタと

を有し、

前記第 2 の検出位置比較器は、

前記第 2 の比較用データのそれぞれのビットと、対応する前記ストローク番号データのビットとが一致する場合に、H 論理を出力する複数の第 2 の排他的論理和回路と、前記排他的論理和回路のそれぞれの出力の論理積を出力する第 2 の論理積回路と、前記論理積回路が H 論理を出力する回数を、前記次のストロークが前記変化点を検出した回数として出力する第 2 のカウンタと

を有することを特徴とする請求項 1 5 に記載のマルチストローク生成装置。

【請求項 1 7】

電子デバイスを試験する試験装置であって、

前記電子デバイスを試験するための試験パターンを生成するパターン発生器と、

前記試験パターンを成形し、前記電子デバイスに供給する波形整形器と、

前記試験パターンに応じて、前記電子デバイスが出力する出力信号に基づいて、前記電子デバイスの良否を判定する判定器と

を備え、

前記判定器は、前記出力信号の値を検出するための複数のストロークを有するマルチストロークを生成するマルチストローク生成装置を有し、

前記マルチストローク生成装置は、

基準クロックを分周したシフトクロックを、前記ストロークのそれぞれが生成されるべきタイミングに応じたタイミングで出力可能なシフトクロック生成部と、

前記基準クロックのそれぞれの立ち上がり、又はそれぞれの立ち下がりに応じて、前記マルチストロークを生成するストローク発生部と、

前記シフトクロックに基づいて、前記ストローク発生部が前記ストロークのそれぞれを生成するタイミングを調整する調整部と

を含むことを特徴とする試験装置。

【請求項 1 8】

複数のストロークを有するマルチストロークの、それぞれのストロークを生成するタイミングを調整する調整方法であって、

基準クロックを分周したシフトクロックを、前記ストロークのそれぞれが生成されるべきタイミングに応じたタイミングで出力可能なシフトクロック生成段階と、

前記基準クロックのそれぞれの立ち上がり、又はそれぞれの立ち下がりに応じて、前記マルチストロークを生成するストローク発生段階と、

10

20

30

40

50

前記シフトクロックに基づいて、前記ストローク発生段階において前記ストロークのそれぞれを生成するタイミングを調整する調整段階とを備えることを特徴とする調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のストロークを有するマルチストロークを生成するマルチストローク生成装置、電子デバイスを試験する試験装置、及びマルチストロークのそれぞれのストロークの発生タイミングを調整する調整方法に関する。特に本発明は、それぞれのストロークの発生タイミングを制御するマルチストローク生成装置に関する。

10

【0002】

【従来の技術】

従来、被測定信号の値の変化点等を検出する場合、1本のストロークを被測定信号のサイクル毎に遅延させて出力し、それぞれのストロークにおける被測定信号の値を検出し、値の変化点を検出している。この手法は、例えばメモリのセットアップ/ホールド試験等において、データ信号とDQS信号の値の変化点等を検出するために用いられている。

【0003】

例えばDDR-SDRAM(Double Data Rate-SDRAM)のように、クロック(DQS)の立ち上がり又は立ち下がりに同期してデータ信号を出力するダブルデータレート型のデバイスは、所定の出力データ幅毎にクロックを追従させて出力している。これにより、データの受け渡しにおける、セットアップ/ホールドのタイミング条件を緩和している。このようなデバイスは、データのセットアップ/ホールドを誤り無く行うために、データ信号とクロックとの間に、所定のセットアップタイム及びホールドタイムを有する必要がある。

20

【0004】

従来は、データ信号の値とクロックの値とを、1本のストロークによりそれぞれ検出し、それぞれの値の変化点を検出している。そして、検出したそれぞれの変化点が、所定のセットアップタイム及びホールドタイムを満たしているか否かにより、被試験デバイスの良否を判定している。

【0005】

30

【発明が解決しようとする課題】

しかし、1本のストロークで、データ信号及びDQSの各サイクル毎に値を検出しているため、デバイスの電源変動、熱変動等の様々な要因により、データ信号、DQSにジッタが生じた場合、精度よく試験を行うことができない。また、1本のストロークでデータ信号及びDQSを走査するため、試験に時間がかかっていた。

【0006】

そこで本発明は、上記の課題を解決することのできるマルチストローク生成装置、試験装置、及び調整方法を提供することを目的とする。この目的は、特許請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

40

【0007】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の形態においては、複数のストロークを有するマルチストロークを生成するマルチストローク生成装置であって、基準クロックを分周したシフトクロックを、ストロークのそれぞれが生成されるべきタイミングに応じたタイミングで出力可能なシフトクロック生成部と、基準クロックのそれぞれの立ち上がり、又はそれぞれの立ち下がりに応じて、マルチストロークを生成するストローク発生部と、シフトクロックに基づいて、ストローク発生部がストロークのそれぞれを生成するタイミングを調整する調整部とを備えることを特徴とするマルチストローク生成装置を提供する。

【0008】

50

調整部は、ストローブ発生部が生成するマルチストローブのうち、シフトクロックの値の変化点を検出したマルチストローブの、それぞれのストローブにおけるシフトクロックの値に基づいて、ストローブのそれぞれのタイミングを調整してよい。シフトクロック生成部は、複数のストローブが生成されるべき複数のタイミングに応じて順次シフトクロックを生成し、調整部は、複数のタイミングに応じて生成されたそれぞれのシフトクロックに基づいて、ストローブ発生部が、対応するストローブを生成するタイミングを調整してよい。

【0009】

ストローブ発生部は、ストローブ信号を受け取り、受け取ったストローブ信号を所定の時間遅延させ、それぞれストローブとして順次出力する、縦続接続された複数の可変遅延回路を有し、調整部は、それぞれのシフトクロックに基づいて、対応する可変遅延回路における遅延時間を順次調整してよい。

10

【0010】

それぞれが可変遅延回路のいずれかに対応して設けられ、対応する可変遅延回路が出力したストローブのタイミングと、シフトクロックのタイミングとを比較する複数の比較器を更に備え、調整部は、それぞれの可変遅延回路における遅延時間を、対応する比較器における比較結果に基づいて調整してよい。

【0011】

調整部は、遅延時間を調整するべき可変遅延回路における遅延時間を変化させ、調整するべき可変遅延回路が出力するストローブのタイミングと、シフトクロックのタイミングとが略一致したと比較器が判定する遅延時間に、調整するべき可変遅延回路の遅延時間を設定してよい。

20

【0012】

可変遅延回路は、調整部が変化させるそれぞれの遅延時間毎にストローブを複数回出力し、シフトクロック生成部は、調整される可変遅延回路がストローブを出力するべきタイミングにおいて値が変化するシフトクロックを複数回生成し、比較器は、複数回出力されたストローブを用いて、シフトクロックの値を検出し、調整部は、複数回生成されたシフトクロックの値の変化点をいずれのストローブがそれぞれ検出したかを、比較器における比較結果に基づいて判定する変化点検出器を有し、変化点検出器における判定結果に基づいて、それぞれの可変遅延回路の遅延時間を設定してよい。

30

【0013】

調整部は、変化点を検出したマルチストローブにおいて、最初のストローブを示す第1のストローブのタイミングを設定する場合に、第1のストローブの次の第2のストローブが変化点を検出する回数が、シフトクロックの発生回数の略半分の回数であって、第2のストローブの次の第3のストローブが変化点を検出する回数が零となるように、第1のストローブを出力する可変遅延回路の遅延時間を設定してよい。

【0014】

調整部は、変化点を検出したマルチストローブにおいて、第2のストローブのタイミングを設定する場合に、第2のストローブが変化点を検出する回数と、第3のストローブが変化点を検出する回数とが略同一回数となるように、第2のストローブを出力する可変遅延回路の遅延時間を設定してよい。

40

【0015】

変化点検出器は、比較器における比較結果をエンコードし、マルチストローブにおける変化点を検出したストローブの番号を示すエンコードデータを、マルチストローブ毎に生成してよい。変化点検出器は、対応するマルチストローブが、変化点を検出したか否か更に示すエンコードデータを、マルチストローブ毎に生成してよい。また、変化点検出器は、対応するマルチストローブが、シフトクロックのグリッチを検出したか否かを更に示すエンコードデータを、マルチストローブ毎に生成してよい。

調整部は、変化点検出器が生成したエンコードデータを格納するエンコードメモリを更に有してよい。調整部は、それぞれのエンコードデータが、一のストローブにおいて変化点

50

を検出したことを示すか否かを判定する第1の変化点一致比較回路と、それぞれのエンコードデータが、一のストロークの次のストロークにおいて変化点を検出したことを示すか否かを判定する第2の変化点一致比較回路とを更に有し、第1の変化点一致比較回路が、一のストロークにおいて変化点を検出したと判定する回数と、第2の変化点一致比較回路が、次のストロークにおいて変化点を検出したと判定する回数とが、略同一となるように、一のストロークを出力する可変遅延回路の遅延時間を設定してよい。

【0016】

第1の変化点一致比較回路は、マルチストロークのうち、一のストロークの番号を示す第1の比較用データを格納する第1の比較用メモリと、エンコードデータのうち、変化点を検出したストロークの番号を示すストローク番号データと、第1の比較用データとが一致するか否かを判定する第1の検出位置比較器とを有し、第2の変化点一致比較回路は、マルチストロークのうち、次のストロークの番号を示す第2の比較用データを格納する第2の比較用メモリと、エンコードデータのうち、変化点を検出したストロークの番号を示すストローク番号データと、第2の比較用データとが一致するか否かを判定する第2の検出位置比較器とを有してよい。

10

【0017】

第1の検出位置比較器は、第1の比較用データを構成するそれぞれのビットと、対応するストローク番号データのビットとが一致する場合に、H論理を出力する複数の第1の排他的論理和回路と、排他的論理和回路のそれぞれの出力の論理積を出力する第1の論理積回路と、論理積回路がH論理を出力する回数を、一のストロークが変化点を検出した回数として出力する第1のカウンタとを有し、第2の検出位置比較器は、第2の比較用データのそれぞれのビットと、対応するストローク番号データのビットとが一致する場合に、H論理を出力する複数の第2の排他的論理和回路と、排他的論理和回路のそれぞれの出力の論理積を出力する第2の論理積回路と、論理積回路がH論理を出力する回数を、次のストロークが変化点を検出した回数として出力する第2のカウンタとを有してよい。

20

【0018】

本発明の第2の形態においては、電子デバイスを試験する試験装置であって、電子デバイスを試験するための試験パターンを生成するパターン発生器と、試験パターンを成形し、電子デバイスに供給する波形整形器と、試験パターンに応じて、電子デバイスが出力する出力信号に基づいて、電子デバイスの良否を判定する判定器とを備え、判定器は、出力信号の値を検出するための複数のストロークを有するマルチストロークを生成するマルチストローク生成装置を有し、マルチストローク生成装置は、基準クロックを分周したシフトクロックを、ストロークのそれぞれが生成されるべきタイミングに応じたタイミングで出力可能なシフトクロック生成部と、基準クロックのそれぞれの立ち上がり、又はそれぞれの立ち下がりに応じて、マルチストロークを生成するストローク発生部と、シフトクロックに基づいて、ストローク発生部がストロークのそれぞれを生成するタイミングを調整する調整部とを含むことを特徴とする試験装置を提供する。

30

【0019】

本発明の第3の形態においては、複数のストロークを有するマルチストロークの、それぞれのストロークを生成するタイミングを調整する調整方法であって、基準クロックを分周したシフトクロックを、ストロークのそれぞれが生成されるべきタイミングに応じたタイミングで出力可能なシフトクロック生成段階と、基準クロックのそれぞれの立ち上がり、又はそれぞれの立ち下がりに応じて、マルチストロークを生成するストローク発生段階と、シフトクロックに基づいて、ストローク発生段階においてストロークのそれぞれを生成するタイミングを調整する調整段階とを備えることを特徴とする調整方法を提供する。

40

【0020】

尚、上記の発明の概要は、本発明の必要な特徴の全てを列挙したのではなく、これらの特徴群のサブコンビネーションも又、発明となりうる。

【0021】**【発明の実施の形態】**

50

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0022】

図1は、本発明の実施形態に係る試験装置100の構成の一例を示す。試験装置100は、複数のストロープを有するマルチストロープを用いて、電子デバイス200の出力信号の値を検出することにより、電子デバイス200を試験する。

【0023】

試験装置100は、タイミング発生器10、パターン発生器12、波形整形器14、及び判定器16を備える。タイミング発生器10は、試験装置100を動作させるためのタイミング信号を生成する。例えば、タイミング発生器10は、パターン発生器12から、電子デバイス200に試験パターンを供給するタイミングを示すテストセット信号を受け取り、電子デバイス200に試験パターンを供給するタイミングを示す信号を、波形整形器14に供給する。また、試験装置100の動作を同期させる基準クロックを生成し、試験装置100の各構成要素に供給する。

【0024】

パターン発生器12は、電子デバイス200を試験するための試験パターンを生成し、波形整形器14に供給する。波形整形器14は、受け取った試験パターンを整形し、タイミング発生器10から受け取った信号に応じて、整形した試験パターンを電子デバイス200に供給する。

【0025】

判定器16は、与えられた試験パターンに応じて電子デバイス200が出力する出力信号に基づいて、電子デバイス200の良否を判定する。判定器16は、複数のストロープを有するマルチストロープを生成し、生成したマルチストロープにより電子デバイス200の出力信号の値を検出するマルチストロープ生成装置30と、マルチストロープ生成装置30が検出した出力信号の値に基づいて、電子デバイス200の良否を判定する比較回路34とを有する。比較回路34には、パターン発生器12から電子デバイス200が出力するべき期待値信号が供給され、当該期待値信号と、出力信号の値とを比較することにより、電子デバイス200の良否を判定する。

【0026】

また、電子デバイス200は、例えばDDR-SDRAMであって、判定器16は、出力信号としてDDR-SDRAMのデータ信号、及びデータ信号に同期して出力されるクロック信号であるDQSを受け取ってよい。この場合、判定器16は、受け取ったデータ信号及びDQSに基づいて、電子デバイス200のセットアップ/ホールド試験を行い、電子デバイス200の良否を判定してよい。

【0027】

図2は、DDR-SDRAMのセットアップ試験の一例を説明する図である。本例において、試験装置100は、DQSの値とデータ信号(DQ)の値とをそれぞれマルチストロープにより検出し、電子デバイス200のセットアップ試験を行う。DDR-SDRAMは、DQとDQSの立ち上がりエッジを略一致させて出力させるが、試験装置100は、DQの値を検出するマルチストロープの発生タイミングを、DQSの値を検出するマルチストロープの発生タイミングに対して、予め定められたオフセット量だけずらし、それぞれの値を検出する。例えば、試験装置100は、DDR-SDRAMの実使用時に用いられるメモリコントローラが、DQに対してDQSをずらす量だけDQ側のマルチストロープの発生タイミングをずらしてよい。

【0028】

試験装置100は、検出したDQSの値の変化点において、DDR-SDRAMが所定の値のDQを出力しているか否かに基づいて、DDR-SDRAMの良否を判定する。図2(a)及び図2(b)は、DQ及びDQSのタイミングチャートの一例を示す。図2(a)に示した例においては、DQSの値の変化点において、DQが所定の値を示すため、試

10

20

30

40

50

試験装置 100 は、DDR - SDRAM を良品と判定する。また、図 2 (b) に示した例においては、DQS の値の変化点において、DQ が所定の値を示さないため、試験装置 100 は、DDR - SDRAM を不良品と判定する。

【0029】

本例における試験装置 100 は、マルチストロークのそれぞれのストロークにおいて、DQS 及び DQ を所定の値と比較し、比較結果に応じて DQS 及び DQ を Pass / Fail の信号に変換する。それぞれのストロークにおいて、DQS 及び DQ が Pass / Fail のいずれを示すかにより、図 2 (c) に示すように、テーブル判定によって DDR - SDRAM の良否を判定する。

【0030】

本例における試験装置 100 によれば、DQ 及び DQS の 1 サイクルに対して、複数のストロークを有するマルチストロークによって値を検出するため、DQ 及び DQS の遅延時間がサイクル毎にばらついた場合であっても、精度よく試験を行うことができる。また、DDR - SDRAM のホールド試験についても、同様に行うことができる。

【0031】

図 3 は、マルチストローク生成装置 30 の構成の一例を示す。マルチストローク生成装置 30 は、複数のストロークを有するマルチストロークを生成する。マルチストローク生成装置 30 は、シフトクロック生成部 20 と、スイッチ 48 と、ストローク発生部 40 と、調整部 50 とを備える。ストローク発生部 40 には、ストロークを生成するためのストローク信号が与えられる。当該ストローク信号は、例えばタイミング発生器 10 が生成してよい。

【0032】

ストローク発生部 40 は、縦続接続された複数の遅延素子 42、複数の比較器 44、及び縦続接続された複数の可変遅延回路 46 を有する。複数の可変遅延回路 46 は、ストローク信号を受け取り、受け取ったストローク信号を所定の時間遅延させ、それぞれストロークとして順次出力し、マルチストロークを生成する。複数の遅延素子 42 は、電子デバイス 200 の出力信号を比較器 44 に供給する。また、複数の比較器 44 は、それぞれが可変遅延回路 46 のいずれかに対応して設けられ、対応する可変遅延回路 46 が出力したストロークと、電子デバイス 200 の出力信号とを受け取り、受け取ったストロークにより当該出力信号の値を検出する。

【0033】

複数の遅延素子 42 は、それぞれが複数の可変遅延回路 46 のいずれかに対応して設けられ、コンパレータ 32 の比較結果を受け取り、受け取った比較結果を所定の時間順次遅延させ、それぞれ対応する比較器 44 に供給する。それぞれの遅延素子 42 は、受け取った比較結果を対応する可変遅延回路 46 のオフセット遅延量だけ遅延させる。

【0034】

ここで、オフセット遅延量とは、可変遅延回路において最小の遅延量を生成する経路を選択した場合において生じる遅延量である。例えば、オフセット遅延量は、可変遅延回路において信号を遅延させない経路を選択した場合において生じる遅延量を指す。つまり、オフセット遅延量は、可変遅延回路 46 における遅延設定値と遅延時間との誤差を示す。遅延素子 42 によって、受け取った信号を対応する可変遅延回路 46 のオフセット遅延量だけ遅延させて比較器 44 に供給することにより、可変遅延回路 46 における遅延時間の誤差を低減することができる。

【0035】

それぞれの遅延素子 42 は、対応する可変遅延回路 46 と略同一の特性を有し、それぞれのオフセット遅延経路の遅延量が、対応する可変遅延回路 46 のオフセット遅延経路の遅延量と略同一である調整用可変遅延回路であって、遅延素子 46 は、調整用可変遅延回路のオフセット遅延経路を用いて、受け取った信号を対応する可変遅延回路 46 のオフセット遅延量だけ遅延させる。ここで、オフセット遅延経路は、可変遅延回路において最小の遅延を生じる経路を指す。

10

20

30

40

50

【0036】

例えば、遅延素子42は、対応する可変遅延回路46と同一の材料及び同一のプロセスにより形成される。遅延素子42として、対応する可変遅延回路46と同一の特性を有する調整用可変遅延回路を用いることにより、可変遅延回路46におけるオフセット遅延量と同一の遅延量を精度よく生成することができる。また、温度変化等により可変遅延回路46におけるオフセット遅延量が変動した場合であっても、同一の特性を有する遅延素子42を用いることにより、当該変動を吸収することができる。

【0037】

比較器44は、それぞれ対応する可変遅延回路46から受け取ったストロークのタイミングにおける、遅延素子42が出力する信号の値を検出し、検出した値を調整部50を介して比較回路34(図1参照)に供給する。比較回路34は、比較器44から受け取った値と、パターン発生器12が生成する期待値信号とを比較する。図1に関連して説明した判定器16は、比較回路34における比較結果に基づいて、電子デバイス200の良否を判定する。

10

【0038】

以上の動作により、試験装置100は、電子デバイス200の出力信号の値を、マルチストロークにより検出し、電子デバイス200の良否を判定する。また、以上説明したように、マルチストローク生成装置30が出力信号の値を検出する場合、スイッチ48は、ストローク発生部40と電子デバイス200の出力ピンとを接続する。次に、マルチストローク生成装置30における、複数のストロークの発生タイミングの調整について説明する。

20

【0039】

複数のストロークの発生タイミングの調整を行う場合、スイッチ48は、シフトクロック生成部20とストローク発生部40とを接続する。シフトクロック生成部20は、与えられる基準クロックを分周したシフトクロックを出力する。例えば、シフトクロック生成部20は、基準クロックを分周してシフトクロックを生成する分周器と、シフトクロックを遅延させる可変遅延回路とを有し、シフトクロックを精度よく遅延させて出力する。シフトクロック生成部20は、マルチストローク生成装置30が生成するストロークの基準となるタイミングで、シフトクロックを出力する。そして、ストローク発生部40は、当該シフトクロックのタイミングに、ストロークの発生タイミングを合わせることにより調整を行う。当該調整は、シフトクロックの立ち上がりのタイミング、又は立ち下がりのタイミングのいずれを用いてもよい。

30

【0040】

また、シフトクロック生成部20は、基準クロックと非同期なシフトクロックを出力する。試験装置100は、可変遅延回路46-1の前段に、ストローク信号の位相を調整するための可変遅延回路を更に備える。当該可変遅延回路は、ストローク信号を遅延させることにより、シフトクロック生成部20が出力したシフトクロックとストローク信号との位相を合わせる。

【0041】

そして、シフトクロック生成部20は、縦続接続された可変遅延回路46のうち、初段の可変遅延回路46-1における遅延量を設定するためのシフトクロックを出力する。つまり、可変遅延回路46-1において設定されるべき遅延量に応じたタイミングで値が変化するシフトクロックを出力する。シフトクロックは、複数の遅延素子42により、可変遅延回路46のオフセット遅延量と略同一の遅延量で遅延され、比較器44に供給される。

40

【0042】

それぞれの比較器44は、対応する可変遅延回路46が出力するストロークを用いてシフトクロックの値を検出し、検出した結果を調整部50に供給する。ここで、ストローク発生部40には、シフトクロック生成部20が分周した基準クロックのそれぞれの立ち上がりエッジ又はそれぞれの立ち上がりエッジに応じて、ストローク信号が与えられ、与えられたストローク信号に応じてマルチストロークを生成する。例えば、シフトクロック生成

50

部 20 が基準クロックを 16 分周してシフトクロックを生成する場合、ストローブ発生部 40 には、シフトクロックの 1 周期の間に 16 回ストローブ信号が与えられる。これにより、いずれかのマルチストローブによって、シフトクロックの値の変化点を検出することができる。

【0043】

調整部 50 は、シフトクロック生成部 20 が生成したシフトクロックに基づいて、ストローブ発生部 40 がマルチストローブのそれぞれを生成するタイミングを調整する。本例において、調整部 50 は、ストローブ発生部 40 が生成するマルチストローブのうち、シフトクロックの値の変化点を検出したマルチストローブの、それぞれのストローブにおけるシフトクロックの値に基づいて、ストローブのそれぞれのタイミングを調整する。つまり、調整するべきストローブのタイミングを、シフトクロックの値の変化点に合わせることで、ストローブのそれぞれのタイミングを調整する。

10

【0044】

シフトクロック生成部 20 は、複数のストローブが生成されるべき複数のタイミングで順次シフトクロックを発生する。調整部 50 は、複数のタイミングで生成されたそれぞれのシフトクロックに基づいて、同様に全ての可変遅延回路 46 の遅延時間を初段側の可変遅延回路 46 から順次設定することにより、ストローブ発生部 40 が、それぞれのストローブを生成するタイミングを調整する。

【0045】

調整部 50 は、変化点検出器 60、エンコードメモリ 54、及び調整手段 56 を有する。変化点検出器 60 は、複数の比較器 44 の比較結果に基づいて、マルチストローブのいずれのストローブにおいて、シフトクロックの値の変化点を検出されたかを示すエンコードデータを生成する。

20

【0046】

エンコードメモリ 54 は、変化点検出器 60 が生成したエンコードデータを格納する。また、調整手段 56 は、エンコードメモリ 54 が格納したエンコードデータに基づいて、それぞれの可変遅延回路 46 の遅延時間を設定する。遅延時間の設定方法の詳細については後述する。

【0047】

図 4 は、変化点検出器 60 の構成の一例を示す。図 3 において説明した比較器 44 は、検出したシフトクロックの値が H レベルである場合 1 を出力し、L レベルである場合 0 を出力する。変化点検出器 60 は、比較器 44 に対応して設けられた複数の排他的論理和回路 62 と、グリッチ検出器 66 と、エンコーダ 64 とを有する。

30

【0048】

複数の排他的論理和回路 62 は、対応する比較器 44 における比較結果と、対応する比較器 44 の前段の比較器 44 における比較結果とを受け取り、それらの排他的論理和を出力する。つまり、それぞれの排他的論理和回路 62 は、対応する比較器 44 における比較結果と、対応する比較器 44 の前段の比較器 44 における比較結果とが異なる場合に、対応するストローブにおいて変化点を検出されたとし、1 を出力する。

【0049】

グリッチ検出器 66 は、複数の排他的論理和回路 62 の出力に基づいて、一のマルチストローブによって検出された範囲において、電子デバイス 200 の出力信号又はシフトクロックにグリッチが有るか否かを検出する。つまり、複数の排他的論理和回路 62 が 1 を出力した場合に、グリッチ検出器 66 は、電子デバイス 200 の出力信号又はシフトクロックにグリッチが有ると判定する。比較回路 34 (図 1 参照) は、グリッチ検出器 66 における検出結果に更に基づいて、電子デバイスの良否を判定してよい。

40

【0050】

エンコーダ 64 は、複数の排他的論理和回路 62 の出力に基づいて、マルチストローブにおいていずれのストローブがシフトクロックの値の変化点を検出したかを示すエンコードデータを生成する。つまり、エンコーダ 64 は、いずれの排他的論理和回路 62 が 1 を出

50

力したかに基づいて、エンコードデータを生成する。例えば、2番目の排他的論理和回路62-2が1を出力した場合、エンコーダ64は、2を示す2進数をエンコードデータとして出力する。エンコードデータのデータ構成については後述する。

【0051】

図5は、ストロークの調整方法を説明する図である。前述したように、シフトクロック生成部20は、基準クロックを分周してシフトクロックを生成する。ストローク発生部40は、図5に示すように、基準クロックの立ち上がりエッジのそれぞれ又は立ち下がりエッジのそれぞれに応じて、マルチストロークを生成する。

【0052】

それぞれのマルチストロークにおいて、比較器44は対応するストロークにおけるシフトクロックの値を検出する。変化点検出器60は、比較器44の比較結果に基づいて、それぞれのマルチストロークに対するエンコードデータを生成する。調整手段56は、変化点を検出したマルチストロークのエンコードデータに基づいて、可変遅延回路46の遅延量を設定する。

10

【0053】

図6は、ストロークの調整方法を説明する図である。調整部50は、それぞれのマルチストロークのうち、シフトクロックの値の変化点を検出したマルチストロークに基づいて、それぞれのストロークのタイミングを調整する。つまり、調整部50は、シフトクロックの値の変化点を検出したマルチストロークのエンコードデータに基づいて、遅延時間を調整するべき可変遅延回路46における遅延時間を変化させ、調整するべき可変遅延回路46が出力するストロークのタイミングと、シフトクロックのタイミングとが略一致したと比較器44が判定する遅延時間に、調整するべき可変遅延回路46の遅延時間を設定する。

20

【0054】

図6(a)に示すように、調整部50は、まず1番目のストロークについてタイミング調整を行い、図6(b)に示すように、以降のストロークについて順にタイミング調整を行う。

【0055】

例えば、調整部50は、調整するべき可変遅延回路46の遅延時間を順に変化させ、調整するべき可変遅延回路46が出力するストロークのタイミングと、シフトクロックのタイミングとが略一致したと比較器44が判定する遅延時間に、調整するべき可変遅延回路46の遅延時間を設定する。例えば、調整手段56が可変遅延回路46の遅延時間を順に変化させ、シフトクロック生成部20は、調整部50が可変遅延回路46の遅延時間を変化させる毎に、シフトクロックを出力する。調整部50は、これらの処理をそれぞれの可変遅延回路46に対して順に行う。

30

【0056】

また、シフトクロック生成部20は、調整手段56が調整するべき可変遅延回路46の遅延時間を変化させる毎に、シフトクロックを複数回出力してもよい。この場合、それぞれの可変遅延回路46には、シフトクロックに応じて複数回ストローク信号が与えられ、複数回ストロークを出力する。また、比較器44は、それぞれのストロークにより対応するシフトクロックの値をそれぞれ検出する。変化点検出器60は、比較器44における比較結果に基づいてエンコードデータを生成し、エンコードメモリ54は、調整するべき可変遅延回路46の遅延時間に対応付けて、得られたエンコードデータを格納する。

40

【0057】

つまり、可変遅延回路46は、調整部50が変化させるそれぞれの遅延時間毎にストロークを複数回出力し、シフトクロック生成部20は、調整される可変遅延回路46がストロークを出力するべきタイミングにおいて値が変化するシフトクロックを複数回生成し、比較器44は、複数回出力されたストロークを用いて、シフトクロックの値を検出し、変化点検出器60は、複数回生成されたシフトクロックの値の変化点をいずれのストロークがそれぞれ検出したかを、比較器44における比較結果に基づいて判定し、変化点検出器6

50

0における判定結果に基づいて、それぞれの可変遅延回路46の遅延時間を設定する。

【0058】

図7は、シフトクロック生成部20が複数回シフトクロックを出力した場合の、ストロークの調整方法を説明する図である。まず、マルチストロークにおいて、k番目のストロークのタイミングを調整する場合について説明する。

【0059】

k番目のストロークのタイミングを調整する場合、調整部50は、比較器44-(k-1)、比較器44-k、及び比較器44-(k+1)における比較結果に基づいて、可変遅延回路44-kの遅延時間を設定する。本例において、調整部50は、変化点を検出したマルチストロークにおいて、k番目のストローク(第2のストローク)のタイミングを設定する場合に、k番目のストロークが変化点を検出する回数と、k+1番目のストローク(第3のストローク)が変化点を検出する回数とが略同一回数となるように、k番目のストロークを出力する可変遅延回路46-kの遅延時間を設定する。本例において、k番目のストロークが変化点を検出するとは、比較器44-(k-1)の比較結果と、比較器44-kの比較結果が異なることを指す。

10

【0060】

つまり、調整手段56は、エンコードメモリ54が可変遅延回路46の遅延時間毎に対応付けて格納した複数のエンコードデータのうち、k番目のストロークが変化点を検出したことを示すエンコードデータの数 P_k と、k+1番目のストロークが変化点を検出したことを示すエンコードデータの数 P_{k+1} とが略一致する遅延時間に、可変遅延回路46-kの遅延時間を設定する。

20

【0061】

また、調整部50は、変化点を検出したマルチストロークにおいて、最初のストロークを示す第1のストロークのタイミングを設定する場合に、第1のストロークの次の第2のストロークが変化点を検出する回数が、シフトクロックの発生回数の略半分の回数であって、第2のストロークの次の第3のストロークが変化点を検出する回数が零となるように、第1のストロークを出力する可変遅延回路46-1の遅延時間を設定する。

【0062】

また、調整手段56は、調整するべき可変遅延回路46における遅延時間を、例えば昇順又は降順に変化させて、それぞれの遅延時間に対応するエンコードデータに基づいて調整するべき可変遅延回路46の遅延時間を設定する。また、他の例においては、調整手段56は、調整するべき可変遅延回路46における遅延時間を、例えば二分探索法等に基づいて変化させ、最適な遅延時間を検出してよい。

30

【0063】

以上説明した遅延時間の設定を、全ての可変遅延回路46に対して初段側から順に行うことにより、マルチストロークにおけるそれぞれのストローク間隔を、所望の間隔に精度よく設定することができる。また、試験装置100は、電子デバイス200の試験を行う場合に用いる、遅延素子42、比較器44を含む出力信号伝達経路を用いて可変遅延回路46の遅延時間を調整する。このため、出力信号伝達経路の特性によって生じる、出力信号とマルチストロークとのタイミング誤差の影響をも、電子デバイス200の試験において低減することができる。例えば、比較器44における応答特性による影響を低減することができる。

40

【0064】

図8は、エンコードデータのデータ構成の一例を示す。図8(a)に示すように、変化点検出器60は、比較器44における比較結果に基づいてエンコードデータを生成する。図4において説明したように、複数の排他的論理和回路62は、比較器44の比較結果に基づいて、変化点を検出したストロークの位置を示す変化点検出データを生成し、エンコーダ64は、変化点検出データをエンコードし、マルチストロークにおいて変化点を検出したストロークの番号を示すストローク番号データを、マルチストローク毎に生成する。本例において、変化点検出器60は、図8(b)に示すエンコードデータのように、複数ビ

50

ットによってストローク番号を示すエンコードデータを生成する。

【0065】

また、エンコーダ64は、マルチストロークにおいて変化点を検出したストロークが無い場合、そのマルチストロークに対するエンコードデータとして、ストローク番号が零を示すエンコードデータを生成する。これにより、調整手段56は、エンコードデータに対応するマルチストロークが、変化点を検出したか否か、及びいずれのストロークによって変化点を検出したかを容易に判定できる。

【0066】

また、変化点検出器60は、対応するマルチストロークが、シフトクロックのグリッチを検出したか否かを更に示すエンコードデータを、マルチストローク毎に生成する。本例において、変化点検出器60は、グリッチの有無を示すグリッチ検出ビットを更に含むエンコードデータを生成する。

10

【0067】

また、変化点検出器60は、検出したシフトクロックの値の変化点が、LレベルからHレベルに変化したか、HレベルからLレベルに変化したかを示すポジネガ判定ビットを更に含むエンコードデータを生成する。本例においては、初段の比較器44-1における比較結果をポジネガ判定ビットとしたエンコードデータを生成する。

【0068】

以上説明したマルチストローク生成装置30によれば、それぞれのストロークのタイミングを精度よく制御することができる。また、シフトクロックとストローク信号を同期させるための回路が必要でないため、簡略にストロークのタイミングを制御することができる。

20

【0069】

図9は、調整部50の構成の他の例を示す。調整部50は、変化点検出器60と、第1の変化点一致比較回路70-1と、第2の変化点一致比較回路70-2と、調整手段56とを有する。図9において図3と同一の符号を付した構成要素は、図3に関連して説明した構成要素と同一又は同様の機能及び構成を有する。

【0070】

第1の変化点一致比較回路70-1は、それぞれのエンコードデータが、所定のストロークにおいて変化点を検出したことを示すか否かを判定する。また、第2の変化点一致比較回路70-2は、それぞれのエンコードデータが、当該所定のストロークの次のストロークにおいて変化点を検出したことを示すか否かを判定する。調整手段56は、第1の変化点一致比較回路70-1が、所定のストロークにおいて変化点を検出したと判定する回数と、第2の変化点一致比較回路70-2が、所定のストロークの次のストロークにおいて変化点を検出したと判定する回数とが、略同一となるように、当該所定のストロークを出力する可変遅延回路46の遅延時間を設定する。

30

【0071】

また、本例においても、可変遅延回路46-1の遅延時間を設定する場合は、第1の変化点一致比較回路70-1は、第2のストロークが変化点を検出したかを判定し、第2の変化点一致比較回路70-2は、第3のストロークが変化点を検出したかを判定する。調整手段56は、第1の変化点一致比較回路70-1が第2のストロークにおいて変化点を検出したと判定する回数が、シフトクロックを生成した回数の略半分であって、第2の変化点一致比較回路70-2が第3のストロークにおいて変化点を検出したと判定する回数が零となるように、可変遅延回路46-1の遅延時間を設定する。

40

【0072】

図10は、第1の変化点一致比較回路70-1及び第2の変化点一致比較回路70-2の構成の一例を示す。第1の変化点一致比較回路70-1は、マルチストロークのうち、タイミングを調整するべき所定のストロークの番号を示す第1の比較用データを格納する第1の比較用メモリ72-1と、エンコードデータのうち、変化点を検出したストロークの番号を示すストローク番号データと、前記第1の比較用データとが一致するか否かを判定

50

する第1の検出位置比較器80-1と、検出するべき変化点のポジネガ判定ビットの期待値を格納する符号比較用メモリ74-1と、第1の検出位置比較器80-1において、ストローク番号データと、比較用データとが一致する回数を計数する第1のカウンタ78-1とを有する。

【0073】

また、第2の変化点一致比較回路70-2は、マルチストロークのうち、タイミングを調整するべきストロークの次のストロークの番号を示す第2の比較用データを格納する第2の比較用メモリ72-2と、エンコードデータのうち、変化点を検出したストロークの番号を示すストローク番号データと、第2の比較用データとが一致するかどうかを判定する第2の検出位置比較器80-2と、検出するべき変化点のポジネガ判定ビットの期待値を格納する符号比較用メモリ74-2と、第2の検出位置比較器80-2においてストローク番号データと比較用データとが一致する回数を計数する第2のカウンタ78-2とを有する。

10

【0074】

第1の検出位置比較器80-1は、第1の比較用データを構成するそれぞれのビットと、対応するストローク番号のビットとが一致する場合に、H論理を出力する複数の第1の排他的論理和回路82と、排他的論理和回路82のそれぞれの出力の論理積を出力する第1の論理積回路86とを有し、第2の検出位置比較器80-2は、第2の比較用データのそれぞれのビットと、対応するストローク番号データのビットとが一致する場合に、H論理を出力する複数の第2の排他的論理和回路88と、排他的論理和回路88のそれぞれの出力の論理積を出力する第2の論理積回路86-2とを有する。第1のカウンタ78-1及び第2のカウンタ78-2は、対応する論理積回路86がH論理を出力する回数を、変化点を検出した回数として計数する。ここで、排他的論理和回路とは、図10に示すように、排他的論理和の否定論理を出力する回路を含む。

20

【0075】

また、本例においては、第1の検出位置比較器80-1及び第2の検出位置比較器80-2は、エンコードデータのポジネガ判定ビットと、それぞれの符号比較用メモリ74が格納した期待値とを比較する排他的論理和回路84をそれぞれ更に有する。それぞれの論理積回路86は、排他的論理和回路84の出力を更に受け取り、論理積を出力する。これにより、シフトクロックの値の変化点のうち、立ち上がりエッジ又は立ち下がりエッジのいずれかを検出した回数を選択することができ、精度よく可変遅延回路46の遅延時間を設定することができる。

30

【0076】

調整手段56は、第1のカウンタ78-1が計数した回数と、第2のカウンタ78-2が計数した回数とが、略同一となるように調整するべき可変遅延回路46の遅延時間を設定する。本例における調整部50によれば、全てのエンコードデータをメモリに格納する必要がないため、メモリ容量を大幅に低減することができる。

【0077】

図11は、マルチストロークのそれぞれのストローク発生タイミングの調整方法の一例を示すフローチャートである。まず、シフトクロック生成段階S300において、基準クロックを分周したシフトクロックを、タイミング調整するストロークが生成されるべきタイミングに応じたタイミングで出力する。S300は、図3に関連して説明したストローク生成装置20を用いて行ってよい。

40

【0078】

次に、ストローク発生段階S302で、基準クロックのそれぞれの立ち上がり、又はそれぞれの立ち下がりに応じて、マルチストロークを生成する。S302は、図3に関連して説明したストローク発生部40を用いて行ってよい。

【0079】

次に、S304～S310に示す調整段階で、シフトクロックに基づいて、ストローク発生段階302においてストロークのそれぞれを生成するタイミングを調整する。まず、S

50

304で、シフトクロックの値の変化点を検出したストローク番号を算出する。S304は、図3に関連して説明した変化点検出器60を用いて行ってよい。次に、S306で、算出したストローク番号に基づいて、ストロークを生成する可変遅延回路の遅延量を設定する。S306は、図3に関連して説明した調整手段56を用いて行ってよい。

【0080】

次に、S308で、全ての可変遅延回路の遅延量を設定したかを判定する。全ての可変遅延回路の遅延量を設定した場合、処理を終了する。全ての可変遅延回路の遅延量を設定していない場合、S310で、次に調整するべき可変遅延回路の遅延量に応じて、シフトクロックの遅延量を設定し、全ての可変遅延回路に対して遅延量を設定するまで、S300～S310の処理を繰り返す。

10

【0081】

本例における調整方法によれば、マルチストロークのそれぞれのストロークの発生タイミングを精度よく調整することができる。

【0082】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に、多様な変更または改良を加えることができる。そのような変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0083】

【発明の効果】

20

上記説明から明らかなように、本発明によれば、それぞれのストロークの発生タイミングを精度よく制御したマルチストロークを生成することができる。また、これにより、電子デバイスを精度よく試験することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係る試験装置100の構成の一例を示す図である。

【図2】DDR-SDRAMのセットアップ試験の一例を説明する図である。図2(a)及び図2(b)は、DQ及びDQSのタイミングチャートの一例を示し、図2(c)は、良否判定テーブルの一例を示す。

【図3】マルチストローク生成装置30の構成の一例を示す図である。

【図4】変化点検出器60の構成の一例を示す図である。

30

【図5】ストロークの調整方法を説明する図である。

【図6】ストロークの調整方法を説明する図である。図6(a)は、1番目のストロークの調整を示し、図6(b)は、2番目のストロークの調整を示す。

【図7】シフトクロック生成部20が複数回シフトクロックを出力した場合の、ストロークの調整方法を説明する図である。

【図8】エンコードデータのデータ構成の一例を示す図である。図8(a)は、比較器44における比較結果とエンコードデータとの関係を示し、図8(b)は、エンコードデータのデータ構成を示す。

【図9】調整部50の構成の他の例を示す図である。

【図10】第1の変化点一致比較回路70-1及び第2の変化点一致比較回路70-2の構成の一例を示す図である。

40

【図11】本発明に係るマルチストロークのそれぞれのストローク発生タイミングの調整方法の一例を示すフローチャートである。

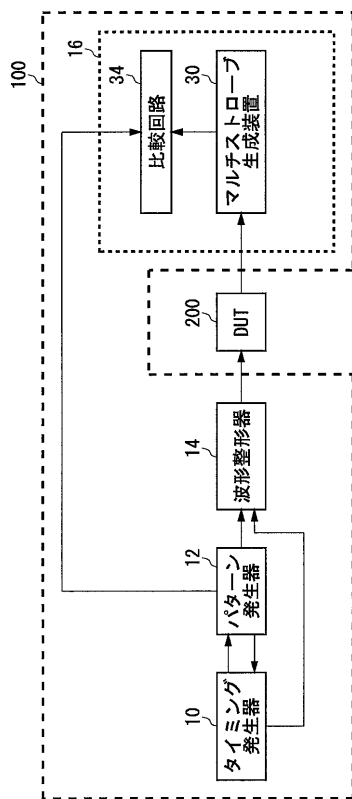
【符号の説明】

10・・・タイミング発生器、12・・・パターン発生器、14・・・波形整形器、16・・・判定器、20・・・シフトクロック生成部、30・・・マルチストローク生成装置、32・・・コンパレータ、34・・・比較回路、40・・・ストローク発生部、42・・・遅延素子、44・・・比較器、46・・・可変遅延回路、48・・・スイッチ、50・・・調整部、54・・・エンコードメモリ、56・・・調整手段、60・・・変化点検出器、62・・・排他的論理和回路、64・・・エンコーダ、66・・・グリッチ検出器

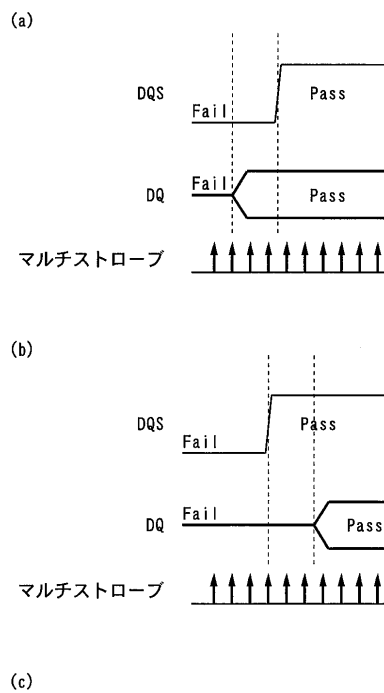
50

、 7 0 . . . 変化点一致比較回路、 7 2 . . . 比較用メモリ、 7 4 . . . 符号比較用メモリ、 7 8 . . . カウンタ、 8 0 . . . 検出位置比較器、 8 2 . . . 排他的論理和回路、 8 4 . . . 排他的論理和回路、 8 6 . . . 論理積回路、 8 8 . . . 排他的論理和回路、 1 0 0 . . . 試験装置、 2 0 0 . . . 電子デバイス

【 図 1 】

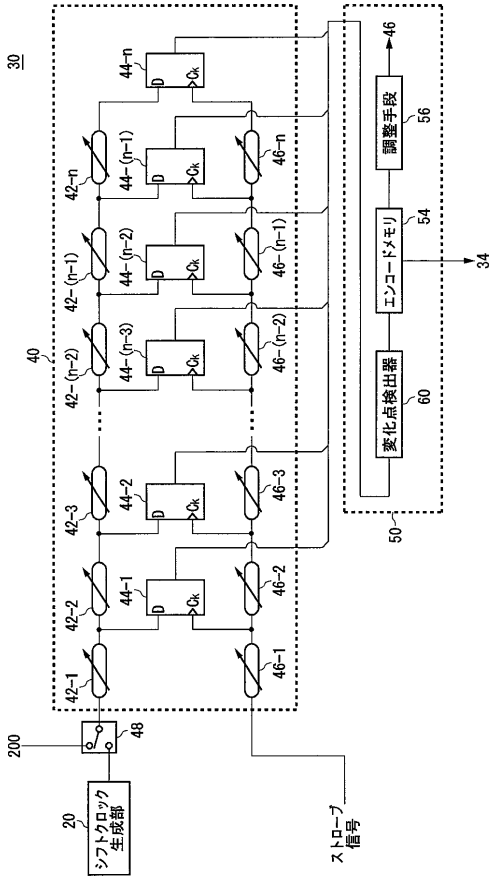


【 図 2 】

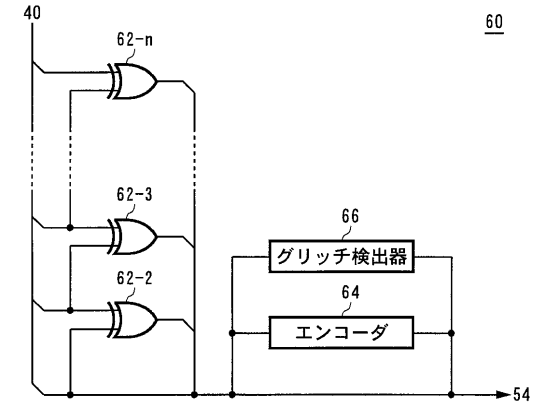


DQS判定	DQ判定	テーブル判定
Pass	Pass	Pass
Pass	Fail	Fail
Fail	Pass	Pass
Fail	Fail	Pass

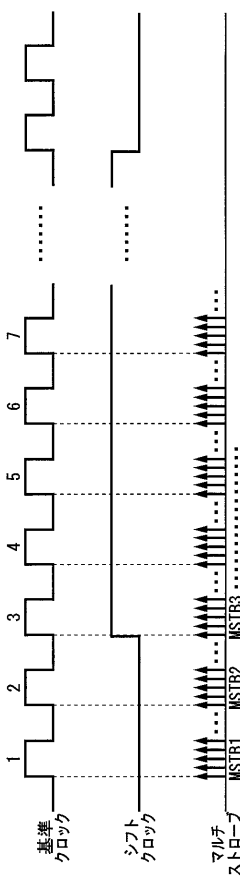
【図3】



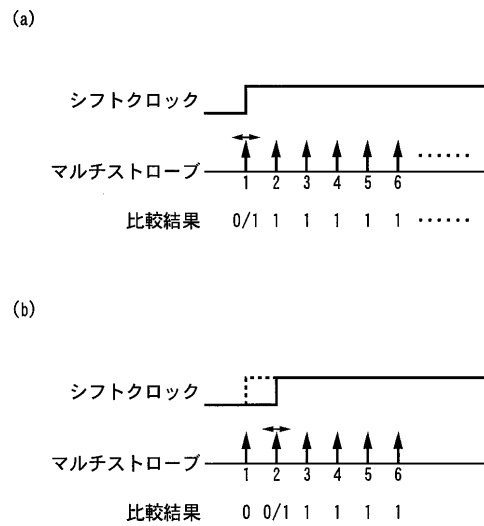
【図4】



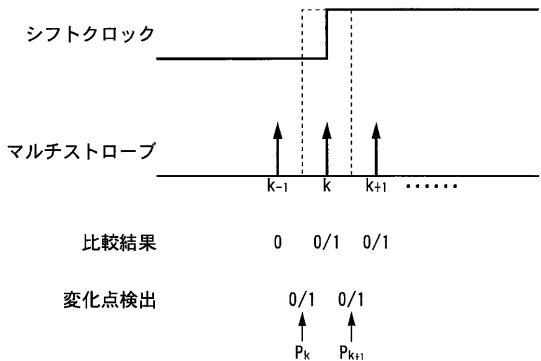
【図5】



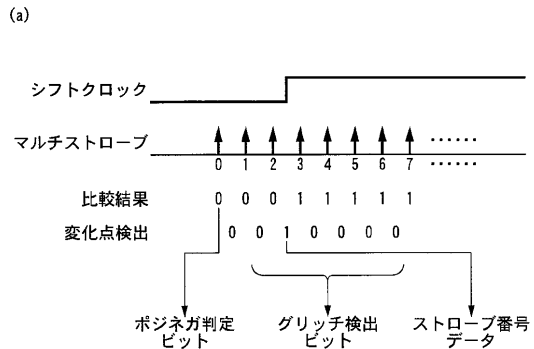
【図6】



【 図 7 】



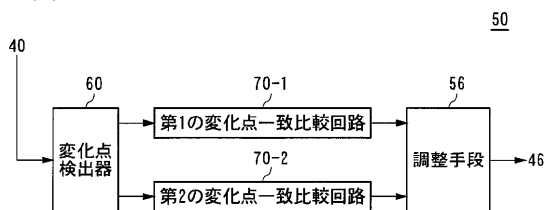
【 図 8 】



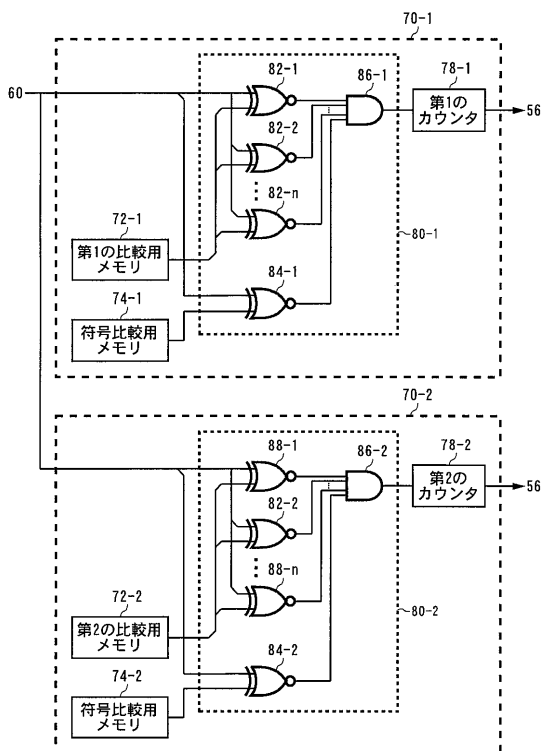
(b)

D6	D5	D4	D3	D2	D1	D0
ポジネガ判定ビット	グリッチ検出ビット	ストローブ番号データ				

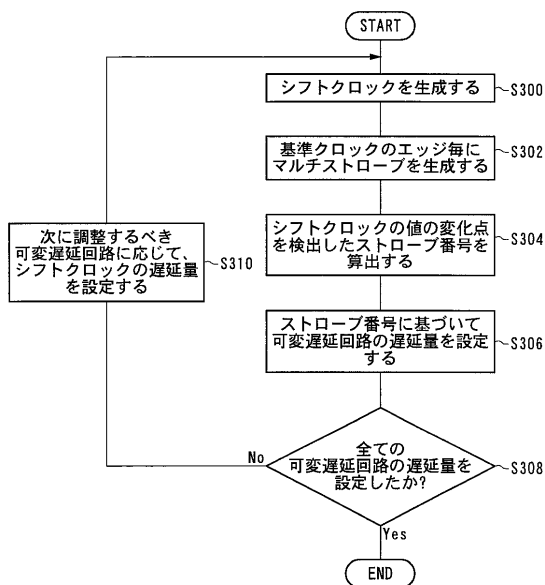
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
H 0 3 K 5/1532 H 0 3 K 5/00 E

Fターム(参考) 2G132 AA00 AE06 AE14 AG01 AG08 AH05 AL11 AL16
5J039 AB03 KK09 KK11 KK13 KK31 MM16
5L106 AA02 DD12 DD22 GG05
5M024 AA91 BB27 BB40 DD92 GG01 JJ03 MM05 PP01 PP02 PP07
PP10