

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 16/00	(45) 공고일자 2000년 11월 15일
	(11) 등록번호 10-0271858
	(24) 등록일자 2000년 08월 21일
(21) 출원번호 10-1992-0011167	(65) 공개번호 특 1993-0003153
(22) 출원일자 1992년 06월 26일	(43) 공개일자 1993년 02월 23일
(30) 우선권주장 91-188109 1991년 07월 02일 일본(JP)	
(73) 특허권자 히다치초엘에스아이엔지니어링 가부시키키가이샤 스즈키 진이치로 일본국 도쿄 고다이라시 죠스이촌초 5-20-1가부시키키가이샤 히다치 세이사쿠쇼 가나이 쓰도무	
(72) 발명자 일본국 도쿄도 지요다구 간다 스루가다이 4-6 후루노 다께시 일본국 도쿄도 고다이라시 가쿠엔니시마찌 1-17 2동 403호 나카무라 야스히로 일본국 도쿄도 고다이라시 가쿠엔니시마찌 1-17 8동 302호 마쓰오 아끼노리 일본국 도쿄도 히가시야마또시 무코하라 4-19-25 신나카무라멘션 202호 백남기	
(74) 대리인 백남기	

심사관 : 김용주

(54) 반도체집적회로장치

요약

반도체집적회로장치와 반도체집적회로장치의 동작방법에 관한 것으로써, 종래의 시스템용과 저전압시스템을 겸용가능하게 한 동작방법과 기존의 범용라이터로 라이트가 가능하고, 비교적 저전압에서 동작가능한 EPROM을 얻기 위해, 반도체집적회로장치의 내부회로를 외부에서 공급되는 소정의 허용범위를 갖는 비교적 높은 동작전압과 소정의 허용범위를 갖는 비교적 낮은 동작전압의 쌍방에 의해 동작가능하게 한다. 또, 반도체집적회로장치에 구성되는 내부회로의 동작조건을 외부에서 공급되는 소정의 허용범위를 갖는 비교적 높은 동작전압과 소정의 허용범위를 갖는 비교적 낮은 동작전압의 2개에 한해서 각각 독자적으로 설정하고, 이들 2개의 동작전압에 의해 선택적으로 반도체집적회로장치를 동작시키도록 한다.

이러한 반도체집적회로장치들 이용하는 것에 의해, 2종류의 동작전압에 따라서 내부회로가 동작가능하면 좋으므로, 간단한 구성으로 내부회로를 실현할 수 있어 종래시스템과 저전압시스템의 어느것에서도 사용가능한 반도체집적회로장치를 얻을 수 있다. 또, 종래시스템과 같은 비교적 높은 동작전압과 저전압시스템용의 저전압의 2개로 한정하며, 또 각각에 대응해서 규격이 결정되는 동작방법을 채용하는 것에 의해 간단한 구성으로 반도체집적회로장치의 용도의 확대를 도모할 수 있다.

대표도

도 1

명세서

[발명의 명칭]

반도체집적회로장치

[도면의 간단한 설명]

- 제1도는 본 발명이 적용된 EPROM의 1실시예를 도시한 블럭도.
- 제2도는 제1도의 전압변환회로 CONV의 1실시예를 도시한 블럭도.
- 제3도는 제2도의 기준전압발생회로의 1실시예를 도시한 구체적인 회로도.
- 제4도는 제2도의 전압폴로위의 1실시예를 도시한 구체적인 회로도.
- 제5도는 제2도의 전원전압스위치의 1실시예를 도시한 구체적인 회로도.
- 제6도는 전압폴로위의 다른 1실시예를 도시한 구체적인 회로도.
- 제7도는 제2도의 전원전압판정회로의 1실시예를 도시한 구체적인 회로도.
- 제8도는 제7도의 전원전압판정회로의 동작을 설명하기 위한 전압 특성도.

제9도는 본 발명에 관한 EPROM의 다른 1실시예를 도시한 블럭도.

제10도는 제9도의 EPROM에 사용되는 입력버퍼의 1실시예를 도시한 구체적인 회로도.

제11도는 제9도의 EPROM에 사용되는 출력버퍼의 1실시예를 도시한 구체적인 회로도.

제12도는 라이터와 EPROM의 관계를 도시한 블럭도.

제13도는 본 발명에 관한 EPROM이 탑재되는 마이크로컴퓨터 시스템의 1실시예를 도시한 블럭도.

제14도는 전원전압과 논리임계전압의 관계를 도시한 특성도.

[발명의 상세한 설명]

본 발명은 반도체집적회로장치와 반도체집적회로장치의 동작방법에 관한 것으로서, 예를들면 범용라이터에 의한 라이트를 가능하게 하면서 리드동작전압을 저전압화한 EPROM(Erasable & Programmable Read Only Memory)에 이용해서 유효한 기술에 관한 것이다.

불휘발성 기억장치로서는 자외선에 의해 그 기억정보의 소거가 가능한 EPROM이 있다. 이 EPROM은 프로그래머(라이터)에 의해 라이트가 실행되고, 자외선 조사에 의해 기억정보의 소거가 실행된다.

EPROM은 5V의 전원전압에서 동작하도록 설계되어 있다. 한편, 정보의 라이트 등을 위해 EPROM을 기존의 범용라이터에 장착한 경우, 범용라이터에서 EPROM에 그 전원전압으로써 5V~6V가 공급된다. 또, 기존의 범용라이터에서는 라이트용의 고전압도 EPROM에 공급된다. 이 라이트용의 고전압을 검출해서 적정한 라이트동작을 실행할 수 있도록 한, 회로를 갖는 EPROM의 예가 일본국 특허공개공보 소화63-108594호에 기재되어 있다.

본원 발명자들은 시스템의 고속화와 저소비전력화등을 위해 반도체집적회로장치의 동작전압이 3V와 같은 저전압으로 되는 경향이 있는 것에 착안해서 이와 같은 저전압에서의 동작을 가능하게 한 EPROM의 개발을 검토하였다. 단, 동작전압을 3V와 같은 저전압화하는 것은 비교적 간단히 실행할 수 있다. 그러나, 이와 같이 하면, 기존의 라이터는 사용할 수 없고, 새로운 라이터, 즉 저전압용의 라이터를 개발해야만 하는 문제가 발생한다. 그래서, 본원 발명자는 범용 라이터로 라이트를 가능하게 하면서 저전압시스템에서의 동작이 가능한 EPROM에 대해서 검토하였다.

이와 같이 2개의 동작전압에 한해서 동작가능하게 하는 경우에는 상기와 같은 5V에서 3V까지의 넓은 전압범위에서의 동작을 가능하게 하고자 하는 경우에 비해서 내부회로의 동작조건을 대폭으로 완화할 수 있고, 또 현실적으로 합리적인 반도체집적회로장치의 동작방법인 것에 착안하였다.

본 발명의 목적은 간단한 구성에 의해 종래 시스템용과 전압시스템용을 겸용 가능하게 한 새로운 반도체집적회로장치와 반도체집적회로장치의 동작방법을 제공하는 것이다.

본 발명의 다른 목적은 기존의 범용라이터로 라이트가 가능하고, 비교적 저전압에서 동작 가능한 EPROM을 제공하는 것이다.

본원에서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다. 즉, 반도체집적회로장치의 내부회로를 외부에서 공급되는 소정의 허용범위를 갖는 비교적 높은 동작전압과 소정의 허용범위를 갖는 비교적 낮은 동작전압의 쌍방에 의해 동작가능하게 한다. 또, 반도체집적회로장치에 구성되는 내부회로의 동작조건을 외부에서 공급되는 소정의 허용범위를 갖는 비교적 높은 동작전압과 소정의 허용범위를 갖는 비교적 낮은 동작전압의 2개에 한해서 각각 독자적으로 설정하고, 이들 2개의 동작전압에 의해 선택적으로 반도체회로장치를 동작시키도록 한다.

상기한 수단에 의하면, 2종류의 동작전압에 따라서 내부회로가 동작가능하면 좋으므로, 간단한 구성에 의해 내부회로를 실현할 수 있어 종래 시스템과 저전압시스템의 어느것에서도 동작가능한 반도체집적회로장치를 얻을 수 있다. 또, 종래 시스템과 같은 비교적 높은 동작전압과 저전압시스템용의 저전압의 2개에 한정하며, 또 각각에 대응해서 규격이 결정되는 동작방법을 채용하는 것에 의해 간단한 구성으로 반도체집적회로장치의 용도의 확대가 도모된다.

[실시예]

제1도에는 본 발명이 적용된 EPROM의 1실시예의 블럭도가 도시되어 있다. 제1도에 도시되어 있는 각 회로블럭은 특히 제한되지 않지만, 공지의 CMOS반도체집적회로의 제조기술에 의해서 단결정실리콘과 같은 1개의 반도체기판상에 있어서 형성된다.

제1도에 있어서, P채널 MOSFET는 그 채널(기판게이트) 부에 화살표가 부가되는 것에 의해서 화살표가 부가되어 있지 않은 N채널 MOSFET와 구별되어 있다. 이것은 다음의 도면에서도 마찬가지이다.

특히 제한되지 않지만, 각 회로블럭은 단결정P형 실리콘으로 이루어지는 반도체기판에 형성된다. N채널 MOSFET는 이러한 반도체기판표면에 형성된 소오스영역, 드레인영역 및 소오스영역과 드레인영역 사이의 반도체기판표면에 얇은 두께의 게이트절연막을 거쳐서 형성된 폴리실리콘으로 이루어지는 게이트전극으로 구성된다. P채널 MOSFET는 상기 반도체기판표면에 N형 웰영역에 형성된다. 이것에 의해서 반도체기판은 그 위에 형성된 여러개의 N채널 MOSFET의 공통의 기판게이트를 구성하고, 회로의 접지전위가 공급된다. N형 웰영역은 그 위에 형성된 P채널 MOSFET의 기판게이트를 구성한다. P채널 MOSFET의 기판게이트, 즉 N형 웰영역은 다음에 기술하는 내부정전압 V_{cv} 에 결합된다. 단, 외부에서 공급되는 전원전압 V_{cc} 에 대응한 신호레벨을 받는 입력신호로서, 그 전압 V_{cc} 에 의해 동작시켜지는 회로에 있어서 기판게이트를 형성하는 N형 웰영역은 전압 V_{cc} 에 결합된다. 또, 고전압을 취급하는 회로라면 그 고전압을 취급하는 P채널 MOSFET가 형성된 N형 웰영역에는 외부에서 부여되는 고전압 V_{pp} 또는 내부에서 발생된 고전압 등이 결합된다.

물론, 상기 각 회로블록은 단결정 N형 실리콘으로 이루어지는 반도체판상에 형성해도 좋다. 이 경우, N 채널 MOSFET와 불휘발성 기억소자(메모리셀)는 P형 웰영역에 형성되고, P채널 MOSFET는 N형의 상기 반도체기판상에 형성된다.

이 실시예의 EPROM에 있어서 0으로 표시된 외부단자를 거쳐서 외부에서 공급되는 X어드레스신호 A0~Ai와 Y어드레스신호 Aj~Ak는 각각 X어드레스버퍼 XADB와 Y어드레스버퍼 YADB에 입력된다. 이 어드레스버퍼 XADB와 YADB에 의해서 X어드레스신호와 Y어드레스신호에 따라서 형성된 내부어드레스신호는 X어드레스디코더 XDCR과 Y어드레스디코더 YDCR에 공급된다. 특히, 제한되지 않지만, 상기 어드레스버퍼 XADB와 YADB는 제어신호 ce에 의해 그 동작이 제어되고 있고, 각각은 EPROM이 선택되었을때에 동작상태로 된다. 이를 어드레스버퍼는 내부정전압 Vcv를 동작전압으로 해서 동작한다.

X어드레스디코더 XDCR은 그 동작전압이 내부정전압 Vcv와 라이트용의 고전압으로 된다. X어드레스디코더 XDCR은 라이트동작일때에는 상기 고전압 Vpp에 의해 동작되고, 검증 및 리드동작일때에는 내부정전압 Vcv에 의해 동작된다. X어드레스디코더 XDCR은 대응하는 어드레스버퍼 XADB에서 공급되는 내부어드레스신호에 따른 선택신호를 형성한다. 내부어드레스신호에 따라서 형성된 선택신호에 의해서 메모리어레이 MARY내의 워드선 W0, Wm 또는 Wn등이 선택된다. Y어드레스디코더 YDCR은 상기 X어드레스디코더 XDCR과 마찬가지로 그 동작전압이 내부정전압 Vcv와 라이트용의 고전압으로 된다. 즉, Y어드레스디코더 YDCR은 마친가치로 그 동작전압이 내부정전압 Vpp에 의해 동작되고, 검증 및 리드동작일때에는 내부정전압 Vcv에 의해 동작된다. Y어드레스디코더 YDCR은 대응하는 어드레스버퍼 YADB에서의 내부어드레스신호에 따른 선택신호 Y0, Y1 ... Yn을 형성한다. 이 선택신호에 의해서 상기 메모리어레이 MARY에서 데이터선이 선택된다.

상기 메모리어레이 MARY는 대표로써 예시적으로 1개가 도시되어 있다. 이 메모리어레이 MARY는 예시적으로 도시되어 있는 컨트롤게이트와 플로팅게이트를 갖는 스택게이트구조의 불휘발성 기억소자(불휘발성 메모리소자 ... MOSFET Q1~Q3)와 워드선W0 ... Wm ... Wn 및 데이터선 D0, D1 ... Dn에 의해 구성되어 있다. 상기 메모리어레이 MARY에 있어서, 같은 행에 배치된 불휘발성 기억소자 Q1~Q3의 컨트롤게이트는 각각 대응하는 워드선W0에 접속되고, 같은 열에 배치된 불휘발성 기억소자의 드레인은 각각 대응하는 데이터선 D0, D1~Dn에 접속되어 있다.

라이트가 실행되는 워드선은 상기 X어드레스디코더 XDCR에 의해서 그 전압이 상기 고전압 Vpp로 된다. 플로팅게이트에 전자를 주입해야할 기억소자가 결합된 데이터선은 데이터입력버퍼 DIB에 의해서 상기과 동일한 고전압 Vpp로 된다. 그것에 의해, 상기 기억소자에 있어서는 채널포화전류가 흐르고, 데이터선에 결합된 드레인근방의 핀치오프영역에서는 고전계어 의해 가속된 전자가 이온화를 일으켜 고에너지를 갖는 전자 소위, 열전자가 발생한다. 한편, 플로팅게이트는 워드선이 결합된 컨트롤게이트의 전압과 드레인전압 및 기판과 플로팅게이트 사이의 용량과 플로팅게이트와 컨트롤게이트 사이의 용량으로 결정되는 전압으로 되고, 열전자를 유인해서 플로팅게이트의 전위를 부로 한다. 이것에 의해, 상기과 같은 라이트가 실행된 기억소자는 컨트롤게이트가 결합된 워드선의 전위를 동작전압 Vcv와 같은 하이레벨의 선택상태로 해도 비도통상태로 되는 임계값전압으로 변화된다. 상기 소자의 주입을 실행하지 않는 기억소자의 드레인, 즉 데이터선의 전위는 상기 데이터 입력버퍼 DIB에 의해서 드레인근방의 핀치오프영역에서 열전자가 발생하지 않는 낮은 레벨로 된다. 이와 같이 라이트가 실행되지 않는 메모리셀은 컨트롤게이트가 결합된 워드선의 전위를 동작전압 Vcv와 같은 하이레벨의 선택상태로 했을때에 도통상태로 되는 낮은 임계값전압으로 유지된다.

특히 제한되지 않지만, 본 실시예의 EPROM은 8비트(또는 16비트등)와 같은 여러비트단위에서의 라이트/리드를 실행하기 위해 상기 메모리어레이는 합계 8조(또는 16조 등)와 같이 여러조가 EPROM에 마련되어 있다. 동일 도면에는 8비트단위의 메모리억세스를 실행하는 EPROM의 일부가 예로써 도시되어 있다.

즉, 1개의 메모리어레이와 그것에 관련된 부분이 도시되어 있다. 도시되어 있지 않은 메모리어레이도 상술한 메모리어레이와 동일한 구성으로 되어 있다.

상기 1개의 메모리어레이 MARY를 구성하는 각 데이터선 D0~Dn은 상기 Y어드레스디코더 YDCR에 의해서 형성된 컬럼선택신호 Y0, Y1~Yn을 받는 컬럼스위치 MOSFET Q7~Q9를 거쳐서 공통데이터선 CD에 접속된다. 공통데이터선 CD에는 외부단자 I/O(D0~D7의 1개)에서 입력되는 라이트신호를 받는 라이트용의 데이터입력버퍼 DIB의 출력단자가 스위치 MOSFET Q18을 거쳐서 접속된다. 마찬가지로, 다른 나머지 7개의 메모리어레이에 대해서도 상기과 동일한 컬럼선택회로스위치 MOSFET, 공통데이터선 CD, 외부단자(D0~D7의 1개) 및 데이터입력버퍼 DIB가 마련되고, 이들 스위치 MOSFET에는 상기 Y어드레스디코더 YDCR에서의 대응하는 컬럼선택신호가 공급되고 있다.

상기 메모리어레이에 대응해서 마련되는 공통데이터선 CD는 리드제어신호 Yr에 의해 스위치제어되는 스위치 MOSFET Q16을 거쳐서 센스앰프 SA의 입력단회로를 구성하고, 다음에 설명하는 초단증폭회로의 입력단자에 결합된다. 편의상, 상기 초단증폭회로를 구성하는 MOSFET Q11~Q15와 CMOS 인버터회로 N 1로 구성되는 회로를 센스앰프 SA라 부르는 것으로 한다. 센스앰프 SA에는 동작전압으로써 내부정전압 Vcv가 공급된다.

상기 예시적으로 도시되어 있는 공통데이터선 CD는 리드제어신호 Yr에 의해 ON상태로 되는 MOSFET Q16을 통해서 N채널형의 증폭 MOSFET Q11의 소오스에 접속된다. 이 증폭 MOSFET Q11의 드레인과 상기 전원전압 Vcv 사이에는 그 게이트에 회로의 접지전위 Vss가 인가된 P채널형의 부하 MOSFET Q12가 마련된다. 상기 부하 MOSFET Q12는 리드동작을 위해 공통 데이터선 CD에 프리차지전류를 흐르게하는 동작을 실행한다.

상기 증폭 MOSFET Q11의 감도를 높게 하기 위해, 스위치 MOSFET Q16을 거친 공통데이터선 CD의 전압은 N채널형의 구동 MOSFET Q13과 P채널형의 부하 MOSFET Q14로 이루어지는 반전증폭회로의 입력인 구동 MOSFET Q13의 게이트에 공급된다. 이 반전증폭회로의 출력전압은 상기 증폭 MOSFET Q11의 게이트에 공급된다. 또, 센스앰프의 비동작기간에서의 필요없는 전류소비를 방지하기 위해, 상기 증폭 MOSFET Q11의 게이트와 회로의 접지전위점 Vss사이에는 N채널 MOSFET Q15가 마련된다. 이 MOSFET Q15와 상기 P채널

MOSFET Q14의 게이트에는 공통으로 센스앰프의 동작타이밍신호 sc가 공급된다.

메모리셀의 리드시에 있어서, 센스앰프동작타이밍신호 sc는 로우레벨로 되고, MOSFET Q14는 ON상태로, MOSFET Q15는 OFF상태로 된다. 메모리셀은 라이트데이터에 따라서, 즉 그것에 기억되어 있는 정보에 따라서 상술한 바와 같이 워드선의 선택레벨에 대해서 높은 임계값전압이던가 또는 낮은 임계값전압을 갖도록 된 것이다.

상기 X어드레스디코더 XDCR에 의해서 선택된 메모리셀에 있어서 워드선이 선택레벨로 되어 있음에도 불구하고 OFF상태로 되어 있는 메모리셀에 대해서 살펴보면, 그것이 결합된 공통데이터선 CD는 MOSFET Q12와 Q11에서의 전류공급에 의해서 하이레벨로 된다. 한편, 선택된 메모리셀에 있어서, 워드선의 선택레벨에 의해서 ON상태로 되어 있는 메모리셀에 대해서 살펴보면, 그것이 결합된 공통데이터선 CD는 ON상태로 된 메모리셀에 의해서 로우레벨로 된다.

공통데이터선 CD의 상술한 하이레벨은 이 하이레벨의 전위를 받는 반전증폭회로에 의해 형성된 비교적 낮은 레벨의 출력전압이 MOSFET Q11의 게이트에 공급되는 것에 의해서 비교적 낮은 전위로 제한된다. 한편, 공통데이터선 CD의 상술한 로우레벨은 이 로우레벨의 전위를 받는 반전증폭회로에 의해 형성된 비교적 높은 레벨의 전압이 MOSFET Q11의 게이트에 공급되는 것에 의해서 비교적 높은 전위로 제한된다.

공통데이터선 CD의 하이레벨과 로우레벨을 상술한 바와 같이 제한하는 것에 의해, 공통데이터선 CD에 신호변화속도를 제한하는 부유용량 등의 용량이 존재함에도 불구하고 리드의 고속화를 도모할 수 있다. 즉, 여러개의 메모리셀에서의 데이터를 잇달아 리드하는 경우에 있어서 공통데이터선 CD에 있어서의 전위가 한쪽의 레벨에서 다른쪽의 레벨로 변화될때까지의 시간을 단축할 수 있다. 이와 같은 고속리드동작을 위해 상기 부하 MOSFET Q12의 콘덕턴스는 비교적 크게 설정되어 있다.

증폭용 MOSFET Q11은 게이트접지령 소오스입력의 증폭동작을 실행하고, 그 출력신호를 CMOS 인버터회로 N 1에 전달한다. CMOS 인버터회로 N 1은 그 논리임계전압을 참조전압으로 해서 하이레벨/로우레벨의 센스를 실행한다. 이 CMOS 인버터회로 N 1도 그 동작전압으로써 상기 정전압 V_{cv}와 접지전위 V_{ss}가 공급되어 있다. 이 CMOS 인버터회로 N 1의 출력신호는 대응한 데이터출력버퍼 DOB에 의해서 특히 제한되지 않지만 증폭되어 상기 외부단자 1/0에서 송출된다. 또, 상기 외부단자 1/0에서 공급되는 라이트신호는 입력버퍼 DIB를 거쳐서 상기 공통데이터선 CD에 전달된다. X8비트나 X16비트 구성을 위해 마련되는 다른 메모리어레이에 대응한 공통데이터선과 외부단자 사이에 있어서도 상기와 동일한 입력단회로, 센스앰프 및 데이터출력버퍼로 이루어지는 리드회로와 데이터입력버퍼로 이루어지는 라이트회로가 각각 마련된다.

상기 데이터출력버퍼 DOB에는 그 동작전압으로써 상기 정전압 V_{cv}가 공급되어 있다. 물론, 도시되어 있지 않지만, 상기 접지전위 V_{ss}도 동작전압으로써 공급되어 있다.

상기 데이터입력버퍼 DIB에는 그 동작전압으로써 상기 정전압 V_{cv}, 고전압 V_{pp} 및 접지전압 V_{ss} (도시하지 않음)가 공급되어 있다. 상기 고전압 V_{pp}가 공급되어 있는 것에 의해, 상기 데이터입력버퍼 DIB는 라이트동작중에 라이트되어야할 데이터에 따라서 고전압 또는 저전압을 공급데이터선 CD에 부여한다. 이것에 의해, 상술한 바와 같은 라이트동작이 실행된다.

제어회로 CONT는 특히 제한되지 않지만, 외부단자 CE, OE 및 V_{pp}에 공급되는 칩인에이블신호, 아웃풋인에이블신호, 고전압 V_{pp} 및 전압변환회로 CONV로 형성된 내부정전압 V_{cv}를 받아서 동작모드에 따른 제어

신호의 발생과 동작모드에 따른 동작전압의 공급을 실행한다. 즉, 상기 외부단자 \overline{CE} 및 \overline{OE} 에 공급되는 외부신호와 상기 외부단자 V_{pp}에 공급되는 전압에 의해서 상기 제어회로 CONT는 지시된 동작모드를 식별한다. 상기 제어회로 CONT는 이 식별한 동작모드에 따라서 제어신호 ce, sc를 발생하는 발생회로 (도시하지 않음)와 식별한 동작모드에 따라서 상기 어드레스디코더 XDCR, YDCR 및 데이터입력버퍼 DIB에 공급되어야할 동작전압 V_{cv}/V_{pp}의 전환을 실행하는 전압전환회로 (도시하지 않음)를 포함하고 있다.

예를들면, 상기 외부단자 V_{pp}에 라이트용의 고전압 V_{pp}가 공급된 상태에 있어서, 칩인에이블신호 \overline{CE} 가 로우레벨에서, 아웃풋인에이블신호 \overline{OE} 가 하이레벨이면 라이트모드로 식별되고, 상기 내부신호 ce는 하이레벨로 된다. 그리고, 어드레스디코더회로 XDCR, YDCR 및 데이터입력버퍼 DIB에는 그 동작전압으로써 상기 고전압 V_{pp}에 대응한 내부고전압 V_{pp}가 공급된다. 상기와 같이 라이트가 실행되어야할 메모리셀이 결합된 워드선은 그 전압이 상기 고전압 V_{pp}로 된다. 그리고, 플로팅게이트에 전자를 주입해야할 메모리셀이 결합된 데이터선은 상기와 동일한 고전압 V_{pp}로 된다. 이것에 의해, 이 메모리셀에 있어서는 채널포화전류가 흐르고, 데이터선에 결합된 드레인근방의 핀치오프영역에서는 고전계에 의해 가속된 전자가 이온화를 일으켜 고에너지를 갖는 전자, 소위 열전자가 발생한다. 한편, 상기 메모리셀에 있어서, 플로팅게이트는 워드선이 결합된 컨트롤게이트의 전압과 드레인전압 및 기판과 플로팅게이트 사이의 용량과 플로팅게이트와 컨트롤게이트 사이의 용량에 의해서 결정되는 전압으로 되고, 발생한 상기 열전자를 유인해서 플로팅게이트의 전위를 부로 한다. 이것에 의해, 컨트롤게이트가 결합된 워드선의 전위를 선택상태로 해도 상기 메모리셀은 비도통상태로 되도록 된다. 이것에 대해서 전자의 주입을 실행하지 않는 메모리셀에 있어서 드레인근방의 핀치오프영역에서 열전자가 발생하지 않는 낮은 레벨의 전압이 데이터선을 거쳐서 그 드레인에 인가된다.

또, 외부단자 V_{pp}에 라이트용의 고전압 V_{pp}가 공급된 상태에 있어서, 칩인에이블신호 \overline{CE} 가 로우레벨로 되고, 아웃풋인에이블신호 \overline{OE} 가 로우레벨로 되면 검증모드가 지시되었다고 식별하고, 상기 레부신호 sc와 ce는 하이레벨로 된다. 이 검증모드에서는 상기 어드레스디코더 XDCR, YDCR 및 데이터입력버퍼 DIB의 각 동작전압은 고전압 V_{pp}에서 내부전압 V_{cv}로 전환된다. 이것에 의해, 메모리셀의 선택이 실행되어 기억정보의 리드가 실행된다.

상기 외부단자 V_{pp}에 인가되어 있는 전압이 라이트에 필요한 고전압 V_{pp}가 아닌 경우, 즉 플로팅상태이

거나 접지전위이거나 또는 외부에서 공급되는 전압 V_{cc} 레벨일때에 있어서, 칩인에이블신호 CE가 로우레벨로 되고, 아웃풋인에이블신호 \overline{OE} 가 로우레벨로 되면 상기 설명한 바와 같은 리드모드가 지시된 것으로 식별하고, 상기 내부신호 sc와 ce는 하이레벨로 된다. 또, 이 경우에 어드레스디코더 XDCR, YDCR 및 데이터입력버퍼 DIB의 각 동작전압은 내부전압 V_{cv} 로 전환된다. 이것에 의해, 메모리셀의 선택이 실행되어 기억정보의 리드가 실행된다.

상기 리드 제어신호 Y_r 은 리드모드 및 검증모드가 지시되었을 때 제어회로 CONT에서 출력되고, 상기 라이트제어신호 Y_w 는 라이트모드(프로그램모드)가 지시되었을 때 제어회로 CONT에서 출력된다. 이 경우, Y 어드레스신호 $Y_j \sim Y_k$ 의 일부를 제어회로 CONT에 공급해서 스위치 Q16, Q18에 있어서, 또 선택이 실행되도록 해도 좋다.

이 실시예에서 외부단자 V_{cc} 를 거쳐서 외부에서 공급되는 전원전압 V_{cc} 가 약 $5V \pm 0.5V$ 와 같은 일정한 허용범위를 갖는 비교적 높은 전압일때 전압변환회로 CONV에 의해 상기 전원전압 V_{cc} 는 약 $3V$ 와 같은 내부정전압 V_{cv} 로 전압변환되어 그 내부정전압 V_{cc} 가 내부회로의 동작전압으로 된다. 이 전압변환회로 CONV는 특히 제한되지 않지만, 전압전환기능을 갖고, 상기 외부에서 공급되는 전원전압 V_{cc} 가 $3V \pm 0.3V$ 와 같은 일정한 허용범위를 갖는 비교적 낮은 전압일때 외부전압 V_{cc} 를 그대로 내부전압 V_{cv} 로 해서 출력한다. 이와 같은 구성을 채용하는 것에 의해, 상기 디코더 XDCR이나 YDCR 및 센스앰프 SA 등의 내부회로에 있어서는 외부에서 공급되는 전압이 상기와 같은 비교적 높은 전압이라도 또는 상술한 바와 같은 비교적 낮은 전압이라도 거의 같은 전압에 의해 동작된다. 이 결과, 내부회로의 동작조건을 같게할 수 있어 외부에서의 2종류의 전원전압에도 불구하고 소비전력 및 동작속도를 거의 같게 할 수 있다. 또, 센스앰프 SA에 있어서는 같은 참조전압에 의한 센스가 가능하게 되는 것이다.

이와 같은 구성을 채용하는 것에 의해, 이 실시예의 EPROM에서는 기존의 범용 라이터(프로그래머)를 사용해서 라이트가 가능하게 됨과 동시에 5V계와 3V계의 어느것의 동작전압을 갖는 시스템에서도 마찬가지로 사용할 수 있다. 이 결과, 용도의 확대가 가능하게 되어 EPROM의 메이커측에 있어서는 양산성의 향상을 도모할 수 있고, EPROM의 사용자에게 있어서는 5V계와 3V계의 시스템과 마찬가지로 사용할 수 있기 때문에 시스템설계가 용이하게 됨과 동시에 조립부품의 관리의 번거로움을 없앨 수 있다.

제2도에는 전압변환회로 CONV의 1실시예의 블럭도가 도시되어 있다.

기준전압발생회로는 기준전압 V_{ref} 를 형성한다. 이 기준전압 V_{ref} 는 특히 제한되지 않지만, 상기 약 $3V$ 와 같은 동작전압 V_{cv} 에 대응한 정전압 V_c 로 된다. 전압풀로워는 상기 기준전압 V_{ref} 를 받고 그것을 전력증폭해서 내부전압 V_c 를 형성한다. 이 내부정전압 V_c 는 특히 제한되지 않지만, 전원전압스위치에 입력된다. 이 전원전압스위치에는 외부에서 공급되는 전원전압 V_{cc} 도 입력된다. 전원전압판정회로는 외부단자 V_{cc} 에서 공급되는 전원전압 V_{cc} 의 레벨을 판정하여 판정신호 V_{ch} 를 형성한다. 이 판정신호 V_{ch} 는 상기 전원전압스위치의 전환제어신호로써 사용된다. 전원전압스위치는 외부에서 공급되는 전원전압 V_{cc} 가 약 $5V$ 와 같은 비교적 높은 전압일때에 상기 내부정전압 V_c 를 내부동작전압 V_{cv} 로 해서 출력하고, 상기 전원전압 V_{cc} 가 약 $3V$ 와 같은 비교적 낮은 전압일때에 상기 내부정전압 V_c 대신에 외부에서 공급되는 전원전압 V_{cc} 를 그대로 동작전압 V_{cv} 로 해서 출력한다. 이와 같이, 외부에서 공급되는 전원전압 V_{cc} 가 약 $3V$ 와 같은 비교적 낮은 전압일때에 기준전압발생회로 및 전압풀로워의 동작전압이 부족해서 상기와 같은 내부정전압 V_c 를 안정하게 형성할 수 없으므로, 외부단자에서 공급되는 전원전압 V_{cc} 를 그대로 내부동작전압 V_{cv} 로 해서 사용하도록 하는 것이다.

이 실시예에 있어서, 외부에서 공급되는 전원전압 V_{cc} 가 약 $5V$ 또는 약 $3V$ 로 정해지는 경우, 내부회로의 동작전압 V_{cv} 를 약 $2V$ 와 같은 저전압으로 설정해서 동작시키도록 해도 좋다. 이 경우에 상기 전원전압스위치는 사용하지 않게 된다. 즉, 이 경우에 기준전압발생회로 및 전압풀로워는 외부에서 공급되는 전원전압 V_{cc} 가 $3V$ 와 같은 낮은 전압일때라도 그것을 동작전압으로 해서 $2V$ 와 같은 정전압을 안정하게 형성할 수 있기 때문이다. 상기 전원전압스위치를 생략한 것에 대응해서 전원전압판정회로도 마찬가지로 생략할 수 있다.

제3도에는 기준전압발생회로의 1실시예의 구체적인 회로도가 도시되어 있다. 동일 도면의 회로소자에 붙여진 회로기호는 회로기호의 복잡화를 없애기 위해 상기 제1도의 것과 일부 중복하고 있지만, 각각은 별개의 회로기능을 갖는 것이라 이해해주시기 바란다. 이것은 다음의 다른 회로도에서도 마찬가지이다.

저항 R1은 전원전압 V_{cc} 에 대해서 큰 저항값을 갖도록 되는 것에 의해서 예를 들면 $10nA$ (nanoamperes) 정도의 정전류 I를 형성한다. 이 정전류 I는 N채널형 MOSFET Q2와 다이오드형태로 된 P채널형 MOSFET Q3을 통해서 공급된다. P채널형 MOSFET Q3에는 게이트와 소오스가 공통화 되는 것에 의해서 전류미러형태로 된 P채널형 MOSFET Q4와 Q5가 마련 된다. MOSFET Q4의 드레인에는 N채널형 MOSFET Q1이 직렬로 접속된다. 이 MOSFET Q1의 게이트에는 상기 저항 R1에 의해 형성된 정전압이 공급되고, MOSFET Q1의 드레인에는 MOSFET Q2의 게이트에 접속된다. 이것에 의해, MOSFET Q1과 Q2에 의해 커환루프가 구성되고, 저항 R1에 의해 형성되는 정전류 I의 안정화를 도모하고 있다.

상기 MOSFET Q5에 의해 형성되는 정전류 I는 다이오드형태의 N채널형 MOSFET Q6에 공급된다. 이 MOSFET Q6은 엔한스먼트형으로 된다. 이 MOSFET Q6의 게이트, 소오스 사이의 임계값전압은 디프레션형의 N채널 MOSFET Q7의 게이트에 공급된다. 이 MOSFET Q7의 소오스측에는 상기 저항 R1에 의해 형성된 정전압을 받는 N채널형 MOSFET Q8이 마련된다. 이것에 의해, MOSFET Q8에는 MOSFET Q1과 마찬가지로 정전류 I를 흐르게 하도록 된다. 이 결과, MOSFET Q6과 Q7에는 같은 정전류 I가 흐르고, MOSFET Q7의 소오스에서는 MOSFET Q6과 Q7의 임계값전압의 차전압 ΔV 가 형성된다. 디프레션형 MOSFET Q7의 임계값전압은 부의 값을 취하므로, 상기 차분의 전압 ΔV 는 MOSFET Q6의 임계값전압에 MOSFET Q7의 임계값전압의 절대값을 가산한 전압에 해당한다.

N채널형의 차동 MOSFET Q9, Q10과 차동 MOSFET Q9, Q10의 드레인측에 마련된 전류미러형태의 P채널형 MOSFET Q11과 Q12로 이루어지는 액티브부하회로 및 차동 MOSFET Q9와 Q10의 공통소오스에 마련되어 정전압 V_B 를 받는 정전류 MOSFET Q14에 의해 차동증폭회로가 구성된다. 이 차동증폭회로의 비반전입력인

MOSFET Q9의 게이트어는 상기 정전압 ΔV 가 공급된다. 차동증폭회로의 출력인 MOSFET Q10의 드레인과 반전입력인 MOSFET Q10의 게이트에는 이득설정을 위한 저항회로가 접속된다. 이 저항회로는 저항 R2와 R3에 의해 구성된다.

상기 저항 R3은 직/병렬저항 $r1 \sim r4$ 의 합성저항을 의미하고, 저항 $r1$ 과 직렬로 접속되는 병렬저항 $r2 \sim r4$ 에는 퓨즈수단 F1~F30이 마련되고, 그 선택적인 절단에 의해서 저항 R3의 합성저항값의 트리밍이 실행된다. 이와 같은 퓨즈에 의한 저항값의 트리밍에 따른 저항 R2와 합성저항 R3의 저항비에 의해 차동증폭회로의 이득조정이 실행된다. 이것에 의해, 상기 정전압 ΔV 에 대한 프로세스변이의 보상이 실행되고, 차동증폭회로를 통해서 출력되는 기준전압 V_{ref} 가 3V와 같은 바라는 정전압 V_c 로 설정된다.

제4도에는 전압풀로워의 1실시예의 구체적인 회로도가 도시되어 있다.

N채널형의 차동 MOSFET Q1과 Q2, 차동 MOSFET Q1, Q2의 드레인측에 마련된 전류미러형태의 P채널형 MOSFET Q3, Q4로 이루어지는 액티브부하회로 및 차동 MOSFET Q1과 Q2의 공통소오스에 마련되고, 정전압 V_B 를 받는 정전류 MOSFET Q5에 의해 차동증폭회로가 구성된다. 이 차동증폭회로의 비반전입력인 MOSFET Q1의 게이트에는 상기 기준전압 V_{ref} 가 공급된다.

차동증폭회로의 출력인 MOSFET Q2의 드레인과 반전입력인 MOSFET Q2의 게이트는 공통접속되는 것에 의해서 차동증폭회로의 출력신호가 반전입력측으로 100% 귀환된다. 이것에 의해, 출력전압 V_c 는 입력되는 기준전압 V_{ref} 와 같은 정전압으로 된다.

제5도에는 전원전압스위치의 1실시예의 구체적인 회로도가 도시되어 있다.

상기 전압풀로워에 의해 형성된 내부정전압 V_c 는 P채널형 MOSFET Q1의 소오스측에 입력된다. 이 MOSFET Q1이 N형 웰영역에 형성되는 경우, 그 웰전위, 즉 채널전위는 외부에서 공급되는 전원전압 V_{cc} 로 된다. 외부에서 공급되는 전원전압 V_{cc} 는 P채널형 MOSFET Q2의 소오스측에 입력된다. 이 MOSFET Q2에 있어서도 N형 웰영역에 형성되는 경우, 그 웰전위는 외부에서 공급되는 전원전압 V_{cc} 로 된다. 상기 판정신호 V_{ch} 는 한쪽에서 인버터회로 N 1을 거쳐서 MOSFET Q1의 게이트에 공급된다. 이 판정신호 V_{ch} 는 다른쪽에서 MOSFET Q2의 게이트에 공급된다.

전원전압 V_{cc} 가 약5V와 같은 높은 전압일때 판정신호 V_{ch} 는 다음에 기술하는 바와 같은 전원전압 V_{cc} 에 대응한 하이레벨로 된다. 이와 같은 하이레벨의 판정신호 V_{ch} 를 받는 인버터회로 N 1의 출력신호는 로우레벨로 되고 P채널형 MOSFET Q1을 ON상태로 한다. 이 P채널형 MOSFET Q1의 ON상태에 따라서 상기 내부정전압 V_c 가 내부전압 V_{cv} 로써 출력된다. 이때 MOSFET Q2는 상기 판정신호 V_{ch} 의 하이레벨에 의해 OFF상태로 되어 있다. 이것에 대해서 상기 전원전압 V_{cc} 가 약3V와 같은 낮은 전압일때 판정신호 V_{ch} 는 접지전위 V_{ss} 와 같은 로우레벨로 된다. 이와 같은 로우레벨의 판정신호 V_{ch} 를 받는 인버터회로 N 1의 출력신호는 하이레벨로 되고, P채널형 MOSFET Q1은 OFF상태로 되고, 상기 판정신호 V_{ch} 의 로우레벨에 따라서 P채널형 MOSFET Q2가 ON상태로 된다. 이 P채널형 MOSFET Q2의 ON상태에 따라서 전원전압 V_{cc} 가 내부전압 V_{cv} 로써 출력된다.

제6도에는 상기 전압풀로워의 다른 1실시예의 회로도가 도시되어 있다.

이 실시예에서는 전압풀로워에 상술한 전원전압스위치의 기능이 부가되어 있다. 즉, 상기 제4도에 도시한 바와 같은 전압풀로워에 있어서, 상기 전류미러형태의 P채널형 MOSFET Q4를 전원전환 스위치로써도 사용하도록 하는 것이다. 이 때문에 MOSFET Q4의 게이트와 회로의 접지전위 사이에는 스위치 MOSFET Q8이 마련된다. 또, 정전류 MOSFET Q4의 게이트와 회로의 접지전위 사이에는 스위치 MOSFET Q7이 마련된다. 이들 스위치 MOSFET Q7, Q8의 게이트에는 판정신호 V_{ch} 를 받는 인버터회로 N 1의 출력신호가 공급된다. 그리고, 정전류 MOSFET Q5의 게이트에는 스위치 MOSFET Q6을 통해서 정전압 V_B 가 공급된다. 이 스위치 MOSFET Q6의 게이트에는 상기 판정신호 V_{ch} 가 공급된다. 전압풀로워의 다른 구성은 제4도와 동일하므로, 그 설명을 생략한다. 단, 상기와 같이 전류미러형태의 P채널형 MOSFET Q3과 Q4중 출력측의 MOSFET Q4를 전원전압스위치로써 사용하도록 하기 위해, 그 콘덕턴스는 비교적 크게 형성되고, 이것에 따라서 MOSFET Q3의 콘덕턴스도 마찬가지로 크게 형성된다.

전원전압 V_{cc} 가 약5V와 같은 높은 전압일때 판정신호 V_{ch} 는 상기와 마찬가지로 전원전압 V_{cc} 에 대응한 하이레벨로 된다. 이 하이레벨의 판정신호 V_{ch} 를 받는 인버터회로 N 1의 출력신호는 로우레벨로 되고, N채널형의 스위치 MOSFET Q7과 Q8은 OFF상태로 되고 상기 하이레벨의 판정신호 V_{ch} 를 받는 N채널형의 MOSFET Q6이 ON상태로 된다. 그러므로, 정전류 MOSFET Q5는 정전류동작을 실행하고, 전류미러형태의 P채널형 MOSFET Q3과 Q4는 액티브부하회로로써 동작한다. 이것에 의해, 차동증폭회로가 동작상태로 되어 기준전압 V_{ref} 에 대응한 동작전압 V_{cv} 를 형성해서 출력한다. 이것에 대해서 전원전압 V_{cc} 가 약3V와 같은 낮은 전압일때 판정신호 V_{ch} 는 접지전위와 같은 로우레벨로 된다. 이와 같은 로우레벨의 판정신호 V_{ch} 를 받는 인버터회로 N 1의 출력신호가 하이레벨로 되고, N채널형의 스위치 MOSFET Q7과 Q8은 ON상태로 되고, 상기 로우레벨의 판정신호 V_{ch} 를 받는 N채널형의 스위치 MOSFET Q6은 OFF상태로 된다.

그러므로, 정전류 MOSFET Q7는 OFF상태로 되고, 차동증폭회로의 동작전류가 차단되어 증폭동작이 정지된다. 그리고, 상기 MOSFET Q8의 ON상태에 따라서 P채널형 MOSFET Q4가 ON상태로 되어 전원전압 V_{cc} 를 내부전압 V_{cv} 으로 해서 출력시킨다. 이때, P채널형 MOSFET Q3도 ON상태로 되지만 정전류 MOSFET Q5가 OFF상태이기 때문에 회로의 접지전위측으로 직류전류를 흐르지 않게 할 수 있다. 이 구성에서는 전압풀로워 전원 스위치기능을 가지므로, 회로의 간소화가 가능하게 된다.

제7도에는 전원전압판정회로의 1실시예의 구체적인 회로도가 도시되어 있다.

저항 R1과 제너다이오드 ZD는 제너다이오드 ZD의 제너전압에 대응한 기준정전압 V_1 을 형성한다. 저항 R2와 상기 제3도에 있어서의 저항트리밍회로와 동일한 직/병렬저항 r 에 의한 저항회로는 전원전압 V_{cc} 의 분압회로를 구성한다. 즉, 저항 R2와 직/병렬저항회로의 접속점에서 분압전압 V_2 가 형성된다. 상기 저항회로중 병렬형태의 각 저항 r 에는 퓨즈수단 F1~F30이 각각 마련되고, 그 퓨즈수단의 선택적인 절단에 의해

프로세스변이의 보상이나 검출전압의 설정이 실행된다.

상기 정전압 V1과 분압전압 V2는 차동 MOSFET Q1과 Q2의 게이트에 공급된다. 차동 MOSFET Q1과 Q2의 드레인측에는 전류미러형태의 P채널형의 부하MOSFET Q3과 Q4가 마련되고, 소오스측에는 정전압 VB를 받는 정전류 MOSFET Q5가 마련된다.

특히 제한되지 않지만, 상기 구성의 차동회로에는 P채널형의 출력 MOSFET Q6과 N채널형의 정전류 MOSFET Q7로 이루어지는 반전출력회로가 마련된다. 상기 P채널의 출력 MOSFET Q6의 게이트는 상기 차동 MOSFET Q2의 드레인출력신호가 공급되고, 정전류 MOSFET Q7의 게이트에는 정전압 VB가 공급된다. 또, 출력 MOSFET Q6의 게이트와 드레인 사이에는 위상보상 등을 위한 캐리시터C가 마련되고, MOSFET Q6의 드레인에서 판정신호 Vch가 출력된다.

제8도에는 상기 전원전압판정회로의 동작을 설명하기 위한 전압특성도가 도시되어 있다.

전원전압 Vcc가 제너전압 이하의 낮은 영역에서는 제너다이오드 ZD가 OFF상태이므로 정전압 V1은 전원전압 Vcc의 상승에 대응해서 상승한다. 그리고, 전원전압 Vcc가 제너전압 이상으로 높은 영역에서는 상기 정전압회로가 동작해서 제너전압에 대응한 정전압 V1이 형성된다. 한편, 전원전압 Vcc의 분압전압 V2는 전원전압 Vcc의 상승에 따르고, 저항회로의 저항비에 따라서 상승한다. 상기 정전압 V1에 대해서 분압전압 V2가 낮아지는 전원전압 Vcc하에서는 차동회로의 출력신호가 전원전압에 대응한 하이레벨로 되므로, 반전증폭된 판정신호 Vch는 회로의 접지전위와 같은 로우레벨로 된다. 상기 정전압 V1에 대해서 분압전압 V2가 높게 되는 전원전압 Vcc하에서는 차동회로의 출력신호가 로우레벨로 되므로, 반전 증폭된 판정신호 Vch는 전원전압 Vcc와 같은 하이레벨로 된다. 이 실시예에서는 전원전압 Vcc가 약4V이상으로 높게 되었을때 판정신호 Vch가 로우레벨에서 하이레벨로 변화하도록 분압저항회로의 저항비가 설정되어 있다. 이것에 의해, 예를 들면 상기의 5 와 같은 비교적 높은 전원전압과 3V와 같은 비교적 낮은 전원전압의 판정동작을 실행할 수 있는 것이다.

제9도에는 본 발명에 관한 불휘발성 기억장치의 다른 1실시예의 블럭도가 도시되어 있다. 이 실시예의 EPROM에 있어서도 기본적으로는 상기 제1도와 동일하고, 그것과 다른 부분에 대해서 다음에 상세하게 설명한다.

이 실시예의 EPROM에 있어서 내부회로의 동작전압은 외부에서 외부단자 Vcc를 거쳐서 공급되는 전원전압 Vcc가 그대로 내부회로의 동작전압으로써 사용된다. 이 때문에 전원전압 Vcc가 약5V와 같은 비교적 높은 전압일때와 약3V와 같은 비교적 낮은 전압일때 내부회로의 동작전압이 크게 다르다. 그 때문에, 외부에서의 어드레스신호 A0~Ai 및 Aj~Ak를 받는 X어드레스버퍼 XADB 및 Y어드레스버퍼 YADB에는 전원전압 Vcc에 따른 판정신호 Vch가 공급되고, 다음에 기술하는 바와 같은 2종류의 입력회로가 상기 판정신호 Vch에 따라서 전환되어 사용된다.

센스앰프 S1을 구성하는 초단증폭회로의 출력신호레벨은 상기와 같은 2종류의 전원전압에 따라서 크게 다르다. 이 때문에, 각각의 전원전압에 대응한 신호레벨의 센스동작을 실행하기 위해, 2개의 논리임계전압을 갖는 인버터회로 N 1, N 2와 이들 인버터회로의 출력을 선택하기 위한 출력선택회로가 마련되어 있다. 인버터회로 N 1의 논리임계전압은 전원전압 Vcc가 약3V와 같은 비교적 낮은 전압일때의 증폭신호에 대응해서 설정된다. 한편, 인버터회로 N 2의 논리임계전압은 전원전압 Vcc가 약5V와 같은 비교적 높은 전압일때의 증폭신호에 대응해서 설정된다.

인버터회로 N 1의 출력신호는 NAND 게이트회로 G 1을 통해서 CMOS 인버터회로들 구성하는 P채널형 MOSFET Q20과 N채널형 MOSFET Q21의 게이트에 공급된다. 이 CMOS 인버터회로의 N채널형MOSFET Q21의 소오스는 스위치 MOSFET Q22를 거쳐서 접지전위 Vss에 접속된다. 인버터회로 N 2의 출력신호는 NAND 게이트회로 G 2를 통해서 CMOS 인버터회로를 구성하는 P채널형 MOSFET Q23과 N채널형 MOSFET Q24의 게이트에 공급된다. 이 CMOS 인버터회로의 N채널형 MOSFET Q24의 소오스는 스위치 MOSFET Q25를 거쳐서 접지전위에 접속된다. 상기 인버터회로 N 2에 대응한 상기 NAND 게이트회로 G 2의 다른쪽의 입력과 스위치 MOSFET Q25의 게이트에는 제7도에 도시한 판정신호 Vch가 공급된다. 상기 인버터회로 N 1에 대응한 상기 NAND 게이트회로 G 1의 다른쪽의 입력과 스위치 MOSFET Q22의 게이트에는 상기 판정신호 Vch가 인버터회로 N3에 의해서 반전되어 공급된다.

테이타출력버퍼 DOB에 있어서는 동작전압이 전환되어도 전류구동능력이 같게 되도록 하기 위해, 상기 판정신호 Vch에 의해 출력회로의 전환이 실행된다. 또, 어드레스버퍼와 마찬가지로 5V계의 비교적 높은 전압일때와 3V계의 비교적 낮은 전압일때 데이터의 입력레벨이 다르다. 이것에 대응하기 위해, 테이타입력버퍼 DIB에 있어서도 각각의 입력레벨에 대응한 2개의 입력회로가 마련되고, 상기 판정신호 Vch에 따라서 입력인터페이스의 전환이 실행된다. 상술한 제1도의 실시예와 비교하면 전압변환회로 CONV는 삭제되고 상기 제7도에 도시한 전원전압판정회로와 동일한 구성으로 된 전원전압판정회로 DETC를 갖고, 이 회로 DETC에 의해서 상술한 판정신호 Vch가 형성된다.

제10도에는 상기 어드레스버퍼 XADB, YADB나 데이터입력버퍼 DIB 등과 같이 외부에서와 입력신호를 받는 입력버퍼의 1실시예의 구체적인 회로도가 도시되어 있다.

이 실시예에서는 입력단자 IN에 대해서 2개의 입력버퍼 IB1과 IB2가 마련된다. 입력버퍼 IB1은 직렬형태의 P채널형 MOSFET Q1, Q2와 병렬형태의 N채널형MOSFET Q3, Q4에 의해 구성된 NOR 게이트회로를 가지며, 전원전압 Vcc가 약5V와 같은 비교적 높은 전압일때의 입력신호의 레벨에 대응한 논리임계전압을 갖도록 MOSFET Q1~Q4의 소자정수가 선택된다. 이것에 대해서 입력버퍼 IB2는 직렬형태의 P채널형 MOSFET Q5, Q6과 병렬형태의 N채널형 MOSFET Q7, Q8에 의해 구성된 상기 NOR 게이트회로와 동일한 구성의 NOR 게이트회로를 가지며, 전원전압 Vcc가 약3V와 같은 비교적 낮은 전압일때의 입력신호의 레벨에 대응한 논리임계전압을 갖도록 MOSFET Q5~Q8의 소자정수가 선택되어 있다.

논리임계전압과 전원전압 Vcc의 관계가 제14도에 도시되어 있다. 제14도에 있어서, 영역A (B)는 전원전압 Vcc가 3V 가까이로 되어 있을때에 논리적으로 하이레벨(로우레벨)인 것으로 간주되는 영역을 나타내

고 있고, 영역C (D)는 전원전압 Vcc가 5V가까이로 되어 있을때에 논리적으로 하이레벨(로우레벨)인 것으로 간주되는 영역을 나타내고 있다. 또, 제14도에 있어서, LG T 3은 전원전압 Vcc가 3V일때에 적합한 논리임계전압을 나타내고 있고, LG T 5는 전원전압 Vcc가 5V일때에 적합한 논리임계전압을 나타내고 있다. 논리회로 (예를들면 인버터)의 논리임계전압은 전원전압 Vcc가 변화하는 것에 의해서 변화한다. 예를들면, 3V 가까이인 전원전압 Vcc에서 동작하도록 된 논리회로는 LG T 3으로 표시되어 있는 바와 같은 논리임계전압을 갖고, 전원전압 Vcc가 변화하면 제14도에 있어서 점선으로 표시되어 있는 바와 같이 논리임계전압이 변화한다. 그 때문에 제14도에서 알 수 있는 바와 같이, 3V 가까이인 전원전압에서 동작하도록 설계된 논리회로들 5V 가까이인 전원전압에서 동작시키면 오동작이 발생하는 일이다. 이것은 제14도에서 알 수 있는 바와 같이 5V 가까이인 전원전압에서 동작하도록 설계된 논리회로를 3V 가까이인 전원전압에서 동작시킨 경우도 마찬가지이다.

이 때문에, 본 실시예에 있어서는 전원전압에 따라서 입력버퍼의 논리임계전압이 LG T 3 (LG T 5)에서 LG T 5 (LG T 3)로 변화하도록 되어 있다. 즉, 입력버퍼 IB1의 논리임계전압은 LG T 5에 따라서 변화하도록 되고, 입력버퍼 IB2의 논리임계전압은 LG T 3에 따라서 변화하도록 된다. 입력버퍼의 논리임계전압은 그것을 구성하는 MOSFET의 각 임계값전압, 각 채널길이, 각 채널폭 등에 의해 정해진다. 이 때문에 상술한 바와 같이, 입력버퍼를 구성하는 각 소자의 정수 (임계값전압, 채널길이, 채널폭 등)를 선택하는 것에 의해 전원전압에 따른 입력버퍼가 얻어진다.

상기 제1도의 실시예에 있어서 전원전압 Vcc가 변화해도 각 내부회로에 인가되는 동작전압은 대략 일정하다. 그 때문에 상술한 바와 같은 오동작의 문제는 발생하지 않는다.

상기 판정신호 Vch는 NAND 게이트회로 G 2에 공급됨과 동시에 인버터회로 N 1을 거쳐서 NAND 게이트회로 G 1에 공급된다. 이들 NAND 게이트회로 G 1 및 G 2의 각각의 다른쪽의 입력에는

외부칩인에이블신호 \overline{CE} 에 따라서 형성된 내부칩인에이블신호 ce가 공급된다. 이것에 의해, 내부칩인에이블신호 ce가 하이레벨로 되는 메모리 액세스상태에 있어서 전원전압 Vcc가 약5V와 같은 비교적 높은 전압인 것에 응답해서 상기 판정신호 Vch가 하이레벨로 되어 있으면 NAND 게이트회로 G 2의 출력신호가 로우레벨로 되고 입력버퍼 IB 1이 활성화된다. 즉, NAND 게이트회로 G 2의 출력신호의 로우레벨에 따라서 입력버퍼 IB 1의 P채널형 MOSFET Q1이 ON상태로, N채널형 MOSFET Q4가 OFF상태로 되고, 입력단자 IN에 게이트가 결합된 P채널형 MOSFET Q2와 N채널형 MOSFET Q3의 입력신호에 따른 ON/OFF상태에 대응해서 출력신호가 형성된다. 이와 같이 해서 입력단자 IN에서 공급되는 입력신호는 입력버퍼 IB 1을 통해서 폐치되게 된다. 판정신호 Vch의 하이레벨에 따라서 이때 NAND 게이트회로 G 1의 출력신호는 하이레벨로 된다. 그 때문에 입력버퍼 IB 2의 P채널형 MOSFET Q5가 OFF상태로, N채널형 MOSFET Q8이 ON상태로 된다. 이것에 의해, 입력버퍼 IB 2는 단자 IN에서의 입력신호와 관계 없이 로우레벨로 고정된 신호를 출력한다.

내부칩인에이블신호 ce가 하이레벨로 되는 메모리 액세스상태에 있어서, 전원전압 Vcc가 약3V와 같은 비교적 낮은 전압인 것에 따라서 상기 판정신호 Vch가 로우레벨로 되어 있으면 NAND 게이트회로 G 2 대신에 NAND 게이트회로 G 1의 출력신호가 로우레벨로 되고 입력버퍼 IB 1 대신에 입력버퍼 IB 2가 활성화된다. 즉, NAND 게이트회로 G 1의 출력신호의 로우레벨에 따라서 입력버퍼 IB 2의 P채널형 MOSFET Q5가 ON상태로, N채널형 MOSFET Q8이 OFF상태로 되고, 입력단자 IN에 게이트가 결합된 P채널형 MOSFET Q6과 N채널형 MOSFET Q7의 ON/OFF상태에 대응해서 출력신호가 형성된다. 이와 같이 해서 입력단자 IN에서 공급되는 입력신호는 입력버퍼 IB 2를 통해서 폐치되게 된다. 이때, 상기 NAND 게이트회로 G 2의 출력신호는 하이레벨로 되므로, 입력버퍼 IB 1의 P채널형 MOSFET Q1은 OFF상태로, N채널형 MOSFET Q4는 ON상태로 된다. 이것에 의해, 입력버퍼 IB 1은 단자 IN에서의 입력신호와 관계 없이 로우레벨로 고정된 신호를 출력한다.

상기와 같은 2개의 입력버퍼 IB 1과 IB 2에 대응해서 활성화된 입력버퍼의 출력신호를 내부회로로 폐치하기 위한 출력스위치회로 SW 1과 SW 2가 마련되어 있다. 출력스위치회로 SW 1과 SW 2는 3상태출력기능을 갖는 CMOS 스위치를 조합한 멀티플렉서이다. 입력버퍼 IB 1에 대응한 출력스위치회로 SW 1은 상기 입력버퍼 IB 1의 출력신호를 받는 P채널형 MOSFET Q10과 N채널형 MOSFET Q11로 이루어지는 CMOS 인버터회로 및 이 CMOS 인버터회로에 동작전압을 공급하는 P채널형 MOSFET Q9와 N채널형 MOSFET Q12가 각각 마련된다. 상기 P채널형 MOSFET Q9의 게이트에는 상기 판정신호 Vch가 인버터회로 N 2에 의해 반전되어 공급되고, N채널형 MOSFET Q12의 게이트에는 판정신호 Vch가 그대로 공급된다. 입력버퍼 IB 2에 대응한 출력스위치회로 SW 2도 상기와 동일한 회로로 구성된다. 단, 입력버퍼 IB 2의 출력신호를 받는 CMOS 인버터회로에 동작전압을 공급하는 P채널형 MOSFET와 N채널형 MOSFET에는 상기 판정신호 Vch가 역의 조합으로 공급된다. 그리고, 상기 2개의 출력스위치회로 SW 1과 SW 2의 출력단자는 공통으로 출력단자 OUT에 접속된다.

전원전압 Vcc가 약5V와 같은 비교적 높은 전압인 것에 의해 판정신호 Vch가 하이레벨로 되어 있으면, 출력스위치회로 SW 1의 N채널형 MOSFET Q12와 인버터회로 N 2의 로우레벨에 의해 P채널형 MOSFET Q9가 ON상태로 되고, 출력스위치회로 SW 1의 CMOS 인버터회로가 동작상태로 되어 이며 활성화되어 있는 입력버퍼 IB 1의 출력신호가 입력버퍼에서 출력된다. 이때, 다른쪽의 출력스위치회로 SW 2는 P채널형 MOSFET와 N채널형 MOSFET가 모두 OFF상태로 되어 출력 하이임피던스 상태로 되어 있다. 그러므로, 입력단자 IN에서 공급되는 외부신호는 상기 입력버퍼 IB 1과 출력스위치회로 SW 1을 통해서 출력단자 OUT에 전달되어 내부회로로 폐치된다.

전원전압 Vcc가 약3V와 같은 비교적 낮은 전압인 것에 의해, 판정신호 Vch가 로우레벨로 되어 있으면, 출력스위치회로 SW 1의 N채널형 MOSFET Q12와 인버터회로 N 1의 하이레벨에 의해 P채널형 MOSFET Q9가 OFF상태로 되고, 대신 스위치회로 SW 2와 동일한 스위치 MOSFET가 ON상태로 된다. 이것에 의해, 이 때 활성화되어 있는 입력버퍼 IB 2의 출력신호가 출력스위치회로 SW 2를 통해서 출력된다. 이때, 상기와 같이 출력스위치회로 SW 1은 P채널형 MOSFET Q9와 N채널형 MOSFET Q12가 모두 OFF상태로 되어 출력하이임피던스 상태로 되어 있다. 그러므로, 입력단자 IN에서 공급되는 외부신호는 상기 입력버퍼 IB 2와 출력

스위치회로 SW 2를 통해서 출력단자 OUT에 전달되어 내부회로로 폐지된다.

제10도에 도시한 입력버퍼가 상술한 어드레스버퍼로 사용되는 경우, 상기 입력단자 IN은 외부어드레스신호를 받기 위한 외부단자로써 사용된다. 또, 상기 출력단자 OUT에는 예를들면 인버터 (도시하지 않음)가 접속되고, 이 인버터에 의해서 외부어드레스신호에 대해 위상반전된 내부어드레스신호가 형성된다. 상기 출력단자 OUT에서는 외부어드레스신호와 서로 같은 내부어드레스신호가 출력되고, 상기 인버터에서는 위상반전의 내부어드레스신호가 출력된다. 이들 내부어드레스신호는 상보어드레스신호로써 상기 어드레스 디코더에 공급되어 메모리셀을 선택하기 위해 사용된다. 물론, 이 경우에는 상술한 입력버퍼와 인버터의 조합이 외부어드레스신호의 수만큼 마련된다.

또, 제10도에 도시한 입력버퍼가 데이터입력버퍼 DIB로써 사용되는 경우에 상기 입력단자 IN은 외부입출력단자 I/O에 결합되고, 상기 출력단자 OUT는 라이트회로 (도시하지 않음)에 결합된다. 라이트회로에는 고전압 Vpp가 공급되도록 되어 있고, 라이트동작모드가 지시된 경우 상기 출력단자 OUT에서의 출력신호에 따라서 고전압 또는 저전압을 공통데이터선 CD에 부여한다.

이와 같이, 약5V, 약3V와 같은 2개의 동작전압에 한정해서 동작시키는 구성을 채용하여 내부회로를 외부에서 공급하는 전원전압에 의해 동작시키는 구성에서는 2개의 동작전압에 대응해서 외부에서 공급되는 입력신호의 레벨의 상위에 대해서 2개의 입력버퍼와 출력스위치회로를 마련하는 비교적 간단한 구성으로 기존의 범용라이터 (프로그래머)를 사용해서 라이트가 가능하게 됨과 동시에 5V계와 3V계의 어느것인가의 동작전압을 갖는 시스템에 있어서도 마찬가지로 사용할 수 있다. 이 결과, 용도의 확대가 가능하게 되어 EPROM의 메이커측에 있어서는 양산성의 향상을 도모할 수 있고, EPROM의 사용자에게 있어서는 5V계와 3V계의 시스템에 마찬가지로 사용할 수 있기 때문에 시스템설계가 용이하게 됨과 동시에 조립부품의 관리의 번거로움을 없앨 수 있다.

또, 상기와 같은 약5V, 약3V와 같은 2개의 동작전압에 의해, 내부회로의 동작속도나 소비전류에 비교적 큰 차가 발생하면 각각의 동작전압하에서 동작속도나 소비전류를 보증하도록 동작전압에 대응해서 다른 규격으로 한다. 이와 같이 하면, 1개의 EPROM이 5V계의 시스템에 탑재되는 경우와 3V계의 시스템에 탑재되는 경우에는 각각의 규격에 맞춰서 실질적으로 다른 품종과 같이 취급하면 좋다. 이와 같이 1개의 반도체집적회로장치에 대해서 동작속도나 소비전력 등을 각각 동작전압에 따라서 결정하도록 하는 것에 의해 내부회로가 복잡화되는 것을 방지할 수 있다.

제11도에는 상기 데이터출력버퍼 DOB중 외부로 출력신호를 송출하는 출력버퍼의 부분에 대해서 그 실시예의 구체적인 회로도가 도시되어 있다.

이 실시예에서는 출력단자 OUT에 대해서 2개의 출력버퍼 OB 1과 OB 2가 마련된다. 출력버퍼 OB 1은 전원전압 Vcc의 전압값과는 관계 없이 항상 동작상태로 된다. 즉, P채널출력 MOSFET Q1과 N채널출력 MOSFET Q2의 게이트에는 드라이버를 구성하는 CMOS 인버터회로 N 1, N 2를 통해서 센스앰프의 출력신호가 공급된다. 이것에 대해서 출력버퍼 OB 2는 전원전압 Vcc가 약3V와 같은 비교적 낮은 전압으로 되었을 때 활성화된다. 즉, 전원전압 Vcc가 약5V와 같은 비교적 높은 전압일 때에 출력 MOSFET Q1과 Q2에는 충분한 구동전압이 공급되기 때문에 비교적 큰 출력전류를 얻을 수 있다. 이것에 대해서 전원전압 Vcc가 약3V와 같이 40%나 대폭으로 전압이 저감했을 때에는 그것에 따라서 출력전류도 작게 된다. 이 결과, 5V계에서 동작시키는 경우와 3V계에서 동작시키는 경우에 실질적인 동작속도에 차가 발생한다. 이 동작속도의 차는 그대로 해서 상기와 같이 다른 규격의 EPROM으로써 취급해도 좋지만, 이 실시예에서는 보조 출력버퍼 OB 2를 활성화해서 구동능력을 유지하여 동작속도를 거의 변화하지 않도록 하는 것이다.

이 때문에, 출력버퍼 OB 2는 3상태출력기능을 갖게 된다. 즉, P채널출력 MOSFET Q3의 게이트에는 NAND 게이트회로 G 1이 구동회로로써 마련되고, N채널출력 MOSFET Q4의 게이트에는 NOR 게이트회로 G 2가 구동회로로써 마련된다. NOR 게이트회로 G 2의 제어입력에는 상기 판정신호 Vch가 공급되고, NAND 게이트회로 G 1의 제어입력에는 판정신호 Vch가 인버터회로 N 3에 의해 반전되어 공급된다. NAND 게이트회로 G 1과 NOR 게이트회로 G 2의 다른쪽의 입력에는 센스출력이 공급된다.

전원전압 Vcc가 약5V와 같은 높은 전압인 것에 의해 판정신호 Vch가 하이레벨로 되어 있으며, 센스출력과는 관계 없이 게이트회로 G 1과 G 2의 출력신호는 각각 하이레벨과 로우레벨로 된다. 이것에 의해, 출력 MOSFET Q3과 Q4는 모두 OFF상태로 되고, 출력버퍼 OB 1에 의해서만 출력단자 OUT에 접속되는 부하가 구동된다. 이것에 대해서 전원전압 Vcc가 약3V와 같은 낮은 전압인 것에 의해 판정신호 Vch가 로우레벨로 되었다면 게이트회로 G 1과 G 2가 게이트를 열어서 P채널출력 MOSFET Q3과 N채널출력 MOSFET Q4가 센스출력에 따라서 ON상태/OFF상태로 된다. 이 경우에는 출력버퍼OB 1과 OB 2에 의해서 출력단자 OUT에 접속되는 부하가 구동된다. 이것에 의해, 저전압일때 부하구동능력이 떨어지는 것을 보상할 수 있다. 상기 데이터출력버퍼 DOB는 제11도에 도시한 출력버퍼 이상으로, 예를들면 인버터 (도시하지 않음)을 갖는다. 제9도에 도시한 데이터출력버퍼 DOB로의 입력신호는 예를들면 그대로 인버터 N 1과 게이트 G 1에 공급됨과 동시에 도시되어 있지 않은 상기 인버터를 갖고 인버터 N 1과 게이트 G 2에 공급된다. 또, 상기 출력단자 OUT는 상기 외부입출력단자 I/O에 접속된다.

제1도의 실시예에 나타난 어드레스버퍼 XADB, YADB등의 입력버퍼에 대해서는 제10도와 같은 입력버퍼를 사용하는 것이라도 좋다. 이 경우에는 어드레스버퍼 XADB, YADB 등의 입력버퍼에 한해서 내부정전압 Vcv 대신에 외부에서 공급되는 전원전압 Vcc를 그대로 사용하는 것이다. 또, 제1도의 실시예와 같이, 어드레스버퍼 XADB, YADB 등의 입력버퍼를 포함해서 내부회로를 내부정전압 Vcv를 사용한 경우에는 같은 논리임계전압에 의한 입력신호의 폐지가 가능하게 된다. 예를들면 5V계의 시스템에서는 통상TTL (Transistor Transistor Logic)레벨이 입력되고, 3V계의 시스템에서는 통상 CMOS 레벨이 입력된다. 이와 같은 입력인터페이스가 가장 현실적이며, 양자를 만족하는 중간레벨을 갖는 CMOS 인버터회로도 간단히 형성할 수 있다.

제12도에는 프로그래머와 EPROM의 접속관계의 블럭도가 도시되어 있다.

프로그래머가 기존의 범용라이터일때에 EPROM에 공급되는 전원전압 Vcc는 5V 또는 6V와 같은 비교적 높

은 전압으로 되고, 라이트시 (프로그램시)에는 약12V정도의 고전압 Vpp도 EPROM에 공급된다. 제어단자에는 동작모드를 지시하는 제어신호 \overline{CE} 및 \overline{OE} 가 공급된다. 어드레스단자에는 어드레스신호선 ADDRESS를 거쳐서 X계와 Y계의 어드레스신호가 공급된다. 라이트데이터와 검증을 위한 리드데이터는 데이터신호선 DATA를 통해서 수수된다. 상기와 같이, 8비트단위에서의 라이트/리드를 실행하는 경우에 데이터신호선은 8개로 구성된다. 접지전위선 GND에 의해 프로그래머의 접지전위 Vss와 EPROM의 접지단자가 접속된다.

제13도에는 본 발명에 관한 EPROM이 탑재된 마이크로컴퓨터 시스템의 1실시예의 블럭도가 도시되어 있다.

이 실시예의 마이크로컴퓨터시스템은 마이크로프로세서 CPU를 중심으로 해서 프로그램등이 저장된 ROM (Read Only Memory), 주메모리장치로써 사용되는 RAM (Random Access Memory), 입출력포트 I/O PORT, 본 발명에 관한 상기 EPROM, 제어회로 CONTROLLER를 거쳐서 접속되는 모니터로써의 액정표시장치가 어드레스 버스 ADDRESS, 데이터버스 DATA와 도시하지 않은 제어버스에 의해서 서로 접속되어 있다. 이 실시예는 상기 표시장치 LCD의 동작에 필요한 12V계 전원RGU를 갖는다. 그러므로, 이 고전압을 이용해서 EPROM의 라이트를 실행하게 할 수도 있다. 이 실시예에서는 어드레스 버스 ADDRESS 상의 외부어드레스신호를 디코딩해서 예를들면 CPU에서의 외부어드레스신호가 EPROM에 할당된 어드레스공간을 표시할때 상기 외부칩인 에이블신호 \overline{CE} 를 형성하는 디코드가 마련되어 있다.

이 마이크로컴퓨터시스템은 종래와 같은 5V계의 것이라도 좋고, 3V와 같은 저전압을 사용하는 것이라도 같은 EPROM을 마찬가지로 탑재할 수 있다. 특히, 저소비전력화나 랩톱형, 팜톱형과 같은 전자수첩을 구성할때에는 3V와 같은 저전압에서 동작시키는 것이 유리하다. 이와 같은 저전압시스템에 EPROM을 탑재할 때라도 라이트동작은 종래의 범용라이터를 그대로 사용해서 라이트를 실행하게 할 수 있는 것이다.

상기 실시예에서 얻을 수 있는 작용효과는 다음과 같다.

(1) 외부에서 공급되는 소정의 허용범위를 갖는 비교적 높은 동작전압과 소정의 허용범위를 갖는 비교적 낮은 동작전압의 쌍방에 한정해서 동작가능하게 내부회로를 구성하는 경우에는 내부회로를 저전압측의 고정전압에서 동작시키거나 입출력인터페이스를 2개의 동작전압에 대응한 것을 준비하는 등의 간단한 수단에 의해 실현할 수 있고, 이것에 의해 용도가 넓은 반도체집적회로장치를 얻을 수 있는 효과가 얻어진다.

(2) 상기 전원전압안정회로에 의해 외부에서 공급되는 전원전압이 비교적 낮은 동작전압일때에는 전압전환회로를 제어해서 정전원전압회로에 의해 형성된 동작전압 대신에 외부에서 공급되는 비교적 낮은 동작전압을 내부회로의 동작전압으로써 전환해서 사용하게 하는 것에 의해, 외부에서 공급되는 전원전압을 유효하게 이용할 수 있음과 동시에 간단한 구성에 의해 약5V, 약3V와 같이 전압이 크게 다른 2개의 전원전압에 의해 동작가능한 반도체집적회로장치를 얻을 수 있는 효과가 얻어진다.

(3) 외부에서 공급되는 입력신호를 받는 입력회로로써 비교적 높은 동작전압일때의 입력신호에 대응한 논리임계전압을 갖는 것과 비교적 낮은 동작전압일때의 입력신호에 대응한 논리임계전압을 갖는 것의 2개의 입력회로를 마련해 두고, 외부에서 공급되는 전원전압의 판정결과에 대응해서 1개의 입력회로의 동작을 유효하게 시키는 비교적 간단한 구성으로 약5V, 약3V와 같이 전압이 크게 다른 2개의 전원전압에 의해 동작가능한 반도체집적회로장치를 얻을 수 있는 효과가 얻어진다.

(4) 외부단자로 출력신호를 송출하는 출력회로로써 정상적으로 동작됨과 동시에 비교적 높은 동작전압일때의 출력구동능력에 대응한 출력회로와 비교적 낮은 동작전압일때의 출력신호의 구동능력부족을 돕도록 마련된 2개의 출력회로를 형성해두고, 낮은 동작전압일때에는 상기 2개의 출력회로를 동작시키는 것에 의해, 낮은 동작전압에서의 동작속도를 보강할 수 있는 효과가 얻어진다.

(5) 내부회로로써 플로팅게이트와 컨트롤게이트의 2층게이트구조를 갖는 불휘발성 메모리셀을 구비한 것에 있어서, 기존의 범용라이터 또는 프로그래머에 의한 라이트가 가능하게 됨과 동시에 약5V와 같은 고전압 시스템과 약3V와 같은 저전압시스템의 쌍방에서의 리드가 가능하게 되는 효과가 얻어진다.

(6) 상기 (5)의 불휘발성 메모리셀을 구비한 것에 있어서, 메모리셀에서의 리드신호를 증폭하는 초단증폭회로의 증폭출력신호를 받는 센스회로로써 비교적 높은 동작전압일때의 리드신호에 대응한 논리임계전압을 갖는 것과 비교적 낮은 동작전압일때의 리드신호에 대응한 논리임계전압을 갖는 것을 형성하고, 전원전압판정신호에 대응해서 1개의 센스회로의 동작이 유효하게 되는 비교적 간단한 구성에 의해 약5V와 같은 고전압시스템과 약3V와 같은 저전압시스템의 쌍방에서의 리드가 가능한 EPROM을 얻을 수 있는 효과가 얻어진다.

(7) 반도체집적회로장치에 구성되는 내부회로의 동작조건을 외부에서 공급되는 소정의 허용범위를 갖는 비교적 높은 동작전압과 소정의 허용범위를 갖는 비교적 낮은 동작전압의 쌍방에 대응해서 각각 독자적으로 설정하는 방법을 채용하는 것에 의해, 내부회로를 저전압측의 고정전압에서 동작시키거나 입출력인터페이스를 2개의 동작전압에 대응한 것을 준비하는 등의 간단한 수단에 의해 이들 2개의 동작전압의 어느것에 있어서도 선택적으로 동작가능한 반도체집적회로장치를 얻을 수 있는 효과가 얻어진다.

(8) 외부에서 공급되는 전원전압이 비교적 높은 전압일때에는 내부정전원전압회로에서 낮은 동작전압으로 변환해서 내부회로를 동작시키고, 전원전압이 낮은 동작전압일때에는 정전원전압회로에 의해 형성된 전압 대신에 외부에서 공급되는 비교적 낮은 동작전압을 내부회로의 동작전압으로써 전환해서 사용하게 하는 방법을 채용하는 것에 의해, 외부에서 공급되는 전원전압을 유효하게 이용할 수 있음과 동시에 간단한 구성으로 약5V, 약3V와 같이 전압이 크게 다른 2개의 전원전압에 의해 동작가능한 반도체집적회로장치를 얻을 수 있는 효과가 얻어진다.

이상 본 발명자에 의해서 이루어진 발명을 실시예에 따라 구체적으로 설명했지만, 본원 발명은 상기 실시예에 한정되는 것은 아니며, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이

다. 예를들면 메모리레이의 소거는 전기적으로 소거하는 것이 라도 좋다. 즉, 플로팅게이트에 축적된 전하를 터널전류를 이용해서 소오스측, 드레인측 또는 기판 또는 웰측으로 뽑아내도록 한 소위 일괄소거형 EPROM이라도 좋다. 이 경우에는 상기 제13도와 같은 시스템에 탑재한채로 라이트/소거가 가능하게 된다. 또, 내부회로는 EPROM 또는 상기와 같은 일괄소거형 EPROM 외에 스테이틱형 RAM, 다이내믹형 RAM, CMOS 논리회로, 마이크로프로세서나 그 각종 주변회로 등이라도 좋다. 이와 같은 내부회로에 있어서는 EPROM과 같이 범용의 EPROM을 사용하는 것에 의한 동작전압의 제한은 없어지지만, 5V와 같은 종래 시스템에서도 3V와 같은 저전압시스템에서도 탑재 가능한 반도체집적회로장치를 얻을 수 있다. 이것에 의해, 시스템의 확장이나 변경에 의해 동작전압이 변경된 경우라도 그것에 대응해서 동작하는 반도체집적회로장치를 얻을 수 있는 것이다.

전압변환회로의 구성이나 그것에 사용되는 기준전압발생회로나 전압폴로워 또는 전원스위치 등의 구체적인 구성은 여러 실시형태를 채용할 수 있는 것이다. 저전압측의 동작전압은 약3V 외에 2.5V 또는 2V와 같은 전압을 중심으로 해서 $\pm 10\%$ 의 허용전압 범위를 설정하는 것외에 약3V~2V등과 같이 소정의 비교적 큰 허용범위를 설정하는 것이라도 좋다. 즉, 저전압시스템으로써 가장 현실적인 신호레벨은 CMOS 레벨이고, 이 CMOS 레벨에 있어서는 전원전압의 변화에 대응해서 내부회로 및 외부단자에 접속되는 인터페이스회로의 논리임계전압도 따라서 변화하므로, 허용전압범위를 상기와 같이 크게할 수 있다. 상기 동작전압의 허용범위를 크게한 경우에는 그것에 따라서 소비전류나 동작속도도 각각 크게 되는 것이 생각되지만, 그 동작전압에 따라서 규격을 설정하는 것으로 해결할 수 있는 것이다. 즉, 그것이 탑재되는 시스템에 있어서의 동작전압엔 대응한 규격에 따른 사용법을 취하도록 하면 좋다.

본원에 있어서 개시되는 발명중 대표적인 것에 의해서 얻을 수 있는 효과를 간단히 설명하면 다음과 같다. 즉, 반도체집적회로 장치의 내부회로는 외부에서 공급되는 소정의 허용범위를 갖는 비교적 높은 동작전압과 소정의 허용범위를 갖는 비교적 낮은 동작전압의 쌍방에 의해 동작가능하게 된다. 이 구성에서는 2종류의 동작전압에 따라서 내부회로가 동작가능하면 좋으므로, 간단한 구성으로 내부회로를 실현할 수 있어 종래 시스템과 저전압시스템의 어느 것에도 사용가능한 반도체집적회로장치를 얻을 수 있다. 또, 종래시스템과 같은 비교적 높은 동작전압과 저전압시스템용의 저전압의 2개에 한정하며, 또 각각에 대응해서 규격이 결정되는 동작방법을 채용하는 것에 의해 간단한 구성으로 반도체집적회로장치의 용도의 확대가 도모된다.

(57) 청구의 범위

청구항 1

전원전압을 받기 위한 외부단자, 상기 외부단자를 거쳐서 공급되는 전원전압의 값이 소정의 제1 전압에 도달해 있는지 도달해 있지 않은지를 판정하고 상기 소정의 제1 전압에 도달해 있을 때 출력신호를 출력하는 전압판정회로, 상기 공급된 전원전압에서 소정의 전압을 형성하는 전압형성회로, 내부회로 및 상기 전압판정회로로부터의 출력신호에 응답해서 상기 외부단자를 거쳐서 공급되는 전원전압과 상기 전압형성회로에 의해 형성된 전압 중의 어느 하나를 상기 내부회로의 동작전압으로서 공급하는 전원전압스위치를 포함하는 반도체집적회로장치.

청구항 2

제1항에 있어서, 상기 내부회로는 상기 동작전압에 의해서 동작하는 여러개의 불휘발성 메모리셀을 포함하고 있는 반도체집적회로장치.

청구항 3

제2항에 있어서, 상기 전압판정회로는 상기 전원전압의 값이 상기 제1 전압보다 낮은지 낮은지 판정하는 판정회로를 포함하고 있는 반도체집적회로장치.

청구항 4

전원전압을 받는 외부 전원전압 단자, 신호를 받기 위한 외부 입력단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압의 값이 소정의 제1 전압에 도달해 있는지 도달해 있지 않은지를 판정하고 상기 소정의 제1 전압에 도달해 있을 때 출력신호를 출력하는 전압검출회로, 상기 외부 입력단자에 접속되고 제1 논리 임계값전압을 갖는 제1 입력회로, 상기 외부 입력단자에 접속되고 상기 제1 논리 임계값전압과는 다른 제2 논리 임계값전압을 갖는 제2 입력회로 및 상기 전압검출회로로부터의 출력신호에 응답해서 상기 제1 입력회로 또는 상기 제2 입력회로 중의 어느 하나를 동작시키는 동작선택회로를 포함하는 반도체집적회로장치.

청구항 5

제4항에 있어서, 상기 전원전압이 상기 소정의 제1 전압보다 높을 때 상기 제1 입력회로가 활성화되고, 상기 전원전압이 상기 소정의 제1 전압보다 낮을 때 상기 제2 입력회로가 활성화되는 반도체집적회로장치.

청구항 6

제5항에 있어서, 상기 제1 입력회로와 상기 제2 입력회로 중의 어느 하나에 전기적으로 결합된 여러개의 불휘발성 메모리셀을 포함하는 반도체집적회로장치.

청구항 7

제6항에 있어서, 상기 외부 입력단자는 상기 여러개의 불휘발성 메모리셀에서 하나의 메모리셀을 지시하기 위한 여러개의 어드레스 신호중의 하나를 받고, 상기 제1 입력회로 및 상기 제2 입력회로는 상기 외

부 입력단자에 결합된 어드레스 버퍼에 마련되어 있는 반도체집적회로장치.

청구항 8

제6항에 있어서, 상기 외부 입력단자는 상기 여러개의 불휘발성 메모리셀의 소정의 메모리셀에 라이트될 데이터를 받고, 상기 제1 입력회로 및 상기 제2 입력회로는 상기 외부 입력단자에 결합된 데이터 입력버퍼에 마련되어 있는 반도체집적회로장치.

청구항 9

제8항에 있어서, 외부 데이터단자에 접속되고 상기 소정의 메모리셀에서 리드된 데이터를 출력하는 데이터 출력버퍼를 더 포함하고, 상기 데이터 출력버퍼는 제1 출력 구동능력을 갖는 제1 출력회로, 제2 출력 구동능력을 갖는 제2 출력회로 및 상기 전압검출회로로부터의 출력신호에 응답해서 상기 제2 출력회로를 선택적으로 동작시키는 선택회로를 갖는 반도체집적회로장치.

청구항 10

제8항에 있어서, 상기 소정의 메모리셀로부터의 신호를 받는 센스앰프를 더 포함하고, 상기 센스앰프는 공급된 신호를 증폭하는 증폭회로, 제1 논리 임계값전압을 갖고 상기 증폭회로로부터의 증폭된 신호를 받는 제1 센스회로, 제2 논리 임계값전압을 갖고 상기 증폭회로로부터의 증폭된 신호를 받는 제2 센스회로 및 상기 전압검출회로로부터의 출력신호에 응답해서 상기 제1 센스회로 또는 상기 제2 센스회로 중의 어느 하나를 동작시키는 동작선택회로를 갖는 반도체집적회로장치.

청구항 11

제10항에 있어서, 상기 외부 데이터단자에 접속되고 상기 센스앰프로부터의 출력데이터에 대응한 데이터를 출력하는 데이터 출력버퍼를 더 포함하고, 상기 데이터 출력버퍼는 제1 출력구동능력을 갖는 제1 출력회로, 제2 출력구동능력을 갖는 제2 출력회로 및 상기 전압검출회로로부터의 출력신호에 응답해서 상기 제2 출력회로를 선택적으로 동작시키는 선택회로를 갖는 반도체집적회로장치.

청구항 12

제6항에 있어서, 상기 외부 입력단자는 데이터를 출력하기 위한 외부데이터 출력단자이고, 상기 반도체 집적회로장치는 상기 외부데이터 출력단자에 접속되고 상기 소정의 메모리셀에서 리드된 데이터를 출력하는 데이터 출력버퍼를 더 포함하고, 상기 데이터 출력버퍼는 제1 출력구동능력을 갖는 제1 출력회로, 제2 출력구동능력을 갖는 제2 출력회로 및 상기 전압검출회로로부터의 출력신호에 응답해서 상기 제2 출력회로를 선택적으로 동작시키는 선택회로를 갖는 반도체집적회로장치.

청구항 13

제12항에 있어서, 상기 소정의 메모리셀로부터의 신호를 받는 센스앰프를 더 포함하고, 상기 센스앰프는 공급된 신호를 증폭하는 증폭회로, 제1 논리 임계값전압을 갖고 상기 증폭회로로부터의 증폭된 신호를 받는 제1 센스회로, 제2 논리 임계값전압을 갖고 상기 증폭회로로부터의 증폭된 신호를 받는 제2 센스회로 및 상기 전압검출회로로부터의 출력신호에 응답해서 상기 제1 센스회로 또는 상기 제2 센스회로 중의 어느 하나를 동작시키는 동작선택회로를 갖는 반도체집적회로장치.

청구항 14

제4항에 있어서, 상기 제1 입력회로 또는 상기 제2 입력회로에 전기적으로 접속되는 여러개의 불휘발성 메모리셀을 더 포함하는 반도체집적회로장치.

청구항 15

제4항에 있어서, 상기 전압검출회로는 상기 전원전압의 전압이 상기 소정의 제1 전압보다 낮은지 낮지 않은지를 판정하는 반도체집적회로장치.

청구항 16

여러개의 불휘발성 메모리셀, 전원전압을 받기 위한 외부 전원전압 단자, 출력데이터를 출력하기 위한 외부 출력단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압의 값이 소정의 제1 전압으로 되어 있는지 되어 있지 않은지를 판정하고 상기 전원전압이 상기 소정의 제1 전압으로 되어 있을 때 출력신호를 형성하는 전압검출회로, 상기 여러개의 불휘발성 메모리셀 중의 하나로부터의 신호를 증폭하는 증폭회로, 제1 논리 임계값전압을 갖고 상기 증폭회로로부터의 증폭된 신호를 받는 제1 센스회로, 상기 제1 논리 임계값전압과는 다른 제2 논리 임계값전압을 갖고 상기 증폭회로로부터의 증폭된 신호를 받는 제2 센스회로, 상기 제1 센스회로 및 상기 제2 센스회로에 결합되고 상기 제1 센스회로 또는 상기 제2 센스회로로부터의 출력에 따른 출력데이터를 상기 외부 출력단자로 공급하는 출력회로 및 상기 전압검출회로의 출력에 응답해서 상기 제1 센스회로 또는 상기 제2 센스회로를 활성화하는 회로를 포함하는 반도체집적회로장치.

청구항 17

제16항에 있어서, 상기 전압검출회로는 상기 소정의 제1 전압보다 상기 전원전압이 낮은지 낮지 않은지를 검출하는 반도체집적회로장치.

청구항 18

외부 입력단자, 전원전압을 받는 외부 전원전압 단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원

전압이 소정의 값으로 되어 있는지 되어 있지 않은지를 판정하는 전원전압 판정회로, 상기 외부 입력단자 및 상기 전원전압 판정회로에 결합되고 제1 논리 임계값전압을 갖고 상기 전원전압이 상기 소정의 값으로 되어 있을 때에 동작되는 제1 입력회로 및 상기 외부 입력단자 및 상기 전원전압 판정회로에 결합되고 상기 제1 논리 임계값전압과는 다른 제2 논리 임계값전압을 갖고 상기 전원전압이 상기 소정의 값으로 되어 있지 않을 때에 동작되는 제2 입력회로를 포함하는 반도체집적회로장치.

청구항 19

제18항에 있어서, 여러개의 불휘발성 메모리셀을 더 갖고, 상기 외부 입력단자는 상기 여러개의 불휘발성 메모리셀 중의 하나에 라이트될 데이터를 받고, 상기 제1 입력회로 및 상기 제2 입력회로는 데이터 입력회로로 사용되는 반도체집적회로장치.

청구항 20

제18항에 있어서, 여러개의 불휘발성 메모리셀을 더 갖고, 상기 외부 입력단자는 상기 여러개의 불휘발성 메모리셀에서 하나의 메모리셀을 지시하기 위한 어드레스 신호를 받고, 상기 제1 입력회로 및 상기 제2 입력회로는 어드레스 버퍼회로로 사용되는 반도체집적회로장치.

청구항 21

여러개의 불휘발성 메모리셀, 전원전압을 받는 외부 전원전압 단자, 출력데이터를 출력하는 외부 출력단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압이 소정의 값으로 되어 있는지 되어 있지 않은지를 판정하는 전원전압 판정회로, 상기 여러개의 불휘발성 메모리셀중의 하나로부터의 신호를 증폭하는 증폭회로, 상기 증폭회로 및 상기 전원전압 판정회로에 결합되고 제1 논리 임계값전압을 갖고 상기 전원전압이 상기 소정의 값으로 되어 있을 때에 동작되는 제1 센스회로 및 상기 증폭회로 및 상기 전원전압 판정회로에 결합되고 상기 제1 논리 임계값전압과는 다른 제2 논리 임계값전압을 갖고 상기 전원전압이 상기 소정의 값으로 되어 있지 않을 때에 동작되는 제2 센스회로 및 상기 제1 센스회로 및 상기 제2 센스회로에 결합되고 상기 제1 센스회로 또는 상기 제2 센스회로로부터의 출력데이터에 따른 출력데이터를 상기 외부출력단자에 공급하는 출력회로를 포함하는 반도체집적회로장치.

청구항 22

제21항에 있어서, 신호를 받는 외부 입력단자, 상기 외부 입력단자와 상기 전원전압 판정회로에 결합되고 제1 논리 임계값전압을 갖고 상기 전원전압이 상기 소정값으로 되어 있을 때 활성화되는 제1 입력회로 및 상기 외부 입력단자와 상기 전원전압 판정회로에 결합되고 상기 제1 논리 임계값전압과는 다른 제2 논리 임계값전압을 갖고 상기 전원전압이 상기 소정값으로 되어 있지 않을 때 활성화되는 제2 입력회로를 더 포함하는 반도체집적회로 장치.

청구항 23

제22항에 있어서, 상기 외부 입력단자는 상기 여러개의 불휘발성 메모리셀 중의 하나에 라이트될 데이터를 받고, 상기 제1 입력회로 및 상기 제2 입력회로는 데이터 입력회로로 사용되는 반도체집적회로장치.

청구항 24

제22항에 있어서, 상기 외부 입력단자는 상기 여러개의 불휘발성 메모리셀에서 하나의 메모리셀을 지시하기 위한 어드레스 신호를 받고, 상기 제1 입력회로 및 상기 제2 입력회로는 어드레스 버퍼회로로 사용되는 반도체집적회로장치.

청구항 25

전원전압을 받는 외부 전원전압 단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압이 소정의 전압에 도달해 있는지 도달해 있지 않은지를 판정하는 전원전압 판정회로, 여러개의 불휘발성 메모리셀, 상기 여러개의 불휘발성 메모리셀중의 하나로부터의 신호를 증폭하는 센스앰프, 외부 출력단자 및 상기 전원전압 판정회로에 결합되고, 상기 센스앰프와 상기 외부 출력단자 사이에 결합되고, 제1 논리 임계값전압과 상기 제1 논리 임계값전압보다 낮은 제2 논리 임계값전압을 갖고, 상기 전원전압이 상기 소정의 전압에 도달해 있는 것을 상기 전원전압 판정회로가 나타내는 경우, 상기 제1 논리 임계값전압을 사용해서 상기 센스앰프로부터의 증폭된 신호에서 출력될 데이터를 판정하고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타내는 경우, 상기 제2 논리 임계값전압을 사용해서 상기 센스앰프로부터의 증폭된 신호에서 출력될 데이터를 판정하는 출력회로를 포함하며, 하나의 반도체로 형성된 불휘발성 메모리장치.

청구항 26

제25항에 있어서, 상기 센스앰프는 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압에 의해서 동작하도록 상기 외부 전원전압 단자에 결합되어 있는 불휘발성 메모리장치.

청구항 27

제26항에 있어서, 상기 출력 회로는 상기 센스앰프에 결합되고 상기 제1 논리 임계값전압을 갖는 제1 회로, 상기 센스앰프에 결합되고 상기 제2 논리 임계값전압을 갖는 제2 회로, 상기 전원전압 판정회로로부터의 판정에 응답해서 상기 제1 회로 또는 상기 제2 회로를 선택하는 선택회로 및 상기 외부 출력단자와 상기 선택회로에 의해서 선택된 회로에 결합되는 버퍼를 갖는 불휘발성 메모리장치.

청구항 28

제27항에 있어서, 상기 선택회로는 상기 제1 회로로부터의 출력과 상기 제2 회로로부터의 출력 중 어느 하나를 선택하는 불휘발성 메모리장치.

청구항 29

제28항에 있어서, 상기 제1 회로, 상기 제2 회로 및 상기 선택회로는 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압에 의해서 동작하도록 상기 외부 전원전압 단자에 결합되어 있는 불휘발성 메모리장치.

청구항 30

여러개의 불휘발성 메모리셀 전원전압을 받는 외부 전원전압 단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압이 소정의 전압에 도달해 있는지 도달해 있지 않은지를 판정하는 전원전압 판정회로, 상기 여러개의 불휘발성 메모리셀중의 하나에 공급될 입력신호가 공급되는 외부 입력단자 및 상기 전원전압 판정회로에 결합되고, 상기 불휘발성 메모리셀과 상기 외부 입력단자 사이에 결합되고, 제1 논리 임계값전압과 상기 제1 논리 임계값전압보다 낮은 제2 논리 임계값전압을 갖고, 상기 전원전압이 상기 소정의 전압에 도달해있는 것을 상기 전원전압 판정회로가 나타내는 경우, 상기 제1 논리 임계값전압을 사용해서 상기 입력신호에서 불휘발성 메모리셀로 라이트될 데이터를 판정하고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타내는 경우, 상기 제2 논리 임계값전압을 사용해서 상기 입력신호에서 불휘발성 메모리셀로 라이트될 데이터를 판정하는 출력회로를 포함하며, 하나의 반도체로 형성된 불휘발성 메모리장치.

청구항 31

제30항에 있어서, 상기 입력회로는 상기 외부 입력단자에 결합되고 상기 제1 논리 임계값전압을 갖는 제1 회로, 상기 외부 입력단자에 결합되고 상기 제2 논리 임계값전압을 갖는 제2 회로 및 상기 전원전압 판정회로로부터의 판정에 응답해서 상기 제1 회로의 출력 또는 상기 제2 회로의 출력을 선택하는 선택회로를 갖는 불휘발성 메모리장치.

청구항 32

제31항에 있어서, 상기 전원전압이 상기 소정의 전압에 도달해 있는 것을 상기 전원전압 판정회로가 나타낼 때 상기 제1 회로는 상기 제1 논리 임계값전압을 나타내고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때 상기 제2 회로는 상기 제2 논리 임계값전압을 나타내는 불휘발성 메모리장치.

청구항 33

전원전압을 받는 외부 전원전압 단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압이 소정의 전압에 도달해 있는지 도달해 있지 않은지를 판정하는 전원전압 판정회로, 여러개의 불휘발성 메모리셀, 상기 여러개의 불휘발성 메모리셀중의 하나로부터의 신호를 증폭하는 센스앰프, 외부출력 단자 및 상기 전원전압 판정회로에 결합되고, 상기 센스앰프와 상기 외부 출력단자 사이에 결합되고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때, 상기 외부 출력단자에 공급될 출력전류를 보상하는 보상회로를 갖는 출력회로를 포함하며, 하나의 반도체로 형성된 불휘발성 메모리장치.

청구항 34

제33항에 있어서, 상기 출력 회로는 상기 센스앰프와 상기 외부 출력단자 사이에 결합된 제1 출력회로 및 상기 센스앰프와 상기 외부 출력단자 사이에 결합되고 상기 보상회로로서 동작하고 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때 동작하는 제2 출력회로를 포함하는 불휘발성 메모리장치.

청구항 35

제25항에 있어서, 상기 여러개의 불휘발성 메모리셀 중의 하나의 불휘발성 메모리셀에 공급될 입력신호가 공급되는 외부입력단자 및 상기 전원전압 판정회로에 결합되고, 상기 불휘발성 메모리셀과 상기 외부 입력단자 사이에 결합되고, 제1 논리 임계값전압과 상기 제1 논리 임계값전압보다 낮은 제2 논리 임계값전압을 갖고, 상기 전원전압이 상기 소정의 전압에 도달해 있는 것을 상기 전원전압 판정회로가 나타내는 경우, 상기 제1 논리 임계값전압을 사용해서 상기 입력신호에서 불휘발성 메모리셀로 라이트될 데이터를 판정하고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타내는 경우, 상기 제2 논리 임계값전압을 사용해서 상기 입력신호에서 불휘발성 메모리셀로 라이트될 데이터를 판정하는 입력회로를 더 포함하는 불휘발성 메모리 장치.

청구항 36

제35항에 있어서, 상기 입력회로는 상기 외부 입력단자에 결합되고 상기 제1 논리 임계값전압을 갖는 제1 회로, 상기 외부 입력단자에 결합되고 상기 제2 논리 임계값전압을 갖는 제2 회로 및 상기 전원전압 판정회로로부터의 판정에 응답해서 상기 제1 회로의 출력 또는 상기 제2 회로의 출력을 선택하는 선택회로를 갖는 불휘발성 메모리장치.

청구항 37

제36항에 있어서, 상기 전원전압이 상기 소정의 전압에 도달해 있는 것을 상기 전원전압 판정회로가 나타낼 때 상기 제1 회로는 상기 제1 논리 임계값전압을 나타내고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때 상기 제2 회로는 상기 제2 논리 임계값전압

을 나타내는 불휘발성 메모리장치.

청구항 38

제35항에 있어서, 상기 외부 입력단자는 상기 외부 출력단자로서 사용되는 불휘발성 메모리장치.

청구항 39

제25항에 있어서, 상기 출력회로는 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때, 상기 외부 출력단자에 공급될 출력전류를 보상하는 보상회로를 포함하는 불휘발성 메모리장치.

청구항 40

제39항에 있어서, 상기 출력회로는 상기 센스앰프와 상기 외부 출력단자 사이에 결합된 제1 출력회로 및 상기 센스앰프와 상기 외부 출력단자 사이에 결합되고 상기 보상회로로서 동작하고 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때 동작하는 제2 출력회로를 포함하는 불휘발성 메모리 장치.

청구항 41

제35항에 있어서, 상기 출력회로는 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때, 상기 외부 출력단자에 공급될 출력전류를 보상하는 보상회로를 포함하는 불휘발성 메모리장치.

청구항 42

제41항에 있어서, 상기 출력 회로는 상기 센스앰프와 상기 외부 출력단자 사이에 결합된 제1 출력회로 및 상기 센스앰프와 상기 외부 출력단자 사이에 결합되고 상기 보상회로로서 동작하고 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때 동작하는 제2 출력회로를 포함하는 불휘발성 메모리 장치.

청구항 43

제30항에 있어서, 외부 출력단자 및 불휘발성 메모리셀로부터의 데이터를 상기 외부 출력단자로 공급하는 회로로서, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때 상기 외부 출력단자에 공급될 출력전류를 보상하는 보상회로를 포함하는 출력회로를 더 포함하는 불휘발성 메모리장치.

청구항 44

제43항에 있어서, 상기 출력회로는 상기 센스앰프와 상기 외부 출력단자 사이에 결합된 제1 출력회로 및 상기 센스앰프와 상기 외부 출력단자 사이에 결합되고 상기 보상회로로서 동작하고 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때 동작하는 제2 출력회로를 포함하는 불휘발성 메모리장치.

청구항 45

제44항에 있어서, 상기 외부 입력단자는 상기 외부 출력단자로서 사용되는 불휘발성 메모리장치.

청구항 46

제44항에 있어서, 상기 제1 논리 임계값전압과 상기 제2 논리 임계값전압은 상기 전원전압과는 독립되어 있는 불휘발성 메모리장치.

청구항 47

여러개의 불휘발성 메모리셀을 갖는 내부회로, 전원전압을 받는 외부 전원전압 단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압을 받고 이 전원전압보다 낮은 전압을 형성해서 상기 내부회로에 공급하는 정전압회로, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압이 소정의 전압에 도달해 있는지 도달해 있지 않은지를 판정하는 전원전압 판정회로, 외부 출력단자 및 상기 전원전압 판정회로에 결합되고, 상기 내부회로와 상기 외부 출력단자 사이에 결합되고, 제1 논리 임계값전압과 상기 제1 논리 임계값전압보다 낮은 제2 논리 임계값전압을 갖고, 상기 전원전압이 상기 소정의 전압에 도달해 있는 것을 상기 전원전압 판정회로가 나타내는 경우 상기 제1 논리 임계값전압을 사용해서 상기 내부회로로부터의 신호에서 출력될 데이터를 판정하고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타내는 경우 상기 제2 논리 임계값전압을 사용해서 상기 내부회로로부터의 신호에서 출력될 데이터를 판정하는 출력회로를 포함하며, 하나의 반도체로 형성된 불휘발성 메모리장치.

청구항 48

여러개의 불휘발성 메모리셀을 갖는 내부회로, 전원전압을 받는 외부 전원전압 단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압을 받고 이 전원전압보다 낮은 전압을 형성해서 상기 내부회로로 공급하는 정전압회로, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압이 소정의 전압에 도달해 있는지 도달해 있지 않은지를 판정하는 전원전압 판정회로, 상기 내부회로에 공급될 입력신호가 공급되는 외부 입력단자 및 상기 전원전압 판정회로에 결합되고, 상기 내부회로와 상기 외부 입력단자 사이에 결합되고, 제1 논리 임계값전압과 상기 제1 논리 임계값전압보다 낮은 제2 논리 임계값전압을 갖고, 상기 전원전압이 상기 소정의 전압에 도달해 있는 것을 상기 전원전압 판정회로가 나타내는 경우 상기 제1 논리

임계값전압을 사용해서 상기 입력신호에서 상기 내부회로에 공급될 데이터를 판정하고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타내는 경우 상기 제2 논리 임계값전압을 사용해서 상기 입력신호에서 상기 내부회로에 공급될 데이터를 판정하는 출력회로를 포함하며, 하나의 반도체로 형성된 불휘발성 메모리장치.

청구항 49

여러개의 불휘발성 메모리셀을 갖는 내부회로, 전원전압을 받는 외부 전원전압 단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압을 받고 이 전원전압보다 낮은 전압을 형성해서 상기 내부회로로 공급하는 정전압회로, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압이 소정의 전압에 도달해 있는지 도달해 있지 않은지를 판정하는 전원전압 판정회로, 외부 출력단자 및 상기 전원전압 판정회로에 결합되고, 상기 내부회로와 상기 외부 출력단자 사이에 결합되고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때 상기 외부 출력단자에 공급될 출력전류를 보상하는 보상회로를 갖는 출력회로를 포함하며, 하나의 반도체로 형성된 불휘발성 메모리장치.

청구항 50

여러개의 불휘발성 메모리셀을 갖는 내부회로, 전원전압을 받는 외부 전원전압 단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압을 받고 이 전원전압보다 낮은 전압을 형성하는 전압형성회로, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압이 소정의 전압에 도달해 있는지 도달해 있지 않은지를 판정하는 전원전압 판정회로, 상기 전원전압 판정회로로부터의 출력신호에 응답해서 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압과 상기 전압형성회로에 의해 형성된 전압중 어느 하나를 상기 내부회로의 동작전압으로서 공급하는 스위치회로, 외부 출력단자 및 상기 전원전압 판정회로에 결합되고, 상기 내부회로와 상기 외부 출력단자 사이에 결합되고, 제1 논리 임계값전압과 상기 제1 논리 임계값전압보다 낮은 제2 논리 임계값전압을 갖고, 상기 전원전압이 상기 소정의 전압에 도달해 있는 것을 상기 전원전압 판정회로가 나타내는 경우 상기 제1 논리 임계값전압을 사용해서 상기 내부회로로부터의 신호에서 출력될 데이터를 판정하고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타내는 경우 상기 제2 논리 임계값전압을 사용해서 상기 내부회로로부터의 신호에서 출력될 데이터를 판정하는 출력회로를 포함하며, 하나의 반도체로 형성된 불휘발성 메모리장치.

청구항 51

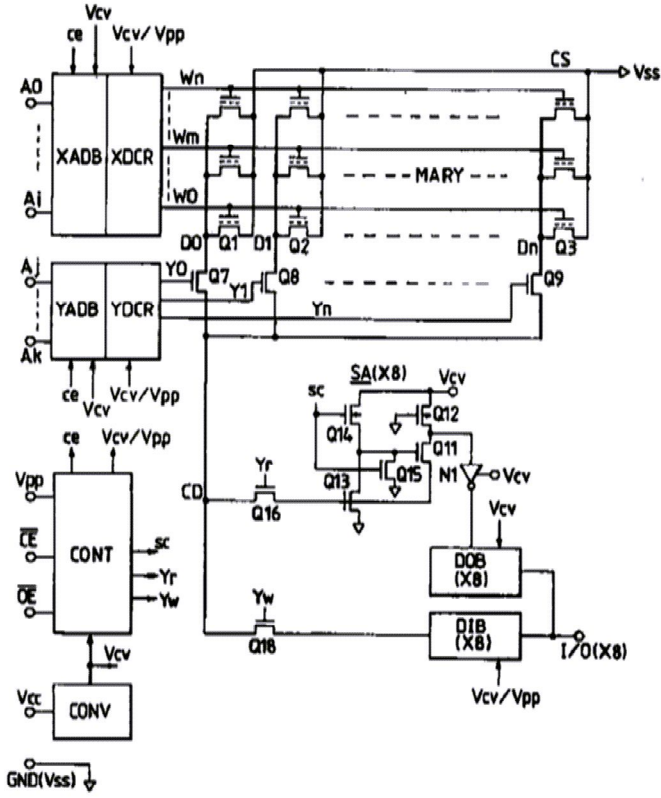
여러개의 불휘발성 메모리셀을 갖는 내부회로, 전원전압을 받는 외부 전원전압 단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압을 받고 이 전원전압보다 낮은 전압을 형성하는 전압형성회로, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압이 소정의 전압에 도달해 있는지 도달해 있지 않은지를 판정하는 전원전압 판정회로, 상기 전원전압 판정회로로부터의 출력신호에 응답해서 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압과 상기 전압형성회로에 의해 형성된 전압 중 어느 하나를 상기 내부회로의 동작전압으로서 공급하는 스위치회로, 상기 내부회로에 공급될 입력신호가 공급되는 외부 입력단자 및 상기 전원전압 판정회로에 결합되고, 상기 내부회로와 상기 외부 입력단자 사이에 결합되고, 제1 논리 임계값전압과 상기 제1 논리 임계값전압보다 낮은 제2 논리 임계값전압을 갖고, 상기 전원전압이 상기 소정의 전압에 도달해 있는 것을 상기 전원전압 판정회로가 나타내는 경우 상기 제1 논리 임계값전압을 사용해서 상기 입력신호에서 상기 내부회로에 공급될 데이터를 판정하고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타내는 경우 상기 제2 논리 임계값전압을 사용해서 상기 입력신호에서 상기 내부회로에 공급될 데이터를 판정하는 출력회로를 포함하며, 하나의 반도체로 형성된 불휘발성 메모리장치.

청구항 52

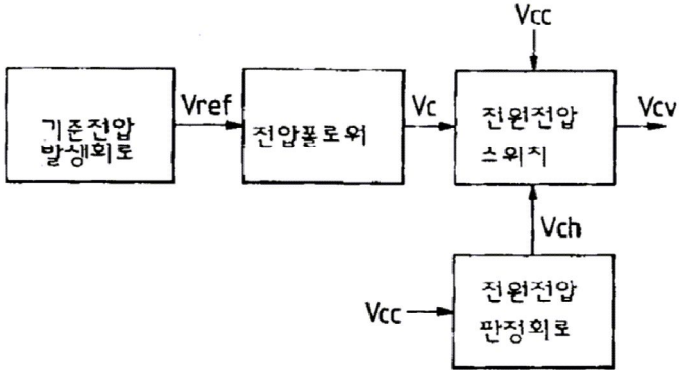
여러개의 불휘발성 메모리셀을 갖는 내부회로, 전원전압을 받는 외부 전원전압 단자, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압을 받고 이 전원전압보다 낮은 전압을 형성하는 전압형성회로, 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압이 소정의 전압에 도달해 있는지 도달해 있지 않은지를 판정하는 전원전압 판정회로, 상기 전원전압 판정회로로부터의 출력신호에 응답해서 상기 외부 전원전압 단자를 거쳐서 공급되는 전원전압과 상기 전압형성회로에 의해 형성된 전압 중 어느 하나를 상기 내부회로의 동작전압으로서 공급하는 스위치회로, 외부 출력단자 및 상기 전원전압 판정회로에 결합되고, 상기 내부회로와 상기 외부 출력단자 사이에 결합되고, 상기 전원전압이 상기 소정의 전압에 도달해 있지 않은 것을 상기 전원전압 판정회로가 나타낼 때 상기 외부출력단자에 공급될 출력전류를 보상하는 보상회로를 갖는 출력회로를 포함하며, 하나의 반도체로 형성된 불휘발성 메모리장치.

도면

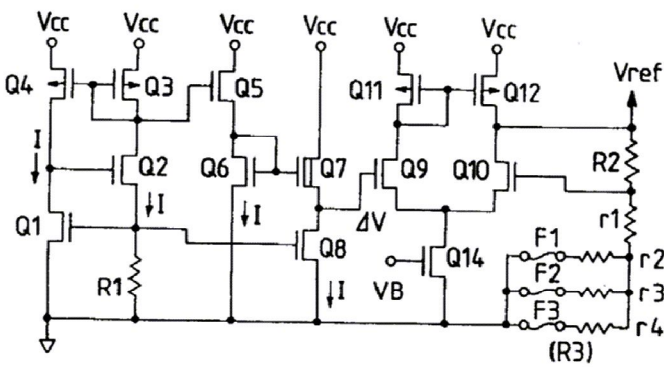
도면1



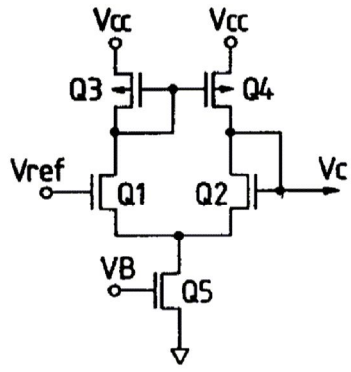
도면2



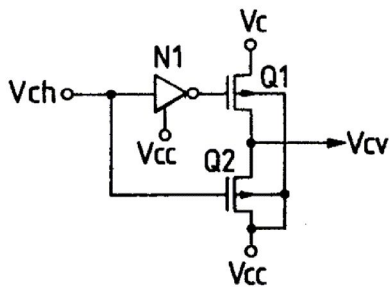
도면3



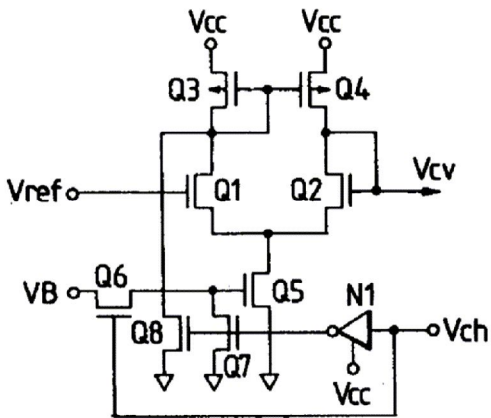
도면4



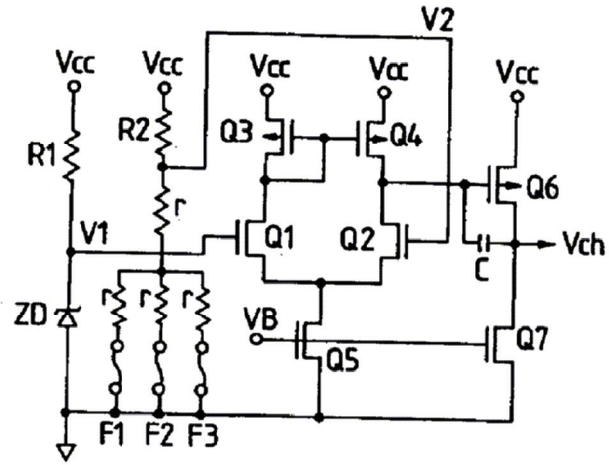
도면5



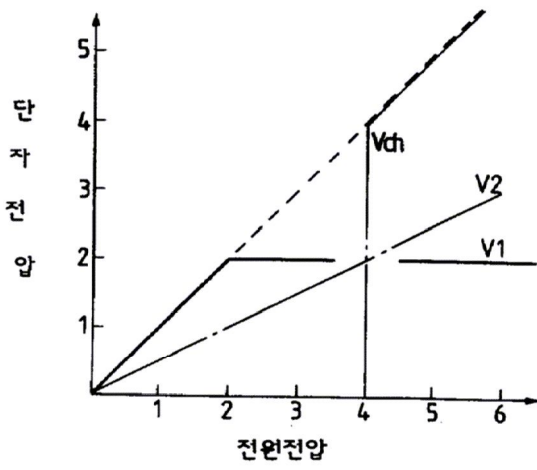
도면6



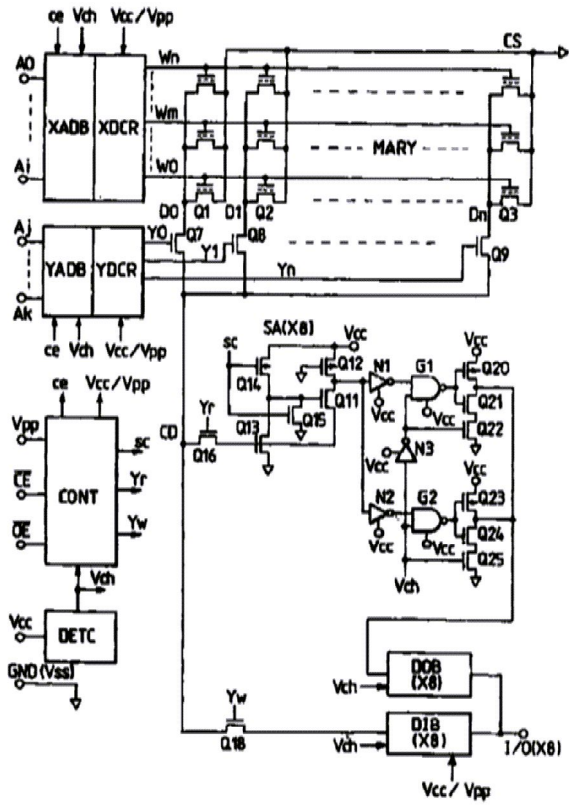
도면7



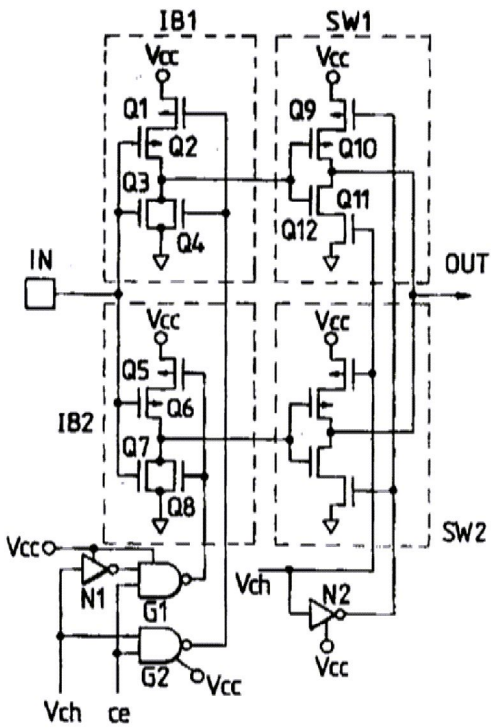
도면8



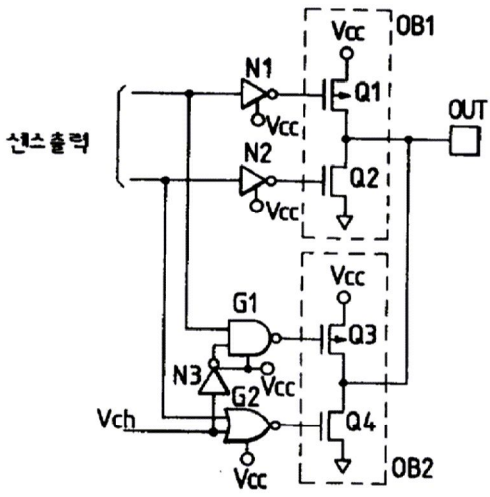
도면9



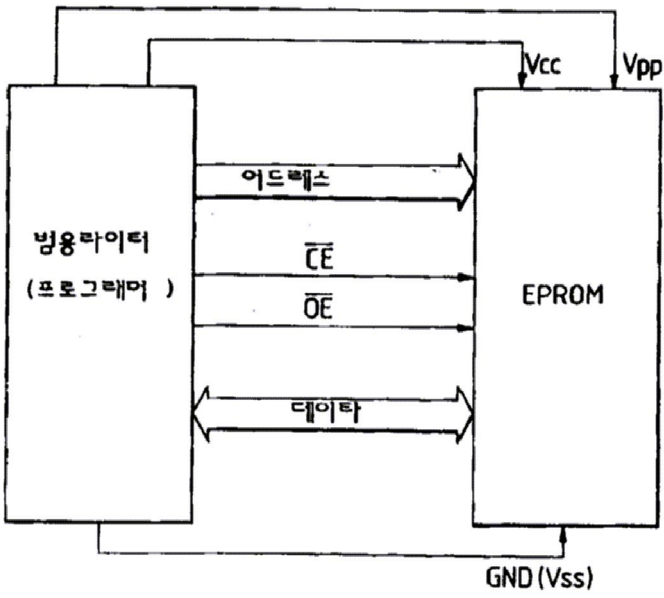
도면10



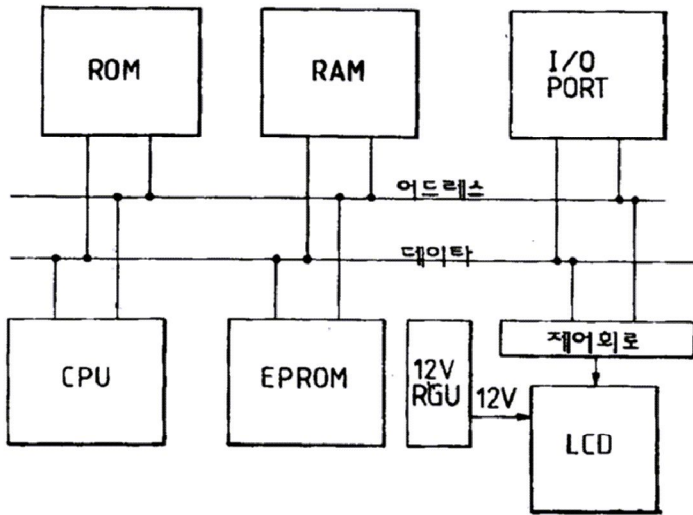
도면11



도면12



도면13



도면14

