



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 21/8247 (2006.01)

H01L 27/115 (2006.01)

(11) 공개번호

10-2007-0062435

(43) 공개일자

2007년06월15일

(21) 출원번호 10-2006-0125635

(22) 출원일자 2006년12월11일

심사청구일자 없음

(30) 우선권주장 11/301,869 2005년12월12일 미국(US)

(71) 출원인 히다치 글로벌 스토리지 테크놀로지스 네덜란드 비.브이.  
네덜란드 암스테르담 1076 에이제트 로케텔리케이드 1

(72) 발명자 스티페 배리 쿠싱  
미국 캘리포니아주 95135 산 호세 러닝 스프링스 로드 6013

(74) 대리인 신정건  
송승필

전체 청구항 수 : 총 41 항

(54) 단극 저항 램 장치 및 수직 스택 구조

(57) 요약

본 발명의 일실시예는 메모리 셀의 교차점 어레이로 만들어지고, 수직으로 서로의 상부에 스택되며 다결정 실리콘 다이오드와 호환가능한 저비용 단극 다시 쓰기 가능 가변 저항 메모리 소자를 포함한다.

대표도

도 2

특허청구의 범위

청구항 1.

비트 라인 또는 워드 라인에 의해서 분리되는 수직으로 스택된 제1 및 제2 메모리 필라를 포함하는 메모리 구조로서, 상기 제1 메모리 필라는,

제1 방향의 전류 흐름을 갖는 제1 다이오드; 및

상기 제1 다이오드 하부에 형성되며 제1 및 제2 메모리 필라를 분리하는 비트 라인 또는 워드 라인 상부에 형성되는 제1 단극 다시 쓰기 가능 저장 램(RRAM) 스택을 포함하고

상기 제2 메모리 필라는,

제1 방향의 전류 흐름과 반대인 제2 방향의 전류 흐름을 갖도록 위치한 제2 다이오드; 및

상기 제2 다이오드 하부에 형성되는 제2 단극 다시 쓰기 가능 RRAM 스택을 포함하는 메모리 구조.

## 청구항 2.

제1항에 있어서, 상기 제1 다이오드 상부에 형성되는 제1 비트 라인 및 상기 제2 필라의 기부 및 상기 제2 스택에 하부에 형성되는 제2 비트 라인을 추가로 포함하는 메모리 구조.

## 청구항 3.

제2항에 있어서, 상기 제1 다이오드와 상기 제1 비트 라인 사이에 형성되는 제1 접촉층 및 상기 워드 라인과 상기 제2 다이오드 사이에 형성되는 제2 접촉층을 추가로 포함하는 메모리 구조.

## 청구항 4.

제3항에 있어서, 상기 제1 비트 라인과 상기 제1 접촉층 사이에 형성되는 제1 접착층을 추가로 포함하는 메모리 구조.

## 청구항 5.

제2항에 있어서, 상기 제2 비트 라인 하부에 형성되는 제2 접착층을 추가로 포함하는 메모리 구조.

## 청구항 6.

제1항에 있어서, 상기 제1 스택과 상기 제1 다이오드 사이에 형성되는 제1 경계층 및 상기 제2 스택과 상기 제2 다이오드 사이에 형성되는 제2 경계층을 추가로 포함하는 메모리 구조.

## 청구항 7.

제1항에 있어서, 상기 제1 및 제2 다시 쓰기 가능 스택은 각각 금속-절연체-금속(MIM)으로 만들어지는 메모리 구조.

## 청구항 8.

제7항에 있어서, 상기 각각의 제1 및 제2 MIM의 절연체는 불순물이 함유된  $\text{Si}_3\text{N}_4$ , 불순물이 함유된  $\text{SiO}_2$ ,  $\text{NiO}$ ,  $\text{ZrO}_2$ ,  $\text{HfO}_2$ ,  $\text{TiO}_2$ ,  $\text{Cu}_2\text{O}$ , 또는 PCMO로 구성되는 군에서 선택되는 메모리 구조.

## 청구항 9.

제7항에 있어서, 상기 각각의 제1 및 제2 MIM의 절연체는 복수의 상이한 절연 층으로 구성되는 메모리 구조.

#### 청구항 10.

제7항에 있어서, 상기 MIM의 각각의 금속은 상이한 조성으로 만들어지는 메모리 구조.

#### 청구항 11.

제7항에 있어서, 상기 제1 및 제2 다이오드는 다결정 실리콘으로 구성되는 메모리 구조.

#### 청구항 12.

제7항에 있어서, 상기 절연체는 전하의 비활성 트랩핑을 위해 전하 트랩을 포함하며 트랩된 전하가 저항의 변화를 일으키는 메모리 구조.

#### 청구항 13.

제7항에 있어서, 상기 각각의 제1 및 제2 MIM의 금속은 백금, 이리듐, 팔라듐, 루테튬 또는 로듐 중 적어도 일부로 각각 구성되는 메모리 구조.

#### 청구항 14.

제1항에 있어서, 상기 제1 및 제2 다시 쓰기 가능 스택은 각각 금속-절연체-반도체(MIS)로 만들어지는 메모리 구조.

#### 청구항 15.

반도체 제어 회로의 상단에 위치한 메모리 트리로 만들어지는 3 차원 메모리 배열에 있어서, 상기 배열은

제1 타입의 메모리 트리를 포함하는 적어도 하나의 메모리 트리 열;

각각의 메모리 트리는 대응하는 메모리 트리를 반도체 제어 회로에 접속하는 줄기 및 복수의 층에서 워드 라인을 정의하는 복수의 층 각각에 적어도 하나가 존재하는 가지를 갖는 복수의 가지를 구비하며, 메모리 트리의 워드 라인이 메모리 트리의 줄기를 통해 반도체 제어 회로에 대한 공통 수직 접속부를 공유하며,

적어도 하나의 층에서 워드 라인과 실질적으로 수직하게 형성되는 복수의 비트 라인에서 복수의 비트 라인의 각각의 비트 라인은 독립적으로 반도체 회로에 접속되며, 각각의 비트 라인은 메모리 트리의 열에서 모든 트리에 의해 공유되는 것인 복수의 비트 라인; 및

워드 라인과 비트 라인의 교차점에서 형성되어 복수의 층에 존재하는 복수의 단극 다시 쓰기 가능 메모리 필라를 포함하는 3차원 메모리 배열.

#### 청구항 16.

제15항에 있어서, 적어도 하나의 워드 라인이 상기 줄기의 각각의 반대쪽으로 연장하는 3차원 메모리 배열

**청구항 17.**

제15항에 있어서, 상기 복수의 메모리 필라의 각각의 메모리 필라는 다이오드 및 다시 쓰기 가능 RRAM 스택을 포함하는 3차원 메모리 배열.

**청구항 18.**

제17항에 있어서, 상기 다이오드는 다결정 실리콘으로 구성되는 3 차원 메모리 배열.

**청구항 19.**

제17항에 있어서, 모든 메모리 필라의 다이오드가 동일한 방향을 가리키는 3차원 메모리 배열.

**청구항 20.**

제17항에 있어서, 각각의 RRAM 스택은 금속-절연체-금속(MIM)으로 만들어지는 3차원 메모리 배열.

**청구항 21.**

제17항에 있어서, 각각의 RRAM 스택은 금속-절연체-반도체(MIS)로 만들어지는 3차원 메모리 배열.

**청구항 22.**

제15항에 있어서, 각각의 줄기는 텅스텐으로 만들어지는 3차원 메모리 배열.

**청구항 23.**

제15항에 있어서, 메모리 필라는 복수의 가지의 상부와 하부에 형성되고 다이오드를 포함하며, 메모리 필라의 다이오드는 복수의 가지의 하부에 형성된 메모리 필라의 다이오드와 반대 방향으로 복수의 가지의 상부에 형성되는 3 차원 메모리 배열.

**청구항 24.**

제15항에 있어서, 메모리 필라는 복수의 비트 라인의 상부와 하부에 형성되고 다이오드를 포함하며, 메모리 필라의 다이오드는 복수의 비트 라인의 하부에 형성된 메모리 필라의 다이오드와 반대 방향으로 복수의 비트 라인의 상부에 형성되는 3 차원 메모리 배열.

**청구항 25.**

제15항에 있어서, 메모리 트리의 적어도 하나의 열은 제2 타입의 메모리 트리를 포함하며, 상기 제1 및 제2 타입 메모리 트리는 서로 인접하게 위치되는 3 차원 메모리 배열.

**청구항 26.**

제25항에 있어서, 상기 제1 및 제2 타입의 메모리 트리의 비트 라인은 공유되는 3차원 메모리 배열.

**청구항 27.**

제25항에 있어서, 상기 제1 및 제2 타입의 메모리 트리의 워드 라인은 공유되는 3차원 메모리 배열.

**청구항 28.**

제25항에 있어서, 상기 제1 및 제2 타입의 메모리 트리의 비트 라인과 워드 라인은 공유되는 3차원 메모리 배열.

**청구항 29.**

제25항에 있어서, 상기 제1 타입의 메모리 트리는 제2 타입의 메모리 트리와 오프셋 되어 있는 3차원 메모리 배열.

**청구항 30.**

제25항에 있어서, 제1 타입의 메모리 트리의 줄기로부터 인접한 다음 제1 타입의 메모리 트리의 줄기까지의 거리는 4F인 3차원 메모리 배열.

**청구항 31.**

제25항에 있어서, 제2 타입의 메모리 트리는 제1 타입의 메모리 트리의 거울상인 3차원 메모리 배열.

**청구항 32.**

제25항에 있어서, 3차원 메모리 배열은 복수의 교호하는 제1 타입 및 제2 타입의 메모리 트리를 포함하는 3차원 메모리 배열.

**청구항 33.**

메모리 필라를 구비한 메모리 어레이를 제조하는 방법에 있어서,

전도층을 증착하는 단계;

비트 라인 또는 워드 라인의 제1 층을 형성하기 위한 제1 에칭 단계;

제1 산화 실리콘 층을 증착하는 단계;

화학적 기계적 평탄화(CMP)를 수행하는 단계;

다시 쓰기 가능 RRAM 스택 메모리 층을 증착하는 단계;

제1 방향의 전류 흐름을 갖는 다이오드를 형성하기 위해 다이오드 층을 증착하는 단계;  
증착된 메모리 층 및 다이오드 층을 제2 에칭하는 단계;  
필라를 형성하는 단계;  
제2 산화 실리콘 층을 증착하는 단계; 및  
CMP를 수행하는 단계를 포함하는 메모리 어레이를 제조하는 방법.

#### 청구항 34.

제33항에 있어서, 다이오드 층과 메모리 층 사이에 경계 층을 증착하는 단계를 추가로 포함하는 메모리 어레이를 제조하는 방법.

#### 청구항 35.

제33항에 있어서, 제2 에칭 단계 이전에 경질 정지 층으로서 사용되는 접착층을 증착하는 단계 및 경질 정지 층을 평탄화하는 단계를 추가로 포함하는 메모리 어레이를 제조하는 방법.

#### 청구항 36.

제33항에 있어서, 제2 에칭 단계 이전에 접착 층 및 희생 경질 정지 층을 증착하는 단계, 경질 정지 층을 평탄화하는 단계 및 경질 정지 층을 제거하기 위해 에칭하는 단계를 추가로 포함하는 메모리 어레이를 제조하는 방법.

#### 청구항 37.

제33항에 있어서, 전도층을 증착하는 단계 이전에 제3 산화 실리콘 층을 증착하는 단계;  
증착된 제3 산화 실리콘 층을 평탄화하는 단계; 및  
접착층을 증착하는 단계를 추가로 포함하는 메모리 어레이를 제조하는 방법.

#### 청구항 38.

제35항에 있어서, 다이오드 층을 증착하는 단계를 제1 전류 흐름과 반대 방향의 전류 흐름을 갖는 다이오드를 형성하기 위해 다이오드 층을 증착하는 단계로 대체하는 단계를 제외하고 제33항의 단계를 반복하는 단계를 추가로 포함하는 메모리 어레이를 제조하는 방법.

#### 청구항 39.

비트 라인 상부에 형성되며  
제1 단극 다시 쓰기 가능 저장 램(RRAM) 스택;  
제1 방향의 전류 흐름을 가지며 제1 스택 상부에 형성된 제1 다이오드; 및

제1 메모리 필라의 상부에 형성된 워드 라인을 포함하는 제1 메모리 필라를 포함하는 메모리구조.

#### 청구항 40.

제39항에 있어서, 다시 쓰기 가능 스택은 금속-절연체-금속(MIM)으로 만들어지는 메모리 구조.

#### 청구항 41.

제40항에 있어서, 워드 라인 상부에 형성되며

워드 라인 상부에 형성된 제2 단극 다시 쓰기 가능 RRAM 스택; 및

제1 전류 흐름의 방향과 반대인 제2 전류 흐름을 가지도록 위치되고 제2 스택 상부에 형성된 제2 다이오드를 포함하는 제2 메모리 필라를 포함하는

메모리 구조.

#### 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 낮은 전류의 수직 스택 단극 저항 램(RRAM)에 기초한 고체 상태 (또는 비활성) 초 저비용 대용량 저장 장치(또는 메모리)에 관한 것이며, 자세하게는 저 전류 수직 스택 단극 RRAM으로 만들어진 초 저비용 고체 상태 메모리 또는 대용량 저장 장치를 형성하는 메모리 셀의 3차원(3-D) 교차점 배열에 관한 것이다.

오늘날, 다결정 실리콘(poly-Si) 다이오드 및 일회용 쓰기 안티퓨즈(write-once antifuses)에 기초한 3차원 프로그램가능 읽기 전용 메모리(PROM)는 셀 당 2 비트 낸드(NAND) 플래시 같이 다시 쓰기 가능 고체 상태 메모리의 최근 저비용 선두자 보다 저렴하다는 이점으로 상업적 응용분야에서 명성을 얻어가고 있다. 이 주제에 대한 보다 자세한 설명에 대해서는 M. Crowley 등이 2003 IEEE 국제 고체 상태 회로 콘퍼런스, 학술 자료 16.4(2003)에 쓴 "8 개의 안티 퓨즈/다이오드 셀 층을 구비한 512 Mb PROM" 및 S. B. Herner 등이 IEEE 전자 장치 레터, 25권, 페이지 271-273(2003)에 쓴 "스택 가능 필드-프로그램가능 ROM을 위한 안티퓨즈를 구비한 수직 p-i-n 폴리실리콘 다이오드"를 참고할 수 있다. 그러나 상기 수직 스택 메모리는 다시 쓰기가 불가능하다는 점에서 제한된 응용분야를 가진다. 또한, 안티퓨즈가 끊김 또는 끊기지 않음 중 하나이기 때문에 오직 셀당 1비트만이 저장된다.

간단한 발명의 배경을 참고하여, 상이한 종류의 비활성 또는 고체 상태 메모리가 논의된다. 상 변화 메모리(PCRAM)에서, 상 변화 저항의 고 저항 상태 및 저 저항 상태(비결정 대 결정)를 이용하여 비트를 저장한다. 일반적으로, 상기 프로그램 가능 저항은 메모리 셀을 형성하는 다이오드 또는 트랜지스터와 직렬로 사용된다. PCRAM 기록은 물질이 용융 온도 또는 결정화 온도(대략 섭씨 400에서 600도)에 도달하도록 상기 저항에 고 전류를 통과시킴으로써 달성된다. 용융 물질을 급속 냉각시키면 비결정(고 저항) 상태가 된다. 결정 상태에서의 기록은 비결정 상태보다 100배 낮은 저항을 갖게 하는 보다 긴 시간 동안 결정 핵 생성 및 성장을 필요로 한다. 적절한 전류 또는 펄스의 지속으로, 중간 저항 값(부분적으로 결정화된 물질)을 얻을 수 있다. 예를 들어, 만약 물질 저항이 4 개의 저항 범위 내에서 감소하도록 제어된다면, 각각의 메모리 셀은 2 비트를 저장할 수 있으며 동일한 방법으로 셀당 2 비트 플래시 메모리는 2비트를 저장하기 위해서 4 개의 트랜지스터 역치 전압 범위를 사용한다. 상 변화 메모리는 단극 RRAM 형식의 범주에 들어가지만 그것은 PCRAM 또는 PRAM 또는 오보닉 유니버설 메모리(OUM)이라고 불린다. PCRAM은 단극이기 때문에, 다이오드는 안티퓨즈를 사용하는 3D PROM에서 사용

되는 것과 유사한 방법으로 셀을 통하는 전류를 조종하는데 사용될 수 있다. 그러나 PCRAM은 두 가지 중요한 이유 때문에 상기 구조와 호환될 수 없다. 첫째로, 폴리실리콘 다이오드는 제작과정 동안 약 섭씨 750도의 온도를 필요로 하며, 일반적인 상 변화 온도에서 물질은 불안정하다. 두 번째로, PCRAM은 재설정(용융) 동안 적어도  $10^6$  A/cm<sup>2</sup>의 전류 밀도를 필요로 하며, 이는 폴리 실리콘 다이오드에 의해서 공급될 수 있는 것보다 높은 전류 밀도이다. 이 주제에 대한 좀 더 자세한 설명에 대해서는 S. Lai가 쓴 IEEE 페이지. 10.1.1-4에 쓴 "상 변화 메모리의 전류 상태와 그것의 미래"라는 책을 참고할 수 있다. 다수의 다른 형태의 가변 저장 메모리가 논문에서 발견되나 유사한 폴리실리콘 다이오드와의 비호환성을 갖는다.

단극이며 폴리 실리콘 다이오드와의 전류 밀도 및 온도 호환성 요건을 충족시키는 메모리 장치의 한 종류는 1960년대에 처음으로 기술되고 오늘날 개발되는 특정 종류의 RRAM의 동작과 유사한 특별한 종류의 유전체 막에 기초하며, 이는 도4를 참고하여 이후 보다 자세히 논의될 것이다. 예를 들어, 전기적으로 프로그램 가능한 저항을 구비하고, 상 변화 메모리와 분리되어 떨어진 다른 물질이 존재한다. 이들 중 몇몇 물질은 유전체 물질 내의 저장된 전하에 기초한다. 작은(읽기) 전압이 인가되었을 때, 전류는 페르미 레벨 근처의 영역(도펀트, 결함, 나노미립자, 작은 풀라론 등) 사이의 전하 터널링(호핑) 전도로 인해서 흐른다. 큰(쓰기) 전압이 인가되면 전하는 땀글링 본드(dangling bonds) 같은 결함의 존재로 인한 고 에너지 구조로 트랩된다. 작은(읽기) 전압이 다시 사용되면, 트랩 전하의 쿨롱 필드는 흐르는 전류를 변화시킨다(예를 들어 전극-유전체 인터페이스에서 장벽을 변화시킴으로써). 그러므로, 물질은 전기적으로 프로그램 가능한 저항을 갖는다. 이러한 물질이 단극 RRAM에서 사용되기 위해서, 저장된 전하가 제거되고 저항이 원래 값으로 돌아오도록 동일한 극성을 가진 적절한 전압 펄스(진폭 및 기간)를 사용하는 것이 가능해야 한다.

PCRAM이기 때문에, 중간 저항 값은 저장된 전하의 양에 따라 얻어진다. 4 개의 범위 중 하나로 감소되는 저항값을 제어함으로써, 2 비트 정보는 하나의 셀에 저장될 수 있다. 이러한 장치에 대한 추가적인 정보에 대해서는 이하의 문헌을 참조할 수 있다: "얇은 절연막에서의 새로운 전도 및 가역 메모리 현상" J. G Simmons 와 R. R. Verderber의 Proc. Roy. Soc. A, 301권 페이지 77-102(1967); "노벨 거대 자기저항 박막 비휘발성 저장 램(RRAM)", W. W. Zhuang 등, 국제 전자 장치 미팅(IEEE), PP. 7.5.1-4(2002); "쌍 안정 스위칭 동안 금속-절연체-금속 구조를 가로지르는 전류 분배" C. Rossel 등, 응용 물리학 저널, 90권, pp. 2892-2898(2001); "금속 산화 인터페이스에서 장(field) 유도 저항성 스위칭" S. Tsui et al., 응용 물리 논문, 85 권, pp. 317-319(2004); 및 "초 저비용 고체 상태 메모리" B. Stipe, 미국 특허 공보 번호. 2004/0245547 A1.

트랜지스터의 플로팅 게이트 상에 전하를 저장하는 것을 기반으로 하는 플래시 메모리는 플로팅 게이트 주위의 유전체는 10년 동안 전하를 유지하기 위해서 적어도 8 나노미터(nm)의 두께가 되어야 하기 때문에 크기 조정이 어렵다. 이는 플로팅 게이트가 적절하게 트랜지스터의 채널 전도를 조정하는 것을 어렵게 만든다. 또한, 플래시 메모리를 프로그래밍하는데 사용되는 전압은 대략 8볼트보다 커야하며, 이는 프로그래밍 전압을 공급하는데 사용되는 주변 트랜지스터의 크기조정을 어렵게 한다. 낸드 플래시 메모리는 인접한 게이트 사이의 인터페이스, 자세하게는 다중 비트 기억 때문에 40 nm 이하의 매우 어려운 크기 조정갯도록 설계된다. 이러한 제한 때문에, 플래시 메모리보다 좀더 스케일러블(scalable)한 다시 쓰기 가능 메모리를 발견할 필요가 있다.

플래시 메모리는 메모리의 한 층이 되는 웨이퍼 상에서 형성된 트랜지스터를 포함한다. 그러나 비용을 절감하기 위해서, 상술한 일회용 프로그램가능 안티퓨즈 메모리 같이 메모리의 하나 이상의 층이 3차원 메모리 구조를 형성하도록 서로의 상부에 스택 될 수 있다. 이러한 방법으로 처리과정의 수는 메모리의 층에 대해 감소한다. 즉, 메모리 층마다 3 개의 부가적인 마스크 과정이 필요하지만, 플래시 같은 전통적인 메모리 처리에서는 20-30 개의 마스크 층이 하나의 메모리 층과 상호 접속을 생성하기 위해서 필요하다. 그러나 안티퓨즈에 기초한 3차원 수직 스택 메모리는 다시 쓸 수 없는 응용 제한이 있다. 또한, 메모리 구조를 포함하여 안티 퓨즈는 끊김 또는 끊기지 않음 중 하나이기 때문에 오직 셀당 1비트의 저장능력만을 가지기 때문에 셀당 1비트만을 저장할 수 있다.

스택 3차원 메모리 구조 배후의 아이디어는 교차된 선들 사이의 단순한 메모리 구성요소로 만들어진 하부 및 단순 메모리 층의 모든 복잡한 회로를 복잡한 하부 회로의 상부에 위치시키는 것이다. 이러한 구조의 일예에 대해서 지금부터 논의하기로 한다.

도1은 다이오드(12) 및 안티퓨즈(14)로 만들어진 필라(11) 및 다이오드(44) 및 안티퓨즈(46)로 만들어진 필라(25)를 포함하는 종래의 삼차원 메모리 셀 구조(10)를 도시한다. 상기 안티퓨즈(14, 46)는 각각의 필라(11, 25) 상부에 열에 의해 형성된 산화 실리콘 층(13, 34)으로 각각 효과적으로 만들어지며, 이에 대한 자세한 설명은 짧게 설명될 것이다.

질화 티타늄(TiN) 층(42)의 상부에는 비트 라인(30)이 형성되고 비트 라인(30)에 상부에는 예를 들어 질화티나늄으로 만들어진 경계 층(43)이 형성된다. 경계 층(43) 상부에는 도시한 n+ -i-p+ 다이오드(44) 형성하는 p+ (40), i(38) 및 n+ (36)



가 형성되고 산화 실리콘 층(34)은 안티퓨즈(46)를 형성하고 n+ (36)의 상부에 형성된다. 질화 티타늄(32)은 산화 실리콘 (34) 층의 상부에 형성된다. 워드 라인(8)은 질화 티타늄 층(32)의 상부에 형성되도록 도시되었고 상기 층 상부에 다이오드(12)와 안티퓨즈(14) 구조가 차례로 형성된다. 상기 다이오드(12)는 도시한 p+ (16), i(18) 및 n+ (20)의 p+ -i-n+ 도핑으로 만들어지며, n+ (20)가 질화 티타늄 층(24)의 상부에 형성된다. 산화 실리콘 층(13)은 p+ (16)의 상부에서 형성되며 질화 티타늄 층(22)은 산화 실리콘 층(13)의 상부에 형성된다. 비트 라인(26)은 질화 티타늄(22)의 상부에 형성된다. 비트 라인(26)과 워드 라인(28) 사이에 도시된 구조 및 층은 상술된 워드 라인(28)과 비트 라인(30) 사이에서 반복된다.

질화 티타늄 층(22)은 산화 실리콘 층(13)과 비트 라인(26) 사이에서 접착층의 역할을 하고, 마찬가지로 질화 티타늄 층 (32)은 산화 실리콘 층(34)과 워드 라인(28) 등 사이에서 접착층의 역할을 한다.

열로 산화된 실리콘을 구비한 산화 실리콘 층(13, 34)은 그것에 높은 전압이 인가되면 안티 퓨즈가 산화 실리콘을 통해 단락 회로를 형성함으로써 끊어지기 때문에 안티 퓨즈로서 동작한다. 일반적으로 이전의 끊김 또는 단락에서, 산화 실리콘은 높은 저항 상태에 있다. 산화 실리콘의 끊김 또는 그렇지 않음은 논리 '1' 또는 '0'을 발생시킨다. 산화 실리콘 층(13)이 끊어지면, 단락 회로가 비트 라인(26)과 다이오드(12) 사이에서 형성된다. 마찬가지로, 산화 실리콘 층(34)이 끊어지면, 다이오드(44)가 본질적으로 워드 라인(28)과 단락된다.

도1에 도시한 것처럼, 비트 라인 및 워드 라인은 예를 들어 워드 라인(28)이 비트 라인(26, 30) 사이에서 나타나는 것으로 변경될 수 있다. 게다가, 다이오드(44, 12)는 서로 반대 방향으로 형성될 수 있다. 즉, 다이오드(44)가 위쪽을 바라보며 반면 다이오드(12)는 아래쪽을 바라보아서 비트 라인과 워드 라인이 두 개의 상이한 메모리 셀을 공유함으로써 마스크 과정의 수를 감소시키고 비용을 감소시킬 수 있다. 도1에 도시되지 않았지만, 구조(10)는 필라(11) 및 구조(10)의 비트 라인-워드 라인-비트 라인 배열을 확장하는 다수의 층을 형성하도록 반복될 수 있다는 것을 유념해야 한다. 일반적으로 비용 및 생산량에 비추어, 4개 또는 8개 층이 메모리 칩마다 만들어진다. 만약 각각의 층이 3 개의 마스크(바이어스를 포함하여)를 소비한다면, 8 개의 층을 위해 24개의 마스크가 필요하다. 이는 제어 회로를 형성하기 위해 필요한 마스크의 수와 비슷하다. 8개 또는 16개 층이 넘는다면, 메모리 층에 대한 총 처리 비용은 더 이상 현저하게 절감되지 않는다.

요약해서, 상기 구조(10)를 형성하는 제작 과정이 논의될 것이다. 기술된 과정은 비트 라인(26)과 워드 라인(28) 사이의 상기 구조(10)의 일부와 비트 라인(30)과 워드 라인(28) 사이의 상기 구조(10) 사이의 일부를 형성하는데 사용될 것이다. 질화 티타늄 층 및 텅스텐 같은 금속 층은 다수의 와이어를 형성하기 위해 위치되고 본이 떠지며 상기 와이어는 비트 라인 또는 워드 라인이 되고 그곳에 산화 실리콘이 증착된다. 다음으로, 화학적 기계적 평탄화(CMP) 과정은 표면을 평탄화하여 와이어 사이의 공간이 산화 실리콘으로 채워지도록 수행된다. 그 결과로, 다른 물질 예를 들어 질화 티타늄 같은 물질이 경계층으로 사용되어 금선 와이어(비트 라인)(30)이 그 다음에 위치한 실리콘 층(p+)(40)과 섞이지(실리카이드를 형성하지) 않기 위해 필라(25)를 형성하도록 증착된다.

다음으로, p-첨가 실리콘(p+)이 증착되고 진성 층(i)이 증착되며 마지막으로 n 타입 도펀트가 p-i-n 다이오드를 형성하도록 주입된다. 다음으로, CMP의 또 다른 단계와 함께 산화 실리콘으로 다시 매우는 과정이 수행되며, 그로 인해 다수의 산화 규소가 삽입된 필라가 형성되며, 이들 상부에는 실리콘이 노출된다. 다음으로 노출된 실리콘층 부분은 산화 실리콘 안티 퓨즈(46)를 형성하도록 열로 산화된다 일반적으로, 실리콘 다이오드는 모든 메모리 층이 제작된 후에 고온 어닐링 (annealing)으로 결정화 된다. 비트 라인 및 워드 라인의 교차 특징은 교차점 어레이라고 불린다.

도1의 구조(10)의 문제점은 대부분 안티 퓨즈(14, 46)를 사용하고 이는 일회용 프로그램 가능 성능을 허용하기 때문에 다시 쓸 수 없다는 것이다. 게다가 셀당 1비트 만이 도1의 구조(10)에 저장될 수 있다.

### 발명이 이루고자 하는 기술적 과제

필요한 것은 안티 퓨즈를 대신하고 다결정 실리콘 다이오드와 호환가능한 다시 쓰기 가능한 가변 저항 메모리 장치이다. 추가로 요구되는 것은 다시 쓸 수 있고 동일한 방향의 전류를 사용하여 지워지며 실리콘 결정화 동안 사용되는 대략 섭씨 750도의 고온을 버틸 수 있는 능력을 가진 단극 장치이다. 동작하는 동안 요구되는 전류 밀도는 다결정 실리콘 다이오드의 전류 운반 능력을 초과해서는 안 된다. 메모리 셀의 교차점 어레이로 만들어지고, 서로의 상부에 수직으로 스택되며

$10^2 \sim 10^5$  A/Cm<sup>2</sup>의 전류 밀도를 갖고 약  $10^4 \sim 10^7$  옴의 저항을 갖는 다결정 실리콘 다이오드와 호환가능한 저비용 단극 다시 쓰기 가능 가변 저장 메모리 장치가 필요하다. 또한, 추가로 요구되는 것은 메모리 셀의 교차점 어레이로만 들어지고, 서로의 상부에 수직으로 스택되며 다결정 실리콘 다이오드와 호환가능한 저비용 단극 다시 쓰기 가능 가변 저장 메모리 장치 같은 저비용 메모리의 구조 및 이를 생산하는 방법이다.

## 발명의 구성

본 발명은 3차원 구조를 갖는 저비용, 고성능, 다시 쓰기 가능 비활성(또는 고체 상태) 메모리를 제공한다.

본 발명의 일 실시예는 메모리 셀의 교차점 어레이로 만들어지고, 서로의 상부에 수직으로 스택되며 다결정 실리콘 다이오드와 호환가능한 저비용 단극 다시 쓰기 가능 가변 저장 메모리 장치를 포함한다.

본 발명의 일 실시예에서, 메모리 구조(100)는 다이오드(118)를 포함하는 필라를 포함하고, 다이오드는 차례로 MIM RRAM 스택(120)의 상부에 형성되고, MIM RRAM 스택은 비트 라인(122)의 상부에 위치한다. 다이오드(118)는 워드 라인(112)의 하부에 형성된다. 선택적으로 경계층은 RRAM 스택(120)과 다이오드(118)의 사이에 형성된다. 메모리 구조(100)로 만들어진 메모리의 비트 라인과 워드 라인의 교차는 칩이나 집적 회로에 위치되는 다수의 메모리 셀을 구비한 수백만의 메모리 셀을 가진 3차원 메모리 어레이를 형성하는 메모리 셀 층을 형성한다.

본 발명의 또 다른 실시예는 반도체 제어 회로의 상부에 있는 3차원 메모리 배열을 포함한다. 상기 배열은 메모리 트리로 만들어지며, 각각의 메모리 트리는 하나의 트리 "줄기"를 가지고 있고, 이는 수직으로 금속 필라와 접촉되며 복수의 층에서 수평으로 "가지"(또는 워드 라인)에 접속된다. 트리에서 워드 라인은 제어 회로와 공통 수직 접속을 공유한다. 워드 라인은 수직 접속의 어느 한쪽 면에서 연장한다. 메모리 트리는 복수의 열로 배열된다. 메모리 트리의 두 가지 종류는 메모리 트리의 열의 방향에서 변경될 수 있고 그에 따라 그들 각각의 수직 접속은 서로 편리한 간격을 두고 떨어져 있을 수 있다. 복수의 비트 라인은 적어도 하나의 층에 있는 워드 라인과 수직하게 형성되며, 상기 층 각각은 트리 열의 말단에서 제어 회로와 독립적인 수직 접속을 갖는다. 워드 라인과 비트 라인의 교차점 사이에서 메모리 필라는 연속으로 접속된 다이오드 구조 및 단극 RRAM 메모리 구조로 구성된다. 상기 메모리 필라는 복수의 층에 있다. 이러한 방식으로 워드 라인 및 비트 라인은 메모리 필라를 통해서 접속된다. 각각의 워드 라인은 비트 라인의 하나 또는 두 개의 층과 접속된다. 각각의 비트 라인은 트리의 열에서 각각의 트리의 하나 또는 두 개의 워드 라인과 접속된다. 각각의 비트 라인은 두 가지 종류의 트리에 의해 공유된다.

공지된 것처럼, 메모리 셀의 대규모 교차점 어레이는 서로의 상부에 수직으로 형성되고 스택 된다. 예를 들어, 상기 어레이는 층 1에 8192 워드 라인, 층 2에 128 수직 비트 라인, 층 3에 8192 워드 라인, 층 4에 128 비트 라인 및 층 9까지 8192 워드 라인으로 형성된다. 메모리 셀은 메모리 셀의 8개 층을 형성하는 비트 라인과 워드 라인의 교차점에서 형성된다. 그러므로 3차원 어레이는 8백만 메모리 셀을 포함하고 다수의 어레이가 반도체 다이(die)에 포함된다.

각각의 메모리 셀 내부는 상술한 RRAM 장치와 다결정 실리콘 다이오드이다. 다이오드가 수직으로 인접한 메모리 층에서 반대 방향을 가리켜서 전류가 각각의 비트 라인으로부터 비트 라인의 바로 상부 또는 하부의 16834 워드 라인 중 하나로 흐른다. 따라서, 비트 라인과 워드 라인은(일반적으로 제어 회로의 대칭성을 위해 어레이에 외부로 접속된 최하부 워드 라인과 최상부 워드 라인을 제외하고) "공유"되며, 본 발명의 다양한 실시예와 관계에서 명백해 질 것이다. 상기 다이오드는 오직 하나의 방향 전류의 흐름을 제한하기 때문에, 3차원 어레이의 하나의 메모리 셀로만 전류가 흐르도록 제한하는 것이 가능하며, 또는 원한다면 각각의 비트 라인과 워드 라인의 전압을 제어함으로써 동시에 다중 메모리 셀로 전류를 흐르게 하는 것이 가능하다. 메모리 배열의 다양한 실시예는 지금부터 도면을 참고하여 논의될 것이다.

도2를 참고하면, 메모리 구조(100)가 본 발명의 실시예에 따라 도시되었다. 메모리 구조(100)는 예를 들어 질화 티타늄 같은 접촉층(104)의 상부에 형성된 비트 라인(102)을 포함하여 도시되었고, 접촉층은 차례로 접촉층(106)의 상부에 형성되었다. 다이오드(108)는 접촉층(106)의 하부에 형성되었고, 다이오드(108) 하부에 예를 들어 금속-절연체-금속(MIM) RRAM 스택 같은 단극 다시 쓰기 가능 RRAM 스택(110)이 형성되었고, 하부에는 워드 라인(112)이 형성되었다. MIM RRAM 스택(110), 다이오드(108) 및 접촉 층(106)은 필라(111)를 형성한다. 선택적으로 질화 티타늄 같은 경계층(109)이 RRAM 스택(110)과 다이오드(108) 사이에서 실리콘과의 접촉을 막기 위해 형성될 수 있다.

상기 구조(110)는 필라(117)를 포함하고, 수직으로 필라(111)의 하부에 스택 되었고, 접촉층(116)으로 형성되며, 접촉층은 다이오드(118) 상부에 형성되었으며, 다이오드는 차례로 MIM RRAM 스택(120)의 상부에 형성되고, MIM RRAM 스택은 비트 라인(122)의 상부에 위치한다. 선택적으로, 접촉층(124)이 비트 라인(122)의 하부에 형성된다. 사실, 접촉층(116, 106) 또한 선택적이다. 접촉층(116)이 부존재 하는 경우, 다이오드(118)는 워드 라인(112)의 바로 하부에 형성되며, 그렇지 않으면 접촉층(116)은 워드 라인(112)의 바로 아래에서 형성된다. 선택적으로 질화 티타늄 같은 경계층(119)이 RRAM 스택(120)과 다이오드(118) 사이에서 형성될 수 있다. 비트 라인(102, 122)과 워드 라인(112)은 금속성 물질로 만들어지며 상기 구조(100)를 만드는 메모리의 비트 라인과 워드 라인의 교차점은 칩 또는 집적 회로에 위치되는 다수의 메모리 셀을 갖는 수백만의 메모리 셀을 구비한 3차원 메모리 어레이를 형성하는 메모리 셀의 층을 형성한다.

일 실시예에서, 다이오드(108, 118) 각각은 다결정 실리콘으로 구성된다.

도2의 스택(110)은 금속(M)층(164)이 하부에 형성된 절연체(I) 층(162)의 하부에 형성된 금속(M)층(160)을 포함하며, 그에 따라 MIM 스택을 형성하도록 도시되었다. 마찬가지로 스택(120)은 금속(M)층(170)이 하부에 형성된 절연체(I) 층(168)의 하부에 형성된 금속(M)층(166)을 포함하며, 그에 따라 MIM 스택을 형성하도록 도시되었다. 도2에는 두 개의 필라만이 도시되었지만, 더 많은 것이 필라(111, 117)에 대해 도시한 것처럼 수직 스택 구성으로 적용될 수 있다는 것을 이해하여야 한다. 본 발명의 일 실시예에서, MIM 스택(110, 120)의 각각의 절연체 층, 예를 들어 층(162, 168)은 상이한 절연체 층으로 만들어질 수 있다. 즉, 둘, 또는 셋 이상의 동일하거나 상이한 종류의 절연 물질로 형성될 수 있다. 상이한 층은 상이한 원자 배치를 가짐으로써 식별되는 동일한 기초 물질일 수 있다. 추가로, 본 발명의 또 다른 실시예에서, MIM 스택의 각각의 금속은 상이한 배치로 구성될 수 있다. 예를 들어, M 층(160)은 M 층(164)과 상이한 종류의 금속으로 만들어질 수 있고, 마찬가지로 M 층(166)은 M 층(170)과 상이한 종류의 금속으로 만들어질 수 있다. 또 다른 실시예에서, 두 개의 금속은 동일한 종류의 것일 수 있다. MIM 스택의 각각의 금속층은 백금, 이리듐, 팔라듐, 루테튬 또는 로듐으로 만들어질 수 있으나 다른 재료 또한 사용될 수 있다.

다이오드(108, 118) 다결정 실리콘으로 만들어지며 다이오드는 수직으로 인접한 메모리 층에서 서로 반대 방향을 가리켜서 전류가 각각의 비트 라인으로부터 비트라인의 바로 상부 또는 하부에 있는 워드 라인 중 하나로 흐를 수 있도록 한다. 그러므로, 비트 라인과 워드 라인(일반적으로 제어 회로의 대칭성을 위해 어레이에 외부로 접속된 최하부 워드 라인과 최상부 워드 라인을 제외하고) "공유" 된다. 다이오드(108, 118)는 오직 하나의 방향 전류의 흐름을 제한하기 때문에, 3 차원 어레이의 하나의 메모리 셀로만 전류가 흐르도록 제한하는 것이 가능하며, 또는 원한다면 각각의 비트 라인과 워드 라인의 전압을 제어함으로써 동시에 다중 메모리 셀로 전류를 흐르게 하는 것이 가능하다.

층(104, 114, 124)은 와이어가 산화 실리콘 유전체에 접촉되도록 접촉층의 역할을 한다. 층(106, 116)은 접촉층의 역할을 하며, 이는 CMP 동안 실리콘을 보호하며 추가로 CMP 과정 동안 그들의 단단한 특성 때문에 접촉층에서 자동으로 평탄화가 멈추도록 하는 CMP 경질 정지 층의 역할을 한다. 층(106, 116)에서 질화 티타늄의 대체제로 질화탄탈(TaN) 및 티타늄 알루미늄질화물(TiAlN)이 포함되나 이에 제한되지는 않는다.

도1의 종래의 구조(10)와 비교하여, 도2의 구조는 본 발명의 실시예에 따라 안티 퓨즈(14, 46)를 다시 쓰기 가능 소자, 즉 RRAM 구조로 대체했다. RRAM 구조는 메모리 스택을 생산하는데 사용하는 생산 과정과 호환되므로 고온을 견딜 수 있고 단극, 즉 한 방향의 전류를 사용하여 '1' 또는 '0'을 쓰며 다결정 실리콘 다이오드가 매우 높은 전류를 공급할 수 없기 때문에 적절한 전류 레벨을 필요로 한다.

다결정 실리콘 다이오드인 다이오드(108, 118)는 p-i-n 다이오드이며 상술한 것처럼 형성된다. 다이오드(108)를 형성하기 위해서, n 함유 비결정 실리콘이 증착되고, 진성 실리콘이 뒤따른다. 불순물 주입이 p 타입 층을 만들기 위해서 수행된다. 하부 층이 인시투(in-situ)로 불순물이 함유된다. 즉, 상기의 방법으로 증착된다. p 함유 상부 층에 불순물이 함유된다. 이전에 형성된 하부 메모리 층에서, 상술한 과정은 다이오드(108)와 반대 방향을 가리키는 다이오드(118)를 형성하기 위해서 반대로 진행된다. 다이오드(118)를 형성하기 위해서, p 타입 층이 먼저 위치하며 이는 인시투(in-situ)로 불순물이 함유되며 그 다음 순수한 실리콘이 위치하고 그 다음 n 도펀트가 주입되며 다이오드(108)와 반대 방향을 향하는 p-i-n 다이오드(118)가 형성된다. 즉, 다이오드들은 수직으로 인접한 메모리 층에서 반대 방향을 가리킨다. 반대 방향을 향하는 이유는 전류가 워드 라인 바로 상부 또는 하부에 있는 비트 라인 중 하나로부터 각각의 워드 라인으로 흘러서, 상술한 것처럼 최하부 워드 라인을 제외한 워드 라인을 "공유"하게 된다. 본원에 기술된 방법으로 메모리의 모든 층이 만들어진다.

모든 메모리 층의 구축이 완성되면, 다이오드(108, 118) 같은 모든 다이오드가 결정화될 수 있을 정도의 고온으로 가열되며, 이러한 과정은 비결정 상태의 다이오드를 다결정 실리콘 다이오드로 전환한다. 즉, 고온은 모든 다이오드를 약 섭씨 750도에서 결정화한다. 다이오드의 비결정 상태를 다결정 실리콘 다이오드로 변환하기 위해서, 고온 어닐링 처리가 사용된다.

도2의 필라(110, 120) 같은 필라의 구성을 요약하면, 산화 실리콘 유전체가 증착되고 메모리 어레이로부터 제어 회로를 격리하기 위해서 평탄화된다. 선택적인 접촉층(질화 티타늄 같은) 및 상호접속층(텅스텐 같은)이 증착되고 워드 라인의 제 1 층을 형성하기 위해서 애칭 된다. 산화 실리콘이 증착되고 CMP가 평탄화를 위해서 다시 사용된다. 그 후 상술한 것처럼 MIM RRAM 스택 메모리 층이 증착되고 실리콘 다이오드 층이 증착된다.

질화티타늄, 티타늄알루미늄질화물(TiAlN) 같은 경계 물질(또는 층)은 메모리 전극과 하부 실리콘 다이오드 층이 혼합하는 것을 막기 위해서 선택적으로 사용될 수 있다. 다이오드는 p/n, p-i-n 또는 금속이 쇼트키 다이오드를 형성하는데 사용

될 수 있다. 일반적으로 다이오드는 인시투(in-situ)로 불순물이 함유된 하부층 및 임플란테이션(implantation)에 의해 불순물이 함유된 상부층을 구비한 p-i-n이다. 증착된 실리콘은 비결정질 또는 증착 동안 일부가 결정화된 것일 수 있다(완전화 결정화 및 도펀트 활성화는 3-D 어레이가 형성된 후에 열적 어닐링에 의해서 달성된다).

이때, 선택적인 경질 저항성 접촉층(질화 티타늄)이 실리콘 위에 증착되고 모든 스택은 필라를 형성하기 위해서 MIM RRAM 층을 통해 아래쪽으로 애칭된다. 산화 실리콘이 증착되고 CMP가 그곳의 표면을 평탄화하기 위해 사용된다. 경질 저항성 접촉층은 CMP 정지를 제공하고 CMP 동안 실리콘을 보호한다. 또 다른 변화로, 연질 금속 접촉층이 사용되며 상부에 희생 경질 마스크 물질(DLC 탄소)이 사용된다. 상기 희생층은 CMP 이후에 제거된다(예를 들어 산소 기초 애칭을 사용하여). 이러한 점에서 와이어의 다음 층이 형성된 후에, 다이오드의 방향이 역으로 되는 것을 제외한 모든 과정이 반복된다. 만약 두 개의 상이한 금속이 MIM RRAM 스택 구조에 사용된다면, 즉 금속층(160)의 금속이 금속층(164)의 금속과 상이하거나 금속층(166)의 금속이 금속층(170)의 금속과 상이하다면, 상기 금속의 순서는 동일한 소자 극성을 유지하기 위해서 또한 방향이 역으로 된다.

MIM RRAM 스택(110, 120)은 각각 도1의 안티 퓨즈(14, 46)를 대신한다. 이러한 방법으로 구조(100)는 다시 쓰기가 가능하게 된다. 즉, 필라(110) 같은 각각의 필라에 대해서, 전하가 절연체 층(162) 내에서 가역적으로 트랩된다.

경계층(119)은 선택적으로 MIM RRAM 스택(120)의 상부 금속 층(166)과 다이오드(118) 사이에 형성된다. 상술한 경계층 선택의 사용은 대부분 MIM 스택에서 사용되는 금속에 종류에 기초한다. 즉 만약 쉽게 실리콘으로 확산되지 못하는 금속이 사용된다면, 경계층은 필요 없다.

또한, 대안으로 MIM RRAM 스택(110)은 워드 라인(112)의 상부에 위치하는 것이 아니라 다이오드(108)의 뒤쪽 또는 상부에 위치할 수 있다. 마찬가지로 MIM RRAM 스택(120)은 비트 라인(122)의 상부가 아니라 다이오드(118)의 상부에 위치할 수 있다. MIM RRAM 스택(110, 120)을 비트 라인 또는 워드 라인의 상부에 위치시키는 것의 이점은 다결정 실리콘이 실리콘 결정화로 인해서 거칠어 질 수 있는 것에 반해, 비트 또는 워드 라인의 표면이 CMP로 인해 평탄화된 평면이 된다.

절연체 층(162, 168)은 불순물이 함유된  $\text{Si}_3\text{N}_4$ , 불순물이 함유된  $\text{SiO}_2$ , NiO,  $\text{ZrO}_2$ ,  $\text{HfO}_2$ ,  $\text{TiO}_2$ ,  $\text{Cu}_2\text{O}$ , 또는 PCMO를 포함하나 이에 제한되지 않는 다양한 절연 물질로 형성될 수 있다.

MIM RRAM 스택(110, 120)은 단극이며 구조(100)에 기초하여 메모리 어레이를 형성하며 생산되는 층마다 단지 2 개의 마스크만을 필요로 한다. 따라서 생산 비용은 플래시 같은 종래의 메모리 생산 비용보다 효과적으로 감소된다. 일반적으로 처리과정은 마스크 과정의 수에 비례하며 메모리 생산의 총 비용 중 60%를 차지한다. 그러므로 처리 과정의 수를 배로 하는 것은 약 60%의 비용을 증가시킨다. 반면에, 도2 및 도3의 실시예에서, 마스크의 총 수는 두 배가 되었지만, 메모리의 8 개의 층이 8 개의 스택이 사용될 때 획득되므로, 효과적으로 메모리가 종래의 기술의 비해 8배 증가한다. 추가로, 종래의 메모리에서, 트랜지스터의 하부 층 즉, 제어 회로는 메모리 소자의 어레이의 주변에 위치할 필요가 있다. 그러나, 3 차원 메모리, 즉 구조(100)로 만들어진 메모리에서, 제어 회로는 메모리 어레이의 아래에 위치될 수 있고 그로 인해 실리콘 물적 재산의 절반을 절약할 수 있고 추가로 생산 비용을 감소시킬 수 있다.

도3은 본 발명의 또 다른 실시예를 도시하며, 메모리 구조(300)는 상부에 비트 라인(322) 형성된 접촉층(324)을 포함한다. 경계층(316)은 비트 라인(322)의 상부에 위치하고 비트 라인의 상부에는 다이오드(318)가 형성되며, 다이오드의 상부에는 MIS RRAM 스택(320)이 형성되고 반도체 층(366)으로 만들어지며, 이는 다이오드(318)와 동일한 것이다. 절연체 층(368)은 다이오드(318)의 상부에 형성되며 절연체 층(368) 상부에는 금속 층(370)이 형성된다.

질화 티타늄 층(314)이 금속층(370) 또는 스택(320)의 상부에 형성되었고, 상기 층(314)의 상부에는 워드 라인(312)이 형성되며 워드 라인의 상부에는 단극 다시 쓰기 가능 RRAM 스택(310)이 형성되며, 이것의 예로는 금속-절연체-반도체(MIS)를 들 수 있다. 상기 스택(310)은 금속층(360), 절연층(362) 층 반도체 층(364)으로 만들어지며, 후자는 다이오드(308)로 유사하게 필라(321)를 구성한다. 금속층(360)은 워드 라인(312)의 상부에서 형성되며 그것의 상부에는 절연체 층(362)이 형성된다. 다이오드(308)는 스택(310)의 상부에서 형성되며 다이오드(308)의 상부에는 접촉층(306)이 형성된다. 질화 티타늄 층(304)은 접촉층(306)의 상부에 형성되며 질화 티타늄 층의 상부에는 비트 라인(302)이 형성된다.

층(324, 314, 304, 306, 316)은 선택적이라는 것은 유념하여야 한다. MIS RRAM 스택(310, 320)은 단극이다. 접촉층(316), 다이오드(318) 및 MIS RRAM 스택(320)은 필라(321)를 형성한다.

도3에서, 도2의 스택(110, 120)의 MIM 구조는 MIS 구조로 대체되며 도2의 전류 방향과 동일한 방향이 유지된다. 도3의 MIS 구조는 도2의 MIM 구조의 금속층 중 하나가 부족하다. 도3의 다이오드는 도2의 것과 동일한 방향을 가리키기 때문에 전류는 한 방향으로만 즉, 비트 라인(302)으로부터 워드 라인(312)을 향해 흐른다. 동일한 필라의 다이오드에 대한 MIS RRAM 스택의 대체는 금속-절연체 인터페이스에서 음 전하를 트랩하게 된다. 다른 말로, 다이오드(308)가 아래쪽을 가리키기 때문에, 전자 흐름은 금속층(360)으로부터 절연체 층(또는 유전체)(362)을 향하고 트랩된 전하는 도2의 MIM 구조에 의해서 수행된 것과 같은 금속 절연체 인터페이스에서 발생한다.

도3에서, 다이오드(318)는 위쪽을 가리키고 있기 때문에, 전자 흐름은 금속(금속층(370))으로부터 유전체(절연체 층(368))를 향하며 트랩된 전하는 MIM 메모리구조처럼 금속-절연체 인터페이스에서 발생한다. 상부 필라 스택(또는 스택(310))의 대칭성을 유지하기 위해서, MIS 메모리 구조(또는 스택(320))은 다이오드(318)에 상부에 있어서 트랩된 전하가 여전히 금속-절연체 인터페이스에 존재하도록 한다. 도한 접촉층(306)의 상부에서, DLC같은 희생 경질 마스크(도시하지 않음)가 CMP 정치 층으로서 사용된다.

도4는 도2의 MIM RRAM 스택(110, 120) 각각을 위한 에너지 다이어그램을 도시한다. 펄스의 부존재 시 에너지 다이어그램(400)은 도면 부호(402)로 표시된 캐리어 흐름의 방향을 가진다. 세로축은 에너지를 나타낸다. 도면 부호(404)에서 절연체 층은 낮은 저항을 갖고 있다. 도면 부호(406)에서, 프로그래밍 또는 쓰기 동작 동안 발생하는 고 전압 펄스가 인가되고 전하가 도면부호(408) 또는 집중 레벨의 밴드의 상부 근처에 있는 상술한 금속-절연체 인터페이스 근처에서 트랩 된다. 다음으로, 도면부호(410)에서, 절연체 층은 트랩된 전하가 집중 레벨의 밴드의 상부는 제외하고 존재하는 동안 높은 저항을 나타낸다. 도면부호(410)와 도면부호(400)의 높은 저항 및 낮은 저항의 차이는 대략 100배 이상이다. 도면부호(412)에서 전하는 빠르게 인터페이스로부터 유전체의 중앙부 근처의 약간 낮은 에너지 상태로 이주(확산)한다. 다음으로 도면부호(414)에서, 낮은 전압이 인가될 때, 트랩된 전하는 절연체 층 및 도면 부호(416)에서 스위프(sweep)되며, 절연체 층에는 다시 낮은 저항 상태로 진입한다. 전류의 방향은 도4의 도시한 상태를 통해서 동일하게 유지되며, 그에 따라 다이오드는 동일한 방향의 전류를 사용하여 메모리를 쓰고 지우는데 사용된다.

도4의 캐리어 에너지 다이어그램에 도시된 것처럼, 셀 구조는 금속-절연체-금속(MIM) 또는 금속-절연체-반도체(MIS) 구성에서 유전체 층 또는 유전체 다중층을 포함한다. 소자를 통과하는 낮은 전압의 인가는 페르미 레벨 근처의 유전체의 도메인 사이에 전하 터널링(호핑) 전도에 기인하는 리드-백(read-back) 전류를 발생시킨다. 상기 도메인은 일반적으로 2 또는 3 나노미터에 의해서 분리되며 도펀트, 나노입자 또는 결합 또는 CMR 물질에서 열에 의해 생성된 작은 폴라론이다. 짧은 큰 전압 펄스(약 5V)의 인가는 인터페이스 근처에서 고 에너지 형태로 유전체에 전하를 트랩하여 리드-백 전류가 현저하게 감소하고 상기 소자가 높은 저항 상태에 있게 한다. 상기 트랩은 일반적으로 땀글링 본드(dangling bonds) 같은 유전체 또는 유전체 다중층의 결함이다.

일반적으로 고 저항은 트랩된 전하에 기인하는 인터페이스에서의 전기장의 변화에 기인한다. 상기 트랩된 전하는 저항의 변경을 발생시키며 인터페이스 근처에 머물러 있거나 비슷한 에너지의 인접한 사이트로의 확산에 의해 유전체의 중앙을 향해 이주한다. 상기 트랩된 전하는 큰 에너지 차이 또는 안정화된 전자간 상호작용으로 인한 리드백 전류에 도움이 되는 집중된 낮은 에너지 상태로 터널을 형성하지 않는다. 그러므로 메모리는 비활성이다. 중간 전압 펄스(약 3V) 또는 긴 큰 전압 펄스의 인가는 트랩된 전하를 제거시키고 소자를 낮은 저항 상태로 돌아가게 한다. 조심스런 펄스 길이 및 진폭의 시기 조절에 의해서 트랩된 전하의 일부만이 제거되며 적절한 중간 저항 상태에 도달할 수 있다. 제어 회로는 원하는 저항에 도달할 때까지 저항을 감시한다. 4 개의 범위로 저항을 비닝(binning) 함으로써, 정도의 2 비트가 메모리 셀마다 저장된다.

다음으로 필라가 실리콘 제어 회로에 와이어 되는 상이한 방법이 도5 내지 도10과 관련하여 도시되고 논의된다. 도5 내지 도10은 와이어링 방식의 예를 도시할 뿐이며 다른 와이어링 방식이 본 발명의 범위 및 정신으로부터 벗어나지 않고 사용될 수 있다는 것을 유념해야 한다.

본 발명에 따라, 3차원 메모리(500)의 예시적인 배열의 단면도가 도5에 도시되었고, 이는 본 발명의 실시예에 합치하여 워드 라인의 트리형 배열 및 메모리 필라를 구비한다. 상기 3차원 메모리 배열(50)은 복수의 메모리 셀(또는 메모리 필라)(498)을 포함하며, 각각의 필라는 도2 및 도3의 필라(111, 117)와 유사하다. 필라(502)의 어레이는 비트 라인(504) 하부에 형성되었다. 메모리 셀(498)은 트리형 구조로 배열되었고, 본원에서는 "메모리 트리"라고 부른다. 도5, 8, 9 및 10에서는 평면도이기 때문에 도시되지 않았지만, 메모리 트리는 페이지의 바깥으로 연장하는 열로 배열된다. 두 개의 상이한 종류의 메모리 트리가 사용되는 경우, 제1 타입은 열의 제1 위치에 있고 제2 타입은 열의 제2 위치에 있으며 제3의 위치에는 제1 타입 중 다른 것이 있는 식으로 메모리 트리의 열은 페이지 바깥으로 연장한다. 본 발명의 일 실시예에서, 메모리 트리의 동일한 타입이 트리형 메모리 배열을 통해 사용된다. 도5의 단순성을 위해 모든 메모리 셀(498)을 나타내지는 않았다.

트리형 메모리 배열은 다수의 이점을 가지고 있고, 이 중 하나는 메모리의 하나 이상의 층(트리 가지)이 공통 수직 상호접속(트리 줄기)에 함께 접속된다는 것이다. 그렇게 함으로써, 지원 회로가 매우 간단해지고, 수직 상호접속의 수가 최소화되며, 셀 간의 외란이 최소화된다. 트리형 메모리 배열은 혼선 및 외란이 특히 중요한 문제인 다이오드(FRAM 또는 단극 RRAM)를 포함하지 않는 메모리 셀을 위해서 원래 논의되어왔다. 그러나 본 발명의 다양한 실시예의 트리 구조는 메모리 필라에서 다이오드를 구비한 단극 RRAM을 위해 최적화되었다. 트리형 구조에 대한 이전의 논의에 대해서는 미국 특허 공보 번호 US2004/0245547 A1, 발명의 명칭 "초 저비용 고체 상태 메모리", B. Stipe를 참고할 수 있으며, 상기 내용은 본원의 완전한 설명을 위해 참조로서 합체되었다.

5 개의 메모리 트리(501, 503, 505, 507, 509)는 메모리 배열(500)을 포함하는 트리 배열(511)을 형성한다. 워드 라인(506)은 트리의 가지를 형성한다. 메모리 배열(500)에 대한 추가적인 관점으로, 두 개의 단면이 메모리 트리의 두 가지 타입, 즉 페이지 바깥으로 나가는 워드 라인(504)을 구비한 "타입 A" 및 "타입 B"를 포함하는 것으로 도시되었다. 본 예에서, 타입 B 트리는 타입 A 트리에 대해서 트리 거리에 반 만큼 오프셋 되었다. 타입 A 및 타입 B는 트리의 열을 형성하는 비트 라인의 방향으로 교대되어 동일한 비트 라인이 우선 타입 A 트리를 통과하고 그 다음 B, 그 다음 A를 통과하도록 할 수 있다. 각각의 필라(502)는 도2의 도시한 것과 유사한 MIM RRAM 스택 및 다이오드를 포함하거나 도3의 도시한 것과 유사한 MIS RRAM 스택 및 다이오드를 포함할 수 있다. 그러나 도2 및 도3과 다르게, 메모리 배열(500)은 모든 다이오드가 동일한 방향을 가리키고, 그에 따라 비트 라인이 "공유"되지 않으며 워드 라인도 공유되지 않는다. 이는 워드 라인과 비트 라인이 메모리 필라의 하나의 층에만 접속하기 때문이다.

워드 라인에 대해 수직하게 연장되는 것으로 도시된 각각의 트리 줄기(512)는 메모리의 다른 층에 의해서 공유된다. 그러나 오직 하나의 줄기만이 각각의 트리를 통해서 연장한다는 것을 유념하여야 한다. 각각의 트리를 위한 구동기(514)는 트랜지스터를 사용하여 각각의 트리를 구동한다. 예를 들어, 트리(503)의 구동기는 트랜지스터(516)를 포함하고, 이는 트리(503)의 줄기(512)에 결합 되었다. 단지 하나의 트랜지스터만이 각각의 트리의 줄기에 결합된 것으로 도시되었지만, 선택된 회로의 나머지는 명쾌함을 위해 도시하지 않았다. 트랜지스터(516)는 실리콘 기판 위에 형성된다. 줄기 및 가지는 텅스텐 같은 전도성 물질로 만들어진다.

도5의 트리형 배열에서, 메모리의 하나 이상의 층이 공통 수직 상호접속 즉, 줄기에 함께 결합된 것으로 도시되었다. 따라서, 지원 회로는 매우 간단해지며, 수직 접속(줄기(512))의 수는 최소화되며 셀 간의 외란이 최소화된다. 도5의 트리 구조는 특히 도2 및 도3의 예시적으로 도시된 메모리 필라의 다이오드를 구비한 단극 RRAM을 위해 최적화되었다.

도5에 도시한 것처럼, 메모리 필라(502)는 비트 라인을 따라 상이한 위치로 배열된다. 즉, 가지가 메모리 필라의 층 및 또 다른 층에 있는 비트 라인의 층에 연결된 각각의 워드 라인 가지를 가진 워드 라인 트리의 가지 상의 위치(508, 510)에 배열된다. 메모리 필라의 다이오드는 전류가 하나의 방향으로만(예를 들어 비트 라인으로부터 워드 라인으로) 흐르도록 제한하며 모든 다이오드는 도2 및 도3과 관련되어 상술한 것과는 대조적으로 모든 층에서 동일한 방향을 가리킨다.

도5에서 도시한 것처럼, 메모리 필라는 메모리 필라의 층 및 또 다른 층의 비트 라인 집합에 연결된 층에서 각각의 워드 라인을 구비한 워드 라인 트리의 가지 상의 상이한 층에 배열된다. 메모리 필라의 다이오드는 전류가 하나의 방향으로만(예를 들어 비트 라인으로부터 워드 라인으로) 흐르도록 제한하며 모든 다이오드는 각각의 층에서 동일한 방향을 가리킨다. 타입 A 및 타입 B 트리는 열로 연쇄되는 비트 라인을 구비한 트리의 열이 교대된다. 이러한 방식으로 두 개의 타입의 트리를 사용하는 이점은 구동 회로를 위해 더 많은 공간을 생성하도록 트리 줄기에 사이를 둘 수 있고(2F 간격이 아닌 4F 간격으로) 좀 더 넓은 트리 줄기가 쉽게 제작 될 수 있게 한다는 것이다. 트리 가지의 길이는 트리 아래에 있는 복잡한 제어 회로를 위한 공간을 만들기 위해서 증가될 수 있다는 것을 유의해야 한다. 예를 들어, 각각의 가지는 10 내지 100 또는 그 이상의 메모리 필라를 구비할 수 있다. 도5의 트리 구조의 장점 중 한 가지는 다이오드가 모두 동일한 방향을 가리키고 있어서 쉽게 제작할 수 있다는 것이다.

트리형 구조는 열로 연쇄되는 비트 라인을 갖는 인접한 위치의 트리와 관련하여 장치 또는 트리의 반 만큼 열로 오프셋 되어 있다. 이러한 오프셋은 위치(508)에 있는 타입 A 트리와 위치(510)에 있는 타입 B 트리의 두 가지 타입의 트리로 나타내어 도5에 도시하였다. 이러한 방법으로 두 가지 타입의 트리 구조를 사용하는 것의 장점은 구동기(514)를 위해 더 많은 공간을 생성하도록 트리에 사이를 둘 수 있고(2F 간격이 아닌 4F 간격으로) 좀 더 굵은 또는 넓은 트리 줄기가 쉽게 제작 될 수 있게 한다는 것이다. 이러한 방법으로, A-B 타입 트리 배열이 존재하고 이러한 방법, 즉 ABAB...A로 진행되며, "F" 단위는 일반적으로 리소그래피(lithography)의 해상도를 나타내기 위해서 업계에서 일반적으로 사용되며 도5의 구조에서 2F 간격보다는 4F 간격이 열을 따라서 트리의 동일한 타입의 트리 줄기(512) 사이에 적용되며, 이는 트랜지스터가 2F가 아닌 매 4F마다 사용되기 때문에 제작을 쉽게 한다.



하나의 줄기만이 트리의 모든 워드 라인을 위한 금속 접속을 공급하는데 사용되므로 마스크 단계의 수를 줄일 수 있고 제작 비용을 감소시킬 수 있다. 도5의 트리 배열로 인해, 제어 회로는 트리 아래에 위치될 것이다. 또한, 트랜지스터만이 각각의 트리의 가지(512)에 도시되었지만, 일반적으로 더 많은 트랜지스터가 있을 것이다. 그러나 트랜지스터는 트랜지스터가 트리의 주기에 연결된 특정 트리를 선택한다. 또한, 가지는 다수의 메모리 셀을 가지며 일반적으로 매우 길다.

도6은 비트 라인(504)의 평면도를 도시하며 각각은 선택된 회로 및 감지 앰프 회로에 비트 라인을 접속하기 위한 수직 접속부(600)를 포함한다. 각각의 비트 라인이 F 폭을 갖고 각각의 비트 사이의 간격은 F 이기 때문에 비트 라인(504)은 2F 만큼의 거리를 두고 있다. 수직 연결부 사이의 간격은 4F 이며, 이는 제어 회로의 제작을 용이하게 한다. 수직 연결부(600)의 말단에서 선택된 각각의 트랜지스터는 4F 만큼 간격을 두고 있다. 각각의 비트 라인은 실리콘에 대한 독립 연결부를 포함하지만, 워드 라인은 이와 같은 연결부가 없다. 도7은 트리 열의 말단에 수직 연결부(60)를 포함한 도6의 비트 라인(504)의 측면도를 도시한다. 명확함을 위해서, 선택된 트랜지스터는 수직 연결부(600)의 하부에 도시되지 않았다. 도8 내지 도10은 지금부터 메모리 셀(4980)의 상이한 트리 배열을 참고하여 설명될 것이다.

도8에서, 트리의 가지는 비트 라인에 접속한 각각의 메모리 셀(498)을 구비한 트리의 각각의 가지 상부 및 하부에 메모리 셀(498)을 포함한다. 그러므로, 각각의 가지는 두 개의 메모리 필라 또는 메모리 셀의 층과 접속한다. 각각의 비트 라인(804)은 하나의 메모리 필라의 층을 통해서 워드 라인 가지(802)의 하나의 층에만 접속한다. 그러므로 도5와 대조적으로 가지는 공유되거나 비트 라인은 공유되지 않는다. 도8은 3 차원 메모리 필라(800)의 또 다른 예시적 배열의 단면도를 도시하고, 이는 상술한 차이점을 제외하고는 메모리 배열(500)과 유사하다.

도8에 도시한 것처럼, 층에서 각각의 가지는 두 개의 메모리 필라의 층 및 수직으로 인접한 층의 두 개의 비트 라인 층과 접속한다. 이러한 경우, 각각의 비트 라인은 워드 라인 가지의 하나의 층에만 접속한다. 그러므로 가지는 공유되지만 비트 라인은 공유되지 않는다. 다이오드는 각각의 메모리 층에서 방향을 엇갈리게하여 배치된다.

워드 라인(802)은 공유되거나 비트 라인(804)은 다른 층에 있는 메모리 필라에 의해 공유되지 않는다. 비트 라인(804)은 가지의 각각의 층 상부 및 하부에 형성되며 메모리 셀(498)은 각각의 가지 상부 및 하부에 형성된다. 이러한 경우, 다이오드는 방향이 엇갈려서 배치된다. 즉, 수직으로 인접한 메모리 필라의 다이오드는 반대 방향을 향하도록 마주보고 있다. 타입 A 줄기 또는 타입 B 줄기의 열을 따라 위치한 줄기(812) 사이의 간격은 4F 이지만 다른 크기의 간격도 사용될 수 있다. 상술한 것처럼, 4F의 간격은 제조상의 제한 사항을 경감한다. 도8의 트리는 도5의 트리와 동일한 방법으로 트리 열의 방향으로 인접한 위치로 오프셋 되어 있다. 그러나 도8의 배열은 마스크가 가지의 개수의 반만큼만 필요하기 때문에 도5의 배열보다 더 적은 마스크를 필요로 함으로써 제작 비용을 감소시킨다.

도9는 또 다른 예시적인 메모리 트리 배열(900)을 도시하며 여기서 워드 라인과 비트 라인(902) 양자는 메모리 셀 또는 필라(상술한 것처럼 상부 및 하부 워드 라인을 제외하고)에 의해서 공유된다. 메모리 셀(498)은 비트 라인(902)의 상부 및 하부에 존재하며 워드 라인(904)의 상부 및 하부에도 존재한다. 각각의 열의 위치(908, 910)는 비트 라인의 4 개의 층이 동일한 수의 메모리 셀을 위해 사용되었던 도8과는 대조적으로 비트 라인(902)의 두 개의 층을 구비하며 그에 따라 비트 라인의 수는 절반으로 감소하며, 제조 비용은 감소된다. 위치(908)의 타입 A 트리는 위치(910)의 타입 B 트리의 거울상이며 이러한 두 개의 타입은 트리의 열을 따라 번갈아 나타난다. 그러나 줄기가 4F 간격이 아닌 2F 간격이기 때문에 트리 줄기를 형성하는 것이 어렵다. 그러나 비트 라인 및 워드 라인이 공유되기 때문에 비트 라인의 수는 절반으로 감소하고 마스크는 제조 기간 동안 절약된다. 또한, 비트 라인(도시하지 않음)의 말단에 접속된 선택된 회로의 수가 감소한다. 트리 줄기의 수는 도5 및 도8의 개수와 동일하며 각각의 트리에 접속된 메모리 셀(498)의 수 또한 동일하다. 그러나 트리 줄기는 위치 상으로 오프셋 되지 않았다. 도9에서, 다이오드는 메모리 필라의 수직으로 인접한 층에서 각각 교대로 나타나며 이러한 구조는 도2의 구조와 대응한다. 도9에서 도시한 것처럼, 워드 라인(또는 가지)(904)의 일부는 그것의 하부 및 비트 라인(902)의 하부에 형성된 메모리 셀(또는 필라)(498)을 구비한다. 워드 라인(904)의 일부는 워드 라인의 상부 및 비트 라인(902)의 상부에 형성된 메모리 셀(498)을 구비하며 워드 라인(904)의 일부는 그것의 상부 및 하부에 형성된 메모리 셀(498)을 구비한다. 단순함을 위해서 제한된 수의 메모리 셀(498)이 도9에 도시되었지만, 더 많은 메모리 셀이 실제로는 형성될 수 있다. 또한 "가지"라는 용어는 본원에서 사용된 "워드 라인"으로 호칭 된다.

도10은 공유되는 가지(또는 워드 라인(1004)) 및 비트 라인(1002)을 구비한 또 다른 예시적인 메모리 배열(1000)을 도시한다. 트리 가지(1012)는 위치(1008, 1010)에 대해서 위치상으로 오프셋 되어 있다. 타입 A 트리는 타입 B 트리의 거울상이다. 위치(1008)는 타입 A 트리를 포함하고 위치(1010)는 타입 B 트리를 포함하며, 이는 열에서 타입 A 트리와 그 다음 타입 A 트리의 줄기(1012) 사이에서 4F 간격을 띄우게 한다. 오프셋으로 인해, 가장 가까운 타입 B 줄기가 4F 또는 그 이상의 간격을 띄고 존재한다. 또한 줄기(1012)의 주요 섹션은 도면 부호(1011)로 나타낸 것처럼 굵거나 넓다. 그러나 제작

을 용이하게 하기 위해서, 각각의 줄기(1012)의 일부 섹션(1013)은 메모리 셀(498)과 동일한 크기여서 상기 부분이 열을 따라서 2F 만큼 간격을 둔 가지 사이에 잘 맞아야 한다. 당업자는 줄기의 섹션이 마스크 단계를 절감하기 위해서 비트 라인에 말단에 있는 수직 접속부(600)의 섹션과 동시에 형성될 수 있다는 것을 이해할 것이다.

도10과 도5의 비교는 비트 라인과 트리 줄기의 수는 동일하며, 트리 가지의 수는 하나씩만 증가하고 메모리 셀의 수는 4개에서 8개로 증가한다는 것을 밝혀준다. 그러므로 도5와 비교하여 대략 5 개의 부가 마스크 과정만이 도10에 도시한 트리 구조를 형성하는데 필요하다. 메모리 용량은 두 배가 되고 제어 회로의 복잡도는 유사하다. 도10에서, 타입 A 트리는 타입 B의 거울상이며, 오프셋은 트리 줄기의 섹션(1011)이 더 넓어지거나 더 좁아질 수 있도록 한다. 도10에서 트리 줄기는 각각의 위치(1008, 1010)의 위치에서 오프셋 되어 있다. 트렁크가 얇은 섹션(1013)에서, 가지는 충분한 공간 즉, 2F를 갖고 있으며, 그렇지 않으면 줄기는 인접한 트리의 가지와 부딪치게 된다. 오프셋은 하나의 트리 타입의 줄기의 두꺼운 부분과 일치되며 다른 트리 타입의 인접한 트리의 불필요한 공간에 잘 들어맞는다.

읽기 또는 쓰기를 위한 메모리 셀(또는 메모리 필라)(498)을 선택하기 위해서, 비트 라인 및 트리가 선택된다. 예를 들어, 선택된 비트 라인은 높은 곳으로 옮겨지고, 선택되지 않은 비트 라인은 낮은 곳에 계속 있으며, 선택된 트리는 낮은 곳으로 옮겨지고 선택된 비트 라인에 접속된 선택되지 않은 트리는 그들을 높은 곳으로 옮김으로써 보호된다. 도5, 도8, 도9 및 도10에 도시된 구조를 위해서, 선택되지 않은 트리는 트리의 두 개의 열에서 보호되어야만 한다. 다중 비트 라인은 동일한 열, 인접한 열에서 또는 모든 트리 어레이를 가로질러서 하나 이상의 비트와 동시에 액세스하도록 선택된다. 바람직하게는, 열당 또는 열 쌍당 하나의 비트만이 감지 앰프 회로의 수를 감소시키기 위해서 동시에 선택되는 것이 좋다. 대안으로, 감지 앰프는 트리에 대신 접속될 수 있고 트리의 열에서 다중 비트가 액세스 될 수 있다. 즉, 각각의 열은 블록 및 감지 앰프를 위한 열에서 하나의 트리를 선택한 회로를 구비한 블록으로 세분화된다.

도11은 열 또는 열 쌍당 하나의 비트만이 동시에 선택되는 집적 회로 또는 칩(1100)의 일반적인 레이아웃을 도시한다. 트리의 열(1104)은 둘레에 감지 앰프 및 열 선택 회로(1106)가 형성되어 있고 하부에 행 선택 회로(1110)가 형성된 트리 어레이(1108)를 형성한다. 타입 A 및 타입 B 트리(1102)가 트리(1104)의 열의 방향으로 교대로 나타난다. 도5 및 도8의 경우, A 및 B 타입의 위치에 큰 오프셋이 존재한다. 명쾌함을 위해 도11에서는 이를 나타내지 않았다. 모든 열을 통해서 연쇄하는 동일한 비트 라인 집합을 구비한 1000개에서 10000개의 트리가 존재한다. 열의 말단에서 각각의 비트 라인은 독립적으로 실리콘 선택 및 감지 앰프 서킷과 접속된다. 바람직하게는, 각각의 층의 비트 라인의 절반은 열의 말단에 접속되고 나머지 반은 열의 다른 말단에 접속되는 것이 좋다. 이는 접속이 필요한 비트 라인에서 4F의 간격을 허용한다. 각각의 트리 가지는 범위 내에서 약 100 개의 메모리 필라를 가지며 트리의 어레이에는 약 100개의 트리 열이 존재한다.

만약 트리 아래에 충분한 공간이 있다면 감지 앰프 회로 및 선택 회로(1106)은 불필요한 공간을 줄이기 위해서 주변부가 아니 어레이 아래에 위치할 수 있다. 본원에 도시한 외형은 실적으로 도시된 것이 아니라는 것을 유념해야 한다.

본 발명이 특정한 실시예에 대해서 기술되었지만, 변형 및 변경은 당업자에겐 자명한 것이다. 그러므로 이하의 청구항은 본 발명의 정신 및 범위 내에 포함되는 모든 변형 및 변경을 커버하는 것으로 해석되어야 한다.

### 발명의 효과

안티 퓨즈를 대신하고 다결정 실리콘 다이오드와 호환가능한 다시 쓰기 가능한 가변 저항 메모리 장치가 제공된다. 추가로 제공되는 것은 다시 쓸 수 있고 동일한 방향의 전류를 사용하여 지워지며 실리콘 결정화 동안 사용되는 대략 섭씨 750도의 고온을 버틸 수 있는 능력을 가진 단극 장치이다. 동작하는 동안 요구되는 전류 밀도는 다결정 실리콘 다이오드의 전류 운반 능력을 초과해서는 안 된다. 메모리 셀의 교차점 어레이로 만들어지고, 다른 것의 상부에 수직으로 스택되며  $10^2 \sim 10^5$  A/Cm<sup>2</sup>의 전류 밀도를 갖고 약  $10^4 \sim 10^7$  옴의 저항을 갖는 다결정 실리콘 다이오드와 호환가능한 저비용 단극 다시 쓰기 가능 가변 저장 메모리 장치가 제공된다. 또한 추가로 제공되는 것은 메모리 셀의 교차점 어레이로 만들어지고, 서로의 상부에 수직으로 스택되며 다결정 실리콘 다이오드와 호환가능한 저비용 단극 다시 쓰기 가능 가변 저장 메모리 장치 같은 저비용 메모리의 구조 및 이를 생산하는 방법이다.

### 도면의 간단한 설명

도1은 종래의 3차원 메모리 셀 구조(10)를 도시한 도면.

도2는 본 발명의 실시예에 따른 메모리 구조(100)를 도시한 도면.



도3은 본 발명의 또 다른 실시예에 따른 메모리 구조(300)를 도시한 도면.

도4는 도2의 MIMRRAM 스택(110, 220) 각각의 에너지 다이어그램을 도시한 도면.

도5는 3차원 메모리 배열(500)의 예시적인 배열의 단면도.

도6은 트리 열의 말단에서 수직 접속(600) 점을 포함하는 비트 라인(504)의 평면도.

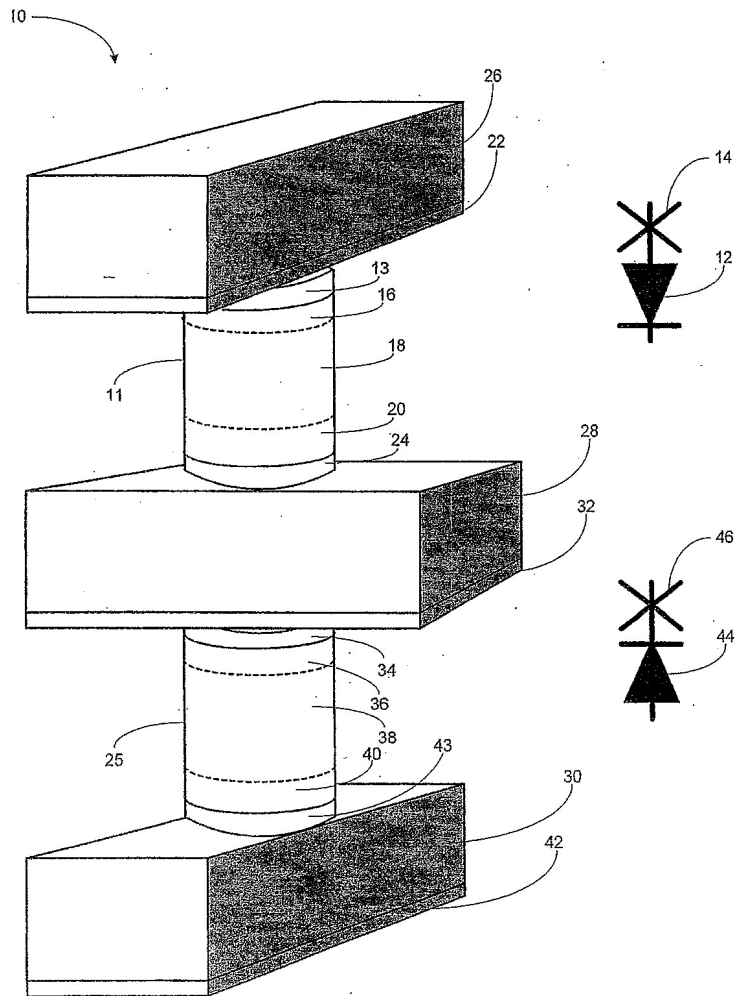
도7은 도6의 비트 라인(504)의 측면도.

도8 내지 도10은 메모리 셀(498)의 트리의 상이한 배열을 도시한 도면.

도11은 메모리 어레이(1100)의 일반적인 레이아웃을 도시한 도면.

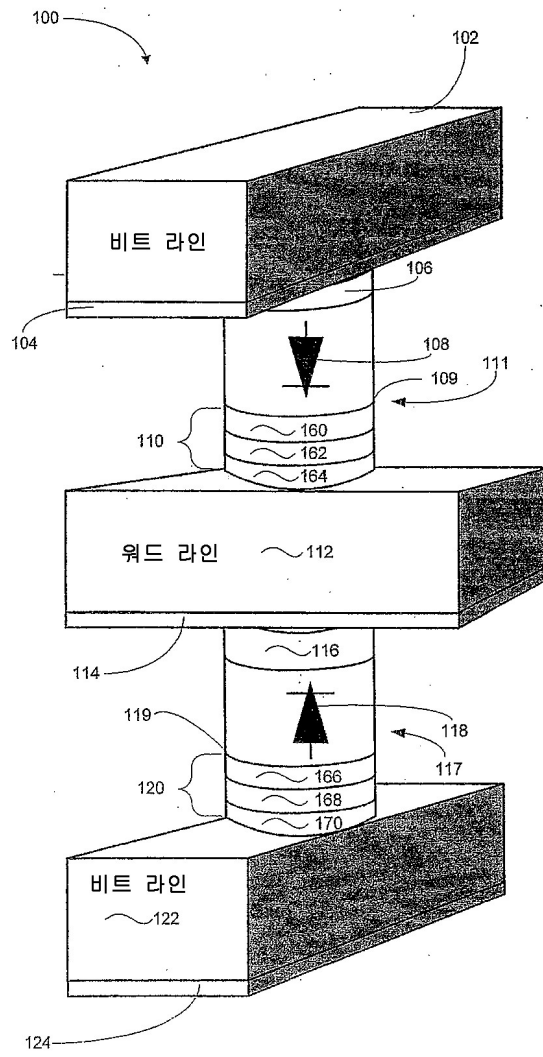
도면

도면1

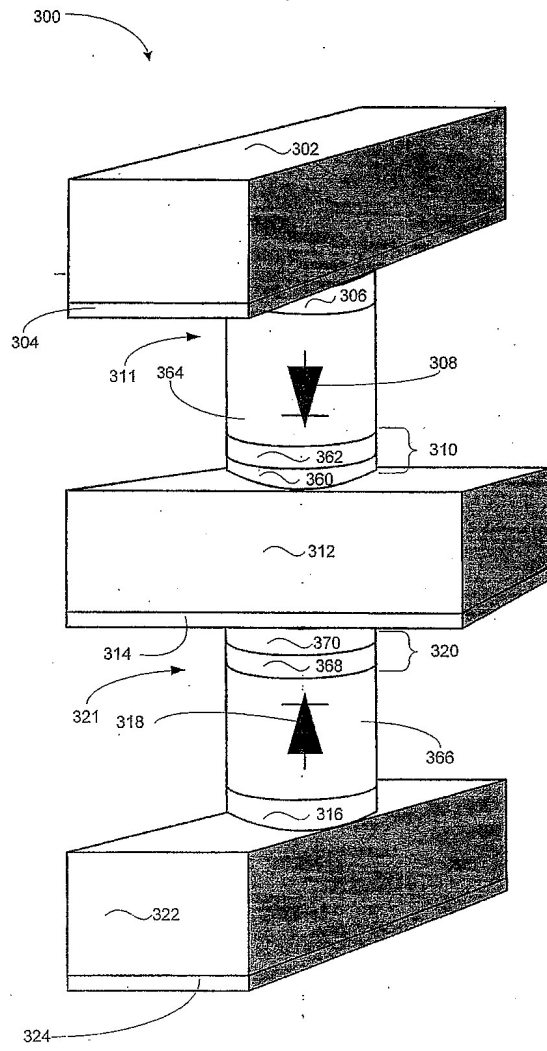


종래의 기술

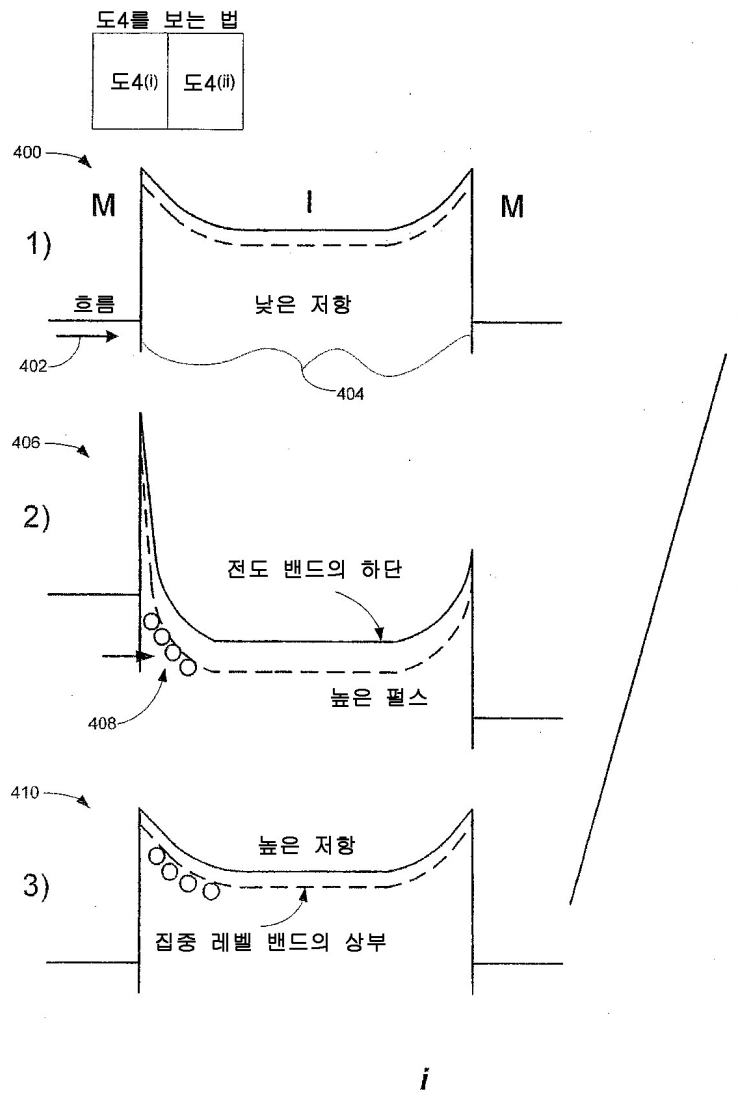
도면2



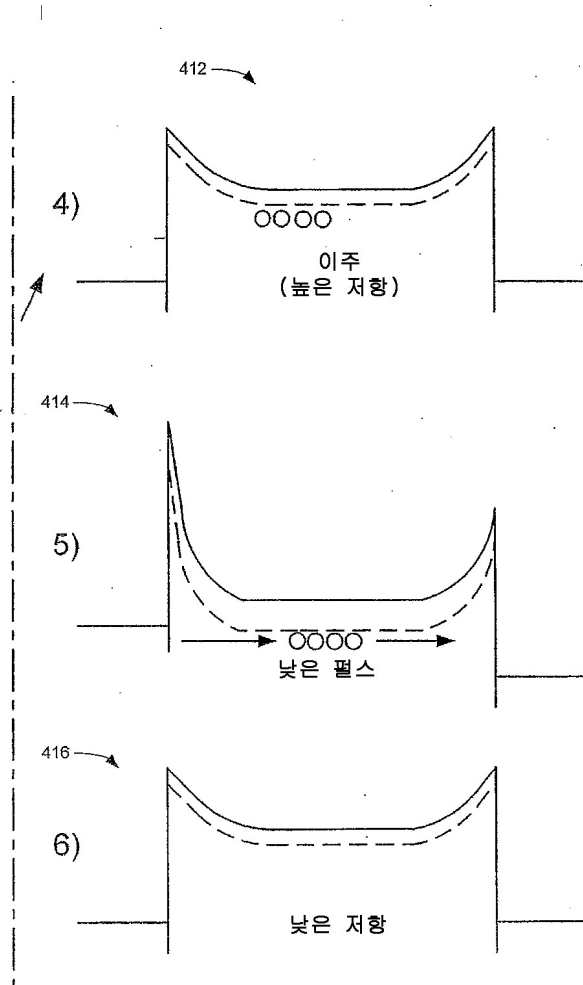
도면3



도면4i

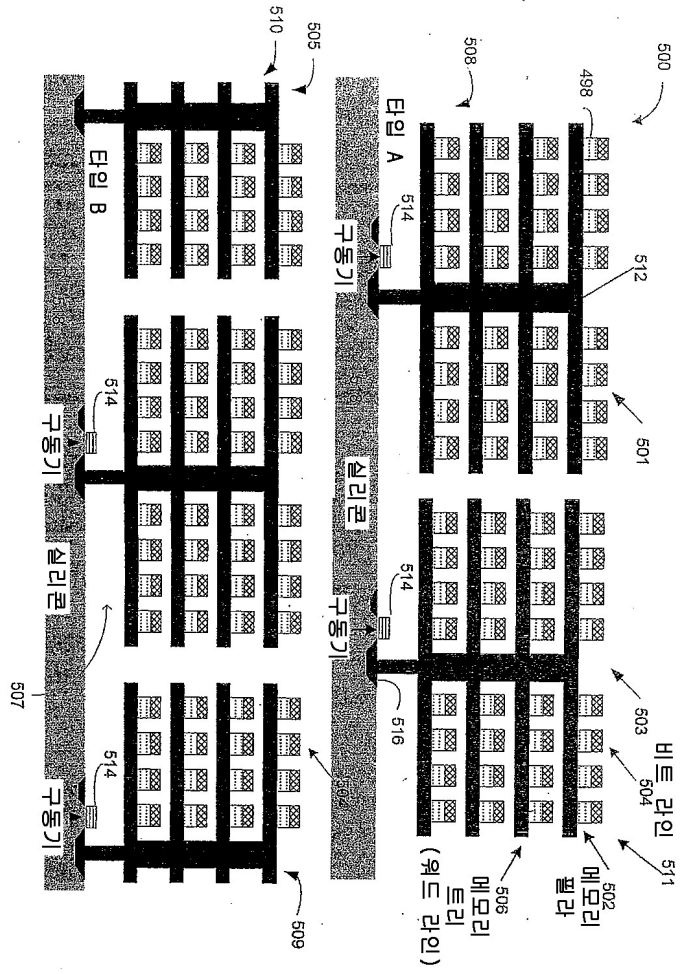


도면4ii

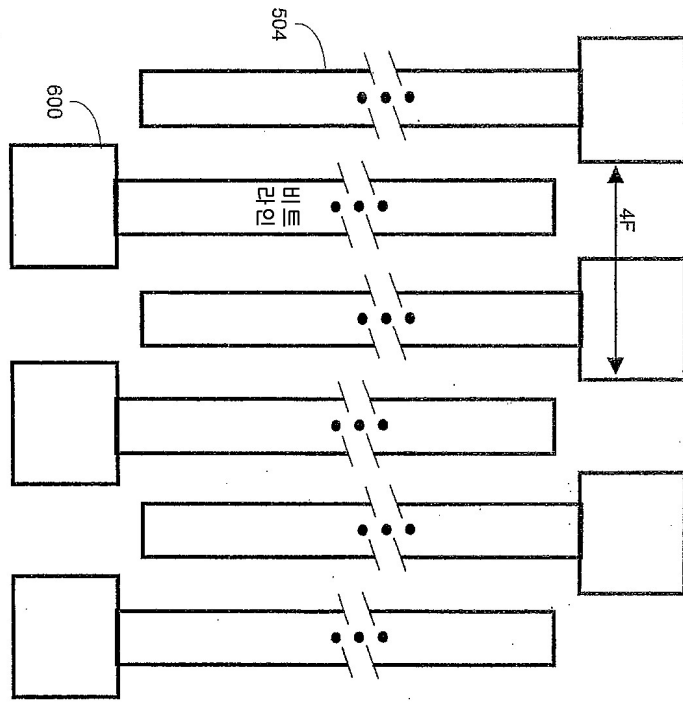


ii

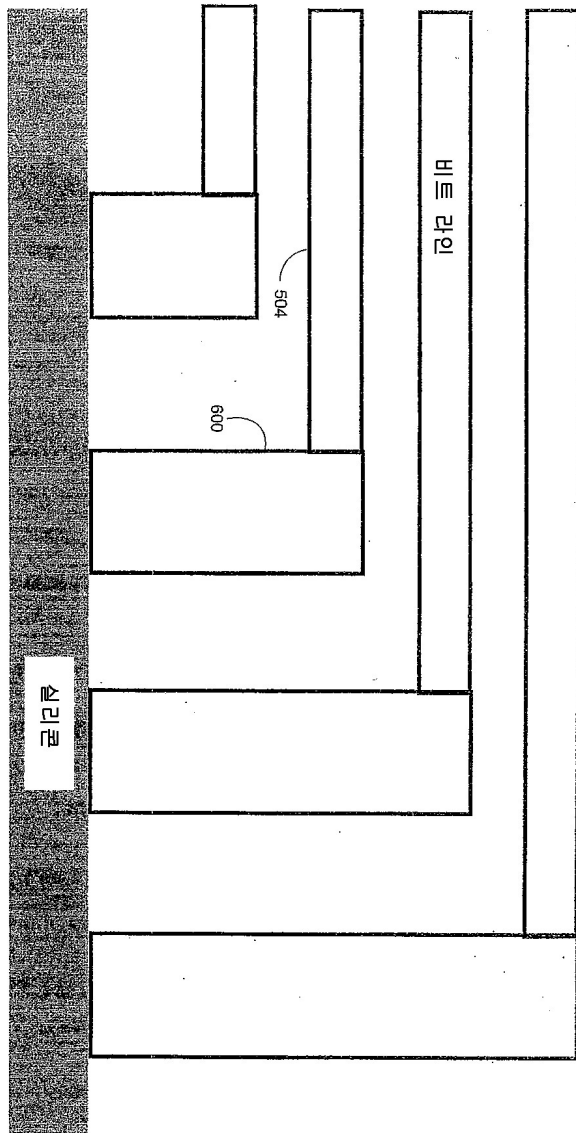
도면5



도면6

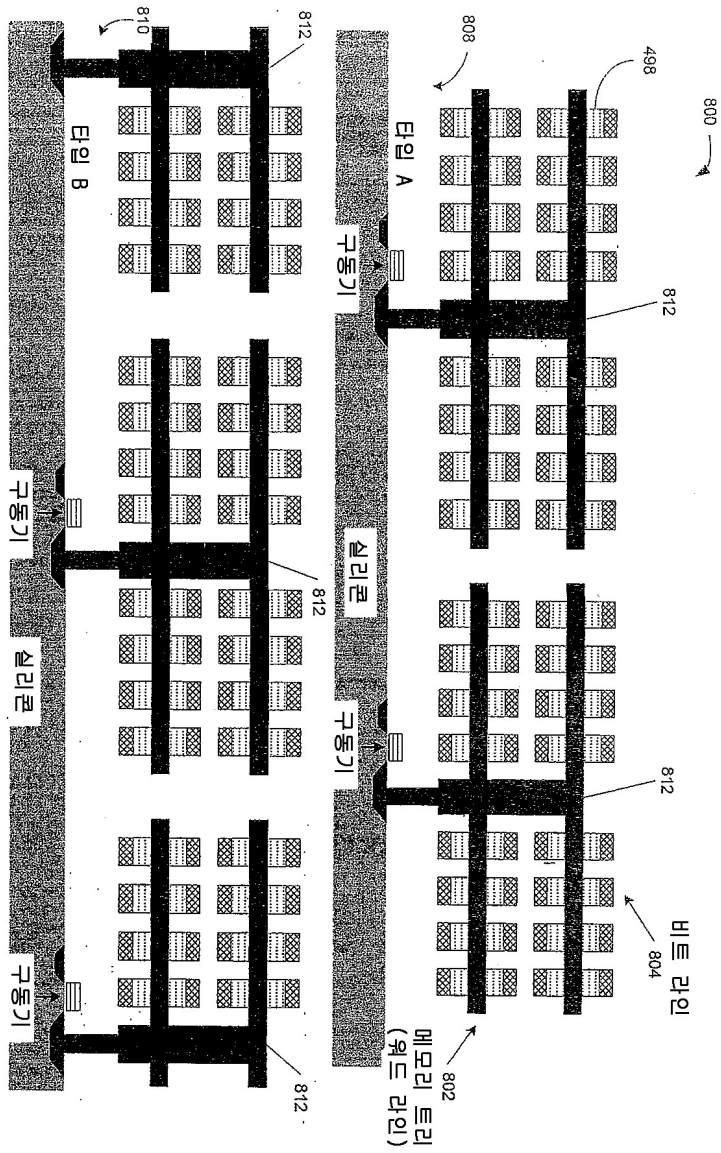


도면7

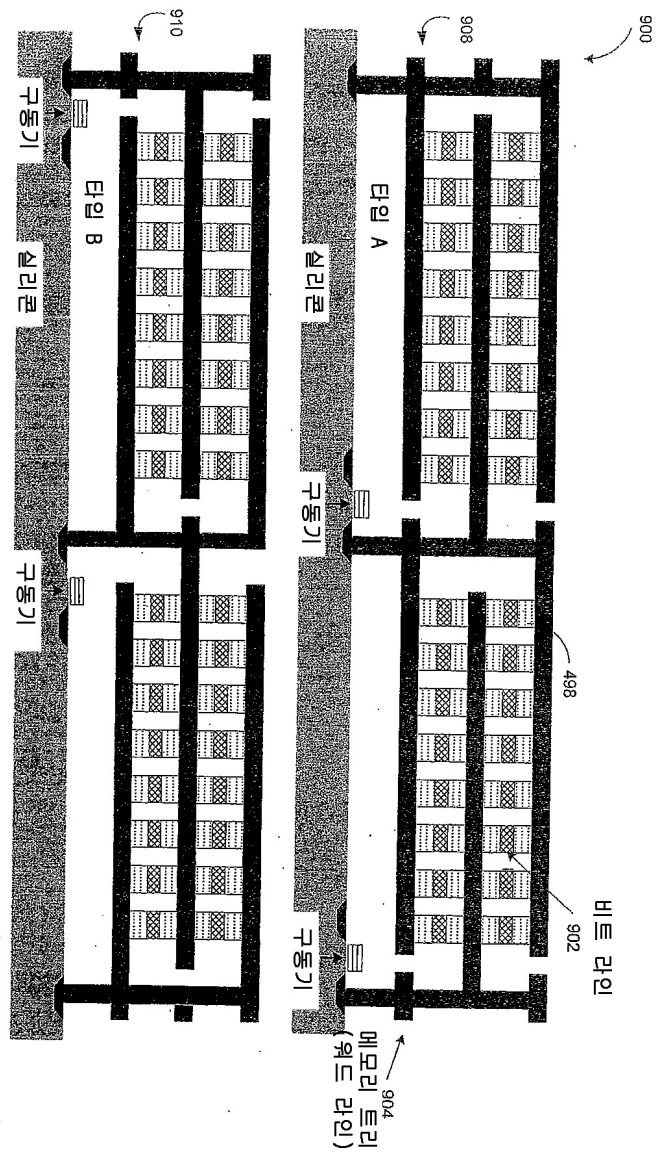




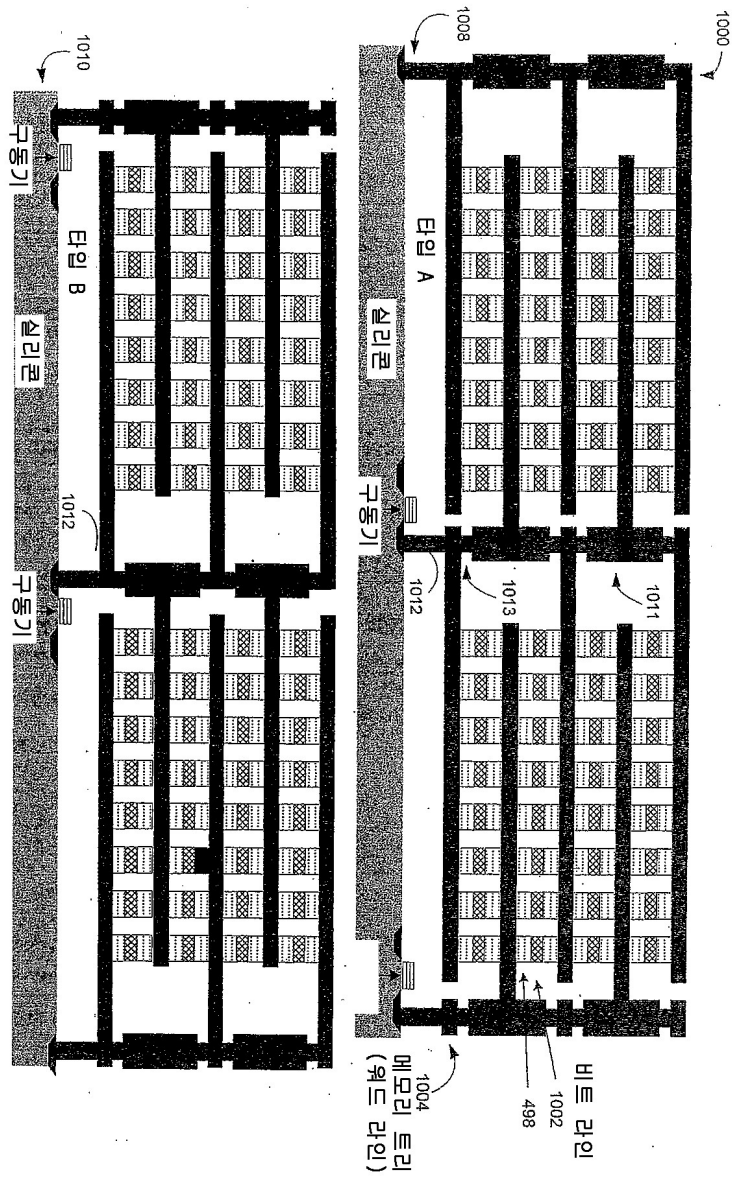
도면8



도면9



도면10



도면11

