(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월19일
(11) 등록번호 10-1375799
(24) 등록일자 2014년03월12일

(51) 국제특허분류(Int. Cl.)
G06F 1/10 (2006.01) *G06F 1/06* (2006.01)
G06F 13/40 (2006.01)
(21) 출원번호 10-2012-7015103
(22) 출원일자(국제) 2010년12월10일
심사청구일자 2012년10월19일
(85) 번역문제출일자 2012년06월11일
(65) 공개번호 10-2012-0123269
(43) 공개일자 2012년11월08일
(86) 국제출원번호 PCT/GB2010/002251
(87) 국제공개번호 WO 2011/070328
국제공개일자 2011년06월16일
(30) 우선권주장
12/635,942 2009년12월11일 미국(US)
(56) 선행기술조사문헌
KR1020030029985 A
전체 청구항 수 : 총 19 항

(73) 특허권자
에이티아이 테크놀로지스 유엘씨
캐나다 온타리오 엘3티 7엑스6 마크햄 커머스 밸리 드라이브 이스트 1
(72) 발명자
세노라베크 케빈 디.
캐나다 온타리오 엠5에이 4티4 토론토 아데라이데 스트리트 이스트 906-333
바르비에로 나타레
캐나다 온타리오 엠6엘 2엠1 토론토 제이 스트리트 44
카루크 고든 에프.
캐나다 온타리오 엘6티 1피4 브람프톤 알더베리 크레슨트 29
(74) 대리인
박장원

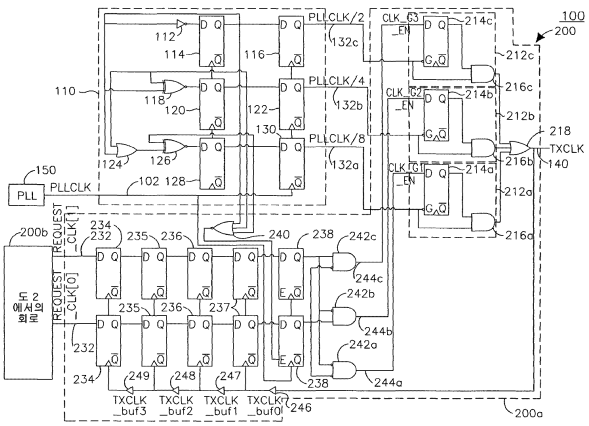
심사관 : 고재용

(54) 발명의 명칭 **서로 다른 클럭 속도에서 실행되는 복수의 링크들에 대한 클럭 속도를 스위칭시키도록 구성된 디바이스 및 클럭 속도를 스위칭시키기 위한 방법**

(57) 요 약

서로 다른 클럭 속도에서 실행되는 복수의 링크들에 대한 클럭 속도를 스위칭시키도록 구성된 디바이스, 그리고 클럭 신호들을 스위칭시키기 위한 방법이 개시된다. 주파수 분할기가 소스 클럭 신호로부터 서로 다른 주파수에서 복수의 클럭 신호들을 얻는다. 클럭 스위칭 제어기가, 링크들의 복수의 포트들에 의해 요청된 데이터 전송속도들 중에서 최대 데이터 전송속도를 선택하고, 그리고 포트들 각각에 대한 클럭 활성화 신호와 함께 전송 클럭 신호를 선택된 최대 데이터 전송속도에서 포트들에 출력한다. 클럭 활성화 신호 각각은, 각각의 포트에 의해 요청된 데이터 전송속도와 일치되도록 전송 클럭 신호를 선택적으로 활성화시킨다. 클럭 속도는, 다른 포트들 중 어느 포트 상에서의 데이터 전달도 방해함이 없이 기지의 기간 내에 글리치 없이 포트들에 의해 요구된 바와 같이 선택 및 업데이트될 수 있다.

대 표 도



특허청구의 범위

청구항 1

서로 다른 클럭 속도(clock speeds)에서 실행되는 복수의 링크(link)들에 대한 클럭 속도를 스위칭시키도록 되어 있는 디바이스로서,

소스 클럭 신호(source clock signal)로부터 서로 다른 주파수에서 복수의 클럭 신호들을 발생시키도록 되어 있는 주파수 분할기(frequency divider)와; 그리고

링크들의 복수의 포트(port)들에 의해 요청된 데이터 전송속도들 중에서 최대 데이터 전송속도를 선택하고, 상기 복수의 포트들 각각에 대한 클럭 활성화 신호(clock enabling signal)와 함께 전송 클럭 신호(transmit clock signal)를 상기 선택된 최대 데이터 전송속도에서 상기 포트들에 출력하도록 되어 있는 클럭 스위칭 제어기(clock switching controller)를 포함하여 구성되며,

상기 클럭 활성화 신호 각각은, 상기 복수의 포트들 각각에 의해 요청된 데이터 전송속도와 일치되도록 상기 전송 클럭 신호를 선택적으로 활성화시키는 것을 특징으로 하는 클럭 속도를 스위칭시키도록 되어 있는 디바이스.

청구항 2

제1항에 있어서,

상기 클럭 스위칭 제어기는, 상기 최대 데이터 전송속도가 변경된 이후 소정 개수의 클럭 싸이클(clock cycles) 후에 상기 전송 클럭 신호가 스위칭되도록 하기 위해, 상기 전송 클럭 신호의 클럭 싸이클을 카운팅(counting)하는 카운터(counter)를 포함하는 것을 특징으로 하는 클럭 속도를 스위칭시키도록 되어 있는 디바이스.

청구항 3

제1항에 있어서,

상기 클럭 스위칭 제어기는, 상기 전송 클럭 신호가 상기 전송 클럭 신호의 소정의 위상에서 스위칭되도록 하기 위해, 현재 클럭 신호, 요청된 클럭 신호, 및 상기 현재 클럭 신호의 위상에 관한 정보를 저장하는 저장부를 포함하는 것을 특징으로 하는 클럭 속도를 스위칭시키도록 되어 있는 디바이스.

청구항 4

제1항에 있어서,

상기 클럭 스위칭 제어기는, 제어 신호에 따라 단지 하나의 클럭 신호만이 상기 전송 클럭 신호로서 출력되도록 하기 위해, 상기 서로 다른 주파수에서 발생된 복수의 클럭 신호들을 게이팅(gating)하는 클럭 게이팅 셀(clock-gating cell)들을 포함하며, 상기 제어 신호는, 발생될 상기 전송 클럭 신호의 주파수를 표시하는 요청 클럭 신호(request clock signal)에 근거하여 발생되는 것을 특징으로 하는 클럭 속도를 스위칭시키도록 되어 있는 디바이스.

청구항 5

제1항에 있어서,

상기 디바이스는 PCIe(Peripheral Component Interconnect Express) 호환가능 디바이스(PCIe-compatible device)인 것을 특징으로 하는 클럭 속도를 스위칭시키도록 되어 있는 디바이스.

청구항 6

제1항에 있어서,

상기 디바이스 하이퍼트랜스포트 호환가능 디바이스(HyperTransport-compatible device)인 것을 특징으로 하는 클럭 속도를 스위칭시키도록 되어 있는 디바이스.

청구항 7

제1항에 있어서,

상기 주파수 분할기는 250 MHz(MegaHertz) 신호, 500 MHz 신호, 및 1 GHz(GigaHertz) 신호를 발생시키도록 되어 있는 것을 특징으로 하는 클럭 속도를 스위칭시키도록 되어 있는 디바이스.

청구항 8

제1항에 있어서,

상기 소스 클럭 신호는 위상 고정 루프 클럭 신호(phase locked loop clock signal)인 것을 특징으로 하는 클럭 속도를 스위칭시키도록 되어 있는 디바이스.

청구항 9

서로 다른 클럭 속도에서 실행되는 복수의 링크들에 대한 클럭 신호를 스위칭시키기 위한 방법으로서,

소스 클럭 신호로부터 서로 다른 주파수에서 복수의 클럭 신호들을 발생시키는 단계와;

링크들의 복수의 포트들에 의해 요청된 데이터 전송속도들 중에서 최대 데이터 전송속도를 결정하는 단계와;

전송 클럭 신호를 선택된 상기 최대 데이터 전송속도에서 상기 복수의 포트들 각각에 제공하는 단계와; 그리고

상기 복수의 포트들 각각에 의해 요청된 데이터 전송속도와 일치되도록 상기 전송 클럭 신호를 선택적으로 활성화시키기 위해 상기 복수의 포트들 각각에 클럭 활성화 신호를 제공하는 단계를 포함하는 것을 특징으로 하는 클럭 신호를 스위칭시키기 위한 방법.

청구항 10

제9항에 있어서,

상기 최대 데이터 전송속도가 변경된 이후 소정 개수의 클럭 싸이클 후에 상기 전송 클럭 신호가 스위칭되도록 하기 위해, 상기 최대 데이터 전송속도가 변경된 후부터 상기 전송 클럭 신호의 클럭 싸이클을 카운팅하는 단계를 더 포함하는 것을 특징으로 하는 클럭 신호를 스위칭시키기 위한 방법.

청구항 11

제9항에 있어서,

상기 전송 클럭 신호는 상기 전송 클럭 신호의 소정의 위상에서 스위칭되는 것을 특징으로 하는 클럭 신호를 스위칭시키기 위한 방법.

청구항 12

제9항에 있어서,

제어 신호에 따라 하나의 클럭 신호가 상기 전송 클럭 신호로서 출력되도록 하기 위해, 상기 복수의 클럭 신호들을 게이팅하는 단계를 더 포함하고, 상기 제어 신호는, 발생될 상기 전송 클럭 신호의 주파수를 표시하는 요청 클럭 신호에 근거하여 발생되는 것을 특징으로 하는 클럭 신호를 스위칭시키기 위한 방법.

청구항 13

제9항에 있어서,

상기 클럭 신호들은 250 MHz 신호, 500 MHz 신호, 및 1 GHz 신호인 것을 특징으로 하는 클럭 신호를 스위칭시키기 위한 방법.

청구항 14

제9항에 있어서,

상기 소스 클럭 신호는 위상 고정 루프 클럭 신호인 것을 특징으로 하는 클럭 신호를 스위칭시키기 위한 방법.

청구항 15

컴퓨터 판독가능 저장 매체로서,

상기 컴퓨터 판독가능 저장 매체는 서로 다른 클럭 속도에서 실행되는 복수의 링크들에 대한 클럭 신호를 스위칭시키기 위해 범용 컴퓨터에 의해 실행되는 명령들의 집합을 저장하고, 상기 명령들의 집합은,

소스 클럭 신호로부터 서로 다른 주파수에서 복수의 클럭 신호들을 발생시키기 위한 발생단계 코드 세그먼트(code segment)와;

링크들의 복수의 포트들에 의해 요청된 데이터 전송속도들 중에서 최대 데이터 전송속도를 결정하기 위한 결정단계 코드 세그먼트와;

전송 클럭 신호를 선택된 상기 최대 데이터 전송속도에서 상기 복수의 포트들 각각에 제공하기 위한 제 1 제공단계 코드 세그먼트와; 그리고

상기 복수의 포트들 각각에 의해 요청된 데이터 전송속도와 일치되도록 상기 전송 클럭 신호를 선택적으로 활성화시키기 위해 상기 복수의 포트들 각각에 클럭 활성화 신호를 제공하기 위한 제 2 제공단계 코드 세그먼트를 포함하는 것을 특징으로 하는 컴퓨터 판독가능 저장 매체.

청구항 16

제15항에 있어서,

상기 명령들의 집합은,

상기 최대 데이터 전송속도가 변경된 이후 소정 개수의 클럭 싸이클 후에 상기 전송 클럭 신호가 스위칭되도록 하기 위해, 상기 최대 데이터 전송속도가 변경된 후부터 상기 전송 클럭 신호의 클럭 싸이클을 카운팅하기 위한 카운팅단계 코드 세그먼트를 더 포함하는 것을 특징으로 하는 컴퓨터 판독가능 저장 매체.

청구항 17

제15항에 있어서,

상기 명령들의 집합은,

제어 신호에 따라 하나의 클럭 신호가 상기 전송 클럭 신호로서 출력되도록 하기 위해, 상기 복수의 클럭 신호들을 게이팅하기 위한 게이팅단계 코드 세그먼트를 더 포함하고, 상기 제어 신호는, 발생될 상기 전송 클럭 신호의 주파수를 표시하는 요청 클럭 신호에 근거하여 발생되는 것을 특징으로 하는 컴퓨터 판독가능 저장 매체.

청구항 18

제15항에 있어서,

상기 소스 클럭 신호는 위상 고정 루프 클럭 신호인 것을 특징으로 하는 컴퓨터 판독가능 저장 매체.

청구항 19

제15항에 있어서,

상기 명령들은, 디바이스의 제조를 위해 사용되는 하드웨어 기술 언어(Hardware Description Language, HDL) 명령들인 것을 특징으로 하는 컴퓨터 판독가능 저장 매체.

명 세 서

기 술 분 야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 2009년 12월 11일자로 출원된 미국 특허 출원 번호 제12/635,942호에 대한 우선권의 혜택을 주장하는 바, 이 특허 문헌은 그 전체가 본 명세서 내에서 설명되는 것처럼 참조로 본 명세서에 통합된다.

[0003] 본 출원은 컴퓨터 버스 및 상호연결 프로토콜(interconnection protocol)에 관한 것으로, 예를 들어, 주변 장치 상호연결 익스프레스(Peripheral Component Interconnect Express, PCIe), 하이퍼트랜스포트(HyperTransport),

등에 관한 것이다.

배 경 기 술

[0004] 컴퓨터 시스템에서, 호스트 프로세서(들)와 다른 디바이스들을 상호연결하고 이들 간에 데이터를 전달하기 위해 다양한 버스들이 제공된다. 예를 들어, 더 오래된 PCI(Peripheral Component Interconnect) 및 PCI-X 표준들을 대체하기 위해 PCIe가 개발되고 있다. PCIe는, 소비자 애플리케이션, 서버 애플리케이션, 및 산업 애플리케이션에서, 마더보드(motherboard)에 장착되는 주변장치들을 링크(link)시키기 위한 마더보드 레벨의 상호연결부로서 사용되고, 아울러 애드인 기판(add-in board)들을 위한 확장 카드 인터페이스로서 사용된다.

[0005] PCIe와 초기 PCI 혹은 PCI-X 버스들 간의 차이는, 공유된 병렬 버스 아키텍처라기보다는, 오히려 포인트투포인트 직렬 링크(point-to-point serial links)에 기반하는 토폴로지(topology)이다. PCIe는 더 오래된 병렬 PCI 및 PCI-X 버스를 대체하는 고속 직렬 대체물로서 고려될 수 있다. 소프트웨어 레벨에서, PCIe는 PCI와의 호환성을 유지하기 때문에, PCIe 디바이스는 PCIe의 새로운 특징에 관해 직접적인 정보가 없는 레거시(legacy) 애플리케이션 및 운영 체계에서 구성될 수 있고 사용될 수 있다.

[0006] PCIe 1.0 혹은 1.1에서, 각각의 레인(lane)은 250 MB/s를 전달한다. 2007년 하반기에 나온 PCIe 2.0은 2세대 시그널링 모드(signaling mode)를 추가하여 데이터 전송속도를 500 MB/s로 두 배 증가시켰다. 현재 개발되고 있는 PCIe 3.0은 1 GB/s에서 3세대 시그널링 모드를 추가시키려 한다.

[0007] PCIe 2.0 및 3.0은 또한, PCIe의 초기 세대(즉, PCIe 1.x)와 호환성을 유지한다. PCIe 1.x 호환가능 디바이스들이 시장에서 여전히 사용되고 있기 때문에, PCIe 2.0 혹은 3.0 호환가능 디바이스들은 PCIe 1.x 호환가능 디바이스들과 연결될 필요가 있다. PCIe 2.0 혹은 3.0 디바이스는, 다른 포트(port)들 중 어느 포트 상에서의 데이터 전달도 방해함이 없이 일정 기간 내에 글리치(glitch) 없이, 포트들 중 하나의 포트에 의해 요구되는 대로 클럭 속도를 스위칭시킬 필요가 있고 클럭 속도가 업데이트되도록 할 필요가 있다.

발명의 내용

과제의 해결 수단

[0008] 서로 다른 클럭 속도(clock speeds)에서 실행되는 복수의 링크(link)들에 대한 클럭 속도를 스위칭시키도록 구성된 디바이스가 제공되며, 이 디바이스는 주파수 분할기(frequency divider)와 그리고 클럭 스위칭 제어기(clock switching controller)를 포함한다. 주파수 분할기는, 소스 클럭 신호(source clock signal)로부터 서로 다른 주파수에서 복수의 클럭 신호들을 발생시키도록 구성된다. 클럭 스위칭 제어기는, 링크들의 복수의 포트(port)들에 의해 요청된 데이터 전송속도들 중에서 최대 데이터 전송속도를 선택하고, 복수의 포트들 각각에 대한 클럭 활성화 신호(clock enabling signal)와 함께 전송 클럭 신호(transmit clock signal)를 선택된 최대 데이터 전송속도에서 포트들에 출력하도록 구성되며, 클럭 활성화 신호 각각은, 복수의 포트들 각각에 의해 요청된 데이터 전송속도와 일치되도록 전송 클럭 신호를 선택적으로 활성화시킨다.

[0009] 서로 다른 클럭 속도에서 실행되는 복수의 링크들에 대한 클럭 신호를 스위칭시키기 위한 방법이 제공되며, 이 방법은 소스 클럭 신호로부터 서로 다른 주파수에서 복수의 클럭 신호들을 발생시킴으로써 시작된다. 링크들의 복수의 포트들에 의해 요청된 데이터 전송속도들 중에서 최대 데이터 전송속도가 결정된다. 선택된 최대 데이터 전송속도에서 전송 클럭 신호가 복수의 포트들 각각에 제공된다. 클럭 활성화 신호가, 복수의 포트들 각각에 의해 요청된 데이터 전송속도와 일치되도록 전송 클럭 신호를 선택적으로 활성화시키기 위해 복수의 포트들 각각에 제공된다.

[0010] 서로 다른 클럭 속도에서 실행되는 복수의 링크들에 대한 클럭 신호를 스위칭시키기 위해 범용 컴퓨터에 의해 실행되는 명령들의 집합을 저장하는 컴퓨터 판독가능 저장 매체가 제공된다. 명령들의 집합은, 소스 클럭 신호로부터 서로 다른 주파수에서 복수의 클럭 신호들을 발생시키기 위한 발생단계 코드 세그먼트(code segment)와; 링크들의 복수의 포트들에 의해 요청된 데이터 전송속도들 중에서 최대 데이터 전송속도를 결정하기 위한 결정단계 코드 세그먼트와; 전송 클럭 신호를 선택된 최대 데이터 전송속도에서 복수의 포트들 각각에 제공하기 위한 제 1 제공단계 코드 세그먼트와; 그리고 복수의 포트들 각각에 의해 요청된 데이터 전송속도와 일치되도록 전송 클럭 신호를 선택적으로 활성화시키기 위해 복수의 포트들 각각에 클럭 활성화 신호를 제공하기 위한 제 2 제공단계 코드 세그먼트를 포함한다. 명령들의 집합은 디바이스의 제조를 위해 사용되는 하드웨어 기술 언어(Hardware Description Language, HDL) 명령들일 수 있다.

[0011] 첨부되는 도면과 연계되어 예시적으로 제공되는 다음의 설명으로부터 본 발명이 보다 상세하게 이해될 수 있다.

도면의 간단한 설명

[0012] 도 1은 주파수 분할기와, 그리고 클럭 스위칭 제어기의 제 1 부분을 나타낸다.

도 2는 클럭 스위칭 제어기의 제 2 부분을 나타낸다.

도 3은 클럭 활성화 신호 발생기를 나타낸다.

도 4는 클럭 발생기의 클럭 스위칭 타이밍을 나타낸다.

도 5는 포트들(A-C)에 대한 활성화 신호들의 예시적 타이밍도를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 명세서에서 설명되는 실시예들은, 다른 포트들 중 어느 포트 상에서의 데이터 전달도 방해함이 없이 기지의 기간 내에 글리치 없이, 디바이스가, 포트들 중 하나에 의해 요구되는 바와 같이, 복수의 클럭 속도들 중 하나를 선택할 수 있게 하고, 클럭 속도가 업데이트되게 한다. 본 실시예들은 디바이스가 복수의 속도에서 복수의 링크들을 실행시키도록 하기 위한 클럭 스위칭에 대한 해법을 제공한다. 본 실시예들은 임의의 컴퓨터 버스 및 상호연결 프로토콜에 따라 복수의 클럭 속도를 지원하는 임의의 디바이스에서 사용될 수 있다. 예를 들어, 본 실시예들은 PCIe 2.0 혹은 3.0 또는 장래에 개발될 임의의 다른 버전을 지원하는 임의의 PCIe 호환가능 디바이스들에서 구현될 수 있다. 이후, 본 실시예들은 PCIe 프로토콜을 참조하여 설명된다. 그러나, 본 실시예들이 임의의 컴퓨터 버스 및 상호연결 프로토콜들(여기에는 PCIe, 하이퍼트랜스포트, 등이 포함되지만 이러한 것에만 한정되지 않음)에 적용될 수 있음에 유의해야 한다.

[0014] 도 1 내지 도 3은 일 실시예에 따른 서로 다른 주파수에서 3개의 클럭 신호들을 발생시키고 클럭의 속도를 변경시키도록 구성된 예시적 클럭 발생기(clock generator)를 보여준다. 클럭 발생기(100)는 주파수 분할기(frequency divider)(110)와 클럭 스위칭 제어기(clock switching controller)(200)를 포함한다. 도 1은 주파수 분할기(110)와, 그리고 클럭 스위칭 제어기의 제 1 부분(200a)을 나타낸다. 도 2는 클럭 스위칭 제어기의 제 2 부분(200b)을 나타낸다. 도 3은 클럭 스위칭 제어기(200)의 일부분인 클럭 활성화 신호 발생기(clock enabling signal generator)(300)를 나타낸다. 도 4는 클럭 발생기(100)의 클럭 스위칭 타이밍(clock switching timing)을 나타낸다. 도 1 내지 도 3에 도시된 클럭 발생기는 비한정적 예이며, 주파수 분할 및 클럭 신호 스위칭을 위한 임의의 다른 구성이 구현될 수도 있음에 유의해야 한다. 추가적으로, 클럭 발생기는, 필요에 따라, 두 개 혹은 셋보다 많은 서로 다른 주파수 신호들을 발생시킬 수 있고 이들 간의 스위칭을 행할 수 있다.

[0015] 이제 도 1을 참조하면, 클럭 발생기(100)는 PLL(150)로부터 위상 고정 루프(Phase Locked Loop, PLL) 클럭(PLLCLK) 신호(102)를 수신한다. 본 예에서, PLL 클럭 신호(102)의 주파수는 2 GHz이고, PLL 클럭 신호(102)는, PCIe 제 3, 제 2, 및 제 1 발생 프로세싱을 위해 주파수 분할기(110)에 의해 2, 4, 및 8로 각각 나누어진다(PLL 클럭 신호 및 3개의 클럭 신호들이 도 4에서 1번째 줄 내지 4번째 줄에 도시됨). PLL 클럭 신호(102)는 임의의 주파수에 있을 수 있고, 시스템이 원하는 대로 임의의 주파수 신호들로 분할될 수 있음에 유의해야 한다. 본 예가 PLL 클럭 신호를 사용하지만, 본 발명의 기술분야에서 숙련된 자는 다른 소스 클럭 신호들이 사용될 수 있음을 알 수 있을 것이다.

[0016] 도 1에서의 예시적 주파수 분할기(110)는 인버터(inverter)(112), XNOR 게이트(exclusive NOR gate)들(118, 126), OR 게이트(124), 및 D 플립플롭(flip-flop)들(114, 116, 120, 122, 128, 130)을 포함한다. D 플립플롭들(114, 116, 120, 122, 128, 130)은 PLL 클럭 신호(102)에 의해 클럭킹(clocking)된다. D 플립플롭(114)의 출력은 D 플립플롭(116)으로 들어감과 아울러 인버터(112)를 통해 D 플립플롭(114)으로 다시 공급된다. D 플립플롭(114)의 출력은 매 PLL 클럭 싸이클마다 인버트(invert)되고, 이에 따라 D 플립플롭(116)은 PLL 클럭 신호의 1/2 주파수에서 PCIe 제 3 발생 클럭 신호(132c)를 출력한다(즉, PCIe 제 3 발생 클럭 신호를 발생시킴).

[0017] D 플립플롭(120)의 출력은 D 플립플롭(122)으로 들어감과 아울러 XNOR 게이트(118)를 통해 D 플립플롭(120)으로 다시 공급된다. D 플립플롭(114)의 출력은 XNOR 게이트(118)의 또 다른 입력으로 들어간다. D 플립플롭(122)은 PLL 클럭 신호(102)의 1/4 주파수에서 PCIe 제 2 발생 클럭 신호(132b)를 출력한다.

[0018] D 플립플롭(128)의 출력은 D 플립플롭(130)으로 들어감과 아울러 XNOR 게이트(126)를 통해 D 플립플롭(128)으로

다시 공급된다. D 플립플롭(114)과 D 플립플롭(120)의 출력들은, XNOR 게이트(126)로 들어가기 전에 OR 게이트(124)에 의해 게이팅(gating)된다. D 플립플롭(130)은 PLL 클럭 신호(102)의 1/8 주파수에서 PCIe 제 1 발생 클럭 신호(132a)를 출력한다.

[0019] 발생된 클럭 신호들(132a, 132b, 132c) 중 두 개는 클럭-게이팅 셀(clock-gating cell)들(212a, 212b, 212c)에 의해 차단되고, 그리고 클럭 신호들(132a, 132b, 132c) 중 단 하나만이, 링크(link)들에 제공될 전송 클럭 신호(transmit clock signal)(TXCLK)로서 제어 신호들(244a, 244b, 244c)(clk_gl_en, clk_g2_en, clk_g3_en)에 따라 출력된다. TXCLK 신호가 도 4에서 17번째 줄에 도시된다. 제어 신호들(244a, 244b, 244c)이 도 4에서 14번째 줄 내지 16번째 줄에 도시된다. 클럭 게이팅 셀들(212a, 212b, 212c) 각각은 게이티드 D 래치(gated D latch)(214a, 214b, 214c)와 AND 게이트(216a, 216b, 216c)를 각각 포함한다. 제어 신호들(244a, 244b, 244c)(clk_gl_en, clk_g2_en, clk_g3_en) 각각이 게이티드 D 래치(214a, 214b, 214c)의 D 입력으로 들어가고, 그리고 클럭 신호들(132a, 132b, 132c) 각각이 인버터를 통해 게이티드 D 래치(214a, 214b, 214c)의 G 입력으로 각각 들어간다. 클럭 신호들(132a, 132b, 132c) 각각은, 게이티드 D 래치(214a, 214b, 214c)를 바이패싱(bypassing)하여 AND 게이트(216a, 216b, 216c)로 각각 들어간다. AND 게이트(216a, 216b, 216c)의 출력은 OR 게이트(218)로 들어간다. clk_gl_en 신호(244a)가 어써트(assert)될 때는, 제 1 발생 클럭 신호(132a)가, 그리고 clk_g2_en 신호(244b)가 어써트될 때는, 제 2 발생 클럭 신호(132b)가, 그리고 clk_g3_en 신호(244c)가 어써트될 때는, 제 3 발생 클럭 신호(132c)가 각각 OR 게이트(128)를 통해 출력된다.

[0020] 제어 신호들(244a, 244b, 244c)은 request_clk 신호들(232)에 근거하여 발생된다. request_clk 신호들(232)의 발생은 도 2를 참조하여 상세하게 설명된다. request_clk 신호(232)는 발생될 클럭 신호를 표시하는 신호이다. request_clk 신호(232)는 본 예에서 3개의 클럭 속도들 중 하나를 표시하는 2 비트 신호일 수 있다(예를 들어, "00"은 제 1 발생 클럭 신호를 표시하고, "01"은 제 2 발생 클럭 신호를 표시하며, 그리고 "10"은 제 3 클럭 발생 클럭 신호를 표시함).

[0021] 발생된 request_clk 신호(232)(도 2에서의 회로로부터 나온 출력 신호)는 D 플립플롭들(238)로 들어가기 전에 일련의 4개의 D 플립플롭들(234, 235, 236, 237)을 통해 게이팅될 수 있다. D 플립플롭들(234, 235, 236, 237)은 일련의 4개의 지연 버퍼(delay buffer)들(246, 247, 248, 249)에 의해 지연된 전송 클럭 신호(TXCLK)(140)에 의해 클럭킹된다. 4개의 지연 버퍼들(246, 247, 248, 249)에 의해 지연된 TXCLK 신호들이 도 4에서 21번째 줄 내지 24번째 줄에 도시된다. 각각의 지연 버퍼(246, 247, 248, 249)는 클럭킹 신호(clocking signal)(140)를 특정 지연 시간(예를 들어, 1 GHz(GigaHertz)에서 지연 버퍼 당 최대 1 ns(nanosecond))만큼 지연시킬 수 있다. 이것은, TXCLK 삽입 지연이 코어 로직(core logic)에 일치되도록 보장함과 아울러 클럭 발생 로직에서 삽입 지연을 일치시키기 위해 클럭 지연을 후퇴시키기 위한 것이다.

[0022] D 플립플롭들(238)이 PLL 클럭 신호(102)에 의해 클럭킹되고, NOR 게이트(240)에 의해 게이팅된 D 플립플롭들(114, 120, 128)로부터의 3개의 출력 신호들은 D 플립플들(238)의 활성화 입력들에 각각 들어가며, 이에 따라, 일련의 D 플립플롭들(234-237)에 의해 지연된 request_clk 신호(232)는, D 플립플롭들(114, 120, 128)의 모든 출력들이 로우(low) 상태일 때만, 전달된다(그리고 TX 클럭 신호 속도를 변경시킨다). D 플립플롭들(238)을 통해 출력된 request_clk 신호(232)는, request_clk 신호(232)에 따라, 3개의 AND 게이트들(242a, 242b, 242c) 중 1개의 게이트는 하이(high) 상태가 되게 하고, 2개의 게이트는 로우 상태가 되게 하며, 그리고 AND 게이트들(242a, 242b, 242c)의 출력들은 클럭-게이팅 셀들(212a, 212b, 212c)에 대한 각각의 제어 신호들(244a, 244b, 244c)이 된다.

[0023] 도 2를 참조하면, request_clk 신호(232)의 발생이 상세히 설명된다. PCIe 디바이스는 하나보다 많은 링크를 지원할 필요가 있을 수 있고, 각각의 링크는 서로 다른 클럭 속도를 필요로 할 수 있다. 복수의 링크들에 대해 그 요청된 클럭 속도들(clk_sel_A, clk_sel_B, ... clk_sel_N) 중에서, 최대 클럭 속도가 선택기(252)에 의해 선택된다. 본 예에서, clk_sel[1:0] 신호(254)는 선택된 최대 클럭 속도를 표시하는 2 비트 신호다(본 예에서는, 3개의 클럭 속도들 중 하나를 선택하기 위해 2개의 비트가 필요함). 선택된 클럭 속도 신호(clk_sel[1:0])(254)는 request_clk 신호(232)로서 D 플립플롭(256)을 통해 출력된다. clk_sel[1:0] 신호 및 request_clk 신호(232)가 도 4에서 5번째 줄과 6번째 줄에 도시된다.

[0024] D 플립플롭(256)은 TXCLK에 의해 클럭킹되고, 그리고 카운트 신호(count signal)(263)(D 플립플롭(262)의 출력), current_clk 신호(274)(D 플립플롭(272)의 출력)와 request_clk 신호(232)(D 플립플롭(256)의 출력)의 비교, 및 위상 신호(phase signal)(286)(D 플립플롭(284)의 출력)에 근거하여 활성화 혹은 비활성화된다. D 플립플롭(262)은 현재 선택된 클럭 속도를 표시하는 current_clk 신호(274)를 저장한다(예를 들어, "00"은 제 1

발생 클럭 신호를 표시하고, "01"은 제 2 발생 클럭 신호를 표시하며, 그리고 "10"은 제 3 발생 클럭 신호를 표시함). request_clk 신호(232)는 TXCLK 신호의 스위칭시 current_clk 신호(274)가 된다.

[0025] 비교기(264)는 request_clk 신호(232)가 current_clk 신호(274)와 다른지 여부를 결정하고, 비교기(264)의 출력은 D 플립플롭(262)의 활성화 입력으로 들어간다. D 플립플롭(262)은, request_clk 신호(232)와 current_clk 신호(274)가 서로 다른 경우(즉, request_clk 신호가 변경된 경우)에만 활성화된다. D 플립플롭(262)의 D 입력으로 다시 피드백되는 피드백 루프에서의 +1 합산기(266)와 D 플립플롭(262)은, request_clk 신호(232)와 current_clk 신호(274)가 서로 다르게 된 이후, TXCLK 싸이클의 수를 카운팅하는 2 비트 카운터로서 동작한다. 카운트 신호(263)가 도 4에서 12번째 줄에 도시된다.

[0026] 비교기(268)는, 카운트 신호(263)가 "11"이 될 때 하이 상태를 출력한다. 비교기(268)의 출력은 D 플립플롭(272)의 활성화 입력으로 들어간다. 따라서, request_clk 신호(232)는, 도 4에서 6번째 줄 내지 10번째 줄에 도시된 바와 같이, 본 예에서 request_clk 신호(232)가 변경된 이후 4개의 TXCLK 싸이클 이후 current_clk 신호(274)가 된다. 가장 빠른 클럭 신호(1 GHz)와 가장 느린 클럭 신호(250 MHz)의 비율이 4이기 때문에 4개의 TXCLK 싸이클이 존재하며, 시스템에 의해 요구되는 클럭 속도에 따라 상이한 TXCLK 싸이클이 필요할 수 있다. 비교기(276)는 current_clk 신호(274)와 request_clk 신호(232)를 비교하여, AND 게이트(292)에 출력한다.

[0027] current_clk 신호(274)는 제 1 멀티플렉서(multiplexer)(282)와 제 2 멀티플렉서(290)를 구동한다. 제 1 멀티플렉서(282)는, current_clk 신호(274)가 "00"이라면, "00"을 출력하고, current_clk 신호(274)가 "01"이라면 위상 신호+2를 출력하며, current_clk 신호(274)가 "10"이라면 위상 신호+1을 출력한다. 멀티플렉서(282)의 출력이 D 플립플롭(284)의 D 입력으로 들어가는바, D 플립플롭(284)의 2 비트 출력은 위상 신호(286)이다(도 4에서 11번째 줄 참조). 위상 신호(286)는 본 예에서 2 비트 신호다. 비교기(288a)는, 만약 위상 신호(286)가 "00"이라면 하이 상태를 출력하고, 그 외에는 로우 상태를 출력한다. 비교기(288b)는, 만약 위상 신호(286)가 "01"이라면 하이 상태를 출력하고, 그 외에는 로우 상태를 출력한다. 비교기(288c)는, 만약 위상 신호(286)가 "10"이라면 하이 상태를 출력하고, 그 외에는 로우 상태를 출력한다. 제 2 멀티플렉서(290)는, current_clk 신호(274)에 따라, 비교기들(288a, 288b, 288c)의 출력들 중 하나를 출력한다. 비교기(276) 및 제 2 멀티플렉서(290)로부터의 출력들은 AND 게이트(292)에 의해 게이팅되고, AND 게이트(292)의 출력은 D 플립플롭(256)을 활성화 혹은 비활성화시킨다.

[0028] 카운트 신호(263)와 위상 신호(286)의 발생 및 current_clk 신호(274)와 request_clk 신호(232)의 비교를 포함하는 클럭 스위칭 제어기의 로직은, 다른 포트들 중 어느 포트 상에서의 데이터 전달도 방해함이 없이 기지의 기간 내에 글리치 없이 클럭 신호들(TXCLK)의 스위칭이 특정 위상에서만 일어나도록 보장한다.

[0029] 도 3을 참조하면, 클럭 활성화 신호의 발생이 상세히 설명된다. 소스 클럭은 PCIe IP에 의해 지원되는 가장 높은 데이터 전송속도에서 실행되고 있는 것으로 예측된다(예를 들어, PCIe 3.0 지원에 대해 1 GHz). 클럭 발생기(100)는 1 GHz, 500 MHz, 및 250 MHz 클럭 신호들을 생성하고, 그 발생된 클럭 신호들 중 하나를 모든 PCIe 링크들에 제공한다. 클럭 스위칭 제어기(200)는 PCIe IP 코어에서의 활성 링크들에 의해 요구된 가장 빠른 클럭 속도를 결정하고, 그리고 가장 빠른 클럭 신호를 모든 PCIe 링크들에 제공한다. 동일한 클럭 신호가 모든 PCIe 링크들에 제공되기 때문에, 클럭 스위칭 제어기(200)는 또한 더 느린 클럭 신호를 요구하는 링크(들) 각각에 대한 클럭 활성화 신호를 발생시킨다. 예를 들어, 만약 링크들에 의해 요구된 가장 빠른 클럭 속도가 1 GHz라면, 클럭 스위칭 제어기(200)는 1 GHz 클럭 신호를 발생시켜 모든 링크들에 제공한다. 클럭 스위칭 제어기(200)는 또한 각각의 링크에 클럭 활성화 신호를 제공하고, 이에 따라 1 GHz 신호는, 클럭 활성화 신호들에 의해, 500 MHz 클럭 속도를 요청하는 링크들에 대해서는 2 클럭 싸이클 마다 활성화되고, 250 MHz 클럭 속도를 요청하는 링크들에 대해서는 단지 4 클럭 싸이클 마다 활성화된다. 클럭 활성화 신호들이 도 4에서 18번째 줄 내지 20번째 줄에 도시된다. 3개의 클럭 활성화 신호들 중 하나가 각각의 링크에 대해 선택된다.

[0030] 도 3은 링크 A에 대한 예시적 클럭 활성화 신호 발생 회로(300)를 나타낸다. 도 3에 도시된 회로(300)의 복수의 집합들이 복수의 링크들을 지원하기 위해 클럭 스위칭 제어기(200)에 포함된다.

[0031] 링크 A에 의해 요청된 클럭 속도는 clk_sel_A인바, 이것은 멀티플렉서(310)로 하여금 그 요청된 클럭 속도에 따라 3개의 입력들(활성화 신호들(309a, 309b, 309c)) 중 하나를 출력하도록 하는 2 비트 신호다(예를 들어, 제 1 발생 클럭 신호에 대해서는 "00", 제 2 발생 클럭 신호에 대해서는 "01", 그리고 제 3 발생 클럭 신호에 대해서는 "10").

[0032] 3개의 활성화 신호들(309a, 309b, 309c)(clk_en[0], elk_en[1], clk_en[2])이, current_clk 신호(274),

request_clk 신호(232), 카운트 신호(263), 및 위상 신호(286)에 근거하여 발생된다. 카운트 신호(263)에 따라, current_clk 신호(274) 혹은 request_clk 신호(232)가 3개의 비교기들(322, 332, 342)로 들어간다(즉, 만약 카운트 신호가 "11"이라면 request_clk 신호, 그 이외에는 current_clk 신호). 카운트 신호(263)는 비교기(302)에 의해 비교되고, 비교기(302)의 출력은 멀티플렉서(304)를 제어한다.

[0033] 만약 current_clk 신호(274) 혹은 request_clk 신호(232)가 "00"이라면, 제 1 브랜치(branch)(320)는, current_clk 신호(274)에 따라, 상시-온 신호(always-on signal) 또는 50% 듀티 싸이클 신호(duty cycle signal) 또는 25% 듀티 싸이클 신호를 발생시킨다. 만약 current_clk 신호(274) 혹은 request_clk 신호(232)가 "00"이라면, 비교기(322)의 출력(및 OR 게이트(324)의 출력)은 언제나 하이 상태이고, 이에 따라 상시-온 신호가 발생되어 D 플립플롭(308)을 통해 멀티플렉서(310)에 제공된다. 비교기들(325a 및 325c)은 current_clk 신호(274)를 "01" 및 "10"과 각각 비교하고, 비교기들(325b 및 325d)은 위상 신호(286)를 "00" 및 "10"과 각각 비교한다. 만약 current_clk 신호(274)가 "01"이라면, 비교기(322)의 출력 및 AND 게이트(328)의 출력은 로우 상태이지만, 위상 값이 "00"인 동안 AND 게이트(326)는 턴온된다. current_clk 신호(274)가 "01"인 동안 위상 신호(286)는 번갈아서 "00" 및 "01"이 되기 때문에, AND 게이트(326)의 출력(그리고 결과적으로 OR 게이트(324)의 출력)은 50%의 시간에서 턴온된다. 만약 current_clk 신호(274)가 "10"이라면, 비교기(322) 및 AND 게이트(326)의 출력은 로우 상태이지만, 위상 값이 "00"인 동안 AND 게이트(328)는 턴온된다. current_clk 신호가 "10"인 동안 위상 신호(286)는 번갈아서 "00", "01" "10" 및 "11"이 되기 때문에, AND 게이트(328)의 출력(그리고 결과적으로 OR 게이트(324)의 출력)은 25%의 시간에서 턴온된다. 예를 들어, 만약 current_clk 신호가 "10"이고(이것이 의미하는 것은 TXCLK 신호가 1 GHz에 있음을 의미함), 링크 A에 대해 요청된 클럭 속도가 250 MHz라면(즉, clk_sel_A가 "00"이라면), 멀티플렉서(310)는, AND 게이트(328)로부터 출력된 25% 듀티 싸이클 신호인 제 1 브랜치 신호를 출력하고, 그리고 1 GHz에서의 TXCLK는 25%의 시간에 대해서만 활성화되어 공통 1 GHz TXCLK로부터 링크 A에 대한 250 MHz 클럭 신호가 얻어진다. 만약 current_clk 신호가 "01"이고(이것이 의미하는 것은 TXCLK 신호가 500 MHz에 있음을 의미함), 링크 A에 대해 요청된 클럭 속도가 250 MHz라면(즉, clk_sel_A가 "00"이라면), 멀티플렉서(310)는, AND 게이트(328)로부터 출력된 50% 듀티 싸이클 신호인 제 1 브랜치 신호를 출력한다.

[0034] 만약 current_clk 신호(274) 또는 request_clk 신호(232)가 "01"이라면, 제 2 브랜치(330)는 상시-온 신호 혹은 50% 듀티 싸이클 신호를 발생시킨다. 만약 current_clk 신호(274) 또는 request_clk 신호(232)가 "01"이라면, 비교기(332)의 출력(그리고 결과적으로 OR 게이트(334)의 출력)은 언제나 하이 상태이고, 이에 따라 상시-온 신호가 발생되어 D 플립플롭(308b)을 통해 멀티플렉서(310)에 제공된다. 비교기(335a)는 current_clk 신호를 "10"과 비교하고, 그리고 비교기(335b)는 위상 신호의 첫 번째 비트를 "0"과 비교한다. 만약 current_clk 신호(274)가 "10"이라면, 비교기(332)의 출력은 로우 상태에 있게 되지만, 위상 신호(286)의 첫 번째 비트가 "0"인 동안 AND 게이트(336)는 턴온되고, 이것은 50% 듀티 싸이클 신호를 발생시킨다.

[0035] current_clk 신호(274) 또는 request_clk 신호(232)가 "10"이라면, 제 3 브랜치(340)(즉, 비교기(342))는 D 플립플롭(308a)을 통해 게이팅된 상시-온 신호를 멀티플렉서(310)에 발생시킨다.

[0036] 도 5는 포트들(A-C)에 대한 활성화 신호들의 예시적 타이밍도를 나타낸다. 먼저, 포트들(A-C)에 대해 요청된 데이터 전송속도들은 모두 250 MHz(즉, 2.5 GT/s(GigaTransfers per Second))이다. 따라서, TXCLK는 250 MHz에서 발생되고, 그리고 포트들(A-C)에 대한 활성화 신호들은 모두 상시-온 신호들이다. 링크 B에 대해 요청된 데이터 전송속도는 500 MHz로 증가(즉, 전송율이 5 GT/s로 증가)한다. TXCLK는 500 MHz 신호로 스위칭되어 모든 링크들(A-C)에 제공된다. 링크들(A 및 C)에 대한 데이터 전송속도는 여전히 250 MHz이기 때문에, 50% 듀티 싸이클 클럭 활성화 신호들이 링크들(A 및 C)에 대해 제공된다. 그 다음에, 링크(C)에 대해 요청된 데이터 전송속도가 1 GHz로 증가한다. TXCLK는 1 GHz 신호로 스위칭되어 모든 링크들(A-C)에 제공된다. 링크들(A와 B)에 대한 데이터 전송속도가 각각, 250 MHz와 500 MHz이기 때문에, 링크들(A와 B)에 대한 클럭 활성화 신호들은 각각, 25%와 50% 듀티 싸이클 신호들이 된다. 그 다음에, 링크(C)에 대해 요청된 데이터 전송속도는 250 MHz로 감소한다. TXCLK는 다시 500 MHz 신호로 스위칭되어 모든 링크들(A-C)에 제공된다. 링크들(A-C)에 대한 클럭 활성화 신호는 각각, 50% 듀티 싸이클 신호, 상시-온 신호, 및 50% 듀티 싸이클 신호가 된다. 그 다음에, 포트(B)에 대해 요청된 데이터 전송속도는 250 MHz로 감소하고, TXCLK는 250 MHz로 스위칭된다. 그 다음에, 포트(C)에 대한 데이터 전송속도는 1 GHz로 증가하고, TXCLK는 1 GHz로 스위칭된다. 포트들(A 및 B)에 대한 데이터 전송속도가 250 MHz이기 때문에, 포트들(A 및 B)에 대한 클럭 활성화 신호들은 25% 듀티 싸이클 신호가 된다. 그 다음에, 포트(C)에 대한 데이터 전송속도가 250 MHz로 감소하고, TXCLK가 250 MHz로 스위칭되며, 그리고 포트들(A-C)에 대한 클럭 활성화 신호들은 상시-온 신호들이 된다.

[0037] 앞서 개시된 실시예들에 따른 클럭 스위칭의 이점은 면적 및 파워 절약인바, 이에 따라 PCIe IP 코어에서 PCIe 링크 당 하나의 PLL 대신, PCIe IP 코어 당 단 하나의 PLL만이 사용될 수 있다. 복수의 속도에서 실행되는 링크들을 실행시키기 위해, 링크 당 하나의 PCIe IP를 인스턴스화(instantiate)해야만 하는 대신, 하나의 PCIe IP 코어가 사용될 수 있다. 클럭 스위칭 회로가 글리치 없이 클럭 속도를 변경시키기 때문에, 본 실시예들은 속도 변경을 행하지 않는 링크들이 방해받지 않고 동작할 수 있도록 한다. 추가적으로, 본 실시예들에 따르면, 클럭 스위칭은 업데이트된 클럭 속도를 4개의 클럭 싸이클 내에서 제공하도록 보장된다.

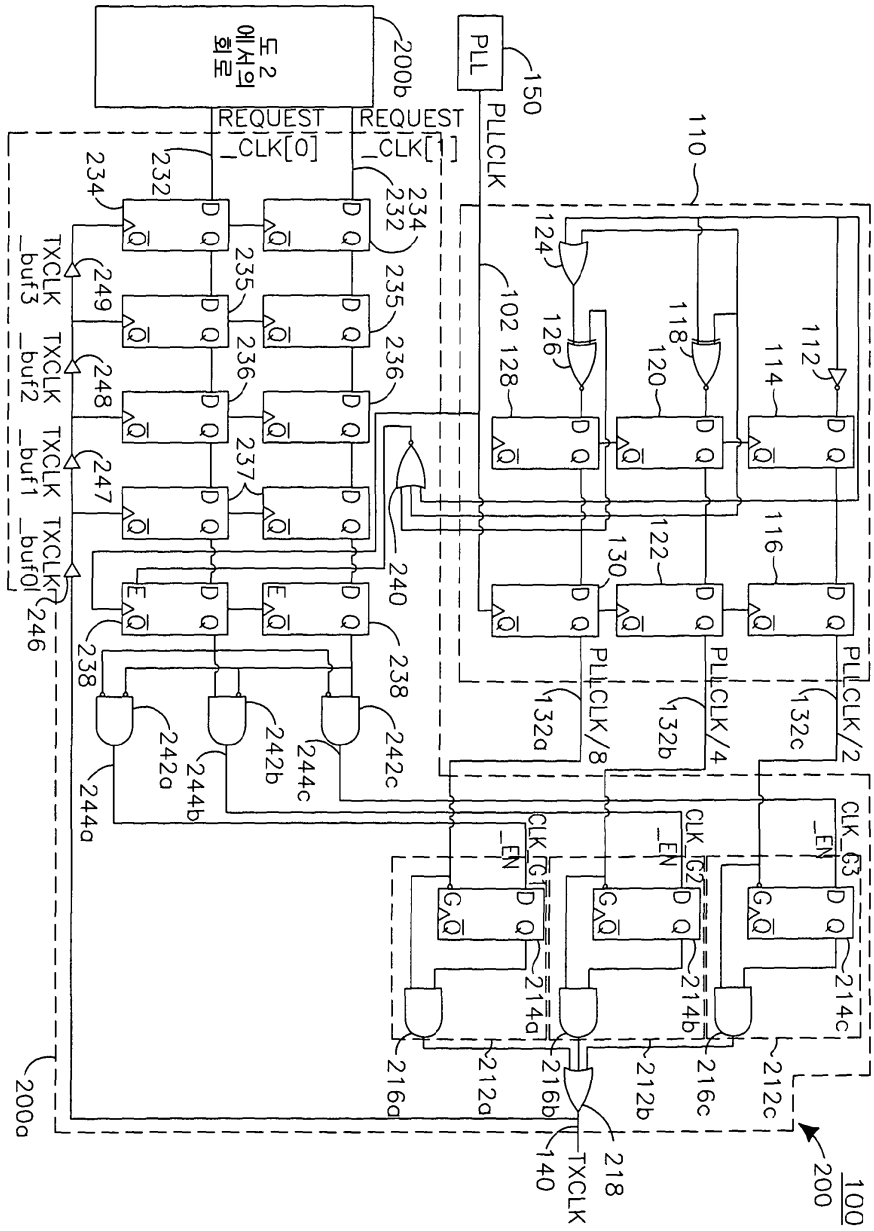
[0038] 현재, 광범위한 대다수의 전자 회로들은 소프트웨어(예를 들어, 하드웨어 기술 언어(Hardware Description Language, HDL))를 사용하여 설계 및 제조된다. HDL은 전자 회로의 구조, 동작 및/또는 작용을 기술하기 위한 컴퓨터 언어이다. 클럭 발생기(100)(즉, 전자 회로)는 소프트웨어(예를 들어, HDL)를 사용하여 설계 및 제조될 수 있다. HDL은 현재 사용되고 있는 종래의 HDL들 중 어느 하나일 수 있거나 장래에 개발될 수 있는 것이다. 명령들의 집합이, 클럭 발생기(100)의 구조, 동작 및/또는 작용을 기술하는 HDL을 사용하여 발생될 수 있다. 명령들의 집합이 임의 종류의 컴퓨터 판독가능 저장 매체에 저장될 수 있다.

[0039] 여러 특징들 및 구성요소들이 특정적으로 결합되어 앞서 설명되었지만, 이러한 각각의 특징 혹은 구성요소는 다른 특징 및 구성요소들 없이도 단독으로 사용될 수 있거나 혹은 다른 특징들 및 구성요소들과 다양하게 결합되어 사용될 수 있으며 또는 이러한 다른 특징들 및 구성요소들 없이 사용될 수도 있다. 본 명세서에서 제시되는 방법 혹은 흐름도는, 범용 컴퓨터 또는 프로세서에 의한 실행을 위해 컴퓨터 판독가능 저장 매체에 수록되는 컴퓨터 프로그램, 소프트웨어 혹은 펌웨어로 구현될 수 있다. 컴퓨터 판독가능 저장 매체의 예로는, ROM(Read Only Memory), RAM(Random Access Memory), 레지스터(register), 캐시 메모리(cache memory), 반도체 메모리 디바이스(semiconductor memory device)들, 자기 매체(예를 들어, 내부 하드 디스크 및 탈착가능 디스크), 광자기 매체(magneto-optical media), 그리고 광학 매체(예를 들어, CD-ROM 디스크 및 DVD(Digital Versatile Disk))가 있다.

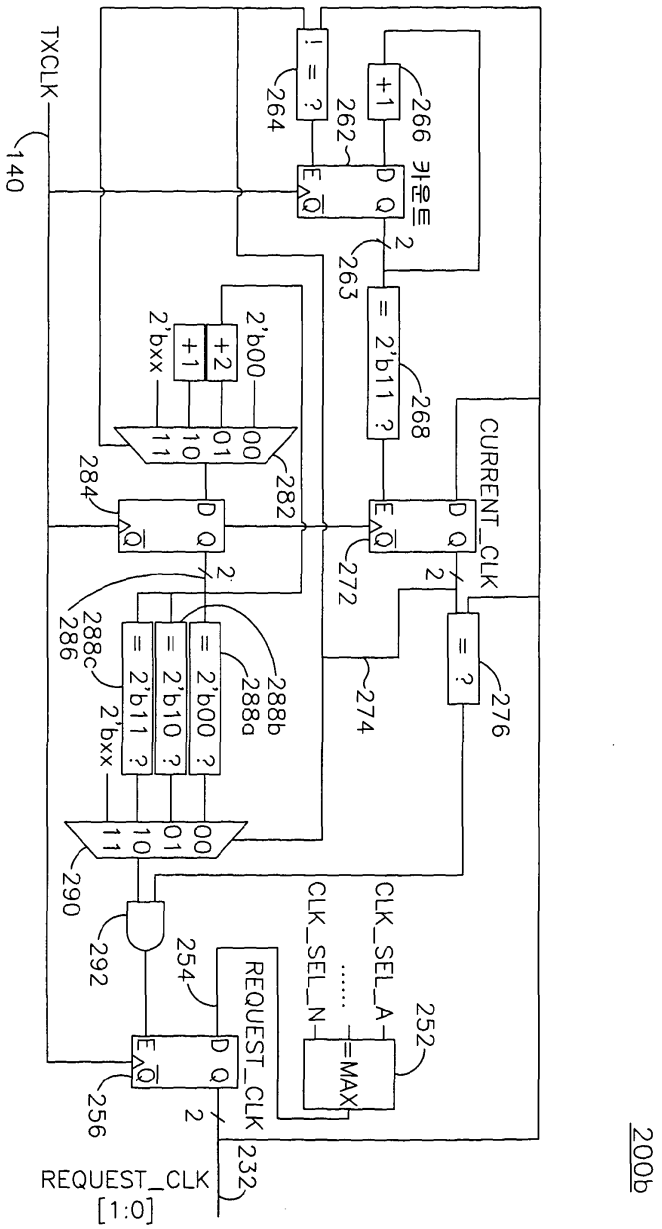
[0040] 예를 들어, 적절한 프로세서로는, 범용 프로세서, 특수 목적 프로세서, 종래의 프로세서, 디지털 신호 프로세서(Digital Signal Processor, DSP), 복수의 마이크로프로세서, DSP 코어와 연관된 하나 이상의 마이크로프로세서, 제어기, 마이크로제어기, 애플리케이션 특정 집적 회로(Application Specific Integrated Circuit, ASIC), 현장 프로그래밍가능 게이트 어레이(Field Programmable Gate Array, FPGA) 회로, 임의의 다른 타입의 집적 회로(Integrated Circuit, IC), 그리고/또는 상태 머신(state machine)이 있다.

도면

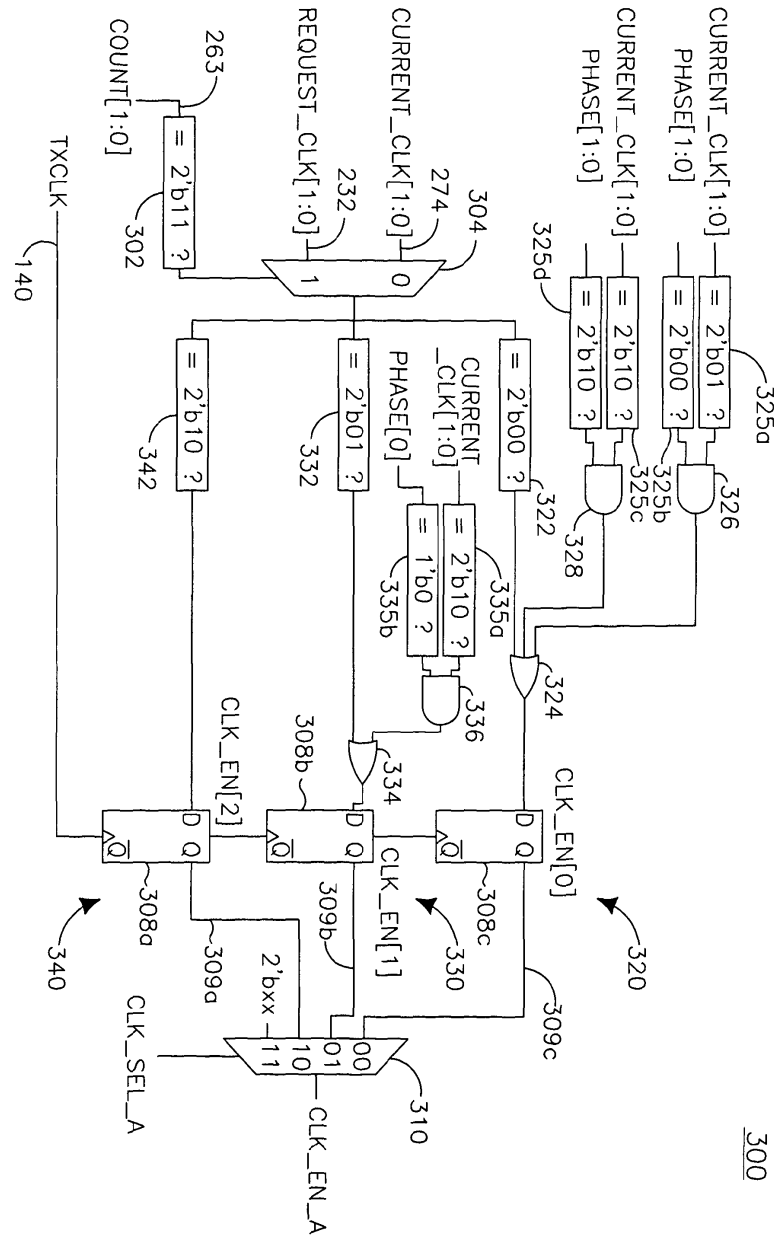
도면1


도 2 에서의 회로
200b
PLL
150
PLLCLK
110
REQUEST_CLK[0]
REQUEST_CLK[1]
232
234
235
236
237
238
240
246
247
248
249
TXCLK_buf3
TXCLK_buf2
TXCLK_buf1
TXCLK_buf0
102
112
114
116
118
120
122
124
126
128
130
132a
132b
132c
PLLCLK/8
PLLCLK/4
PLLCLK/2
CLK_EN
CLK_G3
CLK_G2
CLK_G1
214a
214b
214c
216a
216b
216c
212a
212b
212c
218
140
TXCLK
200a
200
100

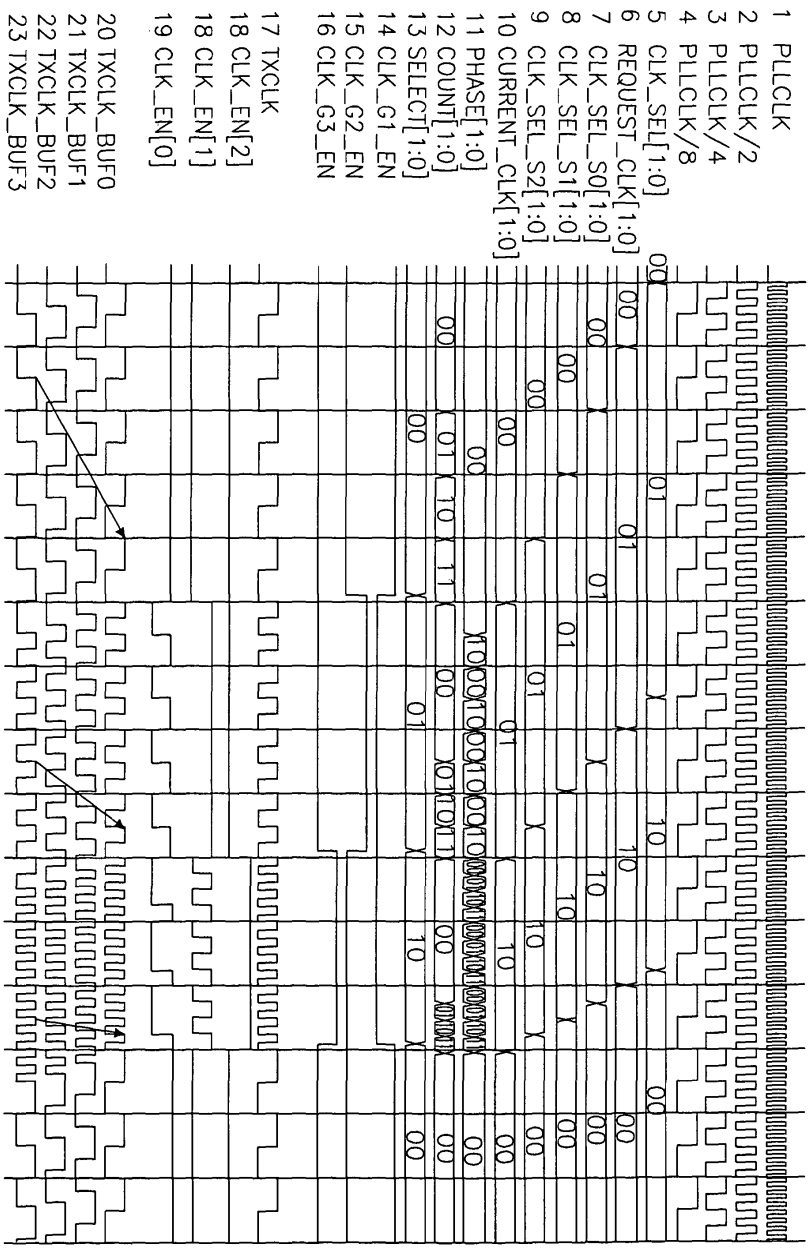
도면2


TXCLK
140
! = ?
264
262
+1
266
카운트
263
= 2'b11 ?
268
2'b00
+2
+1
2'bxx
00
01
10
11
282
284
CURRENT_CLK
272
= ?
276
274
288c
286
= 2'b11 ?
= 2'b10 ?
= 2'b00 ?
288b
288a
290
292
254
REQUEST_CLK
256
CLK_SEL_A
CLK_SEL_N
=MAX
252
232
REQUEST_CLK
[1:0]
200b

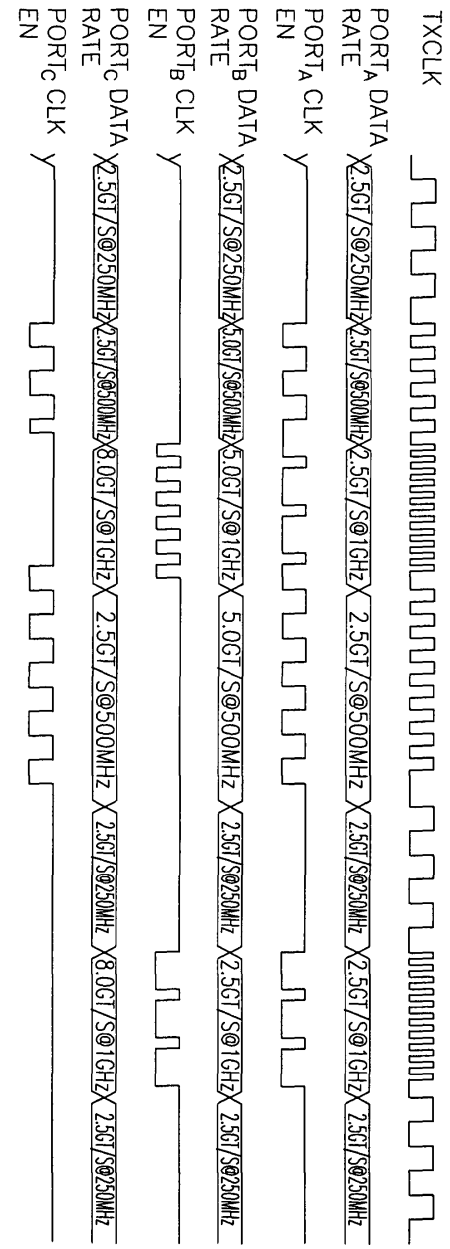
도면3


300
CURRENT_CLK[1:0]
PHASE[1:0]
= 2'b01 ?
= 2'b00 ?
= 2'b10 ?
325a
325b
325c
325d
326
328
CURRENT_CLK[1:0]
PHASE[1:0]
= 2'b10 ?
= 2'b00 ?
322
324
CLK_EN[0]
320
CURRENT_CLK[1:0]
PHASE[0]
= 2'b10 ?
= 1'b0 ?
335a
335b
336
= 2'b01 ?
332
334
308b
CLK_EN[1]
330
309b
REQUEST_CLK[1:0]
232
CURRENT_CLK[1:0]
274
304
1
0
= 2'b10 ?
342
CLK_EN[2]
308c
309c
263
COUNT[1:0]
= 2'b11 ?
302
TXCLK
140
308a
309a
340
2'bxx
CLK_SEL_A
00
01
10
11
310
CLK_EN_A

도면4


1 PLLCLK
2 PLLCLK/2
3 PLLCLK/4
4 PLLCLK/8
5 CLK_SEL[1:0]
6 REQUEST_CLK[1:0]
7 CLK_SEL_S0[1:0]
8 CLK_SEL_S1[1:0]
9 CLK_SEL_S2[1:0]
10 CURRENT_CLK[1:0]
11 PHASE[1:0]
12 COUNT[1:0]
13 SELECT[1:0]
14 CLK_G1_EN
15 CLK_G2_EN
16 CLK_G3_EN
17 TXCLK
18 CLK_EN[2]
18 CLK_EN[1]
19 CLK_EN[0]
20 TXCLK_BUF0
21 TXCLK_BUF1
22 TXCLK_BUF2
23 TXCLK_BUF3

도면5


TXCLK
PORTA DATA RATE
2.5GT/S@250MHz
2.5GT/S@500MHz
2.5GT/S@1GHz
2.5GT/S@500MHz
2.5GT/S@250MHz
2.5GT/S@1GHz
2.5GT/S@250MHz
PORTA CLK EN
PORTB DATA RATE
2.5GT/S@250MHz
5.0GT/S@500MHz
5.0GT/S@1GHz
5.0GT/S@500MHz
2.5GT/S@250MHz
2.5GT/S@1GHz
2.5GT/S@250MHz
PORTB CLK EN
PORTC DATA RATE
2.5GT/S@250MHz
2.5GT/S@500MHz
8.0GT/S@1GHz
2.5GT/S@500MHz
2.5GT/S@250MHz
8.0GT/S@1GHz
2.5GT/S@250MHz
PORTC CLK EN