

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 561 042

②1 N° d'enregistrement national :

84 19428

⑤1 Int Cl⁴ : H 01 L 27/08, 21/82, 29/78.

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 19 décembre 1984.

③0 Priorité : JP, 26 décembre 1983, n° 243 801.

④3 Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 37 du 13 septembre 1985.

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : Société dite : HITACHI, LTD. — JP.

⑦2 Inventeur(s) : Hidetoshi Iwai, Kazumichi Mitsusada, Masamichi Ishihara, Tetsuro Matsumoto et Kazuyuki Miyazawa.

⑦3 Titulaire(s) :

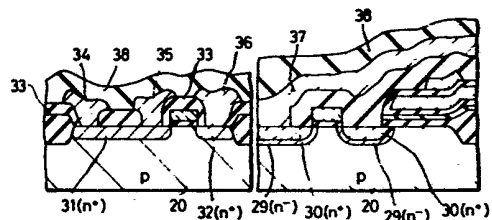
⑦4 Mandataire(s) : Cabinet René G. Dupuy et Jean M. L. Loyer.

⑤4 Dispositif semi-conducteur muni d'un circuit de protection électrostatique d'un circuit interne ainsi que son procédé de fabrication.

⑤7 L'invention concerne un dispositif à semi-conducteurs et un procédé de fabrication de ce dispositif.

Pour fabriquer ce dispositif comportant un premier circuit MIS et un second circuit de protection électrique formés sur un substrat semi-conducteur 20, on forme un masque sur le circuit de protection et une première couche diffusée 29 pour l'élément MIS puis, après enlèvement du masque, on forme une seconde couche diffusée 30 pour ledit élément MIS et une couche diffusée 31 pour ledit circuit de protection, de sorte que le premier circuit a une structure de drain formée par double diffusion et le second circuit a une structure de drain formée par simple diffusion.

Application notamment à la fabrication de circuits intégrés à éléments métal-isolant -semi-conducteurs à haute densité d'intégration.



FR 2 561 042 - A1

D

La présente invention concerne un dispositif à semiconducteurs et un procédé de fabrication d'un tel dispositif, comme par exemple un dispositif à semiconducteurs muni d'un circuit de protection électrostatique et d'un circuit interne qui sont formés sur le même substrat semiconducteur, avec par exemple un élément MIS (métal-isolant-semiconducteur) utilisé en tant que circuit interne.

On a essayé de miniaturiser les dispositifs à semiconducteurs, (IC) en vue d'accroître leur vitesse de fonctionnement et d'améliorer leur densité d'intégration. Les éléments MOS (transistors MOSFET) qui sont des exemples typiques d'éléments MIS (transistors MISFET) ne font pas exception. Pour miniaturiser des éléments MOS, on a réduit l'épaisseur de leurs pellicules d'oxyde de grille et la longueur de leurs canaux est devenue de plus en plus courte. Cela signifie qu'un champ électrique relativement intense est produit à l'intérieur du dispositif, si bien qu'il se produit une injection de porteurs chauds dans la pellicule d'oxyde de grille, et la tension de seuil se décale ou il se produit une altération de la conductance mutuelle.

Pour résoudre ces problèmes il a été proposé d'utiliser une structure de drain formée par double diffusion, telle que celle représentée sur la figure 1 annexée à la présente demande. La figure 1 représente une vue en coupe d'un transistor MOSFET à canal N typique. La référence 1 désigne un substrat semiconducteur en silicium de type P, la référence 2 une pellicule de bioxyde de silicium (SiO_2), la référence 3 une pellicule d'oxyde de grille et la référence 4 une électrode de grille. Afin de réduire le champ électrique intense à proximité du drain, à la fois le drain et la source possèdent une structure de drain formée par double diffusion et incluant une couche de type N^- 5 de phosphore (P) et une couche de type N^+ 6

d'arsenic (As) (se référer à E. Takeda et Consorts " un transistor MOSFET à drain formé par double diffusion en As-P (N+-N) pour des dispositifs à haute densité d'intégration", Digest of Technical Papers, Symp. on VLSI 5 Technology, OISO, Japon, pp 40-41 (septembre 1982).

Un circuit de protection est habituellement formé sur le même substrat semiconducteur en vue de protéger l'élément MIS constituant le circuit, vis-à-vis de signaux anormaux provenant de l'extérieur du circuit intégré IC. Comme cela est représenté sur la figure 12 annexée à la présente demande, le circuit de protection (par exemple un circuit de protection électrostatique) est un circuit servant à empêcher la destruction de la pellicule d'isolant de grille d'un transistor MISFET 71 d'un premier étage inverseur 68, dont l'électrode de grille est raccordée au plot de connexion 8 par l'intermédiaire d'une résistance 10 . La destruction se produit lorsqu'une énergie électrostatique est appliquée au plot de connexion.

Un circuit tel que celui représenté par le schéma équivalent de la figure 2, annexée à la présente demande, est connu en tant que circuit de protection typique 9 utilisé pour réaliser la protection de circuits autres que le circuit de protection, c'est-à-dire le circuit interne du circuit intégré. Un signal envoyé au circuit interne est appliqué à un plot de connexion 8 par l'intermédiaire d'une résistance formée par diffusion 10, dont une extrémité est raccordée au plot 8, et par l'intermédiaire d'un transistor MOSFET de verrouillage 11, dont la grille et la source sont raccordées à la masse et qui est raccordé à la jonction entre la résistance 10 et le circuit intérieur.

Les auteurs à la base de la présente invention ont réalisé des dispositifs à semiconducteurs échantillons 35 comprenant une structure de drain formée par double dif-

fusion et ont découvert le problème suivant.

Dans ce dispositif à semiconducteurs, le dispositif de protection 9 possède également une structure de drain formée par double diffusion. Sur la figure 3 5 annexée à la présente demande on a représenté une vue en coupe du circuit 9. Sur ce dessin, le chiffre de référence 12 désigne un substrat semiconducteur en silicium de type P, la référence 13 une pellicule isolante en SiO_2 , la référence 10 une résistance, la référence 11 un transistor MOSFET de verrouillage, la référence 14 une région de source, la référence 15 une pellicule d'oxyde de grille, la référence 16 une électrode de grille, la référence 17 une pellicule de verre au phosphosilicate (PSG) et la référence 18 une électrode en aluminium. A la fois la 15 résistance diffusée 10 et les régions semiconductrices de la source et du drain du transistor MOSFET de verrouillage 11 possèdent une structure de drain formée par double diffusion et comprennent une couche de type N^+ et une couche de type N^- .

20 Mais, dans le dispositif à semiconducteurs de ce type, il tend à se produire une destruction d'une pellicule isolante d'un transistor MISFET constituant un premier étage inverseur et possédant un drain formé par double diffusion. C'est-à-dire que, étant donné que la tension de claquage inverse au niveau de la jonction d'un 25 transistor MISFET (diode) possédant un drain formé par double diffusion augmente, l'énergie électrostatique est appliquée à la pellicule isolante avant qu'elle puisse s'échapper en direction du substrat par claquage du transistor MISFET de verrouillage. 30

C'est pourquoi un but de la présente invention est de fournir un dispositif à semiconducteurs dans lequel à la fois la dégradation des caractéristiques provoquée par les porteurs chauds et l'altération de la tension de destruction sont réduites et un procédé de fa-

brication d'un tel dispositif à semiconducteurs.

Un autre but est de fournir des dispositifs à semiconducteurs dans lesquels un circuit interne est protégé par un circuit de protection électrostatique, et des procédés de fabrication de tels dispositifs à semiconducteurs.

Ces buts ainsi que d'autres objectifs et de nouvelles caractéristiques de la présente invention ressortiront à l'évidence de la description donnée ci-après prise en référence aux dessins annexés.

On va indiquer ci-après un exemple typique d'un premier aspect de la présente invention, sans que cette dernière y soit limitée.

Le circuit interne est constitué par une structure à drain formé par double diffusion, en vue de réduire l'altération des caractéristiques provoquée par les porteurs chauds, tandis que le circuit de protection comporte une structure de drain réalisée au moyen d'une seule diffusion, si bien que l'intensité de champ agissant sur la pellicule d'oxyde de grille par exemple du transistor MOSFET de balayage peut être réduite, et que l'on peut obtenir un dispositif à semiconducteurs possédant une tension élevée de destruction.

D'autres caractéristiques et avantages de la présente invention ressortiront de la description donnée ci-après prises en référence aux dessins annexés, sur lesquels :

la figure 1 dont il a déjà été fait mention, est une vue en coupe d'un élément MIS à canal N possédant une structure de drain réalisée par double diffusion ;

la figure 2, dont il a déjà été fait mention représente le schéma électrique équivalent d'un exemple d'un circuit de protection électrostatique ;

la figure 3 est une coupe d'un dispositif spécifique correspondant au circuit équivalent de la fi-

gure 2 ;

la figure 4 est une vue en plan d'un exemple du réseau d'agencement d'une microplaquette d'une mémoire DRAM munie d'un circuit de protection électrostatique et d'un circuit interne, qui sont situés sur le même substrat semiconducteur ;

les figures 5 à 8 sont des vues en coupe du dispositif à semiconducteurs, illustrant le procédé de fabrication selon un mode d'exécution de la présente invention ;

les figures 9 et 10 sont des vues en plan schématiques correspondant respectivement au circuit de protection électrostatique et au circuit interne de la figure 8 ;

la figure 11 est un graphique de résultats expérimentaux concernant la tension de claquage diélectrique d'un circuit de protection électrostatique d'une structure de drain obtenue par simple diffusion, par rapport au cas d'un circuit de protection électrostatique comportant une structure de drain réalisée par double diffusion ;

la figure 12, dont il a déjà été fait mention, représente le schéma d'un circuit de protection électrostatique et d'un circuit interne spécifique, protégé par ce circuit ;

les figures 13 et 14 montrent respectivement des schémas de circuits illustrant la présente invention appliquées à un transistor MISFET constitué par un premier étage d'un tampon d'entrée et par un transistor MISFET constituant l'étage final d'un tampon de sortie ;

les figures 15, 16 et 17 montrent des schémas de circuits utilisés pour des circuits connus sous l'appellation CMISIC ; et

les figures 18 et 19 montrent des coupes transversales d'autres exemples de réalisation d'un dis-

positif à semiconducteurs conforme à l'invention.

Ci-après on va décrire en référence aux figures 4 à 10 une forme de réalisation du dispositif à semiconducteurs et un mode d'exécution de sa fabrication 5 conformément à la présente invention. Cependant une telle description ne constitue en aucune manière une limitation de la présente invention dans ses différents aspects.

La figure 4 montre un exemple de l'agencement ou de la configuration d'une microplaquette 7 d'une mémoire 10 RAM selon une forme de réalisation de la présente invention. Le chiffre de référence 8 désigne un plot de connexion, la référence 9 désigne un circuit de protection prévu pour chaque plot de connexion, la référence 100 désigne un circuit de production de signaux qui produit des signaux de cadencement de lecture et d'enregistrement, etc, la référence 101 désigne un réseau de mémoire dans lequel des éléments MIS sont utilisés en tant que cellules de mémoire, et la référence 102 désigne des 20 décodeurs de colonne et de ligne. Ces éléments constituent la microplaquette de la mémoire DRAM (mémoire dynamique à accès directe ou aléatoire).

Les figures 5 à 8 sont des vues en coupe montrant, selon une progression pas-à-pas, la mise en oeuvre du procédé de fabrication d'un dispositif à semiconducteurs pris à titre d'exemple pour la présente invention. 25 Le circuit de protection est représenté sur la gauche de chaque dessin et une cellule de mémoire, qui fait partie du circuit interne, est représentée sur la droite. La figure 8 est une vue en coupe d'un dispositif à semiconducteurs complet, et les figures 9 et 10 sont des vues 30 en plan schématique du dispositif à semiconducteurs de la figure 8.

La figure 5 est une vue en coupe montrant l'état dans lequel le procédé ainsi que la formation de l'électrode de grille du transistor MOSFET de la mémoire DRAM 35

ont été mis en oeuvre conformément à une technique classique. Sur le dessin, le chiffre de référence 20 désigne un substrat semiconducteur, la référence 21 une pellicule d'oxyde de grille, et la référence 22 une électrode de grille. Le substrat semiconducteur 20 est par exemple un substrat en silicium monocristallin de type P possédant un plan d'orientation cristalline (100), par exemple et la pellicule d'oxyde de grille 21 est par exemple une pellicule de SiO_2 . L'électrode de grille 22 est une couche conductrice constituant une seconde couche et est formée par le dépôt chimique en phase vapeur (dépôt CVD) de silicium polycristallin, et par diffusion ultérieure d'ions de phosphore ou analogues de manière à former un silicium polycristallin possédant une résistance réduite. L'électrode de grille peut être constituée par une couche d'un métal qui possède un point de fusion élevé, par une couche du siliciure d'un tel métal ou par une structure à deux couches comprenant du silicium polycristallin et le siliciure d'un métal possédant un point de fusion élevé. Le circuit représenté sur la figure 2 est illustré à titre d'exemple du circuit de protection situé sur la gauche de la figure 5, et la cellule de la mémoire RAM est représentée à titre d'exemple du circuit interne sur la droite du dessin.

Le chiffre de référence 23 désigne une pellicule d'oxyde épaisse réalisant une isolation et qui est formée au moyen d'une oxydation thermique sélective de la surface du substrat en silicium 20 par exemple. Une pellicule 25 de nitrure de silicium (Si_3N_4) agissant en tant que pellicule diélectrique d'un condensateur de stockage est formée sur la surface de la pellicule d'oxyde de champ 23 formée sur le côté de la cellule de mémoire, et également sur la surface d'une pellicule mince de SiO_2 24, qui prolonge la pellicule 23. Une électrode en silicium polycristallin 27 est formée sur la pellicule mince 25 moyen-

nant l'interposition d'une pellicule de SiO_2 26 et on y fait diffuser du phosphore ou analogue de manière à réduire sa résistance. La couche conductrice, qui est la première couche constituant cette électrode en silicium 5 polycristallin 27, forme l'une des électrodes du condensateur de la cellule de mémoire. A ce sujet, on indique qu'une implantation d'ions pour l'obtention d'une couche empêchant une inversion, c'est-à-dire une couche formant dispositif d'arrêt de canal ou bien pour commander la 10 tension de seuil, etc, a déjà été réalisée à ce stade. Ensuite, comme représenté sur la figure 6, on forme de façon sélective une pellicule de résine photosensible 28 sur la surface uniquement du circuit de protection, au moyen d'un procédé photolithographique. De façon spé- 15 cifique, on forme la pellicule de résine photosensible 28 ($1 \mu\text{m}$) uniquement sur la région A sur la figure 4. On met ensuite en oeuvre une implantation ionique en utilisant cette pellicule de résine photosensible 28 comme masque afin de former la couche de type N^- de la struc- 20 ture de drain formée par double diffusion, sur l'ensemble de la surface du dispositif à semiconducteurs. Cette implantation d'ions utilise les ions de phosphore en tant qu'impureté de type N par exemple, et constitue une couche de diffusion de type N^- 29 en tant que région source- 25 drain. La dose est de $1 \times 10^{14}/\text{cm}^2$ et l'énergie est égale à 50 keV. On peut utiliser comme impureté des ions d'arsenic.

En se référant à la figure 7, on voit qu'on élimine la résine de pellicule photosensible 28 et que 30 l'on implante des ions d'une impureté de type N, tels que des ions d'arsenic, de manière à former une couche de type N^+ 30 ayant la structure de drain formée par double diffusion et une couche résistive 31 formée par diffusion, du circuit de protection, ainsi qu'une région de source- 35 drain 32 du transistor MOSFET de verrouillage. La dose

est égale à $8 \times 10^{15}/\text{cm}^2$ et l'énergie est égale à 80 keV. On peut utiliser comme impureté les ions de phosphore.

Comme on peut le noter, la résistance formée par diffusion peut être constituée par une couche de polysilicium, c'est-à-dire qu'elle peut être formée sur le substrat semiconducteur.

Comme on peut le voir sur les figures 6 et 7, le circuit de protection possède une structure de drain obtenue par simple diffusion, tandis que le circuit interne possède une structure de drain formée par double diffusion. Dans ce cas, on forme la pellicule de résine photosensible 28 de façon sélective de manière à empêcher l'implantation des ions de phosphore de type N^- dans le circuit de protection. Cependant l'implantation des ions de phosphore dans le circuit de protection peut être également empêchée grâce à la commande du balayage de l'implantation ionique (afin d'éviter le balayage de la région incluant le circuit de protection, c'est-à-dire la région A sur la figure 4) étant donné que, comme le circuit de protection électrostatique est formé habituellement dans l'ensemble complet, dans une certaine région autour du pourtour de la microplaquette comme cela est représenté sur la figure 4, il est relativement aisé d'empêcher le balayage de l'implantation ionique en limitant afin d'éviter cette région.

Après que le circuit de protection électrostatique de la structure de drain obtenue par simple diffusion et le circuit interne possédant la structure de drain formée par double diffusion ont été ainsi réalisés, on forme une pellicule de verre au phosphosilicate, (pellicule de PSG) 33 et une couche d'aluminium agissant en tant que troisième couche conductrice, comme cela est représenté sur la figure 8. La couche d'aluminium agit en tant qu'électrode de sortie 34 pour la résistance formée par diffusion 34, en tant qu'électrode de source 35 pour

le circuit interne, en tant qu'électrode de source 36 et en tant que ligne 37 de transmission de données de la cellule de mémoire. A ce sujet, une fois réalisée la formation de la pellicule de PSG 33, on utilise une corrosion photochimique pour former des trous de contact pour ces électrodes, et on réalise une pulvérisation d'aluminium pour former les électrodes. Enfin on forme une pellicule de PSG 38 en tant que pellicule de protection.

10 Les figures 9 et 10 sont des vues en plan schématiques respectives du circuit de protection électrostatique et du circuit interne de la figure 8. Une coupe prise suivant la ligne B-B de la figure 9 et une coupe prise suivant la ligne C-C de la figure 10 correspondent 15 à la région du circuit de protection et à la région du circuit interne de la figure 8 respectivement.

Sur la figure 9, le chiffre de référence 40 désigne un plot de connexion, la référence 41 une couche formée par diffusion pour une partie d'entrée, la référence 20 42 un trou de contact et la référence 43 une résistance obtenue par diffusion. Le chiffre de référence 44 désigne un transistor MOSFET de verrouillage qui est constitué par une région 45 raccordée électriquement à la résistance formée par diffusion 43, une électrode de grille 25 46 et une source 47. La région 45 est raccordée à une ligne 45B de transmission de signaux, réalisée en Al, par l'intermédiaire de contacts 45A, et la ligne en Al 45B de transmission de signaux est raccordée électriquement au circuit interne. De façon similaire la source 47 30 est raccordée à une ligne en Al 47B par l'intermédiaire de contacts 47A et une extrémité de la ligne en Al 47B est raccordée à l'électrode de grille par l'intermédiaire d'un contact 48, tandis que son autre extrémité est mise à la masse.

35 Sur la figure 10, le chiffre de référence 50

désigne une ligne limite de la pellicule d'oxyde de champ, qui définit la région active de la cellule de mémoire, et le chiffre de référence 51 désigne une ligne de transmission de mots en silicium polycristallin et correspond à l'électrode de grille du transistor MOSFET. Le chiffre de référence 52 désigne le silicium polycristallin agissant en tant que l'une des électrodes du condensateur de la cellule de mémoire, et la référence 53 désigne une électrode en aluminium raccordée à un trou de contact 54 de la ligne de transmission de données.

La figure 11 est un graphique représentant des données expérimentales typiques et servant à comparer la tension de destruction électrostatique du circuit de protection muni d'une structure de drain formée par simple diffusion, à celle d'un circuit de protection muni d'une structure de drain formée par double diffusion. Le taux de pannes cumulées en pourcentage est représenté sur l'axe des ordonnées, et la tension de destruction électrostatique (V) est représentée sur l'axe des abscisses. La ligne brisée (a) est associée aux données relatives à la structure de drain formée par double diffusion, et la ligne brisée (b) est associée aux données de la structure de drain formée par simple diffusion. On a examiné la résistance à la rupture de la même broche de cinq échantillons. On peut comprendre d'après le graphique d'un circuit de protection possédant une structure de drain formée par simple diffusion présente une tension de destruction électrostatique nettement meilleure.

Comme cela a été décrit ci-dessus, étant donné que le circuit de protection possède une structure de drain réalisée par simple diffusion et que le circuit interne possède une structure de drain réalisée par double diffusion, la concentration du champ électrique dans le circuit intérieur et la concentration du champ élec-

trique dans la pellicule d'oxyde de grille du premier étage MISFET du circuit interne peut être réduite, ce qui s'oppose à la fois au porteur chaud et à la tension de destruction.

5 Etant donné qu'un masque est appliqué au circuit de protection afin d'empêcher la formation de l'une des couches de diffusion du drain formé par double diffusion, on peut fabriquer aisément le dispositif à semi-conducteurs selon l'invention en ajoutant seulement une
10 phase opératoire photolithographique.

Si l'on utilise un procédé servant à commander localement le balayage d'implantation ionique de manière à éviter le circuit de protection réalisé selon un agencement omniprésent ou bien localement, la présente inven-
15 tion peut être mise en oeuvre au moyen d'un procédé simple de fabrication.

Bien que l'invention ait été décrite de façon spécifique en référence à une forme de réalisation, elle n'y est pas limitée de façon particulière mais peut
20 faire l'objet de différentes variantes. Par exemple un circuit de protection de cette forme de réalisation se compose d'une résistance formée par diffusion et d'un transistor MOSFET de verrouillage, mais il n'est pas particulièrement limité à cette réalisation et peut être ap-
25 pliqué à différents circuits de protection qui utilisent au moins le claquage de la jonction dans une couche formée par diffusion et le claquage de surface à l'extrémité du drain d'un transistor MOSFET de verrouillage pour améliorer la tension de claquage diélectrique. En
30 outre le transistor MOSFET de verrouillage peut être remplacé par une ou deux diodes de jonction. Dans ce cas la jonction de la diode est formée entre une couche de type N^+ formée en même temps qu'une couche de type N^{+-}
30,31 et 32 et un substrat de type P. De façon similaire
35 on a décrit une mémoire DRAM à titre d'exemple du circuit

interne, mais ce dernier n'est pas particulièrement limité à une mémoire DRAM et l'invention peut s'appliquer dans une large mesure à des circuits munis d'éléments MIS qui possèdent au moins une structure de drain formée par 5 double diffusion. Par conséquent la présente invention peut être mise en oeuvre dans un transistor MISFET possédant une structure de drain réalisée par simple diffusion, et appliquée à un transistor MISFET constituant le premier étage d'un tampon d'entrée et un transistor MISFET 10 constituant un étage final d'un tampon de sortie. En ce qui concerne les schémas des circuits pour de tels transistors MISFET possédant la structure réalisée par simple diffusion et qui sont appliqués au transistor MISFET constituant le premier étage d'un tampon d'entrée et au transistor MISFET 15 constituant les étages finals d'un tampon de sortie, on se reportera respectivement aux figures 13 et 14. Sur ces figures 13 et 14 respectivement les références 80 à 82 représentent le plot d'entrée et le plot de sortie et la structure entourée par des lignes formées 20 de tirets 83,84 représente la structure de drain formée par simple diffusion.

En outre l'invention peut être appliquée à des transistors MISFET à canal N d'un circuit CMISIC, dans lequel les transistors MOSFET à canal N sont formés dans 25 une région de puits P ou dans le substrat de type P.

Les figures 15,16 et 17 représentent les schémas d'un tel circuit CMISIC. La structure présente à l'intérieur des lignes formées de tirets 85,86 et 87 représente la structure de drain réalisée par simple diffusion. 30 Les structures des transistors MISFET 88,89 et 90 sur la figure 15 sont représentées sur la figure 18. Le transistor MISFET à canal N 89 possédant une structure de drain formée par double diffusion et comportant une couche de type N^+ 58 et une couche de type N^- 59 est réalisée 35 dans un substrat de type P^- 56. Des régions de type P^+ 61

agissent en tant que régions de source et de drain du transistor MISFET 90 à canal P, réalisé dans une région de puits de type N^- 57, tandis que le transistor MISFET 88 possédant une structure de drain réalisée par simple diffusion est formé par une couche de type N^+ 60 est réalisé dans le substrat 56. Une diode 91 possède la même structure que le transistor MISFET 88. Des diodes à jonction 93, 94, 96, 97 sont formées entre un substrat de type P et une couche de type N^+ comme par exemple la couche de type N^+ 60, qui est formée en même temps que les drains individuels de transistors MISFET. Dans le cas où une résistance 92 est constituée par une couche de type N^+ telle que la couche 60, la diode 94 peut être formée dans la pratique entre la résistance 92 et le substrat de type P 56 (figure 18).

En outre la présente invention peut être appliquée au cas où des transistors MISFET à canal N 91 possèdent une structure telle que représentée sur la figure 19. La région de source et/ou de drain du transistor MISFET 91 est constituée par une couche de type N^- 64 formée avec auto-alignement par rapport à une électrode de grille 65, et une couche de type N^+ 63 formée avec auto-alignement par rapport à une entretoise latérale 62 et l'électrode de grille 65. Par exemple le transistor MISFET 91 remplace le transistor MISFET 89.

Ainsi, bien que la description précédente a porté sur une mémoire DRAM et sur son circuit de protection, la présente invention peut être appliquée largement à des circuits intégrés MOS ordinaires tels que des mémoires DRAM (par exemple des mémoires DRAM à 256 kbits, des mémoires SRAM, des circuits logiques MOS, etc).

Bien que la présente invention ait été illustrée et décrite en référence à l'une de ses formes de réalisation, on comprendra qu'elle n'est pas limitée à cette forme de réalisation et peut faire l'objet de nombreuses modifications et changements du type connu par un

spécialiste ordinaire de la technique et on comprendra que la présente invention n'est donc pas limitée auxdites formes de réalisation mais englobe toutes les modifications de cette nature, qui entrent donc dans le cadre de la présente invention.

REVENDEICATIONS

1. Dispositif à semiconducteurs caractérisé en ce qu'il comporte un premier circuit (100) comportant au moins un élément MIS, et un second circuit (9 ; 33) 5 raccordé électriquement audit premier circuit, et que lesdits premier et second circuits sont formés sur le même substrat semiconducteur (20), que le premier circuit (100) possède une structure de drain formée par double diffusion et que le second circuit (9) possède une structure 10 de drain formée par simple diffusion.
2. Dispositif à semiconducteurs selon la revendication 1, caractérisé en ce que ledit premier circuit (101) est un circuit interne et que ledit second circuit (9) est un circuit de protection électrostatique, le circuit de protection électrostatique étant ajouté pour protéger le circuit interne vis-à-vis de signaux extérieurs anormaux. 15
3. Dispositif à semiconducteurs selon la revendication 2, caractérisé en ce que ledit circuit de protection électrostatique comporte au moins une résistance diffusée (43) et au moins un élément MIS de verrouillage (45, 46,47). 20
4. Dispositif à semiconducteurs selon la revendication 3, caractérisé en ce que ladite résistance diffusée (43) possède une structure de drain formée par simple 25 diffusion.
5. Dispositif à semiconducteurs selon la revendication 3, caractérisé en ce qu'il comporte un plot de connexion d'entrée (8,40) et que ladite résistance est raccordée électriquement au circuit interne et audit plot de 30 connexion.
6. Dispositif à semiconducteurs selon la revendication 2, caractérisé en ce qu'il comporte un plot de connexion extérieur et que le circuit de protection électrostatique est raccordé électriquement au plot de connexion 35 extérieur.

7. Dispositif à semiconducteurs selon la revendication 2, caractérisé en ce que ledit circuit interne (101) comporte un élément de mémoire RAM dynamique.

8. Dispositif à semiconducteurs selon la revendication 3, caractérisé en ce que ledit circuit interne (101) possède un élément de mémoire RAM dynamique.

9. Procédé de fabrication d'un dispositif à semiconducteurs du type comportant un premier circuit (101) muni d'au moins un élément MIS et d'un second circuit raccordé électriquement audit premier circuit, tandis que les premier et second circuits sont formés sur le même substrat semiconducteur (20), caractérisé en ce qu'il inclut les phases opératoires consistant à former un masque (28) sur ledit second circuit (9) puis à former une première couche diffusée (29) pour ledit élément MIS et, une fois que ledit masque (28) est enlevé, à former une seconde couche de diffusion (30) pour ledit élément MIS et une couche de diffusion (31) pour ledit second circuit (9), si bien que ledit premier circuit possède une structure de drain formée par double diffusion et que ledit second circuit possède une structure de drain formée par simple diffusion.

10. Procédé de fabrication d'un dispositif à semiconducteurs selon la revendication 9, caractérisé en ce que ledit premier circuit (101) est un circuit interne et que ledit second circuit (9) est un circuit de protection électrostatique, le circuit de protection électrostatique étant ajouté de manière à protéger le circuit interne vis-à-vis des signaux extérieurs anormaux.

11. Procédé de fabrication d'un dispositif à semiconducteurs selon la revendication 9, caractérisé en ce que ledit masque (28) est constitué par une pellicule de résine photosensible.

12. Procédé de fabrication d'un dispositif à semiconducteurs selon la revendication 9, caractérisé en ce que lesdites première et seconde couches diffusées (29,

30) et ladite couche diffusée (31) dudit second circuit sont formées chacune par implantation ionique.

13. Procédé de fabrication d'un dispositif à semiconducteurs selon la revendication 12, caractérisé en ce que ladite première couche diffusée (29) est une couche de type N^- formée par implantation ionique d'ions de phosphore et que ladite seconde couche diffusée (32) et ladite couche diffusée (32) formant ladite couche de protection électrostatique sont des couches de type N^+ formées par implantation d'ions d'arsenic.

14. Procédé de fabrication d'un dispositif à semiconducteurs selon la revendication 9, caractérisé en ce que ladite seconde couche diffusée (30) et ladite couche diffusée (31) dudit second circuit (9) sont formées simultanément.

15. Procédé de fabrication d'un dispositif à semiconducteurs possédant un premier circuit (101) constitué par au moins un élément MIS et par un second circuit (9) raccordé électriquement audit premier circuit, les premier et second circuits étant formés sur le même substrat semiconducteur (20), caractérisé en ce qu'il inclut des phases opératoires consistant à réaliser un balayage d'implantation ionique sur seulement ledit premier circuit (101) dudit dispositif à semiconducteurs de manière à former une premier couche diffusée (29) pour ledit élément MIS, et à effectuer un autre balayage d'implantation ionique sur l'ensemble de la surface dudit dispositif à semiconducteurs de manière à former une seconde couche diffusée (30) pour ledit élément MIS et une couche diffusée (31) pour ledit second circuit, de telle sorte que ledit premier circuit (101) possède une structure de drain double et que ledit second circuit (9) possède une structure de drain simple.

16. Procédé de fabrication d'un dispositif à semiconducteurs selon la revendication 15, caractérisé en ce que ledit premier circuit (101) est un circuit interne

et que ledit second circuit (9) est un circuit de protection électrostatique, ce circuit de protection électrostatique étant ajouté de manière à protéger le circuit interne vis-à-vis de signaux extérieurs anormaux .

5 17. Procédé de fabrication d'un dispositif à semiconducteurs selon la revendication 16, caractérisé en ce que ledit circuit de protection électrostatique (9) est disposé dans une partie périphérique dudit substrat semiconducteur (20), selon une disposition décalée.

10 18. Procédé de fabrication d'un dispositif à semiconducteurs selon la revendication 15, caractérisé en ce que ladite première couche diffusée (29) est une couche de type N^- formée par implantation d'ions de phosphore et que ladite seconde couche diffusée (30) et ladite couche diffusée (31), constituant ladite couche de protection électrostatique sont des couches de type N^+ formées par implantation d'ions d'arsenic.

 19. Procédé de fabrication d'un dispositif à semiconducteurs tel que défini selon la revendication 1,
20 caractérisé en ce que ladite première couche diffusée (29) est une couche de type N^- formée par implantation d'ions de phosphore et que ladite seconde couche diffusée (30) et ladite couche diffusée (31) formant ladite couche de protection électrostatique sont des couches de type N^+ for-
25 mées par implation d'ions d'arsenic.

FIG. 1

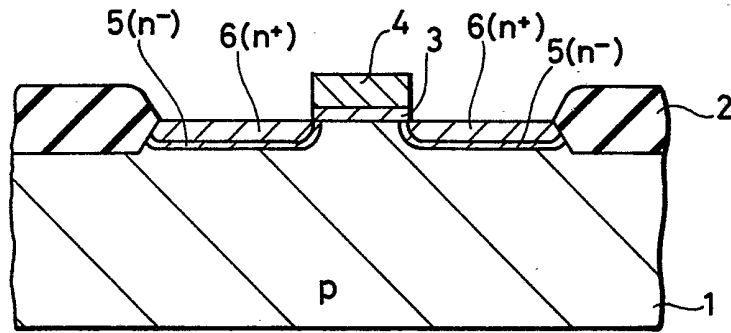


FIG. 2

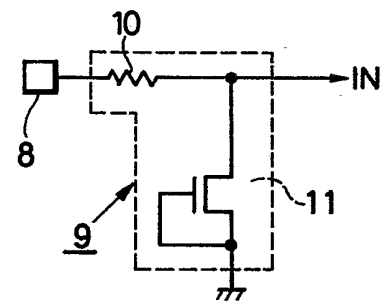


FIG. 3

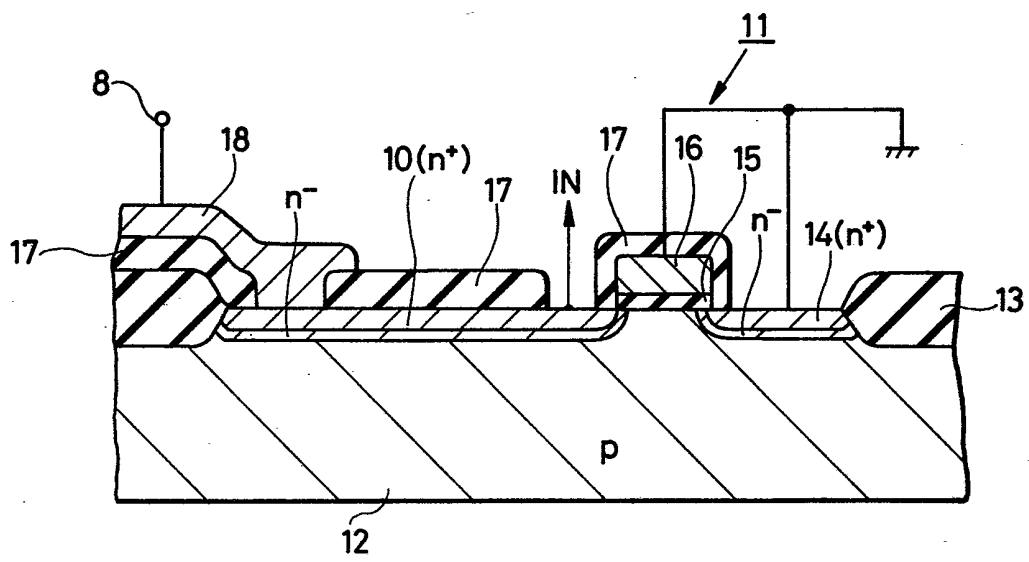


FIG. 4

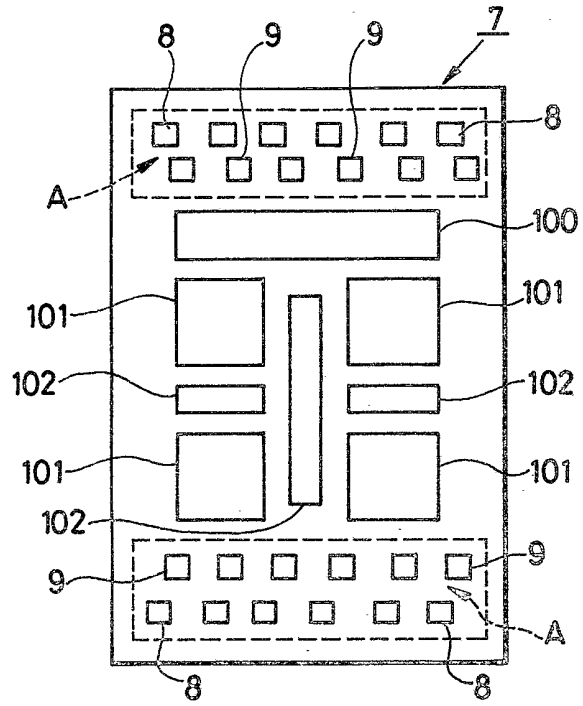


FIG. 5

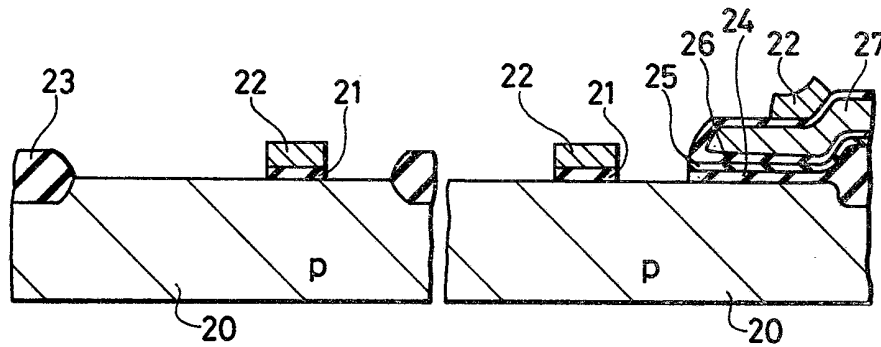


FIG. 6

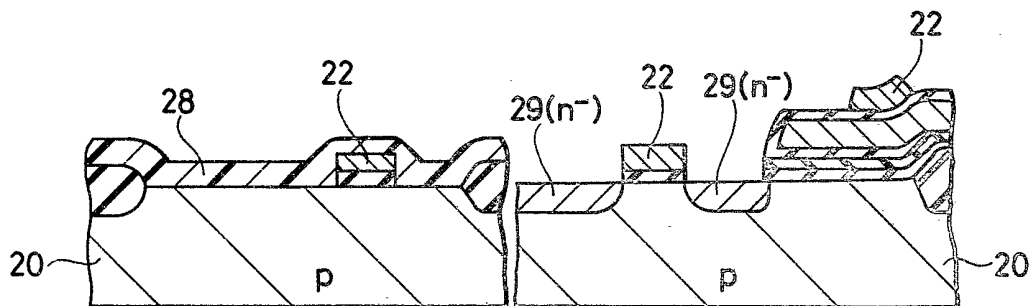


FIG. 7

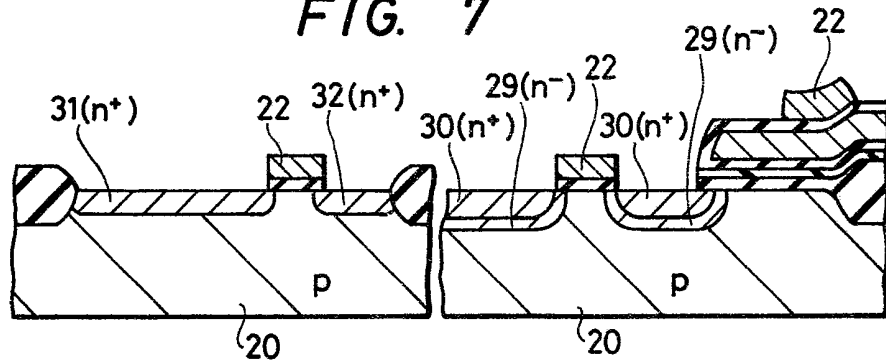


FIG. 8

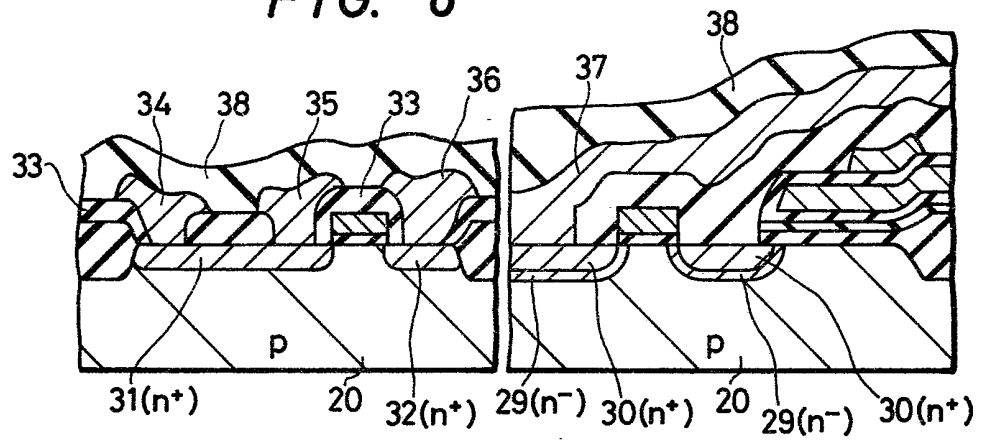


FIG. 9

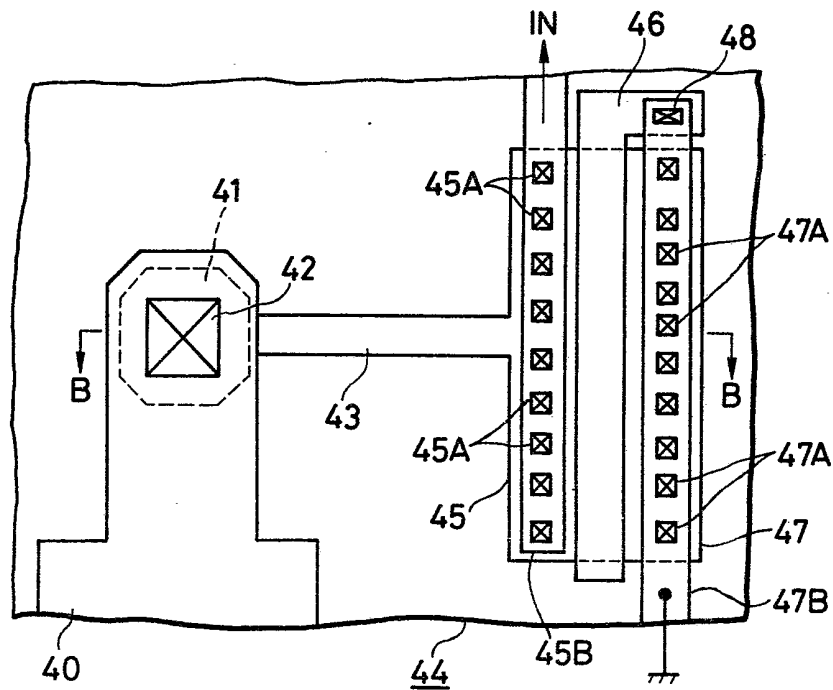


FIG. 10

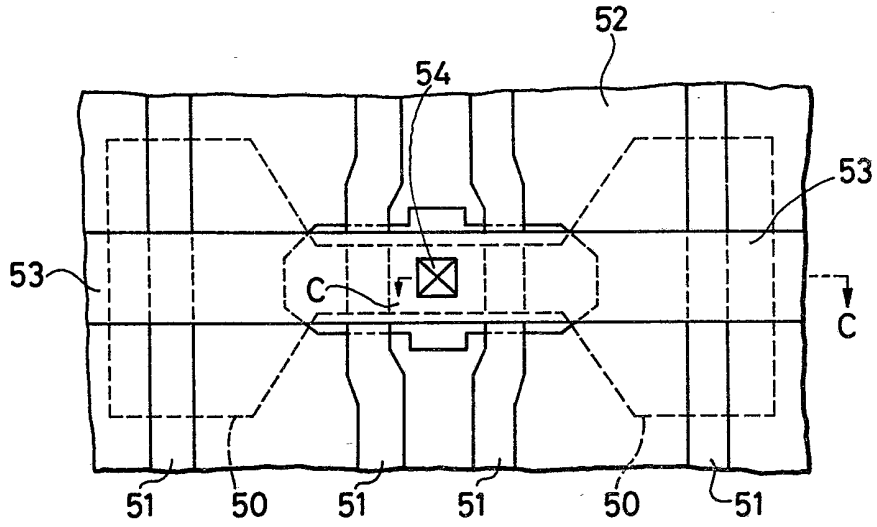


FIG. 11

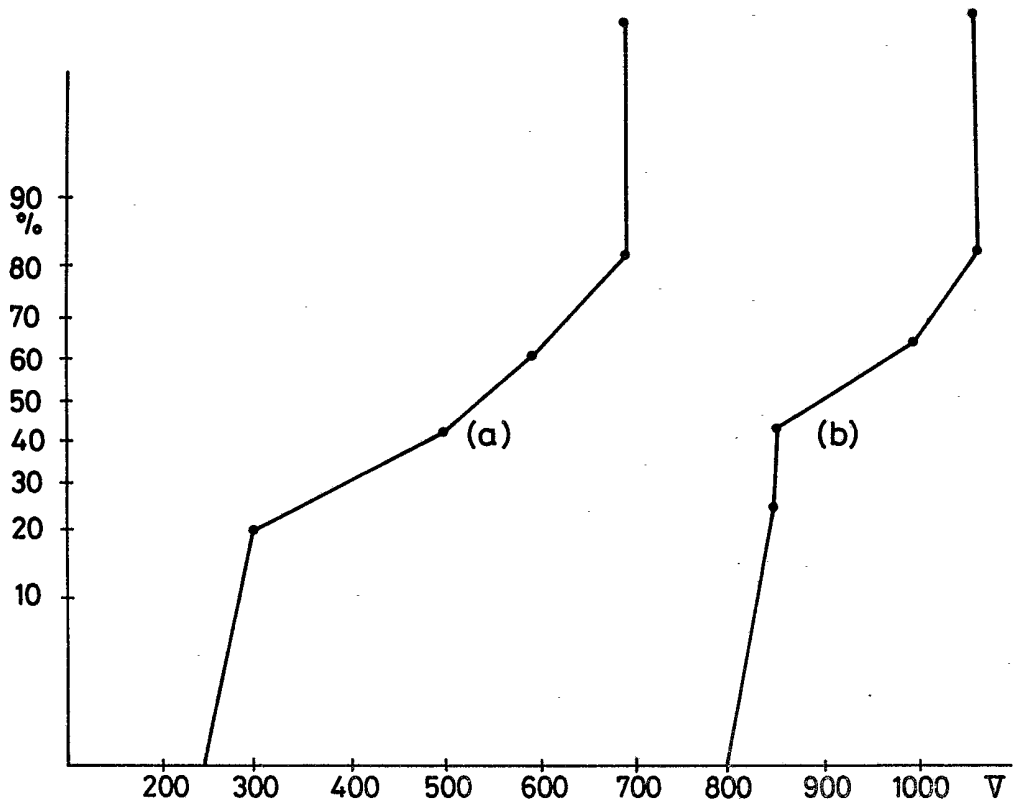


FIG. 12

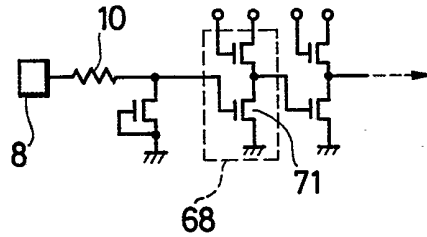


FIG. 15

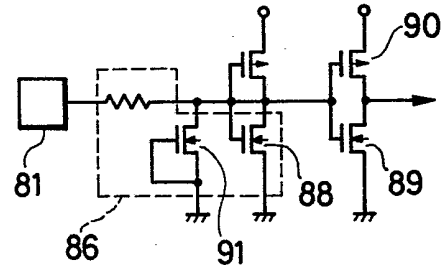


FIG. 13

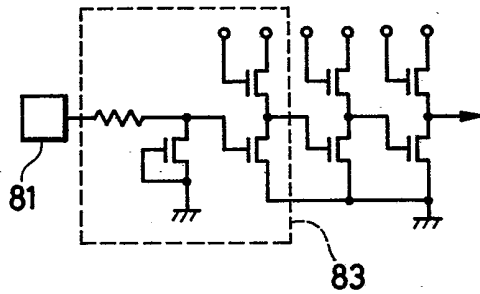


FIG. 16

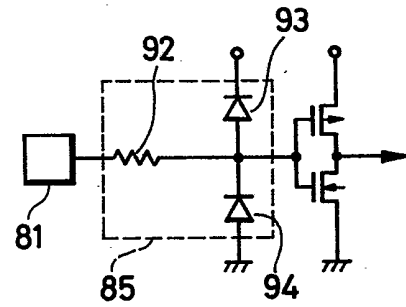


FIG. 14

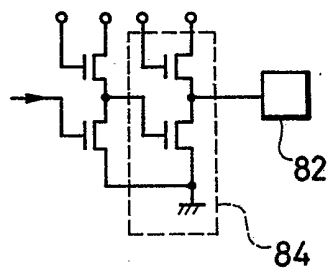


FIG. 17

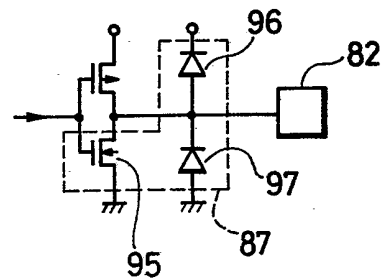


FIG. 18

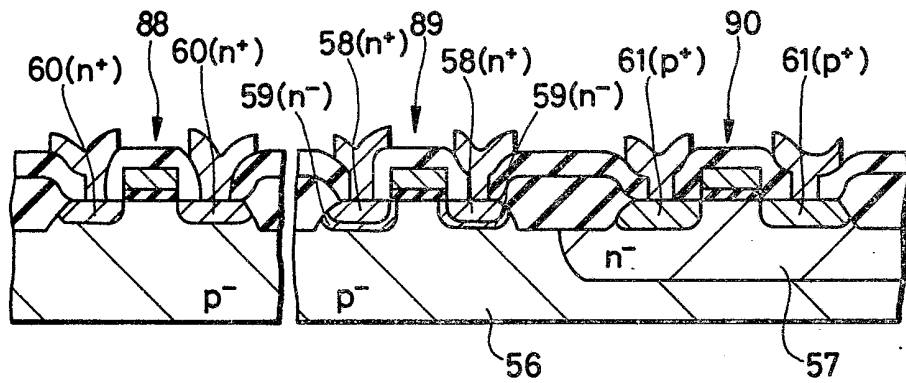


FIG. 19

