

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2020-43733

(P2020-43733A)

(43) 公開日 令和2年3月19日 (2020.3.19)

(51) Int.Cl.	F I	テーマコード (参考)
H02H 7/18 (2006.01)	H02H 7/18	5F038
H02J 7/00 (2006.01)	H02J 7/00 S	5F048
H02J 7/34 (2006.01)	H02J 7/34 F	5G053
H01L 21/8236 (2006.01)	H01L 27/088 311A	5G503
H01L 27/088 (2006.01)	H01L 27/04 B	5H030
審査請求 有 請求項の数 11 O L (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2018-171568 (P2018-171568)	(71) 出願人	000006220
(22) 出願日	平成30年9月13日 (2018.9.13)		ミツミ電機株式会社
(11) 特許番号	特許第6477964号 (P6477964)		東京都多摩市鶴牧2丁目11番地2
(45) 特許公報発行日	平成31年3月6日 (2019.3.6)	(74) 代理人	100107766
			弁理士 伊東 忠重
		(74) 代理人	100070150
			弁理士 伊東 忠彦
		(72) 発明者	山下 大地
			東京都多摩市鶴牧2丁目11番地2 ミツミ電機株式会社内
		(72) 発明者	川口 徳仁
			東京都多摩市鶴牧2丁目11番地2 ミツミ電機株式会社内
		最終頁に続く	

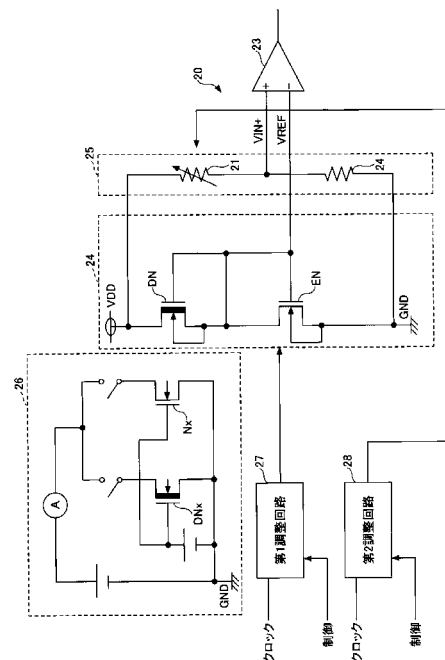
(54) 【発明の名称】 二次電池保護回路

(57) 【要約】

【課題】 基準電圧の温度特性のばらつきの低減。

【解決手段】 二次電池の状態を監視し、異常状態の検出時に前記二次電池を保護する二次電池保護回路であって、デプレッション型の第1トランジスタと、前記第1トランジスタに直列に接続されるエンハンスメント型の第2トランジスタとを用いて、基準電圧を生成する基準電圧回路と、前記二次電池の電源電圧を分圧して得られる検出電圧を出力する分圧回路と、前記基準電圧と前記検出電圧とに基づいて、前記異常状態を検出する検出回路と、前記第1トランジスタの閾値電圧と前記第2トランジスタの閾値電圧とに基づいて、前記第1トランジスタと前記第2トランジスタとのサイズ比を調整する第1調整回路と、前記第1調整回路により前記サイズ比が調整された後の前記基準電圧に基づいて、前記検出電圧を所望の電圧に調整する第2調整回路とを備える、二次電池保護回路。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

二次電池の状態を監視し、異常状態の検出時に前記二次電池を保護する二次電池保護回路であって、

デプレッション型の第 1 トランジスタと、前記第 1 トランジスタに直列に接続されるエンハンスメント型の第 2 トランジスタとを用いて、基準電圧を生成する基準電圧回路と、前記二次電池の電源電圧を分圧して得られる検出電圧を出力する分圧回路と、前記基準電圧と前記検出電圧とに基づいて、前記異常状態を検出する検出回路と、前記第 1 トランジスタの閾値電圧と前記第 2 トランジスタの閾値電圧とに基づいて、前記第 1 トランジスタと前記第 2 トランジスタとのサイズ比を調整する第 1 調整回路と、前記第 1 調整回路により前記サイズ比が調整された後の前記基準電圧に基づいて、前記検出電圧を所望の電圧に調整する第 2 調整回路とを備える、二次電池保護回路。

10

【請求項 2】

前記第 1 調整回路は、前記第 2 トランジスタのチャンネル長を変更することによって、前記サイズ比を調整する、請求項 1 に記載の二次電池保護回路。

【請求項 3】

前記第 2 トランジスタは、メイントランジスタと、前記メイントランジスタに直列に接続される複数のサブトランジスタとを含み、

前記第 1 調整回路は、前記複数のサブトランジスタのそれぞれに並列に接続されるスイッチ回路のいずれかを遮断することによって、前記チャンネル長を変更する、請求項 2 に記載の二次電池保護回路。

20

【請求項 4】

前記スイッチ回路は、前記第 2 調整回路による前記検出電圧の調整後にカット可能に設けられるヒューズ素子と、前記ヒューズ素子のカット前に前記チャンネル長を変更可能に設けられるスイッチ素子とを有する、請求項 3 に記載の二次電池保護回路。

【請求項 5】

前記第 1 調整回路は、前記第 2 トランジスタのチャンネル幅を変更することによって、前記サイズ比を調整する、請求項 1 に記載の二次電池保護回路。

【請求項 6】

前記第 2 トランジスタは、メイントランジスタと、前記メイントランジスタに並列に接続される複数のサブトランジスタとを含み、

前記第 1 調整回路は、前記複数のサブトランジスタのそれぞれに直列に接続されるスイッチ回路のいずれかを遮断することによって、前記チャンネル幅を変更する、請求項 5 に記載の二次電池保護回路。

30

【請求項 7】

前記スイッチ回路は、前記第 2 調整回路による前記検出電圧の調整後にカット可能に設けられるヒューズ素子と、前記ヒューズ素子のカット前に前記チャンネル幅を変更可能に設けられるスイッチ素子とを有する、請求項 6 に記載の二次電池保護回路。

【請求項 8】

前記第 2 トランジスタは、メイントランジスタと、前記メイントランジスタに接続される複数のサブトランジスタとを含み、

前記第 1 調整回路は、前記複数のサブトランジスタのそれぞれに接続されるスイッチ回路のいずれかを遮断することによって、前記サイズ比を調整する、請求項 1 に記載の二次電池保護回路。

40

【請求項 9】

前記スイッチ回路は、前記第 2 調整回路による前記検出電圧の調整後にカット可能に設けられるヒューズ素子と、前記ヒューズ素子のカット前に前記サイズ比を変更可能に設けられるスイッチ素子とを有する、請求項 8 に記載の二次電池保護回路。

【請求項 10】

前記第 2 調整回路は、前記電源電圧の分圧比を変更することによって、前記検出電圧を

50

調整する、請求項 1 から 9 のいずれか一項に記載の二次電池保護回路。

【請求項 1 1】

前記所望の電圧は、前記二次電池の過充電検出電圧又は過放電検出電圧である、請求項 1 から 10 のいずれか一項に記載の二次電池保護回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、二次電池保護回路に関する。

【背景技術】

【0002】

従来、直列に接続されたデプレッション型のトランジスタとエンハンスメント型のトランジスタとを用いて、一定の基準電圧を生成する基準電圧回路が知られている（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2016-143227 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、回路の製造ばらつきによって、基準電圧の温度特性にばらつきが生ずる可能性がある。

【0005】

そこで、本開示は、基準電圧の温度特性のばらつきを低減できる二次電池保護回路を提供する。

【課題を解決するための手段】

【0006】

本開示は、

二次電池の状態を監視し、異常状態の検出時に前記二次電池を保護する二次電池保護回路であって、

デプレッション型の第 1 トランジスタと、前記第 1 トランジスタに直列に接続されるエンハンスメント型の第 2 トランジスタとを用いて、基準電圧を生成する基準電圧回路と、前記二次電池の電源電圧を分圧して得られる検出電圧を出力する分圧回路と、

前記基準電圧と前記検出電圧とに基づいて、前記異常状態を検出する検出回路と、

前記第 1 トランジスタの閾値電圧と前記第 2 トランジスタの閾値電圧とに基づいて、前記第 1 トランジスタと前記第 2 トランジスタとのサイズ比を調整する第 1 調整回路と、

前記第 1 調整回路により前記サイズ比が調整された後の前記基準電圧に基づいて、前記検出電圧を所望の電圧に調整する第 2 調整回路とを備える、二次電池保護回路を提供する。

【発明の効果】

【0007】

本開示の技術によれば、基準電圧の温度特性のばらつきを低減できる。

【図面の簡単な説明】

【0008】

【図 1】基本的な基準電圧回路の構成例を示す図である。

【図 2】基準電圧の温度特性の一例を示す概略図である。

【図 3】過充電検出電圧の温度特性の一例を示す図である。

【図 4】本実施形態における二次電池保護回路を備える電池パックの構成例を示す図である。

【図 5】本実施形態における基準電圧回路の第 1 の構成例を示す図である。

10

20

30

40

50

【図 6】本実施形態における基準電圧回路の第 2 の構成例を示す図である。

【図 7】基準電圧の温度特性の調整後の過充電検出電圧の温度特性を例示する図である。

【図 8】基準電圧の温度特性のばらつきによる過充電検出電圧のばらつきを低減する構成を例示する図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態を図面に従って説明する。まず、回路の製造ばらつきによって生ずる基準電圧の温度特性のばらつきについて説明する。

【0010】

図 1 は、基本的な基準電圧回路の構成例を示す図である。図 1 に示す基準電圧源 100 は、高電源電位部 VDD と低電源電位部 GND との間の電源電圧の電圧値の変化に依存せず、一定の基準電圧 VREF を出力可能な基準電圧回路である。基準電圧源 100 は、高電源電位部 VDD と低電源電位部 GND との間に直列に接続されるデプレッション型の NMOS (N-channel Metal Oxide Semiconductor) トランジスタ 101 とエンハンスメント型の NMOS トランジスタ 102 とを用いて、一定の基準電圧 VREF を生成する。以下、単に、デプレッション型の NMOS トランジスタ 101 をトランジスタ 101 と称し、エンハンスメント型の NMOS トランジスタ 102 をトランジスタ 102 と称する場合がある。トランジスタ 101 のドレイン電流 ID1 は、式 1 で表され、トランジスタ 102 のドレイン電流 ID2 は、式 2 で表される。

【0011】

【数 1】

$$ID1 = \frac{1}{2} \mu_{ND} C_{OX} \frac{W_{ND}}{L_{ND}} (-V_{thnd})^2 \quad \dots (1)$$

$$ID2 = \frac{1}{2} \mu_{NE} C_{OX} \frac{W_{NE}}{L_{NE}} (V_{GS} - V_{thne})^2 \quad \dots (2)$$

式 1 において、 μ_{ND} はトランジスタ 101 における電子の移動度、 C_{OX} はトランジスタ 101 における単位面積当たりのゲート容量、 W_{ND} はトランジスタ 101 のチャネル幅、 L_{ND} はトランジスタ 101 のチャネル長、 V_{thnd} はトランジスタ 101 の閾値電圧を表す。式 2 において、 μ_{NE} はトランジスタ 102 における電子の移動度、 C_{OX} はトランジスタ 102 における単位面積当たりのゲート容量、 W_{NE} はトランジスタ 102 のチャネル幅、 L_{NE} はトランジスタ 102 のチャネル長、 V_{thne} はトランジスタ 102 の閾値電圧、 V_{GS} はトランジスタ 102 のゲートソース間の電圧を表す。

【0012】

ここで、チャネル長とチャネル幅の比 (W/L) に関して、

【0013】

【数 2】

$$\frac{W_{ND}}{L_{ND}} = X \frac{W_{NE}}{L_{NE}} \quad \dots (3)$$

と定義する。 W_{ND}/L_{ND} はデプレッション型のトランジスタの比 (W/L)、 W_{NE}

／ L_{NE} はエンハンスメント型のトランジスタの比 (W/L)、 X はデプレッション型のトランジスタとエンハンスメント型のトランジスタとのサイズ比を表す。つまり、 W_{ND}/L_{ND} は W_{NE}/L_{NE} の X 倍とする。このとき、 I_{D1} と I_{D2} が等しければ、式 1 ～ 3 に基づいて、トランジスタ 102 のゲートソース間の電圧 V_{GS} は、式 4 で表すことができる。

【0014】

【数 3】

$$\frac{1}{2} \mu_{ND} C_{OX} X \frac{W_{NE}}{L_{NE}} (-V_{thnd})^2 = \frac{1}{2} \mu_{NE} C_{OX} \frac{W_{NE}}{L_{NE}} (V_{GS} - V_{thne})^2$$

10

$$\sqrt{\mu_{ND} X \frac{W_{NE}}{L_{NE}} \cdot |V_{thnd}|} = \sqrt{\mu_{NE} \frac{W_{NE}}{L_{NE}} \cdot (V_{GS} - V_{thne})}$$

$$\sqrt{X \frac{\mu_{ND} \cdot W_{NE} \cdot L_{NE}}{\mu_{NE} \cdot W_{NE} \cdot L_{NE}} \cdot |V_{thnd}|} = (V_{GS} - V_{thne})$$

$$V_{GS} = \sqrt{X \frac{\mu_{ND}}{\mu_{NE}} \cdot |V_{thnd}|} + V_{thne} \quad \dots (4)$$

20

トランジスタ 102 のゲートソース間の電圧 V_{GS} は、基準電圧 V_{REF} に相当するので、基準電圧 V_{REF} は、式 5 で表すことができる。

【0015】

【数 4】

$$V_{REF} = \sqrt{X \frac{\mu_{ND}}{\mu_{NE}} \cdot |V_{thnd}|} + V_{thne} \quad \dots (5)$$

30

$$= \sqrt{A} \cdot |V_{thnd}| + V_{thne}$$

式 5 は、基準電圧源 1000 が電源電圧にかかわらず、一定の基準電圧 V_{REF} を出力可能であることを示している。

40

【0016】

図 2 は、式 5 で表される基準電圧 V_{REF} の温度特性の一例を示す概略図である。 T_a は、基準温度（例えば、 25°C ）を表す。 ΔV_{REF} は、基準温度 T_a における基準電圧 V_{REF} との差（基準電圧 V_{REF} の変動量）、 $\Delta |V_{thnd}|$ は、基準温度 T_a における閾値電圧 $|V_{thnd}|$ （つまり、閾値電圧 V_{thnd} の絶対値）との差（閾値電圧 V_{thnd} の変動量）、 ΔV_{thne} は、基準温度 T_a における閾値電圧 V_{thne} との差（閾値電圧 V_{thne} の変動量）を表す。 $\sqrt{A}$ は、式 5 における $\sqrt{(X \times (\mu_{ND}/\mu_{NE}))}$ を表す。

【0017】

閾値電圧 V_{thnd} 、 V_{thne} 及び移動度 μ_{NE} 、 μ_{ND} は、それぞれ、その値が温

50

度に応じて変化する温度依存性を有する。 $\Delta V_{thn e}$ は、その値が温度の上昇につれて減少する負の温度特性を有し、 $\Delta |V_{thn d}|$ は、その値が温度の上昇につれて増加する正の温度特性を有する。 $\Delta \sqrt{A} \cdot |V_{thn d}|$ の湾曲は、移動度 $\mu_{N E}$ 、 $\mu_{N D}$ の温度特性によって生じる。

【0018】

このように、式5の右辺において、第1項中の $|V_{thn d}|$ は、正の温度特性を有し、第2項の閾値電圧 $V_{thn e}$ は、負の温度特性を有する（閾値電圧 $V_{thn d}$ は、負の温度特性を有する）。したがって、式5における $\sqrt{A}$ （より具体的には、サイズ比 X ）を最適な値に設計することによって、基準電圧 V_{REF} の温度特性を最も温度依存性の小さな状態に設定できる。

10

【0019】

しかしながら、基準電圧源を備える半導体回路を実際に製造すると、素子等の製造ばらつきによってトランジスタの閾値電圧がばらつき、サイズ比 X の最適な設計値が半導体回路（製品）ごとに異なってしまう可能性がある。

【0020】

例えば、図3は、デプレッション型のNMOSトランジスタ101の閾値電圧 $V_{thn d}$ のばらつきによって生ずる過充電検出電圧の温度特性のばらつきの一例を示す。図3は、二次電池を保護する電池保護回路における過充電検出電圧の温度特性データを示す。過充電検出電圧とは、二次電池の過充電の検出に使用される閾値である。

【0021】

20

例えば図4に示される電池保護回路10において、二次電池70にそれぞれ接続される V_{DD} 端子と V_{SS} 端子との間の電源電圧 V_d が上昇すると、電源電圧 V_d を抵抗21、22により分圧して得られる検出電圧 V_{IN+} も上昇する。検出電圧 V_{IN+} が、基準電圧回路24によって生成される基準電圧 V_{REF} を超えると、検出回路20におけるコンパレータ23の出力が反転する。この反転時の電源電圧 V_d を、過充電検出電圧とする。つまり、過充電検出電圧は、基準電圧 V_{REF} に比例する特性を有し、過充電検出電圧の温度特性は、基準電圧 V_{REF} と同様の温度特性を有する。

【0022】

図3において、「 $V_{th} = Typ.$ 」は、閾値電圧 $V_{thn d}$ がティピカル値のトランジスタ101を基準電圧源1000に使用して基準電圧 V_{REF} を生成した場合のデータを表す。「 $V_{th} 高$ 」は、閾値電圧 $V_{thn d}$ がティピカル値に比べて高いトランジスタ101を基準電圧源1000に使用して基準電圧 V_{REF} を生成した場合のデータを表す。「 $V_{th} 低$ 」は、閾値電圧 $V_{thn d}$ がティピカル値に比べて低いトランジスタ101を基準電圧源1000に使用して基準電圧 V_{REF} を生成した場合のデータを表す。

30

【0023】

図3によれば、デプレッション型のNMOSトランジスタ101の閾値電圧 $V_{thn d}$ の製造ばらつきによって、基準電圧 V_{REF} の温度特性に個体差ばらつきが生じ、その結果、過充電検出電圧の温度特性に個体差ばらつきが生じることが分かる。

【0024】

本実施形態における基準電圧回路は、製造ばらつきによる基準電圧 V_{REF} の温度特性の個体差ばらつきを低減可能な構成を有するものである。次に、本実施形態の構成について説明する。

40

【0025】

図5は、本実施形態における基準電圧回路の第1の構成例を示す図である。基準電圧回路24Aは、高電源電位部 V_{DD} と低電源電位部 GND との間の電源電圧の電圧値の変化に依存せずに、一定の基準電圧 V_{REF} を出力可能な回路である。低電源電位部 GND は、高電源電位部 V_{DD} よりも電位が低い。

【0026】

基準電圧回路24Aは、デプレッション型の第1トランジスタ D_N と、第1トランジスタ D_N に直列に接続されるエンハンスメント型の第2トランジスタ E_N とを用いて、一定

50

の基準電圧 V_{REF} を生成する。第1トランジスタ D_N は、デプレッション型の $NMOS$ トランジスタであり、第2トランジスタ E_N は、エンハンスメント型の $NMOS$ トランジスタである。第1トランジスタ D_N と第2トランジスタ E_N とは、高電源電位部 V_{DD} と低電源電位部 GND との間に直列に接続されている。第2トランジスタ E_N は、直列に接続される複数のトランジスタを含んでいる。図5には、5つのトランジスタ $N1 \sim N5$ を含む場合が例示されているが、直列に接続されるトランジスタの数は、この場合に限られない。

【0027】

図5に示す実施形態では、第1トランジスタ D_N は、ドレインが高電源電位部 V_{DD} に接続され、ソースが第2トランジスタ E_N に接続され、ゲートがノード24aに接続されている。第1トランジスタ D_N は、ゲートとソースとバックゲートとが互いに接続されている。

10

【0028】

第2トランジスタ E_N は、第1トランジスタ D_N に直列に接続されるメイントランジスタと、当該メイントランジスタに直列に接続される複数のサブトランジスタとを含む。基準電圧回路24Aは、第1トランジスタ D_N と、第1トランジスタ D_N に直列に接続されるメイントランジスタとを少なくとも用いて、ノード24aから出力される一定の基準電圧 V_{REF} を生成する。

【0029】

本実施形態では、第2トランジスタ E_N は、メイントランジスタ $N1$ と、メイントランジスタ $N1$ に直列に接続される4つのサブトランジスタ $N2 \sim N5$ とを含む。メイントランジスタ $N1$ とサブトランジスタ $N2 \sim N5$ のそれぞれのゲートは、ノード24aに共通に接続されている。メイントランジスタ $N1$ とサブトランジスタ $N2 \sim N5$ のそれぞれのバックゲートは、低電源電位部 GND に共通に接続されている。第2トランジスタ E_N に含まれる複数のトランジスタうち最も高電位側のメイントランジスタ $N1$ のドレインは、第1トランジスタ D_N のソースに接続されている。第2トランジスタ E_N に含まれる複数のトランジスタのうち最も低電位側のサブトランジスタ $N5$ のソースは、低電源電位部 GND に接続されている。

20

【0030】

基準電圧回路24Aは、複数のサブトランジスタ $N2 \sim N5$ の各々に対して設けられ、対応するサブトランジスタに直列に接続される複数のスイッチ回路 $A1 \sim A4$ を有する。複数のスイッチ回路 $A1 \sim A4$ は、それぞれ、スイッチ素子と、スイッチ素子に直列に接続されるヒューズ素子とを有する。例えば、スイッチ素子は、供給される信号によりオン又はオフとなる MOS トランジスタであり、ヒューズ素子は、半導体回路の外部から照射されるレーザによりカット可能な導体である。

30

【0031】

図5の場合、直列に接続されるスイッチ素子 $S1$ とヒューズ素子 $F1$ とを有するスイッチ回路 $A1$ が、サブトランジスタ $N2$ のドレインーソース間に並列に接続されている。直列に接続されるスイッチ素子 $S2$ とヒューズ素子 $F2$ とを有するスイッチ回路 $A2$ が、サブトランジスタ $N3$ のドレインーソース間に並列に接続されている。直列に接続されるスイッチ素子 $S3$ とヒューズ素子 $F3$ とを有するスイッチ回路 $A3$ が、サブトランジスタ $N4$ のドレインーソース間に並列に接続されている。直列に接続されるスイッチ素子 $S4$ とヒューズ素子 $F4$ とを有するスイッチ回路 $A4$ が、サブトランジスタ $N5$ のドレインーソース間に並列に接続されている。

40

【0032】

つまり、基準電圧回路24Aは、第2トランジスタ E_N のチャネル長 L をスイッチ素子又はヒューズ素子により調整可能な調整回路27Aを備える。調整回路27Aは、複数のサブトランジスタ $N2 \sim N5$ のそれぞれに並列に接続されるスイッチ回路のいずれかをスイッチ素子又はヒューズ素子により遮断することによって、第2トランジスタ E_N のチャネル長 L を変更する。調整回路27Aは、スイッチ回路 $A1 \sim A4$ のうち遮断するスイッ

50

チ回路の数を増やすほど、第2トランジスタE_Nのチャンネル長Lを長くする。

【0033】

なお、スイッチ素子S₁は、サブトランジスタN₂に並列に接続されているヒューズ素子F₁のカット前に第2トランジスタE_Nのチャンネル長Lを変更可能なように設けられている。しかし、ヒューズ素子F₁のカット後では、第2トランジスタE_Nのチャンネル長Lは、スイッチ素子S₁によっては変更されない。スイッチ素子S₂～S₄についても同様である。

【0034】

調整回路27Aは、第2トランジスタE_Nのチャンネル長Lをこのように変更することによって、第1トランジスタD_Nの(W/L)と第2トランジスタE_Nの(W/L)とのサイズ比X(上掲の式3参照)を調整する。調整回路27Aは、サイズ比Xを調整可能な構成を有するので、第1トランジスタD_Nと第2トランジスタE_Nのそれぞれの閾値電圧の製造ばらつきに対して、基準電圧V_{REF}の温度特性の個体差ばらつきを低減可能な最適なサイズ比Xを選択できる。

【0035】

選択するサイズ比Xが決まれば、そのサイズ比Xになるように、複数のヒューズ素子F₁～F₄のうち一つ又は複数のヒューズ素子が製品出荷前にレーザカットされる。これにより、製品出荷後も、基準電圧回路24Aは、温度特性の個体差ばらつきが低減された基準電圧V_{REF}を生成できる。

【0036】

図6は、本実施形態における基準電圧回路の第2の構成例を示す図である。基準電圧回路24Bは、高電源電位部V_{DD}と低電源電位部G_{ND}との間の電源電圧の電圧値の変化に依存せずに、一定の基準電圧V_{REF}を出力可能な回路である。低電源電位部G_{ND}は、高電源電位部V_{DD}よりも電位が低い。

【0037】

基準電圧回路24Bは、デプレッション型の第1トランジスタD_Nと、第1トランジスタD_Nに直列に接続されるエンハンスメント型の第2トランジスタE_Nとを用いて、一定の基準電圧V_{REF}を生成する。第1トランジスタD_Nは、デプレッション型のNMOSトランジスタであり、第2トランジスタE_Nは、エンハンスメント型のNMOSトランジスタである。第1トランジスタD_Nと第2トランジスタE_Nとは、高電源電位部V_{DD}と低電源電位部G_{ND}との間に直列に接続されている。第2トランジスタE_Nは、並列に接続される複数のトランジスタを含んでいる。図6には、5つのトランジスタN₁～N₅を含む場合が例示されているが、並列に接続されるトランジスタの数は、この場合に限られない。

【0038】

図6に示す実施形態では、第1トランジスタD_Nは、ドレインが高電源電位部V_{DD}に接続され、ソースが第2トランジスタE_Nに接続され、ゲートがノード24bに接続されている。第1トランジスタD_Nは、ゲートとソースとバックゲートとが互いに接続されている。

【0039】

第2トランジスタE_Nは、第1トランジスタD_Nに直列に接続されるメイントランジスタと、当該メイントランジスタに並列に接続される複数のサブトランジスタとを含む。基準電圧回路24Bは、第1トランジスタD_Nと、第1トランジスタD_Nに直列に接続されるメイントランジスタとを少なくとも用いて、ノード24bから出力される一定の基準電圧V_{REF}を生成する。

【0040】

本実施形態では、第2トランジスタE_Nは、メイントランジスタN₁と、メイントランジスタN₁に並列に接続される4つのサブトランジスタN₂～N₅とを含む。メイントランジスタN₁とサブトランジスタN₂～N₅のそれぞれのゲートは、ノード24bに共通に接続されている。メイントランジスタN₁とサブトランジスタN₂～N₅のそれぞれの

10

20

30

40

50

バックゲート及びソースは、低電源電位部 GND に共通に接続されている。メイントランジスタ N1 のドレインは、スイッチ回路を介さずに、第 1 トランジスタ DN のソースに接続されている。サブトランジスタ N2 ～ N5 のそれぞれのドレインは、それぞれに対応するスイッチ回路を介して、第 1 トランジスタ DN のソースに接続されている。

【0041】

基準電圧回路 24B は、複数のサブトランジスタ N2 ～ N5 の各々に対して設けられ、対応するサブトランジスタに直列に接続される複数のスイッチ回路 A1 ～ A4 を有する。複数のスイッチ回路 A1 ～ A4 は、それぞれ、スイッチ素子と、スイッチ素子に直列に接続されるヒューズ素子とを有する。例えば、スイッチ素子は、供給される信号によりオン又はオフとなる MOS トランジスタであり、ヒューズ素子は、半導体回路の外部から照射されるレーザによりカット可能な導体である。

10

【0042】

図 6 の場合、直列に接続されるスイッチ素子 S1 とヒューズ素子 F1 とを有するスイッチ回路 A1 が、サブトランジスタ N2 のドレインと第 1 トランジスタ DN のソースとの間に直列に接続されている。直列に接続されるスイッチ素子 S2 とヒューズ素子 F2 とを有するスイッチ回路 A2 が、サブトランジスタ N3 のドレインと第 1 トランジスタ DN のソースとの間に直列に接続されている。直列に接続されるスイッチ素子 S3 とヒューズ素子 F3 とを有するスイッチ回路 A3 が、サブトランジスタ N4 のドレインと第 1 トランジスタ DN のソースとの間に直列に接続されている。直列に接続されるスイッチ素子 S4 とヒューズ素子 F4 とを有するスイッチ回路 A4 が、サブトランジスタ N5 のドレインとトランジスタ DN のソースとの間に直列に接続されている。

20

【0043】

つまり、基準電圧回路 24B は、第 2 トランジスタ EN のチャネル幅 W をスイッチ素子又はヒューズ素子により調整可能な調整回路 27B を備える。調整回路 27B は、複数のサブトランジスタ N2 ～ N5 のそれぞれに直列に接続されるスイッチ回路のいずれかをスイッチ素子又はヒューズ素子により遮断することによって、第 2 トランジスタ EN のチャネル幅 W を変更する。調整回路 27B は、スイッチ回路 A1 ～ A4 のうち遮断するスイッチ回路の数を増やすほど、第 2 トランジスタ EN のチャネル幅 W を短くする。

【0044】

なお、スイッチ素子 S1 は、サブトランジスタ N2 に直列に接続されているヒューズ素子 F1 のカット前に第 2 トランジスタ EN のチャネル幅 W を変更可能なように設けられている。しかし、ヒューズ素子 F1 のカット後では、第 2 トランジスタ EN のチャネル幅 W は、スイッチ素子 S1 によっては変更されない。スイッチ素子 S2 ～ S4 についても同様である。

30

【0045】

調整回路 27B は、第 2 トランジスタ EN のチャネル幅 W をこのように変更することによって、第 1 トランジスタ DN の (W/L) と第 2 トランジスタ EN の (W/L) とのサイズ比 X (上掲の式 3 参照) を調整する。調整回路 27B は、サイズ比 X を調整可能な構成を有するので、第 1 トランジスタ DN と第 2 トランジスタ EN のそれぞれの閾値電圧の製造ばらつきに対して、基準電圧 VREF の温度特性の個体差ばらつきを低減可能な最適なサイズ比 X を選択できる。

40

【0046】

選択するサイズ比 X が決まれば、そのサイズ比 X になるように、複数のヒューズ素子 F1 ～ F4 のうち一つ又は複数のヒューズ素子が製品出荷前にレーザカットされる。これにより、製品出荷後も、基準電圧回路 24B は、温度特性の個体差ばらつきが低減された基準電圧 VREF を生成できる。

【0047】

図 7 は、基準電圧 VREF の温度特性の個体差ばらつきを調整回路 27A により低減した後の過充電検出電圧の温度特性を例示する図である。図 6 によれば、図 3 と比較して、過充電検出電圧の温度特性の個体差ばらつきが低減されていることが分かる。

50

【0048】

次に、過充電検出電圧を使って二次電池を保護する二次電池保護回路の構成、及びその二次電池保護回路を備える電池パックの構成について説明する。

【0049】

図4は、本実施形態における二次電池保護回路を備える電池パックの構成例を示す図である。図4に示される電池パック100は、二次電池70と、電池保護装置80とを内蔵して備える。

【0050】

二次電池70は、充放電可能な電池の一例である。二次電池70は、プラス端子5（P＋端子）とマイナス端子6（P－端子）に接続される負荷90に電力を供給する。二次電池70は、プラス端子5とマイナス端子6に接続される充電器91によって充電されることが可能である。二次電池70の具体例として、リチウムイオン電池やリチウムポリマ電池などが挙げられる。電池パック100は、負荷90に内蔵されてもよいし、外付けされてもよい。

【0051】

負荷90は、電池パック100の二次電池70を電源とする負荷の一例である。負荷90の具体例として、電動工具などの電動機器や、携帯可能な携帯端末装置などの電子機器が挙げられる。電子機器の具体例として、携帯電話、スマートフォン、コンピュータ、ゲーム機、テレビ、カメラなどが挙げられる。負荷90は、これらの機器に限られない。

【0052】

電池保護装置80は、二次電池70を電源として動作する二次電池保護装置の一例であり、二次電池70の充放電を制御することによって二次電池70を過充電や過放電等から保護する。電池保護装置80は、プラス端子5と、マイナス端子6と、スイッチ回路3と、電池保護回路10とを備える。

【0053】

プラス端子5は、負荷90又は充電器91の電源端子が接続され得る端子の一例である。マイナス端子6は、負荷90又は充電器91のグラウンドが接続され得る端子の一例である。

【0054】

二次電池70の正極とプラス端子5とは、プラス側電流経路9aによって接続され、二次電池70の負極とマイナス端子6とは、マイナス側電流経路9bによって接続される。プラス側電流経路9aは、二次電池70の正極とプラス端子5との間の充放電電流経路の一例であり、マイナス側電流経路9bは、二次電池70の負極とマイナス端子6との間の充放電電流経路の一例である。

【0055】

スイッチ回路3は、二次電池70の負極と、負荷90又は充電器91のグラウンドに接続され得るマイナス端子6との間の電流経路9bに直列に挿入される。

【0056】

スイッチ回路3は、例えば、充電制御トランジスタ1と放電制御トランジスタ2とを備える。充電制御トランジスタ1は、二次電池70の充電経路を遮断する充電経路遮断部の一例であり、放電制御トランジスタ2は、二次電池70の放電経路を遮断する放電経路遮断部の一例である。図4の場合、充電制御トランジスタ1は、二次電池70の充電電流が流れる電流経路9bを遮断し、放電制御トランジスタ2は、二次電池70の放電電流が流れる電流経路9bを遮断する。トランジスタ1、2は、電流経路9bの導通／遮断を切り替えるスイッチング素子であり、電流経路9bに直列に挿入されている。トランジスタ1、2は、例えば、Nチャネル型のMOS（Metal Oxide Semiconductor）トランジスタである。

【0057】

電池保護回路10は、二次電池保護回路の一例である。電池保護回路10は、スイッチ回路3をオフにすることによって、二次電池70の保護動作を行う。電池保護回路10は

、二次電池 70 の正極と負極との間の電池電圧 ("セル電圧"とも称する) で動作する集積回路 (IC) である。電池保護回路 10 は、例えば、充電制御端子 11 (COUT 端子)、放電制御端子 12 (DOUT 端子)、監視端子 18 (V- 端子)、電源端子 15 (VDD 端子) 及びグランド端子 13 (VSS 端子) を備える。

【0058】

COUT 端子は、充電制御トランジスタ 1 のゲートに接続され、充電制御トランジスタ 1 をオン又はオフさせる信号を出力する。DOUT 端子は、放電制御トランジスタ 2 のゲートに接続され、放電制御トランジスタ 2 をオン又はオフさせる信号を出力する。

【0059】

V- 端子は、マイナス端子 6 の電位の監視に使用され、マイナス端子 6 に接続されている。V- 端子は、例えば、制御回路 32 が負荷 90 又は充電器 91 の接続の有無を監視するのに使用され、トランジスタ 1, 2 とマイナス端子 6 との間でマイナス側電流経路 9b に抵抗 14 を介して接続されている。

10

【0060】

VDD 端子は、電池保護回路 10 の電源端子であり、二次電池 70 の正極及びプラス側電流経路 9a に接続されている。VSS 端子は、電池保護回路 10 のグランド端子であり、二次電池 70 の負極及びマイナス側電流経路 9b に接続されている。

【0061】

電池保護回路 10 は、二次電池 70 の状態を監視し、二次電池 70 の過充電や過放電などの異常状態の検出時に二次電池 70 を保護する集積回路である。電池保護回路 10 は、充電制御トランジスタ 1 をオフにすることによって、二次電池 70 を過充電等の充電異常から保護し、放電制御トランジスタ 2 をオフにすることによって、二次電池 70 を過放電等の放電異常や短絡異常から保護する。電池保護回路 10 は、例えば、制御回路 32、出力回路 33、タイマー 31 及び検出回路 20 を備える。

20

【0062】

制御回路 32 は、例えば、二次電池 70 の過充電又は充電過電流が所定の遅延時間経過するまで継続的に検出された場合、充電制御トランジスタ 1 をオンからオフにする信号 (例えば、ローレベルのゲート制御信号) を出力回路 33 を介して COUT 端子から出力する。制御回路 32 は、充電制御トランジスタ 1 をオフさせることによって、二次電池 70 を充電する方向の電流が電流経路 9b に流れることを禁止する。これにより、二次電池 70 の充電が停止し、二次電池 70 を過充電又は充電過電流から保護できる。

30

【0063】

制御回路 32 は、例えば、二次電池 70 の過放電又は放電過電流が所定の遅延時間経過するまで継続的に検出された場合、放電制御トランジスタ 2 をオンからオフにする信号 (例えば、ローレベルのゲート制御信号) を出力回路 33 を介して DOUT 端子から出力する。制御回路 32 は、放電制御トランジスタ 2 をオフさせることによって、二次電池 70 を放電させる方向の電流が電流経路 9b に流れることを禁止する。これにより、二次電池 70 の放電が停止し、二次電池 70 を過放電又は放電過電流から保護できる。

【0064】

制御回路 32 は、例えば、CPU (Central Processing Unit) を使用せずにアナログの複数の論理回路を用いて形成される。

40

【0065】

出力回路 33 は、スイッチ回路 3 を駆動する回路であり、より具体的には、充電制御トランジスタ 1 を駆動する駆動回路部と、放電制御トランジスタ 2 を駆動する駆動回路部とを有する。

【0066】

タイマー 31 は、遅延時間の計測に使用され、例えば、入力される所定のパルス信号をカウントするカウンタ回路を含む。

【0067】

検出回路 20 は、VDD 端子と VSS 端子との間の電圧である電源電圧 Vd をモニタす

50

る。VDD端子は二次電池70の正極に接続され、VSS端子は二次電池70の負極に接続されているため、電源電圧Vdは、二次電池70のセル電圧に略等しい。したがって、検出回路20は、電源電圧Vdをモニタすることによって、二次電池70のセル電圧を検出できる。

【0068】

検出回路20は、V-端子の電位をモニタし、そのモニタ結果を制御回路32に出力するモニタ回路34を有してもよい。モニタ回路34は、例えば、CMOS（Complementary MOS）インバータである。モニタ回路34は、V-端子の電位をコンパレータを用いてモニタする回路でもよい。検出回路20は、VSS端子を基準電位とするV-端子の電圧である監視電圧V-をモニタする。

10

【0069】

検出回路20は、基準電圧VREFと検出電圧VIN+とに基づいて、二次電池70の過充電等の異常状態を検出する。

【0070】

検出回路20は、二次電池70の過充電を検出するため、例えば、分圧回路25と、基準電圧回路24と、コンパレータ23とを備える。分圧回路25は、VDD端子とVSS端子との間に直列に接続される抵抗21と抵抗22とを含む。基準電圧回路24は、一定の基準電圧VREFを生成する回路である。上述の基準電圧回路24A（図5）又は基準電圧回路24B（図6）は、基準電圧回路24の一例である。

【0071】

分圧回路25は、VDD端子とVSS端子との間の電圧である電源電圧Vdを抵抗21、22により分圧し、電源電圧Vdを分圧することにより得られる検出電圧VIN+を出力する。コンパレータ23は、分圧回路25により生成される検出電圧VIN+と基準電圧回路24により生成される基準電圧VREFとを比較し、その比較結果を制御回路32に出力する。

20

【0072】

コンパレータ23の出力信号のレベルは、検出電圧VIN+が基準電圧VREFを超えると、非アクティブレベル（例えば、ローレベル）からアクティブレベル（例えば、ハイレベル）に反転する。この反転時の電源電圧Vdを、過充電検出電圧Vdet1とする。一方、コンパレータ23にはヒステリシスが設けられている。この場合、コンパレータ23の出力信号のレベルは、検出電圧VIN+が基準電圧VREFより低下すると、アクティブレベル（例えば、ハイレベル）から非アクティブレベル（例えば、ローレベル）に反転する。この反転時の電源電圧Vdを、過充電復帰電圧Vrel1とする。過充電復帰電圧Vrel1は、過充電検出電圧Vdet1よりも低い。

30

【0073】

検出回路20は、過充電検出電圧Vdet1よりも高い電源電圧Vdがコンパレータ23により検出された場合、二次電池70の過充電が検出されている状態を表すアクティブレベルの信号を制御回路32に出力する。一方、検出回路20は、過充電復帰電圧Vrel1よりも低い電源電圧Vdがコンパレータ23により検出された場合、二次電池70の過充電が検出されていない状態を表す非アクティブレベルの信号を出力する。

40

【0074】

図8は、基準電圧VREFのばらつきによる過充電検出電圧Vdet1のばらつきを低減する構成を例示する図である。基準電圧VREFの温度特性は、第1トランジスタDNの閾値電圧Vthndと、第2トランジスタENの閾値電圧Vthneと、第1トランジスタDNの（W/L）と第2トランジスタENの（W/L）とのサイズ比Xとに応じて、主に変化する。

【0075】

そこで、両トランジスタの近傍に配置されたダミー素子を使用して、閾値電圧Vthndと閾値電圧Vthneの各々のばらつきをモニターし、そのモニター結果に応じてサイズ比Xを調整することによって、基準電圧VREFの温度特性の調整が可能となる。

50

【0076】

具体的には、電池保護回路10は、基準電圧回路24の近傍に配置されるモニター回路26を備える。モニター回路26は、第1トランジスタDNの近傍に配置される第1ダミー素子DNxと、第2トランジスタEN内のメイントランジスタN1の近傍に配置される第2ダミー素子Nxとを有する。

【0077】

第1ダミー素子DNxは、第1トランジスタDNの閾値電圧 V_{thnd} の製造ばらつきをモニターするため、第1トランジスタDNと同じ形状（例えば、同じ (W/L) ）で形成されたデプレッション型のNMOSトランジスタである。第2ダミー素子Nxは、第2トランジスタEN内のメイントランジスタN1の閾値電圧 V_{thne} の製造ばらつきをモニターするため、メイントランジスタN1と同じ形状（例えば、同じ (W/L) ）で形成されたエンハンスメント型のNMOSトランジスタである。

10

【0078】

さらに、電池保護回路10は、第1調整回路27と、第2調整回路28とを備える。

【0079】

第1調整回路27は、第1トランジスタDNの閾値電圧 V_{thnd} と第2トランジスタENの閾値電圧 V_{thne} とに基づいて、第1トランジスタDNと第2トランジスタENとのサイズ比Xを調整する。上述の調整回路27A（図5）又は調整回路27Bは、第1調整回路27の一例である。

【0080】

20

第1調整回路27は、複数のサブトランジスタN2～N5のそれぞれに接続されるスイッチ回路のいずれかを遮断することによって、サイズ比Xを調整する。スイッチ回路は、それぞれ、第2調整回路28による検出電圧VIN+の調整後にカット可能に設けられるヒューズ素子と、そのヒューズ素子のカット前にサイズ比Xを変更可能に設けられるスイッチ素子とを有する。

【0081】

第1調整回路27は、上述のスイッチ回路（図5の場合、スイッチ回路A1～A4）の他に、当該スイッチ回路内の各スイッチ素子（図5の場合、スイッチ素子S1～S4）をオンオフさせるスイッチ素子制御回路を備える。スイッチ制御回路は、例えば、カウンタ回路、データ保持回路などを有する。

30

【0082】

第2調整回路28は、第1調整回路27によりサイズ比Xが調整された後の基準電圧VREFに基づいて、検出電圧VIN+を所望の電圧（例えば、過充電検出電圧Vdet1）に調整する。第2調整回路28は、電源電圧Vdの分圧比を変更することによって、検出電圧VIN+を調整する。第2調整回路28は、例えば、抵抗21の抵抗値を変化させることによって電源電圧Vdの分圧比を変更する。

【0083】

ここで、第1トランジスタDNの閾値電圧 V_{thnd} と第2トランジスタENの閾値電圧 V_{thne} との少なくとも一方が変化すると、基準電圧VREFの温度特性は変化する。また、第1トランジスタDNの (W/L) と第2トランジスタENの (W/L) とのサイズ比Xが変化すると、基準電圧VREFの温度特性は変化する。

40

【0084】

そこで、閾値電圧 V_{thnd} と、閾値電圧 V_{thne} と、それぞれの閾値電圧 V_{thnd} 、 V_{thne} に対して基準電圧VREFの温度特性を低減する最適なサイズ比X（チャネル長L又はチャネル幅Wでもよい）との三者の対応関係を予め導出しておく。そして、その対応関係を定めたテーブルデータを予めメモリに記憶しておく。サイズ比Xの調整前の閾値電圧 V_{thnd} は、モニター回路26により測定された第1ダミー素子DNxの閾値電圧とみなすことができる。サイズ比Xの調整前の閾値電圧 V_{thne} は、モニター回路26により測定された第2ダミー素子Nxの閾値電圧とみなすことができる。

【0085】

50

次に、基準電圧 V_{REF} の温度特性の低減と、過充電検出電圧 V_{det1} のばらつきの低減とを行う動作について説明する。

【0086】

まず、モニター回路 26 は、二次電池保護回路 10 の外部からの制御信号に基づいて、サイズ比 X の調整前の閾値電圧 V_{thnd} 、 V_{thne} をそれぞれ測定する。第 1 調整回路 27 は、モニター回路 26 により測定された閾値電圧 V_{thnd} 、 V_{thne} と上記のテーブルデータとに基づいて、スイッチ素子 $S1 \sim S4$ のうちのいずれかをオフすることによって、チャンネル長 L 又はチャンネル幅 W を最適値に調整する。これにより、基準電圧 V_{REF} の温度特性を低減する最適値に、サイズ比 X が調整される。

【0087】

次に、第 2 調整回路 28 は、サイズ比 X を最適値に調整するときのスイッチ素子 $S1 \sim S4$ それぞれのオン状態又はオフ状態を保持した状態で、検出電圧 V_{IN+} が所望の電圧（例えば、過充電検出電圧 V_{det1} ）に一致するように、抵抗 21 の抵抗値を調整する。

【0088】

そして、サイズ比 X を最適値に調整するときのスイッチ素子 $S1 \sim S4$ それぞれのオフ状態と同じ状態になるように、ヒューズ素子 $F1 \sim F4$ のいずれかをレーザカットする。同様に、検出電圧 V_{IN+} が所望の電圧（例えば、過充電検出電圧 V_{det1} ）に一致するときの抵抗 21 の抵抗値を、ヒューズ素子等のレーザカットにより固定する。

【0089】

これにより、基準電圧 V_{REF} の温度特性の低減と、過充電検出電圧 V_{det1} のばらつき低減とを行うことができる。

【0090】

以上、二次電池保護回路を実施形態により説明したが、本発明は上記実施形態に限定されるものではない。他の実施形態の一部又は全部との組み合わせや置換などの種々の変形及び改良が、本発明の範囲内で可能である。

【0091】

例えば、上述の実施形態では、第 2 調整回路 28 が調整する対象を、過充電検出電圧 V_{det1} としているが、過放電検出電圧 V_{det2} でもよい。検出回路 20 は、二次電池 70 の過放電を検出するため、例えば図 4 と同様の回路構成（分圧回路及びコンパレータ）を備える。当該コンパレータの出力信号のレベルは、電源電圧 V_d を分圧回路により分圧して得られる検出電圧 V_{IN-} が、基準電圧 V_{REF} よりも低下すると、非アクティブレベル（例えば、ローレベル）からアクティブレベル（例えば、ハイレベル）に反転する。この反転時の電源電圧 V_d を、過放電検出電圧 V_{det2} とする。検出回路 20 は、過放電検出電圧 V_{det2} よりも低い電源電圧 V_d がコンパレータにより検出された場合、二次電池 70 の過放電が検出されている状態を表すアクティブレベルの信号を制御回路 32 に出力する。

【0092】

また、メイントランジスタ $N1$ は、一つのトランジスタによって構成される形態に限られず、複数のトランジスタによって構成される形態でもよい。

【0093】

また、例えば、充電制御トランジスタ 1 と放電制御トランジスタ 2 の配置位置は、図示の位置に対して互いに置換されてもよい。

【0094】

また、充電制御トランジスタ 1 及び放電制御トランジスタ 2 がマイナス側電流経路 9b に挿入された形態に限られず、充電制御トランジスタ 1 及び放電制御トランジスタ 2 がプラス側電流経路 9a に挿入されてもよい。

【符号の説明】

【0095】

2 放電制御トランジスタ

10

20

30

40

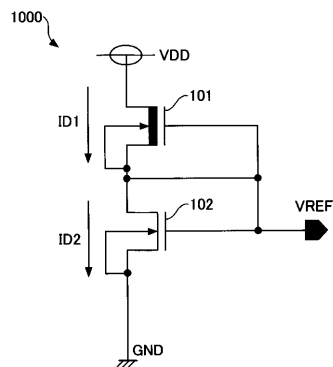
50

- 3 スイッチ回路
- 6 マイナス端子
- 10 電池保護回路
- 13 グランド端子
- 15 電源端子
- 18 監視端子
- 20 検出回路
- 24 基準電圧回路
- 25 分圧回路
- 26 モニター回路
- 27 第1調整回路
- 28 第2調整回路
- 32 制御回路
- 33 出力回路
- 70 二次電池
- 80 電池保護装置
- 100 電池パック
- 1000 基準電圧源
- DN 第1トランジスタ
- EN 第2トランジスタ
- N1 メイントランジスタ
- N2～N5 サブトランジスタ

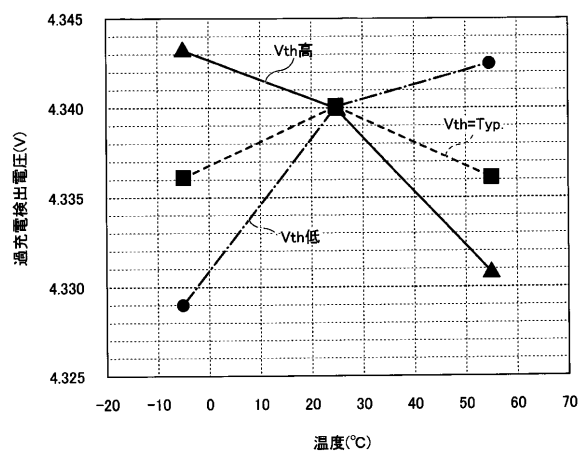
10

20

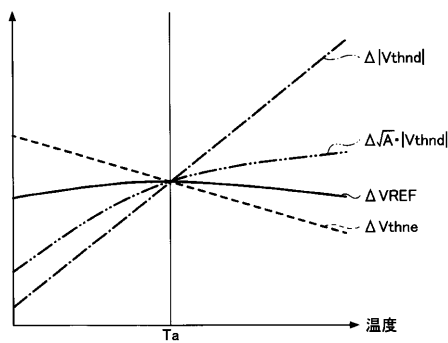
【図1】



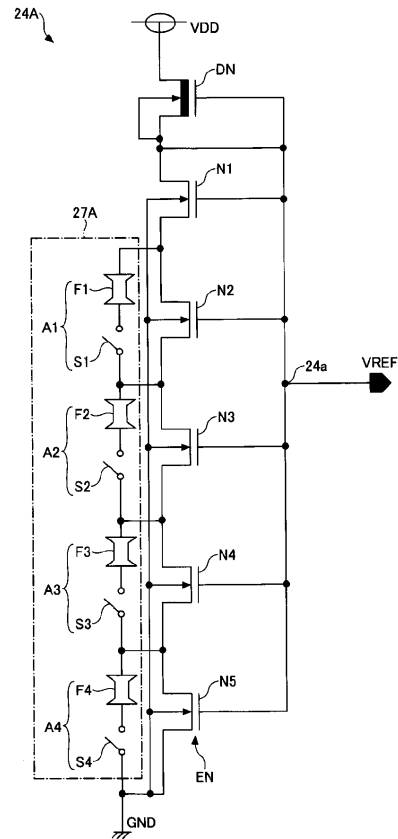
【図3】



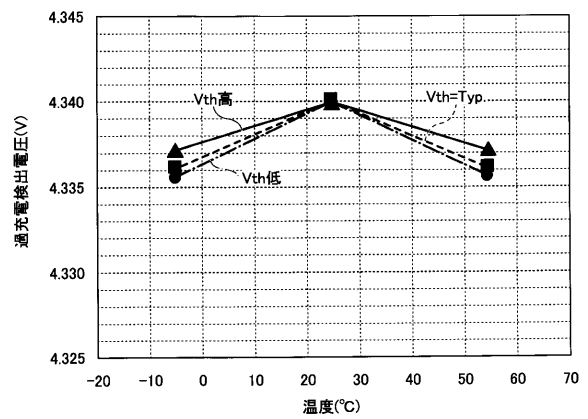
【図2】



【図 5】



【图 7】



[illegible]

フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H 0 1 L	21/822	(2006.01)	H 0 1 L 27/04	V
H 0 1 L	27/04	(2006.01)	H 0 1 L 27/04	T
H 0 1 M	10/48	(2006.01)	H 0 1 M 10/48	P

(72)発明者 佐竹 義裕
東京都多摩市鶴牧2丁目1番地2 ミツミ電機株式会社内

(72)発明者 田中 伸史
東京都多摩市鶴牧2丁目1番地2 ミツミ電機株式会社内

(72)発明者 小清水 浩士
東京都多摩市鶴牧2丁目1番地2 ミツミ電機株式会社内

Fターム(参考) 5F038 AV15 BB02 BB05 BB07 CD02 CD04 DT12 DT17
5F048 AB08 AC02 BB03 BD10 BF15 BF16 BF18
5G053 AA12 BA04 CA01 FA06
5G503 BA01 BB01 BB02 DA13 FA16
5H030 AA06 AS06 AS12 AS14 BB27 FF43 FF44