

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 3 月 6 日(06.03.2014)



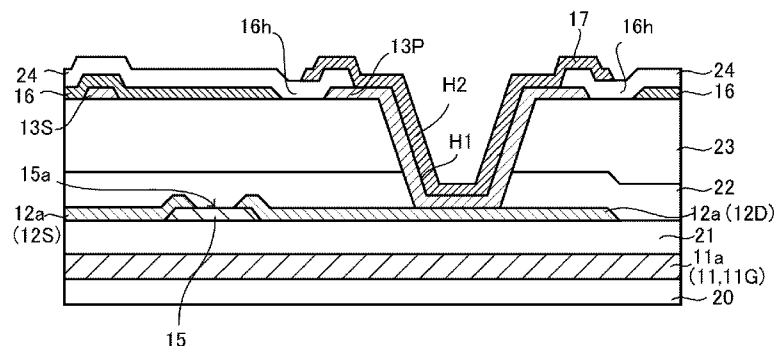
(10) 国際公開番号
WO 2014/034566 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) *H01L 21/768* (2006.01)
G02F 1/1343 (2006.01) *H01L 23/522* (2006.01)
G02F 1/1345 (2006.01) *H01L 29/786* (2006.01)
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2013/072588
- (22) 国際出願日: 2013 年 8 月 23 日(23.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-191594 2012 年 8 月 31 日(31.08.2012) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 2 号 Osaka (JP).
- (72) 発明者: 高西 雄大(TAKANISHI Yudai). 中田 幸伸(NAKATA Yukinobu).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜 1 丁目 4 番 1 6 号 アクア堂島西館 インテリクス国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE, DISPLAY PANEL, AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICES

(54) 発明の名称: 半導体装置、表示パネル、及び半導体装置の製造方法

【図5】



(57) Abstract: The present invention suppresses occurrences of electrolytic corrosion without increasing the manufacturing process of TFT substrates even when metal wiring, for which direct contact with ITO is difficult, is used as the source-drain wiring. A semiconductor device comprises a TFT having: a gate layer (11a) containing a gate electrode formed on a substrate (20), a semiconductor portion (15) formed on the gate layer (11a) through a gate insulator film (21), and a source layer (12a) containing a source electrode and a drain electrode on the semiconductor portion (15). The semiconductor device has a contact hole (H1), formed in an interlayer insulator film (22) and a flattening film (23) that are layered on the source layer (12a), and auxiliary wiring layers (13P and 13S), made of metal, for suppressing electrolytic corrosion with ITO, formed in a position overlapping with a source wire, and a pixel electrode (17) and a drain electrode (12D) are joined through the auxiliary wiring layer (13P). A common electrode (16) is formed on the auxiliary wiring layer (13S), and electric potential is supplied to the common electrode (16) through the auxiliary wiring layer (13S).

(57) 要約:

[続葉有]

WO 2014/034566 A1



本発明は、ソースドレイン配線として、ITOとの直接接触が困難な金属配線を用いた場合であっても、TFT基板の製造工程を増加させることなく電食の発生を抑制する。半導体装置は、基板20上に形成されたゲート電極を含むゲート層11aと、ゲート層11a上にゲート絶縁膜21を介して形成された半導体部15と、半導体部15の上にソース電極とドレイン電極とを含むソース層12aとを有するTFTを備える。半導体装置は、ソース層12aの上に積層された層間絶縁膜22と平坦化膜23に形成されたコンタクトホールH1と、ソース線と重なる位置に、ITOとの電食を抑制する金属からなる補助配線層13Pと13Sが形成され、補助配線層13Pを介して画素電極17とドレイン電極12Dとが接続されている。補助配線層13S上には共通電極16が形成され、補助配線層13Sを介して共通電極16に電位が供給される。

明 細 書

発明の名称：

半導体装置、表示パネル、及び半導体装置の製造方法

技術分野

[0001] 本発明は、薄膜トランジスタ（T F T（Thin Film Transistor））を用いた半導体装置、表示パネル、及び半導体装置の製造方法に関する。

背景技術

[0002] 従来より、T F Tを用いた液晶表示装置において、画素内に補助容量コンデンサC_sを設け、補助容量コンデンサC_sの補助配線を設けているものがある。中でもF F S（F r i n g e F i e l d S w i t c h i n g）構造の液晶表示装置においては、共通電極の電位を安定化させるために、画素内に配置された補助容量電極と共通電極とをある間隔にて接続しているものがある。しかしながら、特に高精細な表示パネルの場合においては高い開口率が求められており、画素内に補助容量コンデンサや補助配線を形成することが難しい。そのため、画素内に配置された補助容量電極との接続による共通電極の電位安定化を図ることが難しい。

[0003] 特開2010-231035号公報の液晶表示装置には、金属膜で構成された共通電極補助線C R Mが形成されている。共通電極補助線C R Mを用いることによって、共通電極に電圧を印加する際の電気抵抗を低下することができるため共通電極の電位を安定させることができる。このため、画素内に補助容量電極や補助配線を形成する必要がない。また、共通電極補助線はゲート信号線G Lやドレイン信号線D Lと重畳する位置に形成されているため、画素領域内に補助容量配線等が形成されている場合と比べて開口率が向上する。

発明の開示

[0004] ところで、T F Tにおけるソースドレイン配線としてアルミニウム配線又はアルミニウムを主体とする金属配線が用いられることがある。このよう

なアルミニウム系の金属配線をソースドレイン配線として有するTFT基板に、画素電極あるいは共通電極としてITO(Indium Tin Oxide)などの透明導電膜をスパッタ法で成膜すると、ITOと金属配線との間に電食が発生する。上記特開2010-231035号公報において、ソース信号線及びドレイン信号線にアルミニウム系の金属配線を用いた場合も同様である。

[0005] 本発明は、ソースドレイン配線として、ITOとの直接接触が困難な金属配線を用いた場合であっても、TFT基板の製造工程を増加させることなく電食の発生を抑制する技術を提供することを目的とする。

[0006] 本発明による半導体装置は、基板に形成された複数のゲート配線を覆うゲート絶縁膜を介して前記複数のゲート配線と重なるように形成された半導体層と、前記ゲート配線と交差するように前記ゲート絶縁膜及び前記半導体層の一部の上に形成された複数のソース配線と、前記半導体層上で前記ソース配線と離間し、前記ゲート配線と重なるように前記ゲート絶縁膜及び前記半導体層の一部に形成された複数のドレイン配線と、前記半導体層上における前記ソース配線及び前記ドレイン配線の間にチャネル領域が形成された薄膜トランジスタを備える半導体装置であって、前記ソース配線及び前記ドレイン配線と前記チャネル領域とを覆う第1層間絶縁膜と、前記第1層間絶縁膜を覆う平坦化膜とを貫通する第1コンタクトホールを介して前記ドレイン配線と電氣的に接続される金属膜からなるドレイン接続膜と、前記ソース配線の少なくとも一部と重なりと共に、前記複数のゲート配線の少なくとも一部の近傍において前記ゲート配線と略平行に形成された前記金属膜からなる共通電極補助配線と、前記共通電極補助配線の少なくとも一部と重なるように形成され、前記共通電極補助配線と電氣的に接続される共通電極と、前記第1コンタクトホールの内側であって、前記ドレイン接続膜を覆う第2層間絶縁膜に設けられた第2コンタクトホールにおいて、前記ドレイン接続膜と電氣的に接続される画素電極とを備え、前記金属膜は、前記画素電極より標準電極電位が高い金属、又は、前記画素電極の標準電極電位との電位差が予め定めた範囲内となる金属が前記画素電極と接するように構成され、前記共通

電極補助配線は、入力される信号に応じた電位を前記共通電極に供給する。

[0007] 本発明の半導体装置は、ソースドレイン配線として、ITOとの直接接
触が困難な金属配線を用いた場合であっても、TFT基板の製造工程を増加
させることなく電食の発生を抑制することができる。

図面の簡単な説明

[0008] [図1]図1は、第1実施形態に係る表示パネルの概略構成を示した図である。

[図2]図2は、第1実施形態におけるアクティブマトリクス基板の概略構成を
示す図である。

[図3A]図3Aは、図2のアクティブマトリクス基板の一部を拡大した概略構
成図を示している。

[図3B]図3Bは、図3Aの一画素の部分に対応する等価回路を示している。

[図4]図4は、図3Aの一画素の部分を拡大した平面図である。

[図5]図5は、図4のA-A'で切断した断面図である。

[図6]図6は、図3AにおけるS-Gコンタクト部をB-B'で切断した断面
図である。

[図7]図7は、図3AにおけるG-COMコンタクト部をC-C'で切断した
断面図である。

[図8]図8は、図3AにおけるS-COMコンタクト部をD-D'で切断した
断面図である。

[図9A]図9Aは、第1実施形態におけるTFT-PIXコンタクト部の製造
工程を例示した図である。

[図9B]図9Bは、第1実施形態におけるTFT-PIXコンタクト部の製造
工程を例示した図である。

[図9C]図9Cは、第1実施形態におけるTFT-PIXコンタクト部の製造
工程を例示した図である。

[図9D]図9Dは、第1実施形態におけるTFT-PIXコンタクト部の製造
工程を例示した図である。

[図9E]図9Eは、第1実施形態におけるTFT-PIXコンタクト部の製造

工程を例示した図である。

[図9F]図9Fは、第1実施形態におけるTFTPIXコンタクト部の製造工程を例示した図である。

[図9G]図9Gは、第1実施形態におけるTFTPIXコンタクト部の製造工程を例示した図である。

[図9H]図9Hは、第1実施形態におけるTFTPIXコンタクト部の製造工程を例示した図である。

[図9I]図9Iは、第1実施形態におけるTFTPIXコンタクト部の製造工程を例示した図である。

[図10A]図10Aは、TFTPIXコンタクト部を形成する他の製造工程を例示した図である。

[図10B]図10Bは、TFTPIXコンタクト部を形成する他の製造工程を例示した図である。

[図10C]図10Cは、TFTPIXコンタクト部を形成する他の製造工程を例示した図である。

[図10D]図10Dは、TFTPIXコンタクト部を形成する他の製造工程を例示した図である。

[図10E]図10Eは、TFTPIXコンタクト部を形成する他の製造工程を例示した図である。

[図10F]図10Fは、TFTPIXコンタクト部を形成する他の製造工程を例示した図である。

[図10G]図10Gは、TFTPIXコンタクト部を形成する他の製造工程を例示した図である。

[図10H]図10Hは、TFTPIXコンタクト部を形成する他の製造工程を例示した図である。

[図11]図11は、第2実施形態におけるS-Gコンタクト部の断面を示す図である。

[図12]図12は、第3実施形態におけるS-Gコンタクト部の断面を示す図

である。

発明を実施するための形態

[0009] 本発明の一実施形態に係る半導体装置は、基板に形成された複数のゲート配線を覆うゲート絶縁膜を介して前記複数のゲート配線と重なるように形成された半導体層と、前記ゲート配線と交差するように前記ゲート絶縁膜及び前記半導体層の一部の上に形成された複数のソース配線と、前記半導体層上で前記ソース配線と離間し、前記ゲート配線と重なるように前記ゲート絶縁膜及び前記半導体層の一部に形成された複数のドレイン配線と、前記半導体層上における前記ソース配線及び前記ドレイン配線の間にチャネル領域が形成された薄膜トランジスタを備える半導体装置であって、前記ソース配線及び前記ドレイン配線と前記チャネル領域とを覆う第1層間絶縁膜と、前記第1層間絶縁膜を覆う平坦化膜とを貫通する第1コンタクトホールを介して前記ドレイン配線と電氣的に接続される金属膜からなるドレイン接続膜と、前記ソース配線の少なくとも一部と重なりと共に、前記複数のゲート配線の少なくとも一部の近傍において前記ゲート配線と略平行に形成された前記金属膜からなる共通電極補助配線と、前記共通電極補助配線の少なくとも一部と重なるように形成され、前記共通電極補助配線と電氣的に接続される共通電極と、前記第1コンタクトホールの内側であって、前記ドレイン接続膜を覆う第2層間絶縁膜に設けられた第2コンタクトホールにおいて、前記ドレイン接続膜と電氣的に接続される画素電極とを備え、前記金属膜は、前記画素電極より標準電極電位が高い金属、又は、前記画素電極の標準電極電位との電位差が予め定めた範囲内となる金属が前記画素電極と接するように構成され、前記共通電極補助配線は、入力される信号に応じた電位を前記共通電極に供給する。(第1の構成)。第1の構成によれば、ITOの電食を抑制する金属膜で構成されたドレイン接続膜を介して画素電極とドレイン配線とを電氣的に接続しているので、ドレイン配線として低抵抗なアルミニウム系の金属配線を用いることができる。また、ドレイン接続膜と共通電極補助配線とは同じ金属膜を用いて同層に形成される。そのため、製造工程を増やすこ

となく、共通電極補助配線を形成する工程でドレイン接続膜を形成することができる。また、共通電極補助配線によって共通電極へ電位を供給することが可能となるため、共通電極の電位を安定化することができる。

[0010] 第2の構成は、第1の構成の前記基板において、前記ゲート配線にゲート信号を入力する第1端子と、前記ソース配線にソース信号を入力する第2端子と、前記共通電極に対する電位を入力する第3端子及び第4端子とを備え、前記第1端子、前記第2端子、前記第3端子、前記第4端子は、前記ゲート配線の導電膜を用いて同層に形成されており、前記ソース配線のうちのソース配線を前記第3端子と電氣的に接続し、他の前記ソース配線と前記第2端子とを電氣的に接続する第1コンタクト部と、前記ゲート配線のうちのゲート配線は前記第4端子と電氣的に接続され、他のゲート配線は前記第1端子と電氣的に接続されており、前記一のゲート配線と前記他のソース線と重なる前記共通電極補助配線とを電氣的に接続する第2コンタクト部と、前記一のソース配線と、前記ゲート配線と略平行な前記共通電極補助配線とを電氣的に接続する第3コンタクト部とが形成されていることとしてもよい。

[0011] 第3の構成は、第2の構成の前記第1コンタクト部において、前記一のソース配線と前記第3端子、及び前記他のソース配線と前記第2端子は、前記共通電極補助配線及び前記ドレイン接続膜と同層に形成された前記金属膜を介して電氣的に接続され、前記第2コンタクト部において、前記一のゲート配線と、前記他のソース配線と重なる前記共通電極補助配線とは、前記共通電極補助配線及び前記ドレイン接続膜と同層に形成された前記金属膜を介して接続され、前記第3コンタクト部において、前記一のソース配線と、前記ゲート配線と略平行な前記共通電極補助配線とは、前記共通電極補助配線及び前記ドレイン接続膜と同層に形成された前記金属膜を介して接続されていることとしてもよい。第3の構成によれば、製造工程を増やすことなく、共通電極補助配線とドレイン接続膜を形成する工程で、共通電極補助線とゲート配線及びソース配線とを接続させることができる。

- [0012] 第4の構成は、第2の構成の前記第1コンタクト部において、前記一のソース配線と前記第3端子、及び前記他のソース配線と前記第2端子は、前記第3端子及び第2端子上に形成された前記ゲート絶縁膜のコンタクトホールにおいて接触するように形成され、前記第2コンタクト部において、前記一のゲート配線と、前記他のソース配線と重なる前記共通電極補助配線とは、前記共通電極補助配線及び前記ドレイン接続膜と同層に形成された前記金属膜を介して接続され、前記第3コンタクト部において、前記一のソース配線と、前記ゲート配線と略平行な前記共通電極補助配線とは、前記共通電極補助配線及び前記ドレイン接続膜と同層に形成された前記金属膜を介して接続されていることとしてもよい。第4の構成によれば、第1のコンタクト部において、ゲート配線とソース配線とを直接接触させることができるため、第3の構成と比べてコンタクト部の領域を小さくすることができる。
- [0013] 第5の構成は、第1から4の構成において、前記半導体層は、酸化物半導体で構成され、前記共通電極と前記画素電極は、透明導電膜で構成され、前記ソース配線及び前記ドレイン配線は、アルミニウム又はアルミニウムを含む金属化合物で構成されていることとしてもよい。
- [0014] 第6の構成は、第5の構成において、前記酸化物半導体は、インジウム、ガリウム、亜鉛、及び酸素からなることとしてもよい。
- [0015] 本発明の一実施形態に係る表示パネルは、第1から第6の構成のいずれかの半導体装置を備えるアクティブマトリクス基板と、カラーフィルタを備える対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層と、を備える（第7の構成）。
- [0016] 本発明の一実施形態に係る半導体装置の製造方法は、薄膜トランジスタを備えた半導体装置の製造方法であって、（A）基板上に薄膜トランジスタを形成する工程であって、ゲート線及びゲート電極を含むゲート層と、前記ゲート層を覆うゲート絶縁膜と、前記ゲート絶縁膜の一部を覆う半導体層とを形成し、前記半導体層の上部にソース層を形成してソース電極を含むソース配線とドレイン電極を含むドレイン配線とを形成する工程と、（B）前記ソ

ース層を覆う第1層間絶縁膜と、前記第1層間絶縁膜を覆う平坦化膜を形成する工程と、(C)前記平坦化膜をマスクとし、前記第1層間絶縁膜をエッチングして前記ドレイン電極を露出させる第1コンタクトホールを形成する工程と、(D)前記平坦化膜の上に金属膜を成膜して、前記第1コンタクトホールにおいて前記ドレイン配線と接するようにドレイン接続膜を形成すると共に、前記ソース線の一部と重なる位置に共通電極補助配線を形成する工程と、(E)前記共通電極補助配線を覆い、前記ドレイン接続膜の形成領域より外側の位置に共通電極を形成する工程と、(F)前記共通電極と前記ドレイン接続膜の上に第2層間絶縁膜を成膜し、前記第2層間絶縁膜をエッチングすることにより前記第1コンタクトホールの内側に前記ドレイン接続膜を露出させる第2コンタクトホールを形成する工程と、(G)前記第2コンタクトホールにおいて前記ドレイン接続膜と接するように、前記第2層間絶縁膜上に画素電極を形成する工程と、を含み、前記ドレイン接続膜及び前記共通電極補助配線は、前記画素電極より標準電極電位が高い金属、又は、前記画素電極の標準電極電位との電位差が予め定めた範囲となる金属が前記画素電極と接するように構成されている(第8の構成)。

[0017] 以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0018] <第1実施形態>

図1は、本実施形態に係る半導体装置を有する液晶表示装置の表示パネルの概略構成を示した図である。表示パネル1は、アクティブマトリクス基板2と対向基板3と、これら基板に挟持された液晶層(図示略)とを有する。図1に示す対向基板3には、カラーフィルタ基板(図示略)が形成されている。表示パネル1は、アクティブマトリクス基板2の背面側に設けられたバックライト(図示略)から光が照射される。図1に示すように、アクティブマトリクス基板2には、ゲートドライバ4とソースドライバ5とが設けられている。表示パネル1は、外部入力信号に応じてソースドライバ4及びゲートドライバ5から出力されるデータ信号及び走査信号に基づいて液晶層内の

液晶を駆動し、表示領域に画像を表示する。

[0019] ゲートドライバ4とソースドライバ5は、ゲートドライバ4とソースドライバ5の各半導体チップがポリイミドなどのフィルムに搭載されたTAB (Tape Automated Bonding) 等で構成されている。各ゲートドライバ4と各ソースドライバ5は、アクティブマトリクス基板2と電氣的に接続されると共に、各プリント基板4P、5Pと電氣的に接続されている。各ゲートドライバ4と各ソースドライバ5は、各々に接続されているプリント基板6を介して制御回路(図示略)からタイミング信号や画像信号などの外部入力信号が入力される。

[0020] 図2は、アクティブマトリクス基板2の概略構成を示す図である。また、図3Aは、アクティブマトリクス基板2の一部を拡大した概略構成図を示している。図2に示すように、アクティブマトリクス基板2の基板20には、各ゲートドライバ4と接続されたゲート線群11と各ソースドライバ5と接続されたソース線群12が形成されている。ゲート線11は、基板20の一方方向に向かって平行に形成されている。ソース線12はゲート線11と交差して平行に形成されている。各ゲート線11と各ソース線12とで囲まれる領域が1つの画素を形成し、全画素からなる画素領域が表示パネル1の表示領域を構成している。

[0021] 図3Aに示すように、アクティブマトリクス基板2の表示領域の外側には、端子群7及び端子群8が形成されている。端子群7は、ソースドライバ5から入力されるソース信号をソース線12に入力する。端子群8は、ゲートドライバ4から入力されるゲート信号をゲート線11に入力する。また、アクティブマトリクス基板2の表示領域には、後述する共通電極16(図5参照)と画素電極17(図5参照)が形成されている。表示パネル1は、IPS(In Plane Switching)やFFS(fringe field switching)と呼ばれる横電界方式で液晶を駆動させる。更に、アクティブマトリクス基板2には、端子6(6a, 6b)と配線12LS及び配線11LGが形成されている。端子6は、共通電極16への電位を入力する。配線12LSは端子6aと接

続され、配線 1 1 L G は端子 6 b と接続される。

[0022] 各端子 6、7、8 と、配線 1 1 L G は、ゲート線 1 1 と同じ導電膜を用いてゲート線 1 1 と同層に形成されている。配線 1 2 L S は、ソース線 1 2 と同じ導電膜を用いてソース線 1 2 と同層に形成されている。端子 6 a と配線 1 2 L S はコンタクトホールを介して接続されている。各端子 7 と各ソース線 1 2 はコンタクトホールを介して接続されている。端子 6 b と配線 1 1 L G、各端子 8 と各ゲート線 1 1 とは一体的に形成されており、各々電氣的に接続されている。なお、本実施形態において、ゲート線 1 1 及び配線 1 1 L G はゲート配線の一例であり、ソース線 1 2 及び配線 1 2 L S はソース配線の一例である。

[0023] 図 3 B は、図 3 A の一画素の部分に対応する等価回路を示している。図 3 B に示すように、各ソース線 1 2 と各ゲート線 1 1 が交差する近傍において、T F T 1 4 (Thin Film Transistor) が形成され、画素電極 1 7 と共通電極 1 6 によって容量 C 1 が形成されている。各画素領域において、T F T 1 4 と画素電極 1 7 とはコンタクトホールを介して電氣的に接続されている。

[0024] また、図 3 A において、アクティブマトリクス基板 2 には、補助配線 1 3 S、1 3 G が形成されている。補助配線 1 3 S、1 3 G は、各端子 6 から入力された電位を共通電極 1 6 へ供給する。補助配線 1 3 S は、ソース線 1 2 と重なると共に、ゲート線 1 1 と交差するように形成されている。補助配線 1 3 G は、配線 1 2 L S の一部と重なるように各ゲート線 1 1 の近傍においてゲート線 1 1 と略平行に形成されている。配線 1 2 L S と各補助配線 1 3 G は、補助配線 1 3 G の一部とコンタクトホールを介して電氣的に接続されている。配線 1 1 L G と各補助配線 1 3 S は、補助配線 1 3 S の一部とコンタクトホールを介して電氣的に接続されている。なお、本実施形態における補助配線 1 3 S、1 3 G は共通電極補助配線の一例である。

[0025] 図 3 A において、T F T 1 4 と画素電極（図 3 A において省略）とが重なる領域 1 0 0 は、T F T 1 4 と画素電極 1 7 との接続部分であり、以下、T

FT-PIXコンタクト部100と称する。図3Aにおいて、配線12LS及び各ソース線12と各端子(6a、7)とが重なる領域110は、配線12LSと端子6a、各ソース線12と各端子7とがコンタクトホールを介して接続される接続部分である。以下、S-Gコンタクト部110と称する。また、補助配線13Gと配線12LSとが重なる領域120は、配線12LSと補助配線13Gとの接続部分である。以下、S-COMコンタクト部120と称する。また、配線11LGと補助配線13Sとが重なる領域130は、配線11LGと補助配線13Sとの接続部分である。以下、領域130をG-COMコンタクト部130と称する。

[0026] 本実施形態では、各端子7から入力されるソース信号は、S-Gコンタクト部110を介してソース線12に伝達される。また、端子6aから入力される共通電極16への電位は、配線12LSにおけるS-Gコンタクト部110とS-COMコンタクト部120を介して補助配線13Gに伝達される。端子6bから入力される共通電極16への電位は、G-COMコンタクト部130を介して補助配線13Sに伝達される。

[0027] ここで、図4及び図5を用い、FT-PIXコンタクト部100を含む一画素の部分の詳細について説明する。図4は、図3Aの一画素の部分を拡大した平面図である。図4に示すように、FT14は、ソース電極12S、ゲート電極11Gと、ドレイン電極12Dと、半導体部15とを有する。画素電極17は、各画素領域に形成され、開口部17Aを有する。画素電極17は、FT14のドレイン電極12Dと電氣的に接続されている。この図において、共通電極16(図5参照)は省略しているが、共通電極16は、画素電極17の下側において、破線で示す共通電極16の開口部16hより外側の部分に形成されている。つまり、共通電極16は、ドレイン電極12Dと画素電極17とが接続されるFT-PIXコンタクト部100の領域を除く画素領域全体に形成されている。

[0028] 図5は、図4のA-A'で切断した断面図である。図5に示すように、ガラス等の透明性及び絶縁性を有する基板20上には、ゲート層11aが形成

されている。ゲート層 11a は、例えば、銅 (Cu)、アルミニウム (Al)、チタン (Ti)、モリブデン (Mo) 等の金属又はその合金等からなる。ゲート層 11a の形成によって、ゲート線 11 とゲート電極 11G とが一体的に形成される。

[0029] ゲート層 11a の上部には、シリコン窒化膜 (SiN_x) やシリコン酸化膜 (SiO₂) 等からなるゲート絶縁膜 21 が形成されている。そのゲート絶縁膜 21 の上部には半導体部 15 が形成されている。半導体部 15 は、アモルファスシリコン (a-Si)、ポリシリコン (poly-Si)、又は酸化物半導体等で構成されている。

[0030] 半導体部 15 の上部には、ソース層 12a が形成されている。ソース層 12a は、例えば、Al の単層膜や Al を上層とし、Ti を下層とする積層膜からなる。ソース層 12a の形成によって、ソース線 12 とソース電極 12S とが一体的に形成されると共に、ドレイン電極 12D が形成される。ソース電極 12S とドレイン電極 12D は、半導体部 15 の上部において離間して形成されている。半導体部 15 の上部におけるソース電極 12S とドレイン電極 12D の間にはチャネル領域 15a が形成されている。なお、本実施形態において、ソース線 12 とソース電極 12S はソース配線の一例であり、ドレイン電極 12D はドレイン配線の一例である。

[0031] ソース電極 12S とドレイン電極 12D とチャネル領域 15a の上層には、層間絶縁膜 22 と、平坦化膜 23 が積層されている。ドレイン電極 12D の上部における層間絶縁膜 22 と平坦化膜 23 の部分にはコンタクトホール H1 が形成されている。層間絶縁膜 22 は、無機絶縁膜で構成される。平坦化膜 23 は、有機絶縁膜で構成される。

[0032] 平坦化膜 23 の上部には、補助配線層 13 が形成されている。補助配線層 13 は、例えば、画素電極 17 との間で電食を抑制する金属膜が用いられる。その金属膜としては、例えば、Cu、Ti、Mo 等を画素電極 17 と直接接触する最上層にした積層膜が用いられる。なお、25℃の水溶液中において、基準電極を標準水素電極とした場合、Cu、Ti、Mo、及び Al の標

準電極電位は、 $Cu = 0.34 V$ 、 $Ti = -1.63 V$ 、 $Mo = -0.02 V$ 、 $Al = -1.68 V$ である。また、画素電極 17 として用いられる ITO の標準電極電位は $0.03 V$ である。つまり、補助配線層 13 に用いられる金属膜は、画素電極 17 よりも標準電極電位が高い金属、又は、画素電極 17 の標準電極電位との電位差が予め定めた範囲内となる金属が画素電極 17 と接するように構成されていればよい。なお、画素電極 17 との標準電極電位の電位差としては、例えば $1.66 V$ 以内としてもよい。

[0033] 補助配線層 13 の形成によって、補助配線 13 S とドレイン接続膜 13 P が形成される。補助配線 13 S は、層間絶縁膜 22 と平坦化膜 23 を介してソース線 12 と重なる位置に形成される。また、ドレイン接続膜 13 P は、ドレイン電極 12 D と接触するようにコンタクトホール H1 に形成される。なお、図 5 には示されていないが、補助配線 13 G とドレイン接続膜 13 P と同時に、ゲート線 11 に平行な補助配線 13 G が形成される。

[0034] そして、平坦化膜 23 の上層には共通電極 16 が形成されている。共通電極 16 は、平坦化膜 23 の上層においてドレイン接続膜 13 P と接触しないように開口部 16 h を有し、補助配線 13 S を覆うように形成されている。共通電極 16 の上層には、共通電極 16 とドレイン接続膜 13 P を覆うように層間絶縁膜 24 が形成され、コンタクトホール H2 が形成されている。コンタクトホール H2 において、層間絶縁膜 24 の一部を覆うように画素電極 17 が形成されている。層間絶縁膜 24 は、無機絶縁膜で構成される。共通電極 16 と画素電極 17 は、ITO 等の透明導電膜で構成される。

[0035] 図 5 に示すように、ドレイン電極 12 D と画素電極 17 は、ドレイン接続膜 13 P を介して電氣的に接続され、TFT-PIX コンタクト部 100 が形成される。補助配線層 13 には、画素電極 17 との間で電食を抑制する材料が用いられている。TFT-PIX コンタクト部 100 において、ドレイン接続膜 13 P は画素電極 17 と直接接触する構成となっている。そのため、アルミニウム系の金属膜によってドレイン電極 12 D が構成されている場合でも、ドレイン接続膜 13 P と画素電極 17 の間の電食の発生を防止する

ことができる。

[0036] 次に、S-Gコンタクト部110、G-COMコンタクト部130、及びS-COMコンタクト部120の詳細について説明する。

[0037] 図6は、図3AにおけるS-Gコンタクト部110をB-B'で切断した断面図である。図6に示すように、基板20上には、ゲート層11aが形成されている。ゲート層11aの形成によって各端子6a、7が形成される。ゲート層11aの上層にはゲート絶縁膜21を介してソース層12aが形成されている。ソース層12aの形成によって配線12LSとソース線12が形成される。ソース層12aを覆うように層間絶縁膜22が形成されており、層間絶縁膜22の上層には平坦化膜23が形成されている。

[0038] ソース層12aの上部における平坦化膜23と層間絶縁膜22の部分にはコンタクトホールH3が形成されている。また、ソース層12の部分を除く平坦化膜23と層間絶縁膜22とゲート絶縁膜21の部分にはコンタクトホールH4が形成されている。平坦化膜23の上層には、コンタクトホールH3、H4をつなぐように補助配線層13が形成されている。層間絶縁膜24は、補助配線層13を覆うように形成されている。

[0039] このように、本実施形態では、配線12LS（ソース層12a）と端子6a（ゲート層11a）は、コンタクトホールH3及びH4に形成された補助配線層13を介して電氣的に接続される。また、ソース線12（ソース層12a）と端子7（ゲート層11a）とは補助配線層13を介して電氣的に接続される。そのため、端子7から入力されるソース信号は補助配線層13を介してソース線12へ伝達することができる。

[0040] 図7は、図3AにおけるG-COMコンタクト部130をC-C'で切断した断面図である。図7に示すように、基板20上には、ゲート層11aが形成されている。ゲート層11aの形成によって、端子6bと配線11LGとが一体的に形成される。そして、ゲート層11aの上層には、ゲート絶縁膜21、層間絶縁膜22、平坦化膜23が順に形成されている。ゲート絶縁膜21、層間絶縁膜22、及び平坦化膜23には、ゲート層11aを露出さ

せるコンタクトホールH5が形成されている。そして、平坦化膜23の上層には補助配線層13が形成されている。補助配線層13は、コンタクトホールH5においてゲート層11aと接触する。層間絶縁膜24は、補助配線層13を覆うように形成されている。

[0041] このように、端子6bと一体的に形成された配線11LGは、コンタクトホールH5に形成された補助配線層13を介して共通電極16と電氣的に接続される。そのため、端子6bから入力される電位を、補助配線層13を介して共通電極16に供給することができ、共通電極16の電位を安定化することができる。

[0042] 図8は、図3AにおけるS-COMコンタクト部120をD-D'で切断した断面図である。図8に示すように、基板20上には、ゲート絶縁膜21を介して、ソース層12aが形成されている。ソース層12aの形成によって、配線12LSが形成される。ソース層12aの上層には、層間絶縁膜22と平坦化膜23とが順に形成されている。また、層間絶縁膜22と平坦化膜23には、コンタクトホールH6が形成されている。そして、平坦化膜23の上層には補助配線層13が形成されている。補助配線層13は、コンタクトホールH6においてソース層12aと接触する。層間絶縁膜24は、補助配線層13を覆うように形成されている。

[0043] このように、配線12LS（ソース層12a）と共通電極16とは、コンタクトホールH6に形成された補助配線層13を介して電氣的に接続される。そのため、端子6aから入力される電位は、図6に示すS-Gコンタクト部110を介して配線12LS（ソース層12a）に伝達され、補助配線層13を介して配線12LS（ソース層12a）から共通電極16に供給される。

[0044] （製造方法）

次に、本実施形態に係る半導体装置の製造方法の一例について説明する。図9A～図9Iは、図5に示したTFTPIXコンタクト部100を形成する工程を示す図であり、図4のA-A'で切断した断面図である。本実施

形態では、以下に示すステップ（１）～（１０）において８枚のマスクを使用する。以下、ＴＦＴ－ＰＩＸコンタクト部１００の各ステップの処理を説明するとともに、あわせてＳ－Ｇコンタクト部１１０、Ｓ－ＣＯＭコンタクト部１２０、Ｇ－ＣＯＭコンタクト部１３０の形成について説明する。

[0045] （１）ゲート層１１ａの形成

図９Ａに示すように、基板２０上に、ゲート層１１ａ用の導電膜を、スパッタリング法を用いて成膜する。そして、ＴＦＴ１４が形成される領域において、フォトリソグラフィを用いてレジストマスクを形成してレジストパターンを作成する。更に、レジストマスクで覆われていない部分の導電膜をウェットエッチング又はドライエッチングによって除去することによりパターニングを行う。これが第１のマスク工程である。これにより、ゲート電極１１Ｇとゲート線１１とが一体的に形成される。また、Ｓ－Ｇコンタクト部１１０とＧ－ＣＯＭコンタクト部１３０では、これと同様に、図６、７に示すように、基板２０上に端子６、７と配線１１ＬＧとが形成される。

[0046] ゲート層１１ａとしては、例えば、Ｃｕ、Ａｌ、Ｔｉ、Ｍｏ等の金属又はその合金やその窒化物を含む膜が用いられる。本実施形態では、例えば、上層をＣｕ、下層をＴｉとする積層膜を用いる。上層の膜厚は、例えば１８０ｎｍ以上、３００ｎｍ以下であり、下層の膜厚は、例えば１５ｎｍ以上、３５ｎｍ以下である。

[0047] （２）ゲート絶縁膜２１の形成

次に、図９Ｂに示すように、ゲート層１１ａが形成された基板２０上に、ゲート絶縁膜２１をプラズマＣＶＤ法又はスパッタリング法により成膜する。Ｓ－Ｇコンタクト部１１０、Ｇ－ＣＯＭコンタクト部１３０、及びＳ－ＣＯＭコンタクト部１２０においても、図６、７、８に示すように、ゲート絶縁膜２１が形成される。ゲート絶縁膜２１には、例えば、シリコン窒化膜やシリコン酸化膜、又はこれらの積層膜が用いられる。ゲート絶縁膜２１の膜厚は、例えば２００ｎｍ以上、４００ｎｍ以下である。

[0048] （３）半導体部１５の形成

ゲート絶縁膜 21 が形成された基板 20 上に、半導体をプラズマ CVD 法あるいはスパッタリング法を用いて成膜する。そして、フォトリソグラフィを用いてレジストパターンを作成し、ウェットエッチング又はドライエッチングを行う。これにより、図 9 C に示すように島状にパターニングを行う。これが第 2 マスク工程である。半導体は、例えば、 $a-Si$ 、 $poly-Si$ 、又は、 $IGZO$ や $InGaO_3 (ZnO)_5$ 等の酸化物半導体がいられる。半導体部 15 の膜厚は、例えば 30 nm 以上、100 nm 以下である。

[0049] (4) ソース層 12 a の形成

次に、半導体部 15 が形成された基板 20 上に、ソース層 12 a 用の導電膜をスパッタリング法を用いて成膜する。そして、ソース線 12 及びソース電極 12 S とドレイン電極 12 D が形成される領域において、フォトリソグラフィを用いてレジストパターンを作成し、ウェットエッチング若しくはドライエッチング、又はそれらを組み合わせたエッチングを行う。これが第 3 マスク工程である。

[0050] これにより、図 9 D に示すように、半導体 15 の上部においてソース電極 12 S とドレイン電極 12 が離間するように、ソース線 12 及びソース電極 12 S とドレイン電極 12 D が形成される。また、S-G コンタクト部 110 と S-COM コンタクト部 120 においても、これと同様にして、図 6、図 8 に示すようにゲート絶縁膜 21 上に配線 12 L S が形成される。

[0051] ソース層 12 a には、例えば、Al、Mo、Cu、Ti、タンタル (Ta)、タングステン (W) 等の金属やその合金、又はその金属窒化物を含む金属膜がいられる。本実施形態では、上層を Al、下層を Ti とする積層膜を用いる。ソース層 12 a の膜厚は、例えば 180 以上、300 nm 以下である。

[0052] (5) 層間絶縁膜 22、平坦化膜 23 の形成

続いて、図 9 E に示すように、ソース層 12 a が形成された基板 20 上に、層間絶縁膜 22 をプラズマ CVD 法又はスパッタリング法を用いて成膜す

る。そして、層間絶縁膜 22 が形成された基板 20 上に、平坦化膜 23 を、フォトリソグラフィを用いてパターニングすることによって、平坦化膜 23 の開口部（図示略）を形成する。これが第 4 のマスク工程である。層間絶縁膜 22 は、例えば、シリコン窒化膜やシリコン酸化膜などの無機絶縁膜、又はこれらの積層膜が用いられる。平坦化膜 23 は、例えば、ポジ型の感光性樹脂膜などの有機絶縁膜が用いられる。層間絶縁膜 22 の厚みは、例えば、200 nm 以上、300 nm 以下である。平坦化膜 23 の厚みは、例えば 2 μ m 以上、3 μ m 以下である。

[0053] そして、平坦化膜 23 をマスクとしてドライエッチングすることにより層間絶縁膜 22 をエッチングする。これにより、図 9 F に示すように、コンタクトホール H1 を形成する。これにより、ドレイン電極 12 D の表面が露出する。同様にして、図 6、7、8 に示すように、コンタクトホール H1 の形成と同時に、S-G コンタクト部 110 と G-COM コンタクト部 130 においても、ソース層 12 a を露出させるコンタクトホール H3、H6 が形成される。更に、S-G コンタクト部 110 と G-COM コンタクト部 130 において、平坦化膜 23 に開口部を形成した後、平坦化膜 23 をマスクとして層間絶縁膜 22 とゲート絶縁膜 21 とを同時にエッチングすることにより、コンタクトホール H4、H5 が形成される。

[0054] （6）補助配線層 13 の形成

平坦化膜 23 が形成され、ドレイン電極 12 D の表面が露出した基板 20 上に、補助配線層 13 用の導電膜をスパッタリング法により成膜する。そして、補助配線 13 S、13 G が形成される領域において、フォトリソグラフィを用いてレジストパターンを作成し、ウェットエッチング若しくはドライエッチング、又はそれらを組み合わせたエッチングを行ってパターニングする。これが第 5 マスク工程である。これにより、図 9 G に示すように、コンタクトホール H1 にドレイン接続膜 13 P が形成され、層間絶縁膜 22 及び平坦化膜 23 を介してソース線 12 と重なる位置に補助配線 13 S が形成される。同様にして、図 6、7、8 に示すように、S-G コンタクト部 110

とG-COMコンタクト部130とS-COMコンタクト部120においても、ドレイン接続膜13P、補助配線13Sの形成と同時に、各コンタクトホールH3、4、5、6に補助配線層13が形成される。

[0055] 補助配線層13のうち画素電極と接する層としては、画素電極17に用いられるITOよりも標準電極電位が高い金属、又は、画素電極17の標準電極電位との差が予め定めた範囲内となる金属を最表面にすればよい。例えば、Cu、Ti、Moを最表面にして、Cu/Ti又はCu/Moからなる2層の積層膜でもよいし、Mo/Al/Mo、又は、Ti/Al/Tiとからなる3層の積層膜でもよい。補助配線層13の膜厚は、例えば200nm以上、350nm以下である。

[0056] (7) 共通電極16の形成

補助配線層13が形成された基板20上に、透明導電膜を、スパッタリング法を用いて成膜する。そして、共通電極16を形成する領域において、フォトリソグラフィを用いてレジストパターンを形成し、ウェットエッチングを用いてエッチングすることでパターニングを行う。これが第6マスク工程である。これにより、図9Hに示すように、共通電極16の開口部16hが形成され、開口部16hより外側に共通電極16が形成される。

[0057] 共通電極16には、例えば、ITO（インジウム・錫酸化物）やIZO（インジウム・亜鉛酸化物）などの透明導電膜が用いられる。共通電極16の膜厚は、例えば60nm以上、120nm以下である。なお、パターニング後、共通電極16にベーク処理を行うことで抵抗を低減するようにしてもよい。

[0058] (8) 層間絶縁膜24の形成

共通電極16が形成された基板20上に、プラズマCVD法又はスパッタリング法を用いて層間絶縁膜24を成膜する。そして、フォトリソグラフィを用いてレジストパターンを形成し、ドライエッチングを用いてエッチングすることでパターニングを行う。これが第7マスク工程である。これにより、図9Iに示すように、コンタクトホールH1の内側にコンタクトホールH

2が形成され、共通電極16の上に層間絶縁膜24が形成される。また、これと同様に、図6、7、8に示すように、S-Gコンタクト部110とG-COMコンタクト部130とS-COMコンタクト部120においても、補助配線層13の上層に層間絶縁膜24が形成される。層間絶縁膜24としては、例えば、シリコン窒化膜やシリコン酸化膜などの無機絶縁膜、又はこれらの積層膜が用いられる。層間絶縁膜24の膜厚は、例えば100nm以上、300nm以下である。なお、本実施形態において、コンタクトホールH1は第1コンタクトホールの一例であり、コンタクトホールH2は、第2コンタクトホールの一例である。

[0059] (9) 画素電極17の形成

層間絶縁膜24が形成された基板20上に、透明導電膜を、スパッタリング法を用いて成膜する。そして、画素電極17を形成する領域において、フォトリソグラフィを用いてレジストパターンを形成し、ウェットエッチングを用いてエッチングすることでパターニングを行う。これが第8マスク工程である。これにより、図5に示すように、層間絶縁膜24の一部とド레인接続膜13Pとに重なるように画素電極17が形成される。また、画素電極17は、ド레인接続膜13Pを介してド레인電極12Dと電氣的に接続される。なお、パターニング後、画素電極17にベーク処理を行うことで抵抗を低減するようにしてもよい。

[0060] 画素電極17には、ITO（インジウム・錫酸化物）やIZO（インジウム・亜鉛酸化物）などの酸化物薄膜が用いられる。画素電極17の膜厚は、例えば60nm以上、120nm以下である。ド레인接続膜13Pには画素電極17との間で電食を抑制する金属膜が用いられている。画素電極17とド레인電極12Dとが直接接触しないため、画素電極17の形成時にド레인電極12Dやド레인接続膜13Pとの間で電食が発生することが防止される。

[0061] 上述したように、本実施形態では、第1マスク工程から第8マスク工程によって8枚のマスクを用いている。本実施形態は、画素電極17の形成時に

ドレイン電極 1 2 D との間で電食を発生させないようにドレイン接続膜 1 3 P を形成する例である。ここで、ドレイン接続膜 1 3 P を形成せずに、画素電極 1 7 の電食を防止する他の構成について検討する。以下の例では、共通電極 1 6 の電位を安定化させるための補助配線 1 3 S だけを形成する。図 1 0 A ～ 1 0 H は、このような構成の製造工程を例示したものである。

[0062] 図 1 0 A に示すように、上記ステップ (1) ～ (3) の方法によってゲート絶縁膜 2 1 上に半導体部 1 5 を形成する。そして、半導体部 1 5 を覆うように、アルミニウムを上層 1 2 1 とし、チタンを下層 1 2 2 とするソース層 1 2 a が成膜された状態において、フォトリソグラフィを用いてパターニングする。更に、ソース層 1 2 a の上層 1 2 1 だけをエッチングし、下層 1 2 2 を露出させる。これにより、図 1 0 B に示すように、ソース層 1 2 a にコンタクトホール C H 1 が形成される (ステップ (4'))。続いて、上記ステップ (4) と同様、ソース線 1 2 及びソース電極 1 2 S とドレイン電極 1 2 D が形成される領域において、フォトリソグラフィを用いてパターニングしてエッチングする。これにより、図 1 0 B に示すように、半導体 1 5 の上部においてソース電極 1 2 S とドレイン電極 1 2 D とが形成される。

[0063] そして、上記実施形態のステップ (5) の方法によって、層間絶縁膜 2 2 を成膜し、平坦化膜 2 3 を、フォトリソグラフィを用いてパターニングすることで、図 1 0 C に示すように平坦化膜 2 3 の開口部 2 3 h を形成する。

[0064] その後、上記実施形態のステップ (6) と同様にして補助配線層 1 3 を成膜し、ソース線 1 2 と重なる位置において、フォトリソグラフィを用いてパターニングしてエッチングする。これにより、図 1 0 D に示すように補助配線 1 3 S を形成する。そして、上記実施形態のステップ (7) と同様に、共通電極 1 6 を形成する領域においてフォトリソグラフィを用いてパターニングしてエッチングする。これにより、図 1 0 E に示すように共通電極 1 6 を形成する。

[0065] 共通電極 1 6 の形成後、図 1 0 F に示すように、上記ステップ (8) と同様に層間絶縁膜 2 4 を共通電極 1 6 の上層に成膜する。そして、フォトリソ

グラフィを用いてパターニングし、層間絶縁膜 24 と層間絶縁膜 22 を同時にエッチングする。これにより、図 10G に示すように、コンタクトホール CH2 が形成されてソース層 12a の下層 122 が露出する。続いて、上記ステップ (9) と同様にして、フォトリソグラフィを用いてパターニングを行う。これにより、図 10H に示すように、コンタクトホール CH2 を覆うように層間絶縁膜 24 の上層に画素電極 17 を形成する。

[0066] 図 10H に示すように、ドレイン接続膜 13P を形成しない場合には、ソース層 12a の上層 121 を除去して下層 122 と画素電極 17 とを直接接触させる。つまり、画素電極 17 との間で電食が生じるアルミニウムは画素電極 17 と接触せず、チタンと画素電極 17 とを直接接触させる。これにより、画素電極 17 とドレイン電極 12D (ソース層 12a) とが電氣的に接続され、画素電極 17 とドレイン電極 12D の電食が防止される。

[0067] しかしながら、図 10A ~ 10H に示した製造工程では、ステップ (1) ~ (9) の工程に加えて、ステップ (4') の工程が必要となる。ステップ (4') ではソース層 12a の下層 122 を露出させるためのコンタクトホール CH1 を形成する。そのため、図 10A ~ 10H の工程では、ステップ (4') において別途マスクが必要となる。その結果、上述した実施形態よりもマスク数が 1 枚多くなる。本実施形態では、補助配線 13S を形成すると同時に、TFTPIX コンタクト部 100 においてドレイン接続膜 13P を形成する。そのため、画素電極 17 はドレイン接続膜 13P 上に成膜され、ドレイン接続膜 13P を介してドレイン電極 12D と接続される。その結果、図 10A のようにコンタクトホール CH1 を形成する必要がなく、図 10A ~ 10H に示した製造工程よりもマスク数を少なくすることが可能となる。

[0068] <第 2 実施形態>

上述した第 1 実施形態では、図 6 に示す S-G コンタクト部 110 において、ゲート層 11a とソース層 12a とを補助配線層 13 によって接続する例について説明したが、以下のように構成してもよい。

[0069] 図11は、本実施形態におけるS-Gコンタクト部110Aの断面を示す図である。図11に示すように、本実施形態では、ゲート層11aの上部にゲート絶縁膜21を形成した後、フォトリソグラフィを用いてパターニングし、ゲート絶縁膜21をドライエッチングする。これにより、ゲート絶縁膜21において開口部を形成する。そして、第1実施形態のステップ(4)の処理において、その開口部にソース層12aを形成する。ソース層12aの形成後、第1実施形態のステップ(5)(8)の処理において、層間絶縁膜22と平坦化膜23と層間絶縁膜24とが順に成膜される。

[0070] 図6に示した第1実施形態の場合には、ゲート層11aとソース層12aとを接続するための補助配線層13は、ドレイン接続膜13Pと同時に形成される。そのため、ゲート層11aとソース層12aとを接続させるためのマスクを別途用いる必要がない。これに対し、本実施形態の図11に示す構成では、ソース層12aを形成する前に、ゲート層11aとソース層12aとを直接接触させるための開口部を形成するためのマスクが必要となる。しかしながら、図11の場合、ゲート層11aとソース層12aとを直接接続させることができる。その結果、第1実施形態の場合よりS-Gコンタクト部110の面積を小さくすることができ、表示パネルの狭額縁化を図ることが可能となる。

[0071] <第3実施形態>

上述した第1実施形態では、図6に示すS-Gコンタクト部110において、ゲート層11aとソース層12aとを補助配線層13によって接続する例について説明したが、以下のように構成してもよい。

[0072] 図12は、本実施形態におけるS-Gコンタクト部110Bの断面を示す図である。図12に示すように、本実施形態では、上述した第1実施形態のステップ(5)においてコンタクトホールH3、H4を形成した後、ステップ(6)の処理において、コンタクトホールH3の方にだけ補助配線層13を形成する。続いて、ステップ(8)の処理において、補助配線層13とコンタクトホールH4と平坦化膜23を覆うように層間絶縁膜24を形成する

。

[0073] 層間絶縁膜 24 の形成後、フォトリソグラフィを用いてパターニングし、コンタクトホール H3 と H4 において層間絶縁膜 24 のみをドライエッチングする。これにより、ゲート層 11a と補助配線層 13 とが露出する。そして、ステップ (9) の処理において、画素電極 17 を形成すると同時に、画素電極層 17a を、層間絶縁膜 24 を覆うように形成する。画素電極層 17a は、画素電極 17 の導電膜で構成される。

[0074] これにより、ソース層 12a と画素電極層 17a とは補助配線層 13 を介して積層される。補助配線層 13 は、画素電極 17 との間で電食が抑制される金属が用いられているため、画素電極層 17a の成膜時において電食が発生しない。そのため、ソース層 12a として低抵抗なアルミニウム系の金属膜を用いることができる。また、ゲート層 11a とソース層 12a は、画素電極層 17a を介して電氣的に接続される。本実施形態では、ゲート層 11a は、画素電極層 17a と直接接触する最表面において、補助配線層 13 と同様、ITO との間で電食が抑制される材料を用いるように構成する。端子 6a から入力された共通電極 16 の電位は、画素電極層 17a を介してソース層 12a へ伝達され、S-COM コンタクト部 120 を介して共通電極 16 へと供給される。

[0075] 以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。以下、本発明の変形例について説明する。

[0076] (1) 上述した第 1 から第 3 実施形態では、表示パネル 1 が液晶パネルの例を説明したが、有機 EL (Electro-Luminescence) 等を用いたパネルであってもよい。

[0077] (2) 上述した第 1 から第 3 実施形態では、補助配線 13G は、ゲート線 11 の近傍にゲート線 11 と平行となるように形成される例を説明したが、

以下のように構成してもよい。つまり、補助配線 13G は、TFT-PIX
コンタクト部 100 と重ならない位置であればゲート線 11 の上に補助配線
13G が形成されていてもよい。

- [0078] (3) 上述した第 1 から第 3 実施形態では、補助配線 13S、13G は全
画素に対して形成されている例を説明したが、以下のように構成してもよい。
例えば、予め定められたゲート線 11 の近傍の位置に補助配線 13G を形
成し、予め定められたソース線 12 と重なるように補助配線 13S を形成し
てもよい。要は、全画素領域のうち複数の画素領域において共通電極 16 へ
の電位が供給できるように、一部のゲート線 11 の近傍の位置に補助配線 1
3G を形成し、一部のソース線 12 と重なるように補助配線 13S が形成さ
れていればよい。

産業上の利用の可能性

- [0079] 本発明は、表示装置に用いられる液晶パネルや有機 EL パネル等の表示パ
ネルとして産業上の利用が可能である。

請求の範囲

[請求項1]

基板に形成された複数のゲート配線を覆うゲート絶縁膜を介して前記複数のゲート配線と重なるように形成された半導体層と、前記ゲート配線と交差するように前記ゲート絶縁膜及び前記半導体層の一部の上に形成された複数のソース配線と、前記半導体層上で前記ソース配線と離間し、前記ゲート配線と重なるように前記ゲート絶縁膜及び前記半導体層の一部に形成された複数のドレイン配線と、前記半導体層上における前記ソース配線及び前記ドレイン配線の間にチャネル領域が形成された薄膜トランジスタを備える半導体装置であって、

前記ソース配線及び前記ドレイン配線と前記チャネル領域とを覆う第1層間絶縁膜と、前記第1層間絶縁膜を覆う平坦化膜とを貫通する第1コンタクトホールを介して前記ドレイン配線と電氣的に接続される金属膜からなるドレイン接続膜と、

前記ソース配線の少なくとも一部と重なりと共に、前記複数のゲート配線の少なくとも一部の近傍において前記ゲート配線と略平行に形成された前記金属膜からなる共通電極補助配線と、

前記共通電極補助配線の少なくとも一部と重なるように形成され、前記共通電極補助配線と電氣的に接続される共通電極と、

前記第1コンタクトホールの内側であって、前記ドレイン接続膜を覆う第2層間絶縁膜に設けられた第2コンタクトホールにおいて、前記ドレイン接続膜と電氣的に接続される画素電極とを備え、

前記金属膜は、前記画素電極より標準電極電位が高い金属、又は、前記画素電極の標準電極電位との電位差が予め定めた範囲内となる金属が前記画素電極と接するように構成され、

前記共通電極補助配線は、入力される信号に応じた電位を前記共通電極に供給する、半導体装置。

[請求項2]

前記基板において、前記ゲート配線にゲート信号を入力する第1端子と、前記ソース配線にソース信号を入力する第2端子と、前記共通

電極に対する電位を入力する第3端子及び第4端子とを備え、

前記第1端子、前記第2端子、前記第3端子、前記第4端子は、前記ゲート配線の導電膜を用いて同層に形成されており、

前記ソース配線のうちの一のソース配線を前記第3端子と電氣的に接続し、他の前記ソース配線と前記第2端子とを電氣的に接続する第1コンタクト部と、

前記ゲート配線のうちの一のゲート配線は前記第4端子と電氣的に接続され、他のゲート配線は前記第1端子と電氣的に接続されており、前記一のゲート配線と前記他のソース線と重なる前記共通電極補助配線とを電氣的に接続する第2コンタクト部と、

前記一のソース配線と、前記ゲート配線と略平行な前記共通電極補助配線とを電氣的に接続する第3コンタクト部と

が形成されている、請求項1に記載の半導体装置。

[請求項3]

前記第1コンタクト部において、前記一のソース配線と前記第3端子、及び前記他のソース配線と前記第2端子は、前記共通電極補助配線及び前記ドレイン接続膜と同層に形成された前記金属膜を介して電氣的に接続され、

前記第2コンタクト部において、前記一のゲート配線と、前記他のソース配線と重なる前記共通電極補助配線とは、前記共通電極補助配線及び前記ドレイン接続膜と同層に形成された前記金属膜を介して接続され、

前記第3コンタクト部において、前記一のソース配線と、前記ゲート配線と略平行な前記共通電極補助配線とは、前記共通電極補助配線及び前記ドレイン接続膜と同層に形成された前記金属膜を介して接続されている、請求項2に記載の半導体装置。

[請求項4]

前記第1コンタクト部において、前記一のソース配線と前記第3端子、及び前記他のソース配線と前記第2端子は、前記第3端子及び第2端子上に形成された前記ゲート絶縁膜のコンタクトホールにおいて

接触するように形成され、

前記第2コンタクト部において、前記一のゲート配線と、前記他のソース配線と重なる前記共通電極補助配線とは、前記共通電極補助配線及び前記ドレイン接続膜と同層に形成された前記金属膜を介して接続され、

前記第3コンタクト部において、前記一のソース配線と、前記ゲート配線と略平行な前記共通電極補助配線とは、前記共通電極補助配線及び前記ドレイン接続膜と同層に形成された前記金属膜を介して接続されている、請求項2に記載の半導体装置。

[請求項5]

前記半導体層は、酸化物半導体で構成され、

前記共通電極と前記画素電極は、透明導電膜で構成され、

前記ソース配線及び前記ドレイン配線は、アルミニウム又はアルミニウムを含む金属化合物で構成されている、請求項1から4のいずれか一項に記載の半導体装置。

[請求項6]

前記酸化物半導体は、インジウム、ガリウム、亜鉛、及び酸素からなる、請求項5に記載の半導体装置。

[請求項7]

請求項1から6のいずれか一項に記載の半導体装置を備えるアクティブマトリクス基板と、

カラーフィルタを備える対向基板と、

前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層と、

を備える表示パネル。

[請求項8]

薄膜トランジスタを備えた半導体装置の製造方法であって、

(A) 基板上に薄膜トランジスタを形成する工程であって、ゲート線及びゲート電極を含むゲート層と、前記ゲート層を覆うゲート絶縁膜と、前記ゲート絶縁膜の一部を覆う半導体層とを形成し、前記半導体層の上部にソース層を形成してソース電極を含むソース配線とドレイン電極を含むドレイン配線とを形成する工程と、

(B) 前記ソース層を覆う第1層間絶縁膜と、前記第1層間絶縁膜を覆う平坦化膜を形成する工程と、

(C) 前記平坦化膜をマスクとし、前記第1層間絶縁膜をエッチングして前記ドレイン電極を露出させる第1コンタクトホールを形成する工程と、

(D) 前記平坦化膜の上に金属膜を成膜して、前記第1コンタクトホールにおいて前記ドレイン配線と接するようにドレイン接続膜を形成すると共に、前記ソース線の一部と重なる位置に共通電極補助配線を形成する工程と、

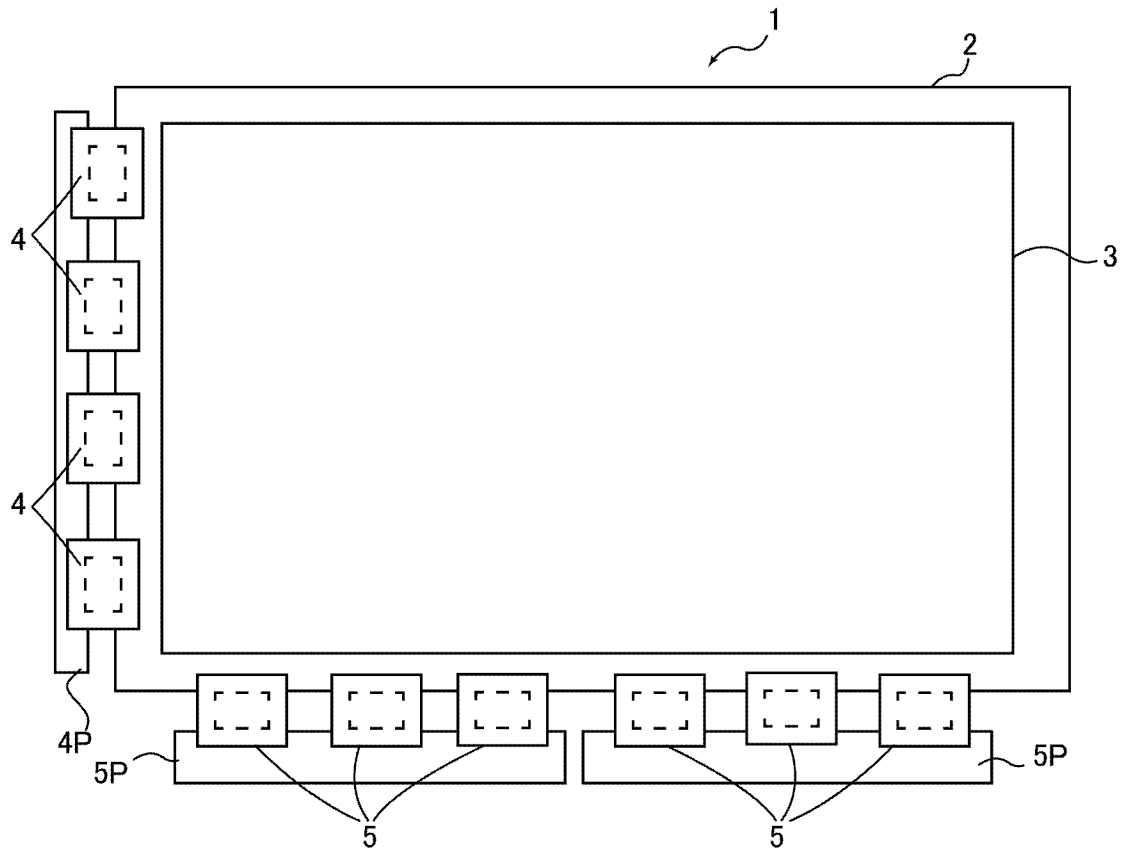
(E) 前記共通電極補助配線を覆い、前記ドレイン接続膜の形成領域より外側の位置に共通電極を形成する工程と、

(F) 前記共通電極と前記ドレイン接続膜の上に第2層間絶縁膜を成膜し、前記第2層間絶縁膜をエッチングすることにより前記第1コンタクトホールの内側に前記ドレイン接続膜を露出させる第2コンタクトホールを形成する工程と、

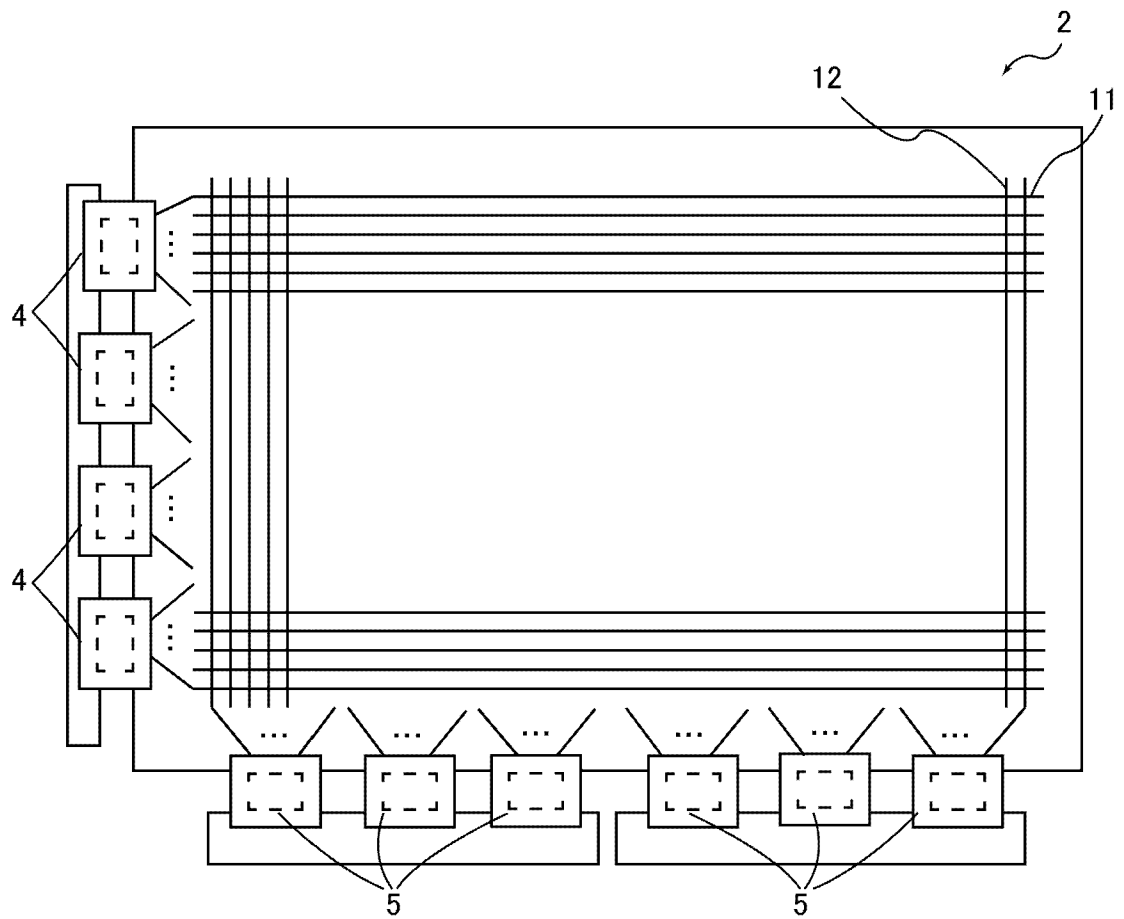
(G) 前記第2コンタクトホールにおいて前記ドレイン接続膜と接するように、前記第2層間絶縁膜上に画素電極を形成する工程と、を含み、

前記ドレイン接続膜及び前記共通電極補助配線は、前記画素電極より標準電極電位が高い金属、又は、前記画素電極の標準電極電位との電位差が予め定めた範囲となる金属が前記画素電極と接するように構成されている、半導体装置の製造方法。

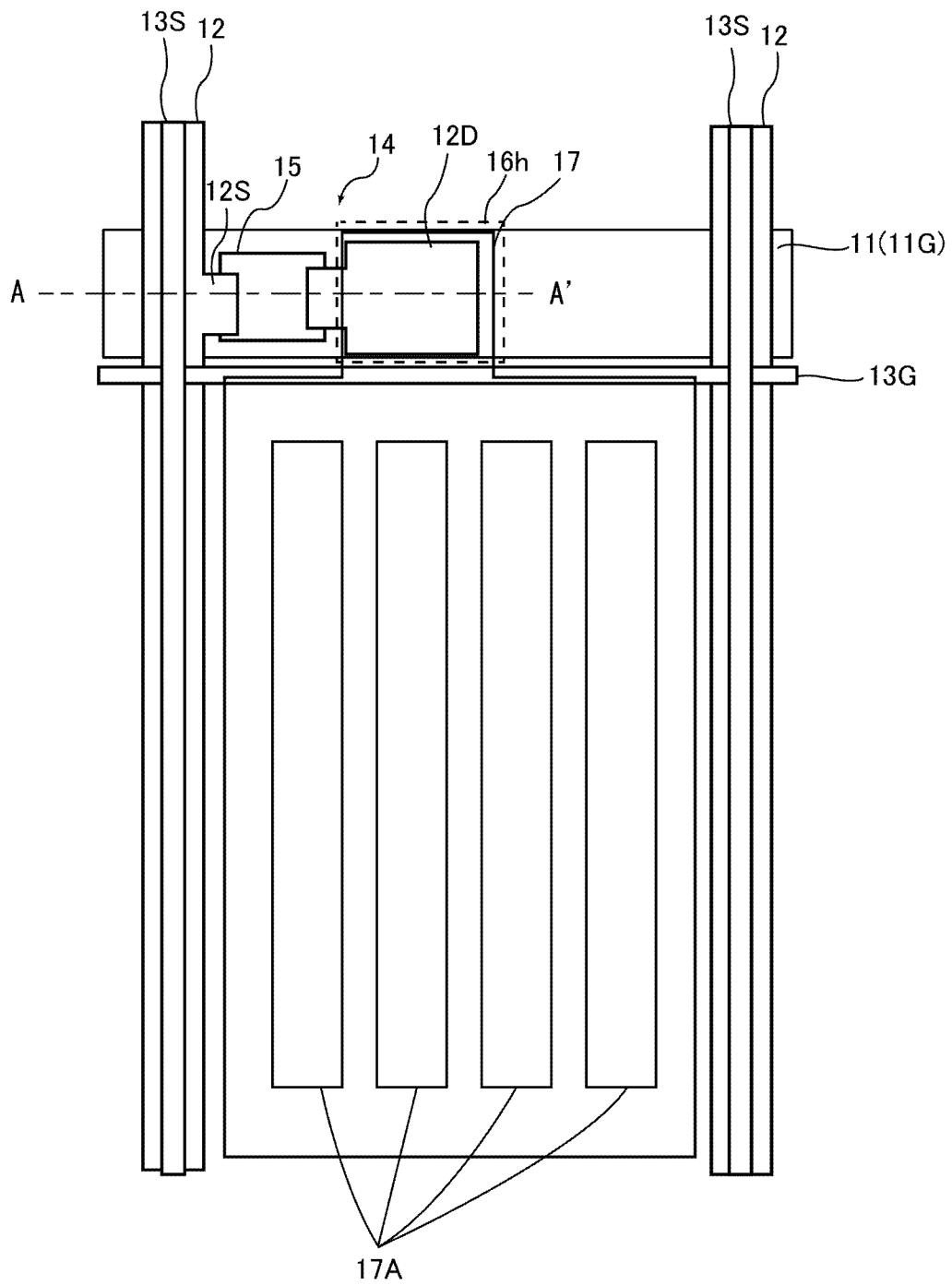
[図1]



[図2]



[図4]



[illegible]

110

13

24

23

H3

22

12a(12LS)

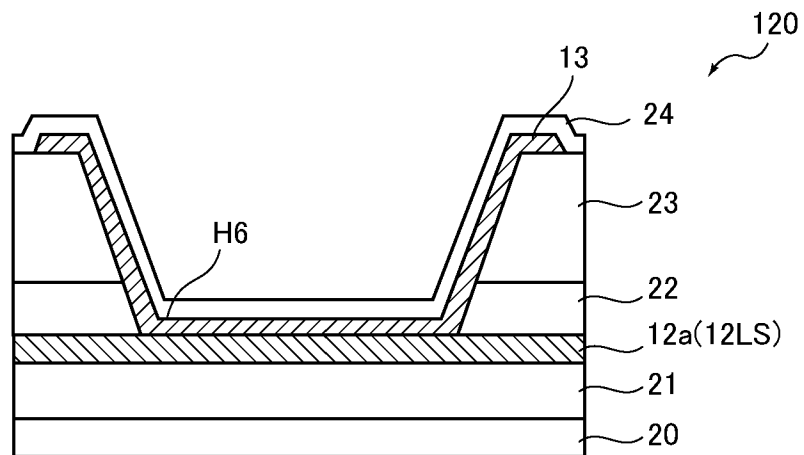
21

11a(6a,7)

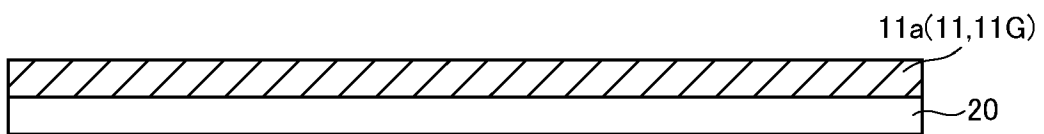
20

H4

[図8]



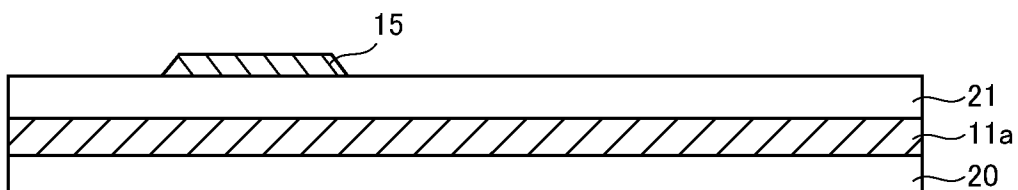
[図9A]



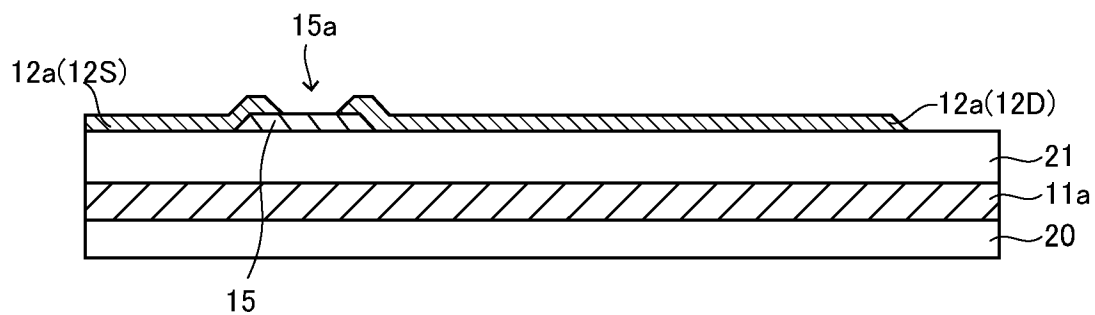
[図9B]



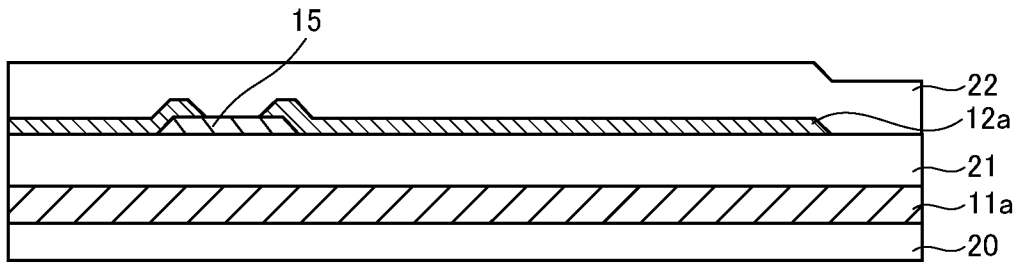
[図9C]



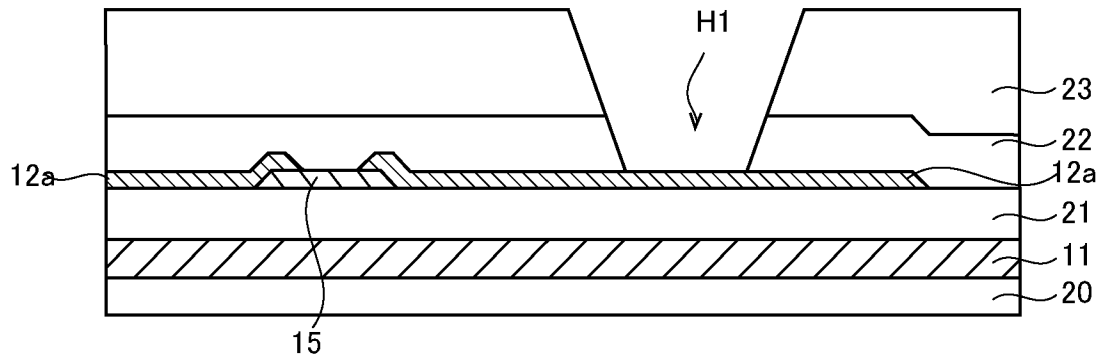
[図9D]



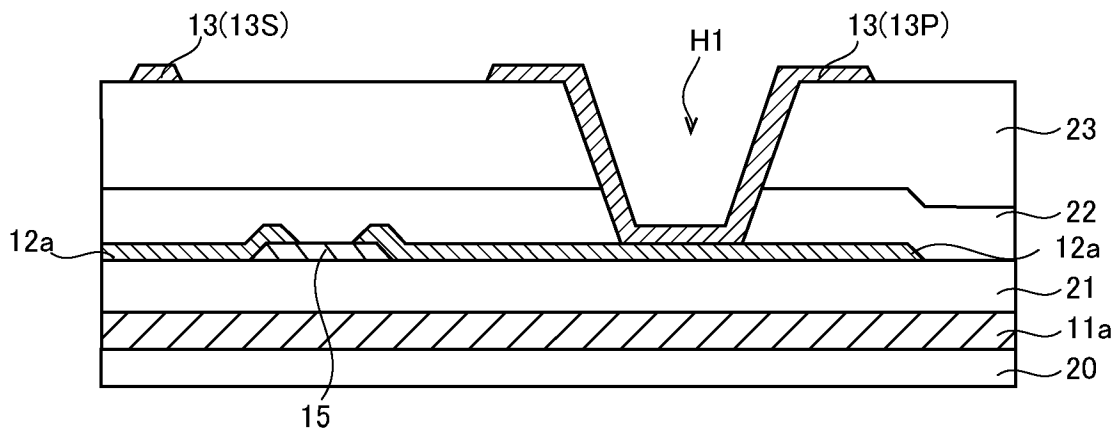
[図9E]



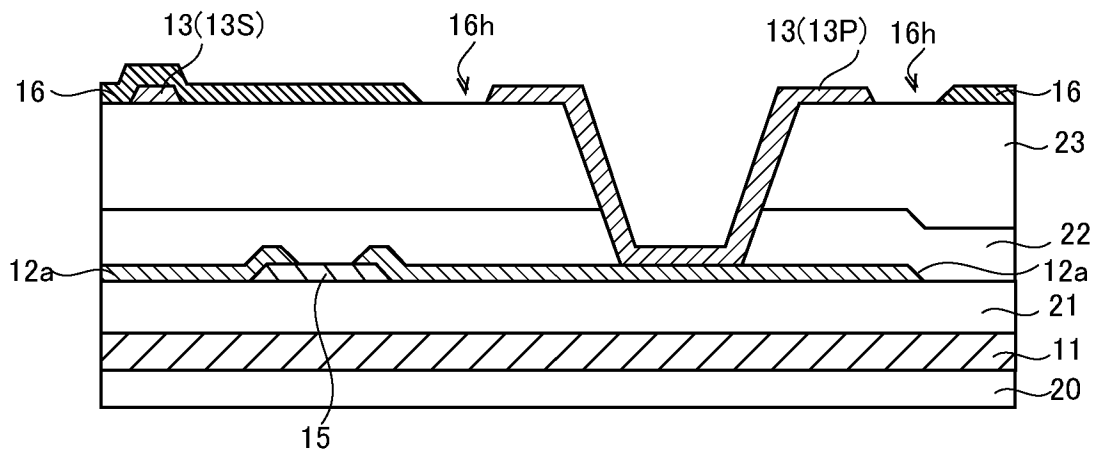
[図9F]



[図9G]



[図9H]

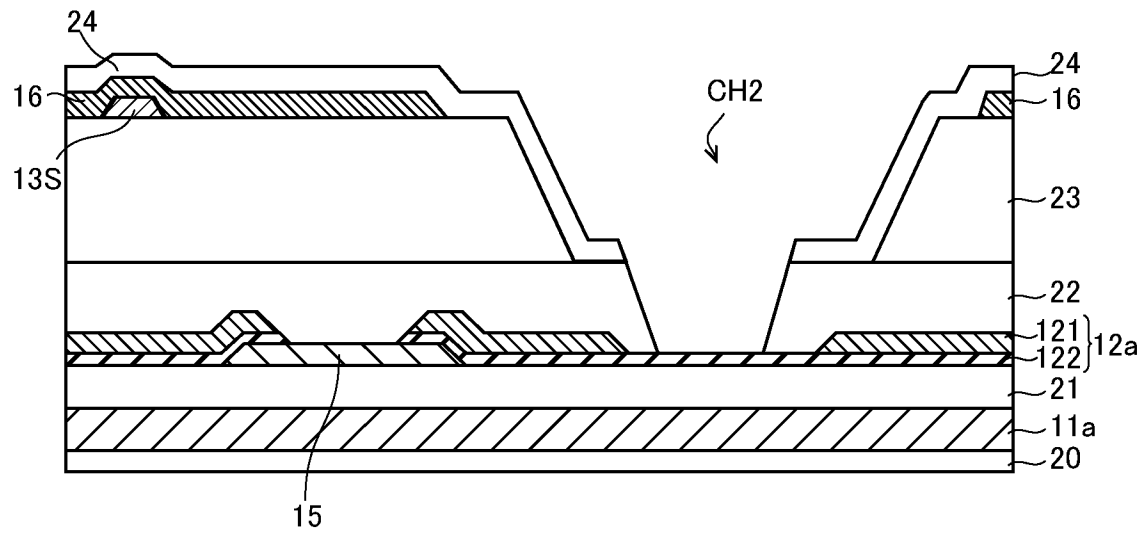


[illegible][illegible]

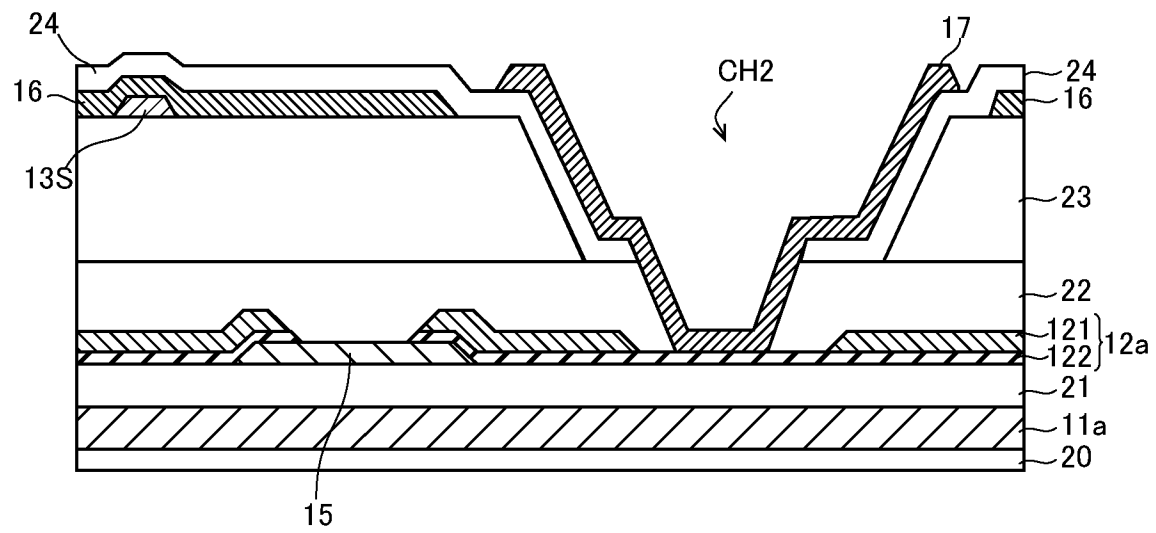
A cross-sectional view of a semiconductor device. The device consists of a substrate 20 with multiple layers. From bottom to top, the layers are: a bottom layer 11a, a layer 21, a layer 22, and a top layer 23. The top layer 23 has a central recessed region 23h. On the left and right sides of the top layer 23, there are patterned regions 16. A layer 15 is located beneath the top layer 23, and a layer 13S is located beneath the patterned regions 16. The layers 11a, 21, and 22 are collectively labeled as 12a. The layers 11a, 21, and 22 are collectively labeled as 12a. The layers 11a, 21, and 22 are collectively labeled as 12a.

This cross-sectional view shows a substrate with a central channel. The substrate consists of a bottom layer 20, followed by a layer 11a, a layer 21, and a layer 22. A central channel 15 is formed in the substrate. The channel is lined with a layer 122, which is part of a larger structure 12a that also includes a layer 121. Above the channel, there is a layer 13S, a layer 16, and a top layer 24. The channel is flanked by side walls 23.

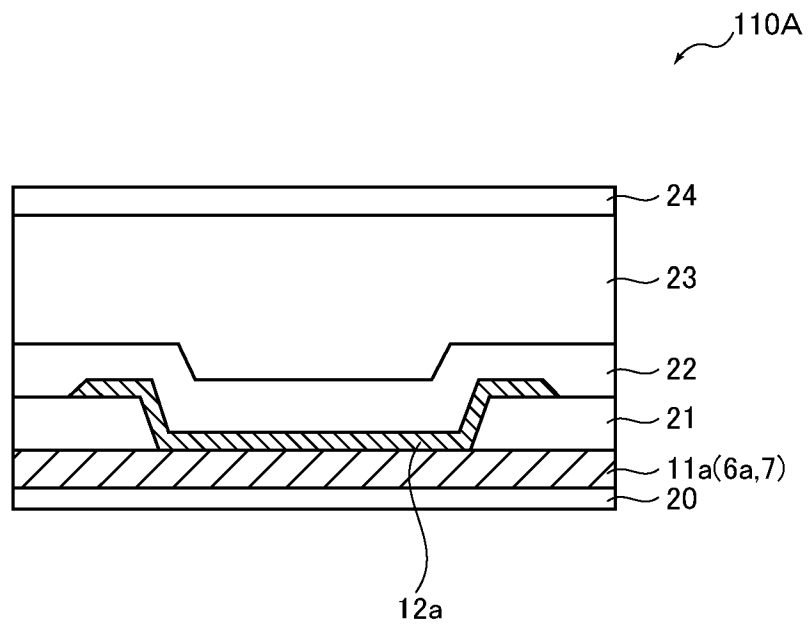
[図10G]



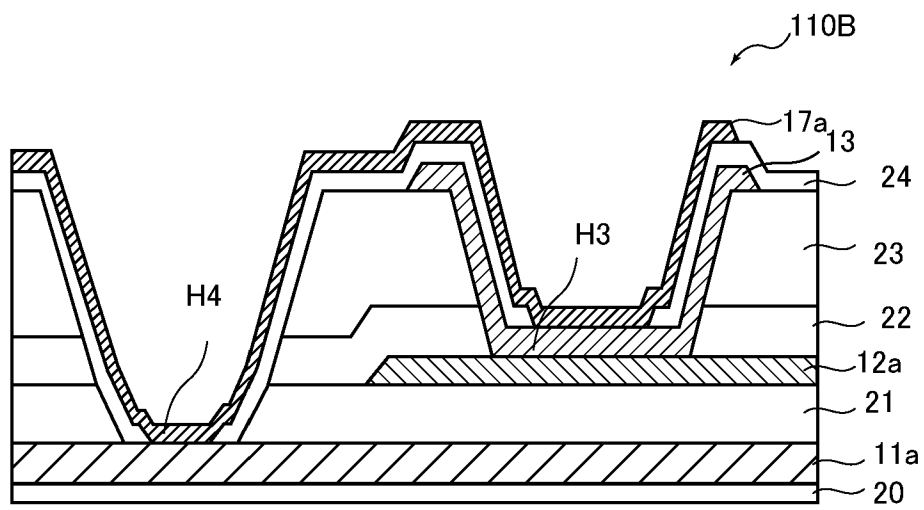
[図10H]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/072588

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/1343(2006.01)i, G02F1/1345(2006.01)i,
H01L21/336(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/1343, G02F1/1345, H01L21/336, H01L21/768, H01L23/522,
H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2012/090788 A1 (Sharp Corp.), 05 July 2012 (05.07.2012), entire text; all drawings (Family: none)	1-8
A	JP 11-316382 A (Sharp Corp.), 16 November 1999 (16.11.1999), entire text; all drawings & US 2001/0055082 A1 & TW 482917 B	1-8
A	JP 2001-56475 A (Hyundai Electronics Industries Co., Ltd.), 27 February 2001 (27.02.2001), entire text; all drawings & US 6580487 B1 & KR 10-2001-0004534 A & TW 226497 B	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 October, 2013 (07.10.13)

Date of mailing of the international search report
15 October, 2013 (15.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G02F1/1368(2006.01)i, G02F1/1343(2006.01)i, G02F1/1345(2006.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/1368, G02F1/1343, G02F1/1345, H01L21/336, H01L21/768, H01L23/522, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2012/090788 A1（シャープ株式会社）2012.07.05, 全文、全図 (ファミリーなし)	1 - 8
A	JP 11-316382 A（シャープ株式会社）1999.11.16, 全文、全図 & US 2001/0055082 A1 & TW 482917 B	1 - 8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 1 0 . 2 0 1 3

国際調査報告の発送日

1 5 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

森江 健蔵

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

2 L

4 4 6 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-56475 A (現代電子産業株式会社) 2001. 02. 27, 全文、全図 & US 6580487 B1 & KR 10-2001-0004534 A & TW 226497 B	1 - 8