



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

209621

(11)

(B1)

(51) Int. Cl.³
G 06 F 9/06

/22/ Přihlášeno 22 04 80
/21/ /PV 2805-80/

(40) Zveřejněno 27 02 81

(45) Vydáno 15 02 83

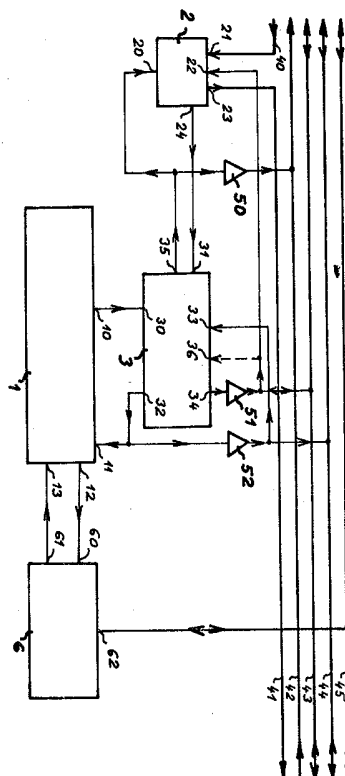
(75)
Autor vynálezu

MIRTES BOHUMIL ing. CSc., PRAHA, SECHOVSKÝ HYNEK ing. CSc., HOROMĚŘICE
a TOIFL JAROSLAV ing., PRAHA

(54) Zapojení číslicového bloku připojitelného na asynchronní sběrnici

Podstatou vynálezu je jednak dekompozice řadiče bloku na synchronní blok řadiče, řídící autonomní činnost bloku, a na asynchronní část, řídící komunikaci se sběrnici, jednak zapojení datové části bloku, například procesoru /viz příklad na obr. 6/, umožňující zahájení výběru příští instrukce v průběhu předcházející instrukce. Asynchronní část řadiče je inicializována synchronním blokem řadiče, její součinnost se sběrnici probíhá autonomně a paralelně s činností synchronního bloku řadiče. Asynchronní část řadiče obsahuje asynchronní řídící moduly /viz obr. 4, 8a, 8b a popis činnosti/ zaručující spolehlivou synchronizaci procesů i v případě vzniku metastabilního stavu.

Obr. 1



Předmětem vynálezu je zapojení číslicového bloku připojitelného na asynchronní sběrnici, to je například zapojení centrální jednotky nebo procesoru počítačového systému s centrální asynchronní sběrnici, respektive zapojení řídicí jednotky přidavných zařízení například magnetické diskové jednotky a podobně.

Rozsah a složitost vnitřních funkcí uvedených typů číslicových zařízení vyžaduje jejich řízení pomocí autonomního synchronního řadiče s větším počtem stavů a s vlastním zdrojem synchronizačního signálu, tj. hodin, například řadiče konstruovaného na principu mikroprogramování. U velkého počtu výpočetních systémů jsou přitom tato zařízení spojována s ostatními částmi systému prostřednictvím tak zvané asynchronní sběrnice, to je soustavy vodičů, přes které si připojené bloky navzájem předávají signály a data v asynchronním režimu, to znamená, že sběrnice signály nejsou doprovázeny žádným centrálním synchronizačním, tj. hodinovým signálem a změny těchto signálů, tj. náběžné a závěrné hrany, probíhají asynchronně vzhledem k autonomnímu hodinovému signálu připojeného bloku. Z tohoto důvodu nemůže synchronní řadič připojeného bloku zpracovávat sběrnice signály přímo ze vstupu, chceme-li zaručit běžně požadovanou spolehlivost činnosti bloků, je nutno tyto vstupní signály vhodným způsobem synchronizovat.

V dosud známých zapojeních je obvykle v řízení komunikace číslicového bloku se sběrnici funkčně dominující synchronní řadič, k němuž jsou na vstupu řídicích sběrnice signálů připojeny synchronizační členy zaručující spolehlivé zpracování asynchronních vstupů. Tato zapojení vyžadují jednak větší objem součástek pro řešení číslicového bloku, jednak omezují rychlost spolupráce bloku se sběrnici tím, že neumožňují paralelní dostatečně nezávislý průběh autonomních synchronních operací a asynchronních komunikací na sběrnici. Kromě toho jsou u těchto zapojení omezeny možnosti konfigurace bloků připojených na společnou sběrnici. Nelze například připojit více procesorů přímo na společnou sběrnici a zaručit uspokojivou rychlost a efektivnost sběrnice komunikací.

Jsou známa též zapojení číslicových bloků dosahujících kromě synchronního řadiče asynchronní část, řídicí komunikaci bloku s asynchronní sběrnici. Tato zapojení však nezaručují spolehlivé zpracování podstatně asynchronních vstupních signálů a kromě toho neumožňují připojení více procesorů na společnou sběrnici při zachování dostatečné rychlosti a spolehlivosti komunikací na sběrnici.

Uvedené nevýhody dosud známých zapojení odstraňuje zapojení číslicového bloku, sestávající ze synchronního bloku řadiče, prioritního bloku, ovládacího bloku a datového bloku podle vynálezu, jehož podstatou je, že synchronní blok řadiče je dotazovým výstupem spojen s dotazovým vstupem ovládacího bloku, ovládacím vstupem je spojen s ovládacím výstupem ovládacího bloku a se vstupem třetího sběrnice vysílače, řídicími výstupy je spojen s řídicími vstupy datového bloku a stavovými vstupy je spojen se stavovými výstupy datového bloku, ovládací blok je dále svým dotazovým výstupem spojen s dotazovým vstupem prioritního bloku a se vstupem prvního sběrnice vysílače, nastavovacím vstupem je spojen s vnitřním výstupem prioritního bloku, pomocným vstupem je připojen na ovládací sběrnice vodič a blokovacím výstupem je připojen na vstup druhého sběrnice vysílače, přičemž prioritní blok je dále svým prioritním vstupem spojen se vstupním prioritním sběrnice vodičem, blokovacím vstupem je připojen na blokovací sběrnice vodič a vnějším výstupem je připojen na výstupní prioritní sběrnice vodič, datový blok je dále svými informačními vstupy/výstupy připojen na informační sběrnice vodiče a první sběrnice vysílač je svým výstupem připojen na dotazový sběrnice vodič, druhý sběrnice vysílač je svým výstupem připojen na blokovací sběrnice vodič a třetí sběrnice vysílač je svým výstupem připojen na ovládací vodič sběrnice.

Zapojení podle vynálezu umožňuje jednak spolehlivé zpracování asynchronních signálů i v případě vzniku tak zvaných metastabilních stavů, jednak umožňuje dosažení vyšší rychlosti komunikace bloku se sběrnici a úsporu materiálu. Výhodou zapojení podle vynálezu je též možnost připojení více procesorů na společnou sběrnici při zachování rychlé komunikace. Těchto výhod je dosaženo tím, že komunikace se sběrnici je do značné míry autonomně řízena prioritním

a ovládacím blokem a případně blokem přerušení, představujícími jednoduché asynchronní řidičí bloky schopné spolehlivě zpracovat asynchronní vstupní signály i v případě vzniku metastabilního stavu. Vzhledem k tomu jednak synchronní blok řadiče může v průběhu řízení vnitřních synchronních funkcí bloku předat povel uvedeným asynchronním blokům k zahájení komunikace se sběrnici, například žádost o přidělení sběrnice, jež potom probíhá paralelně s činností synchronního řadiče, jednak mohou asynchronní bloky řídit jiné druhy komunikací se sběrnici zcela nezávisle na synchronním bloku. V obou případech asynchronní bloky komunikují se sběrnici s maximální rychlostí danou pouze zpožděním obvodů, to je nezávisle na průběhu a frekvenci vnitřního hodinového signálu synchronního bloku a zapojení synchronního bloku může být zjednodušeno. Spolehlivé zpracování odezvových signálů asynchronních bloků je v synchronním bloku zaručeno mechanismem podmíněné generace hodinového signálu. Další výhodou zapojení podle vynálezu je možnost dalšího zrychlení funkce číslicového bloku, v tomto případě procesoru. Při vhodné struktuře datového bloku může synchronní blok řadiče ještě v průběhu předcházející instrukce spustit činnost asynchronních bloků, jež potom paralelně a autonomně řídí proces testování žádosti o přerušení, přidělování sběrnice a čtení další instrukce z paměti, respektive čtení vektoru přerušení.

Příklady konkrétního zapojení číslicového bloku podle vynálezu jsou znázorněny na připojených výkresech, kde:

obr. 1 znázorňuje blokovým způsobem příklad zapojení procesoru podle vynálezu, obr. 2 znázorňuje příklad průběhu signálů na sběrnicevých vodičích a vstupech a výstupech jednotlivých bloků z příkladu zapojení podle obr. 1, během procesu přidělování sběrnice, obr. 3 znázorňuje příklad zapojení synchronního bloku řadiče 1 z obr. 1, obr. 4 znázorňuje příklad zapojení prioritního bloku 2 z obr. 1, obr. 5a, 5b znázorňují dva příklady zapojení ovládacího bloku 3 z obr. 1, obr. 6 znázorňuje příklad zapojení datového bloku 6 z obr. 1, obr. 7 znázorňuje blokovým způsobem příklad zapojení procesoru podle vynálezu, schopného zpracovávat žádosti o přerušení pomocí bloku přerušení 7, obr. 8a, 8b znázorňují dva příklady zapojení bloku přerušení 7 z obr. 7, a obr. 9 znázorňuje příklad připojení číslicových bloků na sběrnici včetně propojení prioritních vodičů pro přidělování sběrnice i pro prioritu žádostí o přerušení.

Znázorněný příklad číslicového bloku zapojeného podle vynálezu sestává ze synchronního bloku řadiče 1, prioritního bloku 2, ovládacího bloku 3 a datového bloku 6, přičemž synchronní blok řadiče 1 je dotazovým výstupem 10 spojen s dotazovým vstupem 30 ovládacího bloku 3, ovládacím vstupem 11 je spojen s ovládacím výstupem 32 ovládacího bloku 3 a se vstupem třetího sběrnicevého vysílače 52, řidičími výstupy 12 je spojen s řidičími vstupy 60 datového bloku 6 a stavovými vstupy 13 je spojen se stavovými výstupy 61 datového bloku 6, ovládací blok 3 je dále svým dotazovým výstupem 35 spojen s dotazovým vstupem 20 prioritního bloku 2 a se vstupem prvního sběrnicevého vysílače 50, nastavovacím vstupem 31 je spojen s vnitřním výstupem 24 prioritního bloku 2, pomocným vstupem 33 je připojen na ovládací sběrnicevých vodič 44 a blokovacím výstupem 34 je připojen na vstup druhého sběrnicevého vysílače 51, přičemž prioritní blok 2 je dále svým prioritním vstupem 21 spojen se vstupním prioritním sběrnicevým vodičem 40, blokovacím vstupem 22 je připojen na blokovací sběrnicevých vodič 43 a vnějším výstupem 23 je připojen na výstupní prioritní sběrnicevých vodič 41, datový blok 6 je dále svými informačními vstupy/výstupy 62 připojen na informační sběrnicevých vodiče 45 a první sběrnicevých vysílač 50 je svým výstupem připojen na dotazový sběrnicevých vodič 42, druhý sběrnicevých vysílač 51 je svým výstupem připojen na blokovací sběrnicevých vodič 43 a třetí sběrnicevých vysílač 52 je svým výstupem připojen na ovládací vodič sběrnice 44.

Synchronní blok řadiče, viz obr. 3, sestává z obvodů podmíněné generace hodinového signálu, které tvoří multiplexor 103 s řidičími vstupy 1034, přepínacími vstupy 1031, 1032, 1033 a výstupem 1030, hradlo typu negace součinu 104, invertory 105, 107 a kondenzátory 106, 108, aktivní hrana hodin: $0 \rightarrow 1$, a klasického synchronního automatu Mealyho typu, tvořeného vstupním dekodérem 100, tj. kombinačním obvodem, stavovou pamětí 1010, tj. klopné obvody typu D, respektive JK, citlivé na náběžnou hranu, a výstupním dekodérem 102. Vedení 109, 110, 111, 112, 113, 114 mohou být navzájem nezávisle tvořena jedním nebo více vodiči. Například jeden vodič 1091 z vedení 109 je spojen se vstupem 1033 multiplexoru 103.

Prioritní blok 2, viz obr. 4, je v příkladu tvořen tak zvaným rozhodovacím asynchronním řídícím modulem 22, hradlem typu součin 27 a zpožďovacím členem tvořeným diodou 25 a kondenzátorem 26. Použitý rozhodovací modul 22 zaručuje spolehlivou funkci i v případě vzniku tak zvaného metastabilního stavu způsobeného současným příchodem náběžných hran na řídící vstup 281 a testovaný vstup 282. Zapojení modulu 22 odpovídá například předmětu vynálezu podle AO 179 276: Asynchronní řídící modul, viz obr. 3 v popisu AO 179 276. Definice rozhodovacího asynchronního modulu je známa z literatury. Činnost modulu je znázorněna na příkladu průběhu signálů na obr. 4. Rozhodovací modul propouští jedničkový impuls z řídícího vstupu 281 právě na jeden z výstupů 283, 284 v závislosti na hodnotě signálu na testovaném vstupu 282. Modul zaručuje, že na výstupech nedojde k žádným přechodovým hazardním jevům ani k současnému vyslání jedničky na oba výstupy 283, 284.

V příkladu zapojení podle obr. 5a je ovládací blok 3 tvořen inventory 300, 301, hradlem typu součin 302, hradlem typu negace součinu 305 a dvěma RS klopnými obvody tvořenými hradly 303, 304 a 306, 307. V příkladu zapojení podle obr. 5b je ovládací blok 3 tvořen inventory 300, 309, 311, hradly typu negace součinu 305, 308, 309, 310, dvěma RS klopnými obvody tvořenými hradly 303, 304 a 306, 307 a asynchronním inhibičním řídícím modulem 308. Zapojení řídícího modulu 308 zaručuje spolehlivou funkci i v případě vzniku metastabilního stavu a je z literatury známo, odpovídá například předmětu vynálezu podle AO 179 276: Asynchronní řídící modul. Definice funkce modulu je zřejmá z časového diagramu na obr. 5b. Jedničkový impuls je ze vstupu 3082 přenášen volně na výstup 3083 až do okamžiku příchodu jedničky na řídící vstup 3080. Během jedničkového signálu na 3080 není ze 3082 na 3083 přenášena náběžná hrana /0→1/, závěrná hrana /1→0/ prochází vždy. Jedničkový signál na pomocném výstupu 3083 hlásí uzavření průchodu náběžné hrany ze 3082 na 3083.

Datový blok 6 v příkladu zapojení sestává, viz obr. 6, ze zápisníkové paměti 600 se sběrníkovými výstupy, sběrníkových spínačů 601, 602, 606, 615, 616, 619, instrukčního registru 603, adresního registru 605, datového multiplexoru 604, čítače instrukcí 608, datového registru 609, přepínače konstant 610, aritmeticko-logické jednotky 613, výstupního registru 614, dekodéru instrukcí 607, registru podmínkového kódu 612, pomocného přepínače 611 a vnitřních sběrníkových vedení: vnitřní datové sběrnice 621, povelové sběrnice 617, řídící sběrnice 618 a stykové informační sběrnice 620. Styková informační sběrnice je tvořena 16ti datovými vodiči 6200, vstupním synchronizačním vodičem 6201, výstupním synchronizačním vodičem 6203 a 16ti adresovými vodiči 6202. Zápisník s organizací 16 x 16 bit je ovládán přes adresové a řídící vstupy 6000, tj. adresace operandu, signál pro zápis, signál pro řízení sběrníkového výstupu. Registr instrukcí 603, datový registr 609 a výstupní registr 614 jsou realizovány z D klopných obvodů typu MH 7475. Jelikož zápisník 600 je realizován pomocí inventujících pamětí typu MH 7489, jsou v obvodové realizaci propojeny jeho datové vstupy 6001 s komplementárními výstupy klopných obvodů výstupního registru 614, jejichž přímé výstupy jsou spojeny s datovými vstupy 6151 sběrníkového spínače 615. Adresní registr 605 je realizován jako posuvný registr umožňující jednak paralelní zápis dat z datového vstupu 6051, jednak posuv obsahu registru o 1 bit vpravo, tj. ovládání přes řídící vstupy 6050. Čítač instrukcí 608 je realizován jako binární čítač s možností jednak čítání nahoru, jednak paralelní nahrání dat z datového vstupu 6081. Přepínač konstant 610 je v podstatě multiplexor, ovládaný řídícím vstupem 6100, převádějící na výstup 6102 buď data ze vstupu 6101 nebo konstantní binární číslo 0 ... 00, respektive 0 ... 01. Aritmeticko-logická jednotka 613 s prvním datovým vstupem 6133, druhým datovým vstupem 6134, řídícím vstupem 6130, stavovým výstupem 6132 a datovým výstupem 6135 je realizována zapojením známých ALU obvodů typu SN 74181, SN 74182. Registr podmínkového kódu 612 je realizován D klopnými obvody typu MH 7474. Datový multiplexor 604 je realizován obvody typu MH 74 154, podobně pomocný přepínač 611 je realizován obvody typu SN 74 157, sběrníkové spínače 601, 602, 606, 615, 616, 619 jsou realizovány hradly s otevřeným kolektorem SN 74 138 a společným kolektorovým odporem. Dekodér instrukcí 607 je realizován jako kombinační obvod tvořený logickými hradly.

Blok přerušení 7 je v příkladu zapojení podle obr. 8a tvořen rozhodovacím asynchronním modulem 700, viz popis příkladu zapojení prioritního bloku 2, D klopným obvodem 701 typu

MH 7474, hradlem 702 typu součin a derivačním členem sestávajícím z invertorů 703, 706, kondenzátorem 704 a odporem 705.

V příkladu zapojení podle obr. 8b je blok přerušení tvořen hradly typu součin 711, 712, 713, 714, 717, 718, invertorem 716 a přidělovacím asynchronním řídícím modulem, přidělovačem 710, jehož zapojení zaručující spolehlivou funkci i v případě metastabilního stavu je známo z literatury. Přidělovač 710 má prioritní vstupy 7101, 7102, 7103, 7104, prioritní výstupy 7105, 7106, 7107, 7108, testovací vstup 71010, synchronizační výstup 71011, stavový výstup 71012 a řídící vstup 71013. Přidělovač 710 obsahuje 4 neznázorněné klopné obvody, jeden pro každý prioritní vstup 7101, 7102, 7103, 7104, do nichž jsou během nulového signálu na testovacím výstupu 71010 nahrávány jedničkové signály z prioritních vstupů 7101, 7102, 7103, 7104. Po příchodu jedničkového signálu na testovací vstup 71010 je další nahrávání klopných obvodů blokováno a zůstává nahrán, v jedničce, nanejvýš jeden klopný obvod odpovídající prioritnímu vstupu s nejvyšší prioritou ze všech nahrávaných jedničkových signálů. Po odeznění případných metastabilních stavů vysílá přidělovač jedničkový signál na synchronizační výstup 71011 a signál 71012 je logickým součtem stavu všech 4 klopných obvodů. Jedničkový signál na řídícím vstupu 71013 otvírá výstupní hradla, přenášející obsah klopných obvodů na prioritní výstupy 761, 762, 763, 764. Klopný obvod, který zůstal nahrán do jedničky po příchodu jedničky na testovací vstup 71010, je nulován přechodem odpovídajícího prioritního vstupu do nuly, a to nezávisle na signálech na testovacím vstupu 71010 a řídícím vstupu 71013.

Na příkladu znázorněném na obr. 9 představuje blok A řídící jednotku přidavného zařízení pracující s přímým přístupem k paměti, blok B představuje řídící jednotku pracující s přímým přístupem a s mechanismem přerušení, blok C představuje procesor schopný zpracovávat žádosti o přerušení, zapojený podle vynálezu. Blok D představuje operační paměť a bloky E, F představují řídící jednotky pracující pouze v režimu přerušení. Na obr. 9 je znázorněno propojení prioritních vodičů pro případ, že prioritita bloků při žádosti o sběrnici je: blok A, B, C, při žádosti o přerušení je prioritita bloků: B, E, F.

Předpokládejme nejprve zapojení ovládacího bloku 3 podle obr. 5a a zapojení celého číslicového bloku podle obr. 1. Jedná se o procesor nezpracovávající přerušení.

Činnost procesoru je řízena instrukcemi, to je obsahem registru instrukcí 603 nahrávaného ho přes informační vodiče sběrnice 45 z operační paměti. Činnost procesoru, tj. instrukční cyklus, probíhá vždy ve třech fázích: dekodování instrukce, provedení operací definovaných instrukcí a výběr následující instrukce z operační paměti. Instrukční cyklus je rozdělen na tak zvané instrukční takty. Instrukční takty jsou dále členěny na tak zvané mikrotakty dlouhé 1 periodu hodinového signálu, takty i mikrotakty jsou generovány synchronním blokem řadiče 1. Pořadí, počet a délka taktů jsou proměnné v závislosti na typu instrukce.

Předpokládejme, že v instrukčním registru 603 je již nahrána instrukce. Synchronní blok řadiče 1 ve spolupráci s dekodérem instrukcí 607 v datovém bloku 6 jednak dekodují instrukci, jednak řídí činnost ostatních bloků procesoru během celého instrukčního cyklu. Ostatní podbloky datového bloku 6 jsou řízeny signály rozváděnými v datovém bloku povelovou sběrnicí 617. Tyto signály generuje dekodér instrukcí 607 zejména z kódu instrukce na vstupu 6074 a řídících signálů synchronního bloku řadiče 1 na vstupu 6076.

Vlastní výkon instrukce probíhá v podstatě klasickým způsobem známým z popisu o řešení procesorů uvedené třídy. Například vnitřní dvouoperandová aritmetická instrukce probíhá po dekodování instrukce v této časové posloupnosti:

F1: výběr 1. operandu ze zápisníku 600, přenos přes datový multiplexor 604 a zápis do datového registru 609

F2: výběr 2. operandu ze zápisníku 600, přenos přes 604 a 610 na vstup ALU 613, generace výsledku operace na datovém výstupu 6135 a stavovém výstupu 6132 a zápis výsledku operace do výstupního registru 614 a nového podmínkového kódu do registru podmínkového kódu 612 přes 607 a 611

F3: přenos výsledku z výstupního registru 614 zpět do zápisníku 600.

Struktura datového bloku 6 umožňuje interpretaci všech instrukcí, jež se vyskytují v běžných minipočítačových nebo mikroprocesorových instrukčních souborech, například instrukce pro posuv vlevo jsou prováděny vhodnou aritmetickou funkcí v ALU 613, instrukce pro posuv vpravo prostřednictvím adresového registru 605. Při vnější operaci, kdy se operand čte nebo/a zapisuje do operační paměti nebo přídavného zařízení, je do adresního registru 605 ukládána adresa operandu, vysílaná přes sběrnice spínač 606 na adresové vodiče 6202 informační sběrnice. Přenos vnějších operandů je prováděn přes sběrnice spínače 601, 615 připojené na datové vodiče 6200 informační sběrnice 620.

Spojení čítače instrukcí 608 přes sběrnice spínač 616 přímo na adresové vodiče sběrnice 6202 umožňuje u většiny instrukcí zahájení výběru příští instrukce ještě během výkonu předcházející instrukce, obvykle na začátku fáze F 2. V tomto případě synchronní blok řadiče 1 vyšle jedničkový signál na dotazový výstup 10 a tím zahájí tak zvaný proces přidělování sběrnice, jehož průběh je v příkladu znázorněn na obr. 2. Ovládací blok 3 po přijetí jedničkové žádosti na vstupu 30, vysílá jedničkovou žádost o sběrnici na výstup 35 a tím též na dotazový vodič sběrnice. Možnost přidělení sběrnice hlásí prioritní blok 2 jedničkovým signálem na vnitřním výstupu 24, poté ovládací blok 3 nastavuje jedničku na klopném obvodu 303, 304 generujícím signál na blokovacím výstupu 34 připojeném, přes sběrnice vysílač, na blokovací vodič sběrnice 43. Proces přidělování sběrnice pokračuje dále poté, co případný blok dosud ovládající sběrnici uvolní sběrnici nulováním signálu na ovládacím vodiči sběrnice 44. Jestliže tento signál je nulový, nastaví ovládací blok 3 též klopný obvod 306, 307, kde klopný obvod 303, 304 je následně nulován, a vyšle jedničkový signál na ovládací výstup 32, to je jednak hlásí obsazení sběrnice jedničkovým signálem na ovládacím vodiči sběrnice, jednak hlásí synchronnímu bloku 1 na vstupu 11 přidělení sběrnice procesoru. Synchronní blok potom, nezávisle na průběhu předchozí instrukce, vyšle prostřednictvím výstupního dekodéru 102 signál na výstup 12, jímž před dekodér instrukcí 607 otvírá v datovém bloku 6 sběrnice spínač 616 a předává na sběrnici adresu příští instrukce, z čítače instrukcí 608 přes 616 a 6202, doprovázenou signálem na výstupním synchronizačním vodiči 6203. Zápis nové instrukce do registru instrukcí 603 je proveden až po skončení předchozí instrukce, tj. ukončení synchronní fáze F3, kdy je proces asynchronního výběru příští instrukce zasynchronizován se synchronním procesem dokončení předchozí instrukce pomocí mechanismu podmíněné generace hodin v 1. To je, jestliže až do dokončení předchozí instrukce se nepodařilo ovládacímu bloku 3 získat sběrnici, zůstává signál na vstupu 11 nulový a výstupní dekodér 102 přepne pomocí signálů na vodičích 110 výstup 1030 multiplexoru 103 na vstup 1032 a generace hodin je blokována až do příchodu jedničky na vstup 11.

Podobně je synchronizována činnost bloku 1 s asynchronním signálem, jímž operační paměť hlásí na vstupním synchronizačním vodiči 6201, že požadovaná data jsou připravena na datových vodičích 6200 sběrnice, tj. multiplexor 103 přepne na vstup 1033. Po převzetí instrukce nuluje synchronní blok řadiče signál na výstupu 10 a ovládací blok 3 nuluje klopný obvod 306, 307 a tím též signál na ovládacím vodiči sběrnice 44, to je uvolňuje sběrnici pro ostatní připojené bloky. Stejným způsobem komunikuje procesor se sběrnici v případě čtení nebo/a zápisu operandu do operační paměti, respektive přídavného zařízení.

V případě zapojení ovládacího bloku 3 podle obr. 5b komunikuje procesor se sběrnici ještě efektivněji. V tomto případě není klopný obvod 306, 307 nulován ihned a ovládací blok 3 obsahuje sběrnici až do té doby, kdy některý z dalších bloků připojených na sběrnici žádá o sběrnici a vysílá signál na blokovací vodič sběrnice 43. Tento signál, v případě nuly na 30, to je 3082, znuluje přes 36 a 308 klopný obvod 306, 307 a tím dosáhne uvolnění sběrnice procesorem. Popsaným způsobem je eliminováno zpoždění způsobené zbytečným uvolňováním a přidělováním sběrnice v případě, kdy další bloky o sběrnici nežádají.

V zapojení procesoru podle obr. 7 může procesor zpracovávat též žádosti o přerušení. Předpokládáme zapojení bloku přerušení 7 podle obr. 8a a zapojení ovládacího bloku 3 podle

obr. 5b. V tomto případě procesor před zahájením výběru následující instrukce testuje podmínky pro přerušení a případně provede vlastní přerušení programu. Testování podmínek přerušení zahajuje synchronní blok řadiče 1 vysláním jedničky na testovací výstup 14. Blok přerušení poté testuje pomocí rozhodovacího modulu 700 signál žádosti o přerušení na vstupu 74. Jestliže žádné přídavné zařízení nežádá o přerušení, generuje rozhodovací modul 700 jedničkovou odezvu na stavovém výstupu 71 a synchronní blok 1 zahajuje již popsaným způsobem výběr příští instrukce. V případě jedničkového signálu na vstupu 74 je přes rozhodovací modul 700 nastaven klopný obvod 701 do jedničky a vysílá jedničkovou odezvu na přerušovací výstup 72. Nyní synchronní blok řadiče spouští přes 10 opět proces přidělování sběrnice, avšak jedničkový signál na vstupu 37 inhibuje nastavení klopných obvodů 303, 304 a 306, 307 do jedničky. Díky tomu jedničková odezva na vnitřním výstupu 24 prioritního bloku 2 nevyvolá žádnou akci v ovládacím bloku 3 a je přenesena přes 73, 702, 76 na sběrnice vodič priority přerušení připojený na přídavné zařízení žádající o přerušení. Další komunikaci se sběrnicí provádí řídící jednotka přídavného zařízení a činnost procesoru při předávání vektoru přerušení, který je zapisován do instrukčního registru 603, je analogická s činností při výběru příští instrukce.

V příkladu zapojení bloku přerušení podle obr. 8b může procesor zpracovávat čtyři třídy přerušení nezávisle na sobě maskovatelné signály na maskovacím vstupu 75.

Kromě uvedených příkladů zapojení číslicového bloku mohou být datový blok 6 a synchronní blok řadiče 1 zapojeny jiným způsobem, známým ze zapojení minipočítačů a mikroprocesorů a řídících jednotek přídavných zařízení, například synchronní blok řadiče 1 může být realizován jako mikroprogramový řadič.

Vynález se týká též zapojení, v němž asynchronní procesy na sběrnicí jsou synchronizovány s generovaným hodinovým signálem číslicového bloku 1 jiným známým způsobem, než je popsaná podmíněná generace.

Předmětem vynálezu je též zapojení číslicového bloku s jiným počtem datových, adresových a synchronizačních vodičů na sběrnicích, než jsou uvedeny v příkladu zapojení.

Zapojení číslicového bloku podle vynálezu lze použít při řešení minipočítačových, mikroprocesorových a jiných podobných systémů, v nichž jsou bloky připojeny na společnou asynchronní sběrnicí.

P R E D M Ě T V Y N Á L E Z U

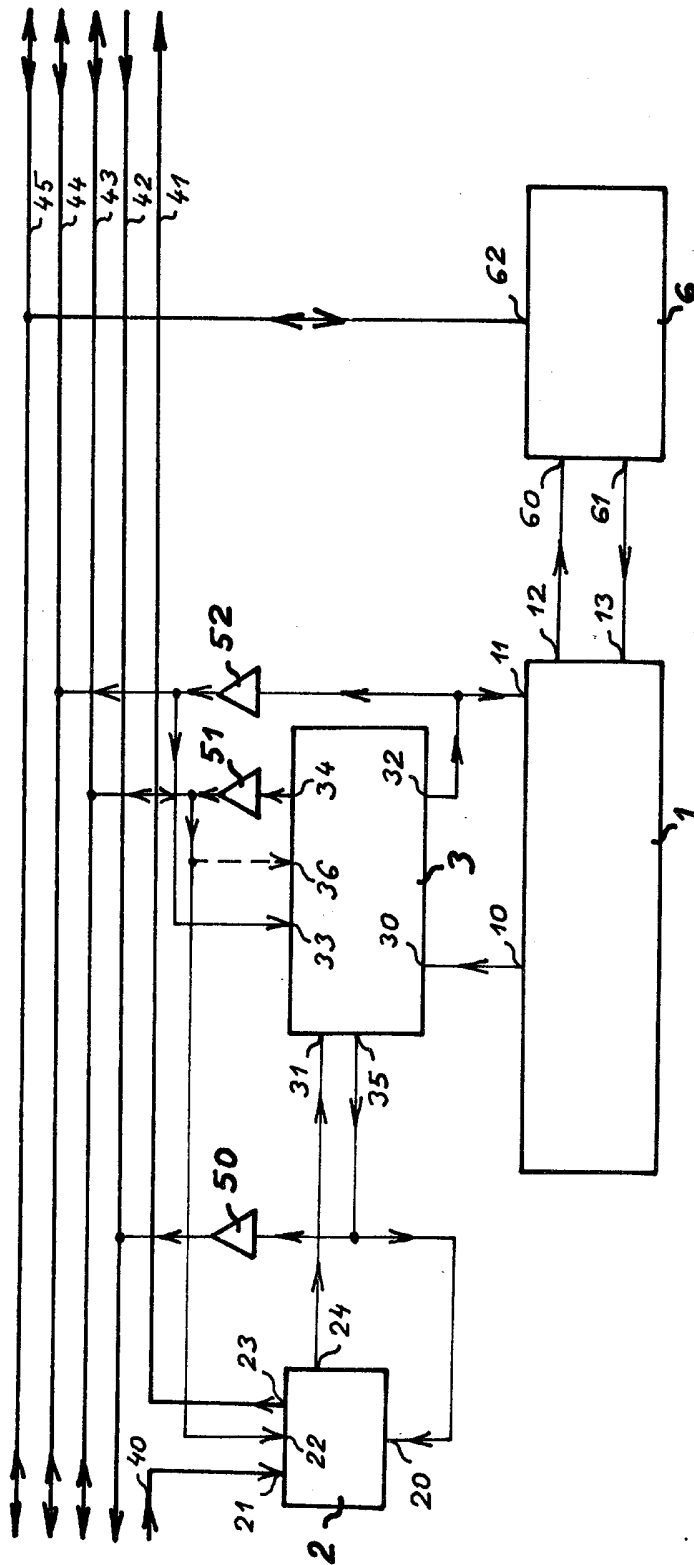
1. Zapojení číslicového bloku připojitelného na asynchronní sběrnicí, sestávající ze synchronního bloku řadiče, prioritního bloku, ovládacího bloku a datového bloku, vyznačující se tím, že synchronní blok řadiče /1/ je dotazovým výstupem /10/ spojen s dotazovým vstupem /30/ ovládacího bloku /3/, ovládacím vstupem /11/ je spojen s ovládacím výstupem /32/ ovládacího bloku /3/ a se vstupem třetího sběrnicevého vysílače /52/, řídícími výstupy /12/ je spojen s řídícími vstupy /60/ datového bloku /6/ a stavovými vstupy /13/ je spojen se stavovými výstupy /61/ datového bloku /6/, ovládací blok /3/ je dále svým dotazovým výstupem /35/ spojen s dotazovým vstupem /20/ prioritního bloku /2/ a se vstupem prvního sběrnicevého vysílače /50/, nastavovacím vstupem /31/ je spojen s vnitřním výstupem /24/ prioritního bloku /2/, pomocným vstupem /33/ je připojen na ovládací sběrnicevý vodič /44/ a blokovacím výstupem /34/ je připojen na vstup druhého sběrnicevého vysílače /51/, přičemž prioritní blok /2/ je dále svým prioritním vstupem /21/ spojen se vstupním prioritním sběrnicevým vodičem /40/, blokovacím vstupem /22/ je připojen na blokovací sběrnicevý vodič /43/ a vnějším výstupem /23/ je připojen na výstupní prioritní sběrnicevý vodič /41/, datový blok /6/ je dále svými informačními vstupy/výstupy /62/ připojen na informační sběrnicevé vodiče /45/ a první sběrnicevý vysílač /50/ je svým výstupem připojen na dotazový sběrnicevý vodič /42/, druhý sběrnicevý vysílač /51/ je svým výstupem připojen na blokovací sběrnicevý vodič /43/ a třetí sběrnicevý vysílač /52/ je svým výstupem připojen na ovládací vodič sběrnice /44/.

2. Zapojení číslicového bloku podle bodu 1, vyznačující se tím, že ovládací blok /3/ obsahuje dále nulovací vstup /36/, jímž je připojen na blokový sběrnicový vodič /43/.

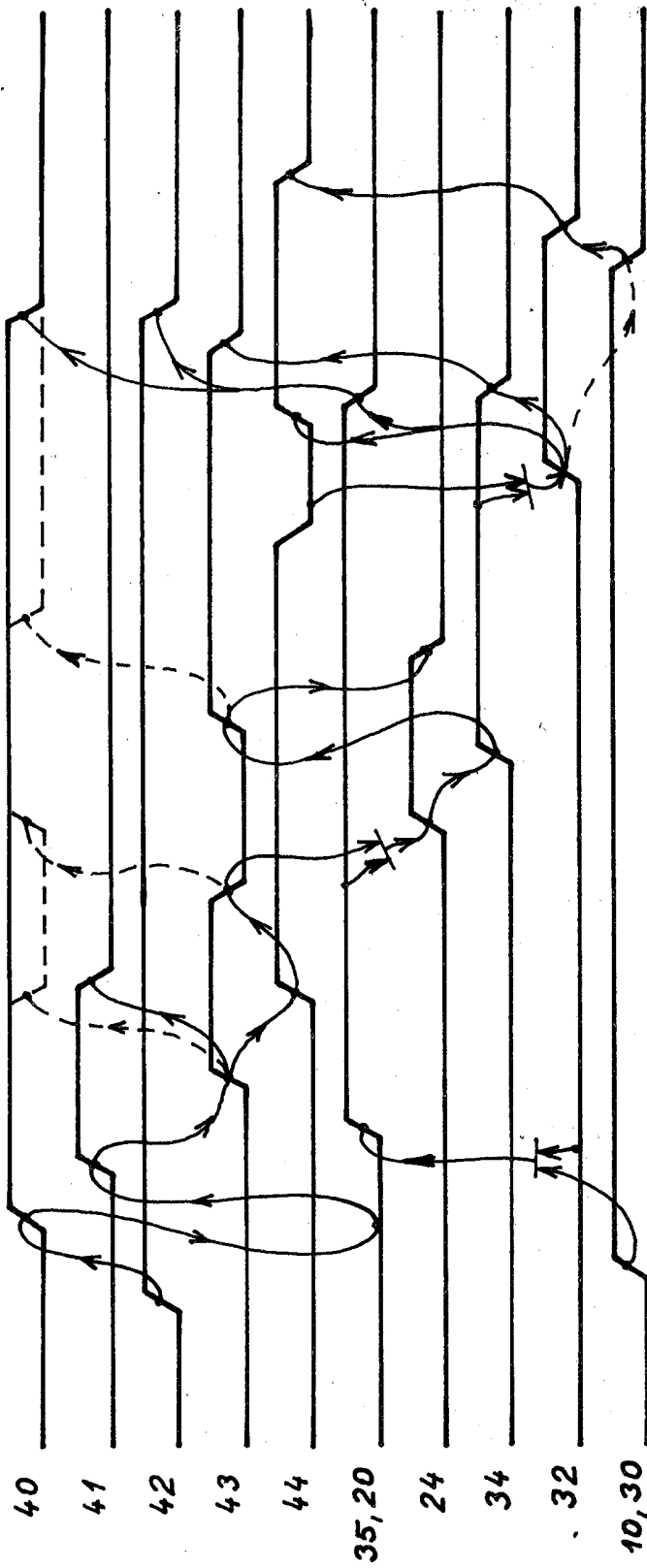
3. Zapojení číslicového bloku podle bodu 1 a 2, vyznačující se tím, že obsahuje dále blok přerušení /7/, synchronní blok řadiče /1/ obsahuje jako další vstupy a výstupy testovací výstup /14/, pomocný vstup /15/ a přerušovací vstup /16/, ovládací blok /3/ obsahuje jako další vstup přerušovací vstup /37/ a asynchronní sběrnice obsahuje dále sběrnicový vodič žádostí o přerušení /46/ a sběrnicový vodič priority přerušení /76/, přičemž blok přerušení /7/ je svým testovacím vstupem /70/ spojen s testovacím výstupem /14/ synchronního bloku řadiče /1/, stavovým výstupem /71/ je spojen s pomocným vstupem /15/ synchronního bloku řadiče /1/, přerušovacím výstupem /72/ je spojen s přerušovacím vstupem /16/ synchronního bloku řadiče /1/ a s přerušovacím vstupem /37/ ovládacího bloku /3/ a dále blok přerušení /7/ je hradlovacím vstupem /73/ spojen s vnitřním výstupem /24/ prioritního bloku /2/, sběrnicovým vstupem /74/ je spojen se sběrnicovým vodičem žádostí přerušení /46/ a sběrnicovým výstupem /76/ je spojen se sběrnicovým vodičem priority přerušení /47/.

4. Zapojení číslicového bloku podle bodů 1 až 3, vyznačující se tím, že datový blok /6/ obsahuje dále maskovací výstup /63/ a blok přerušení /7/ obsahuje maskovací vstup /75/, přičemž datový blok /6/ je spojen maskovacím výstupem /63/ s maskovacím vstupem /75/ bloku přerušení /7/.

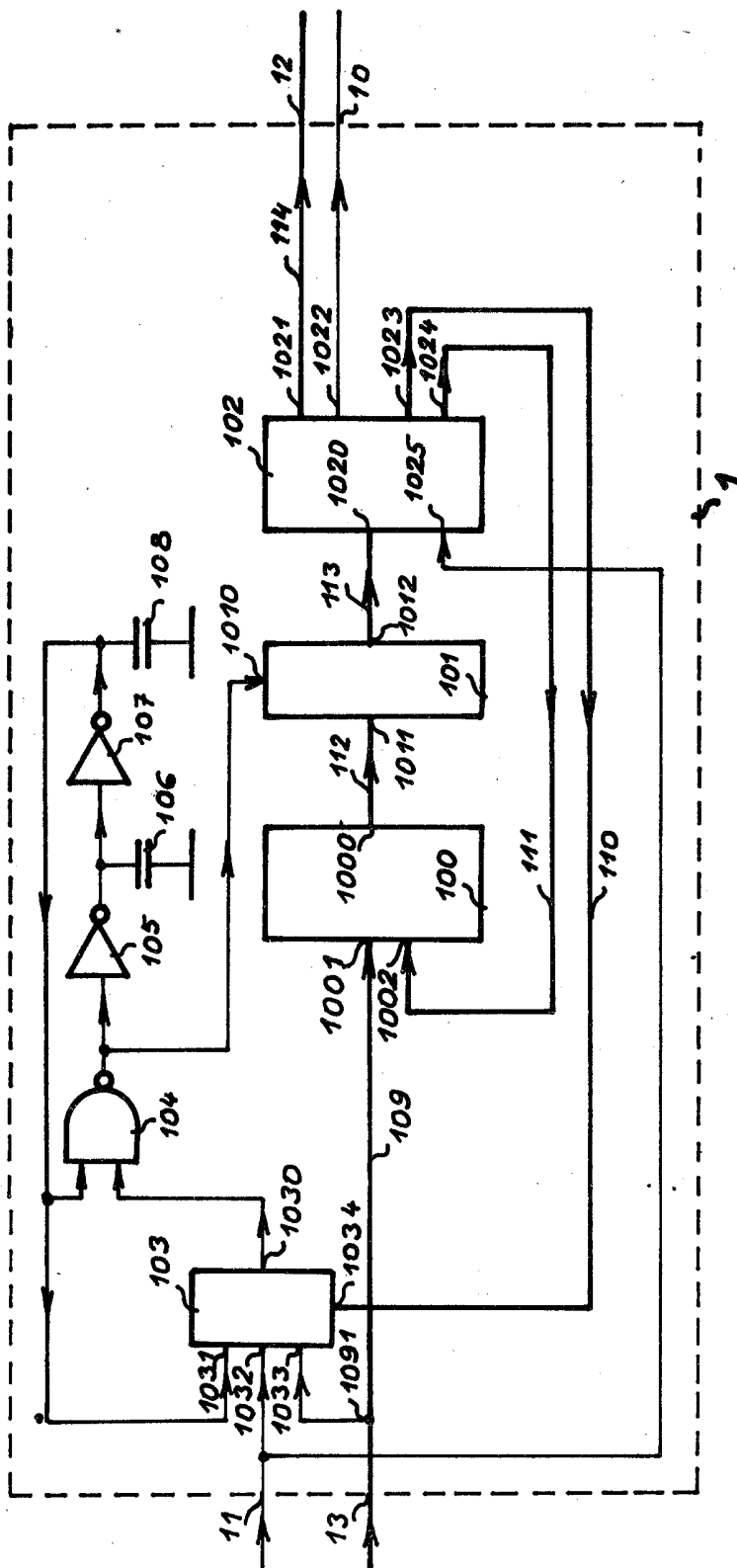
9 výkresů



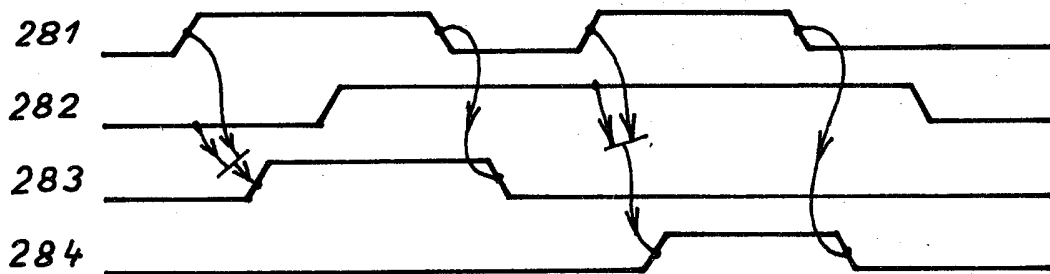
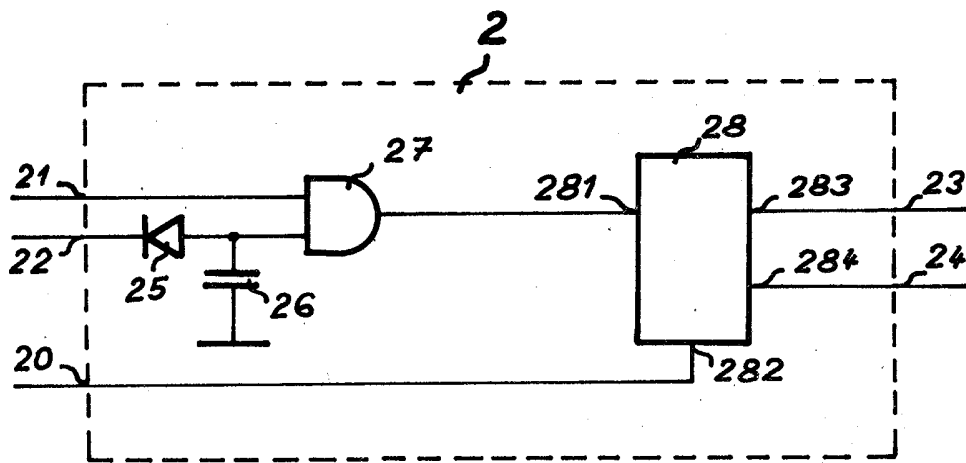
Obr. 1



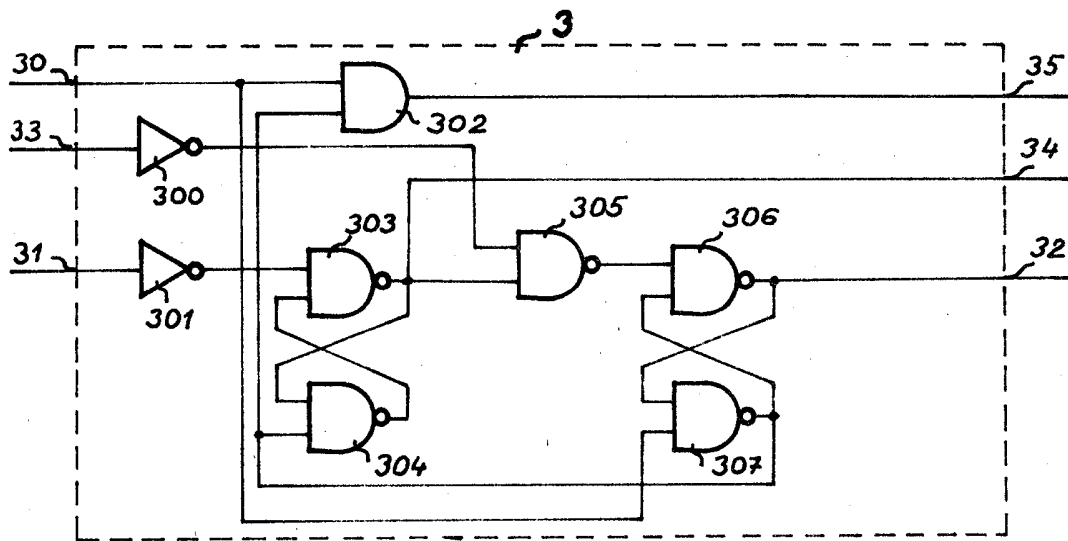
Obv. 2



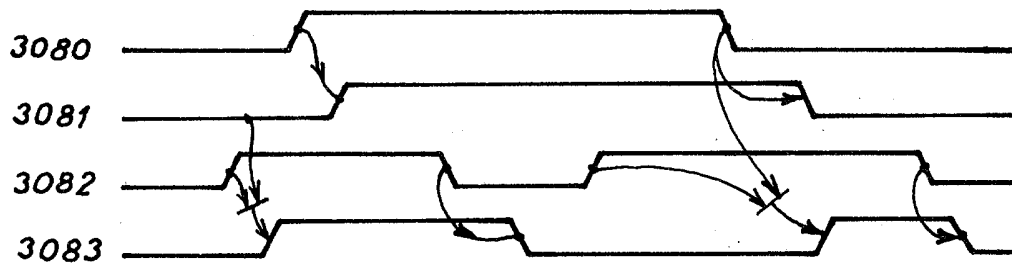
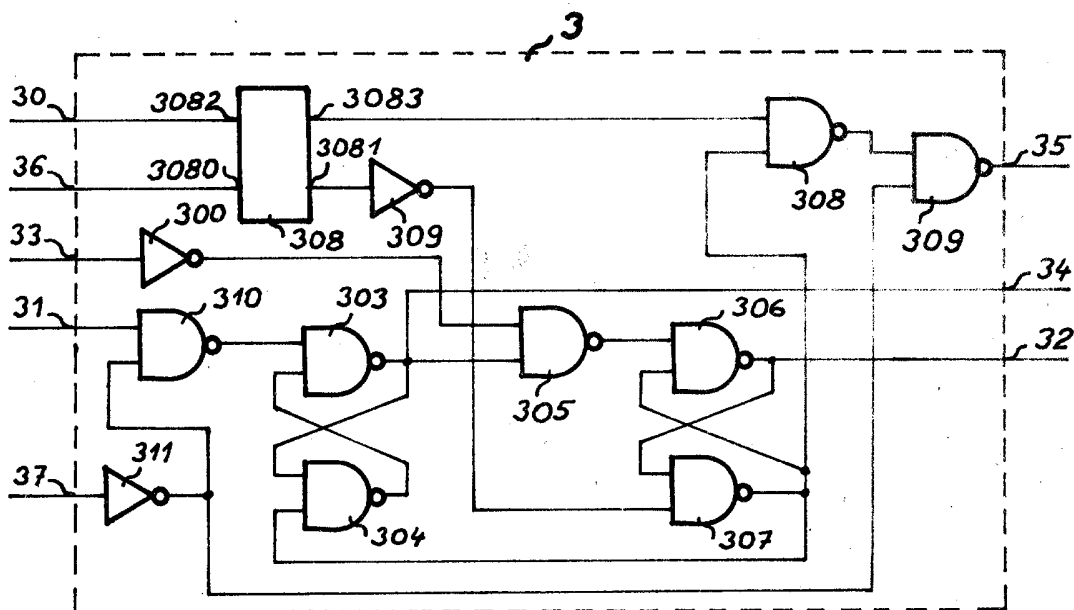
Obr. 3



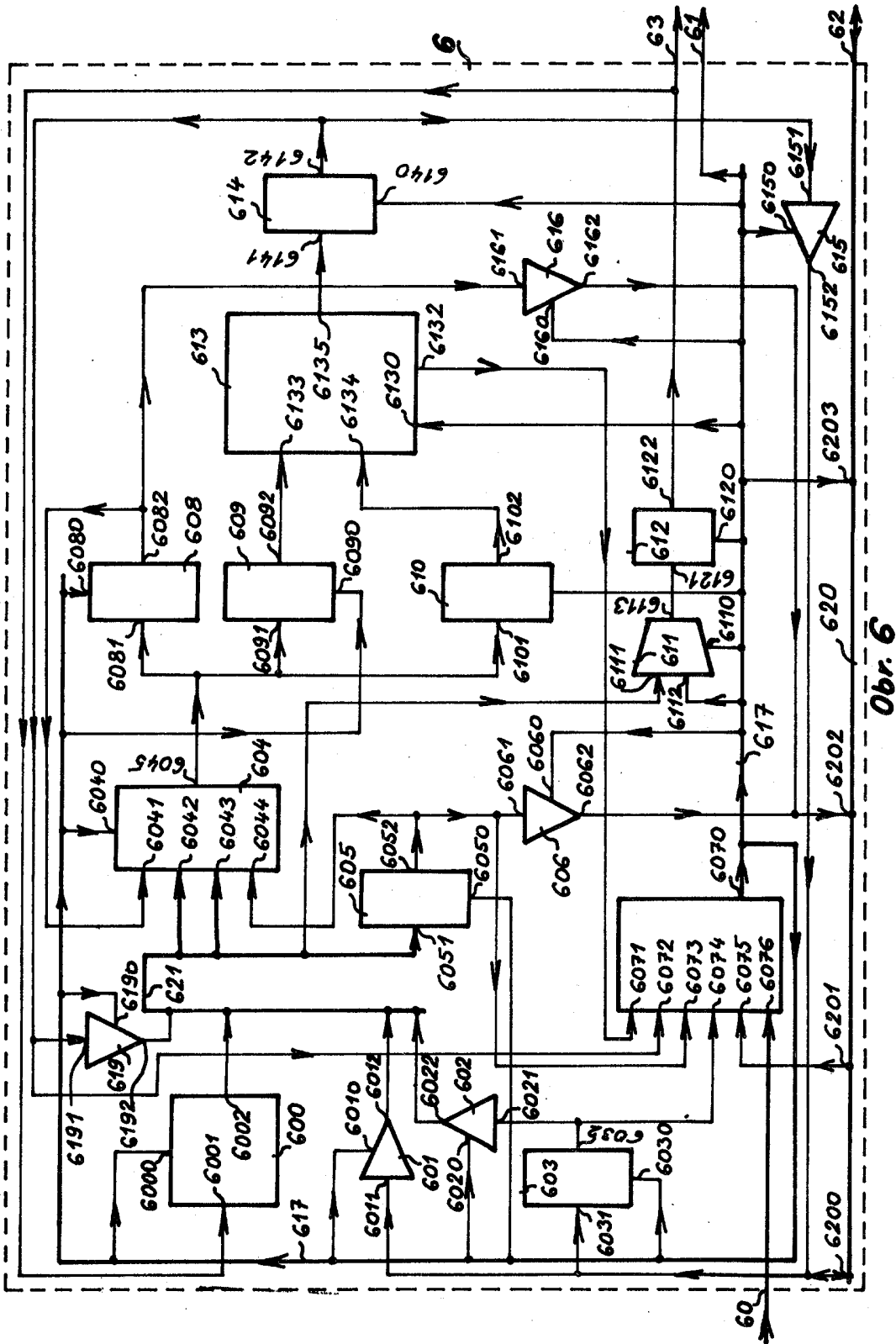
Obr. 4

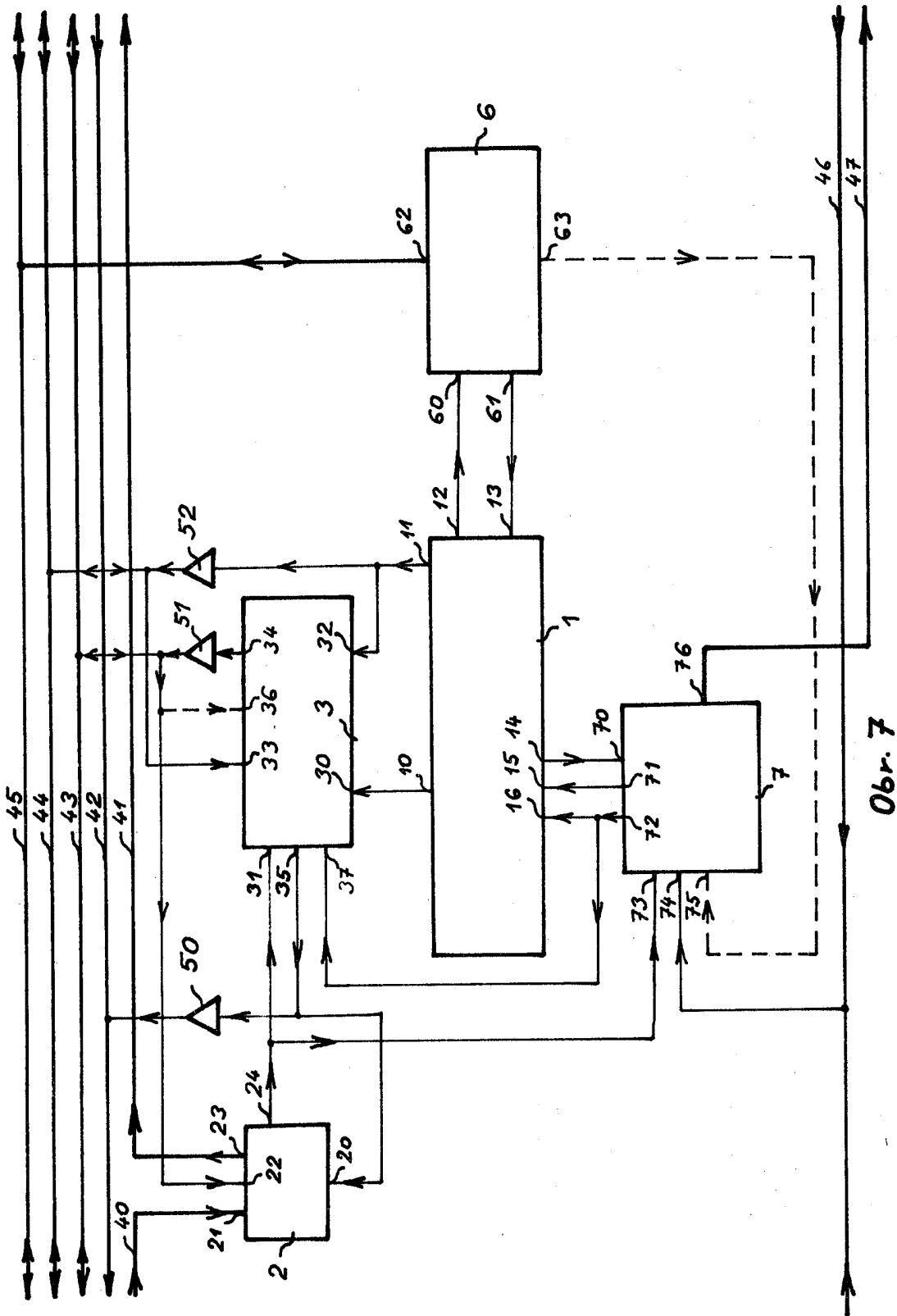


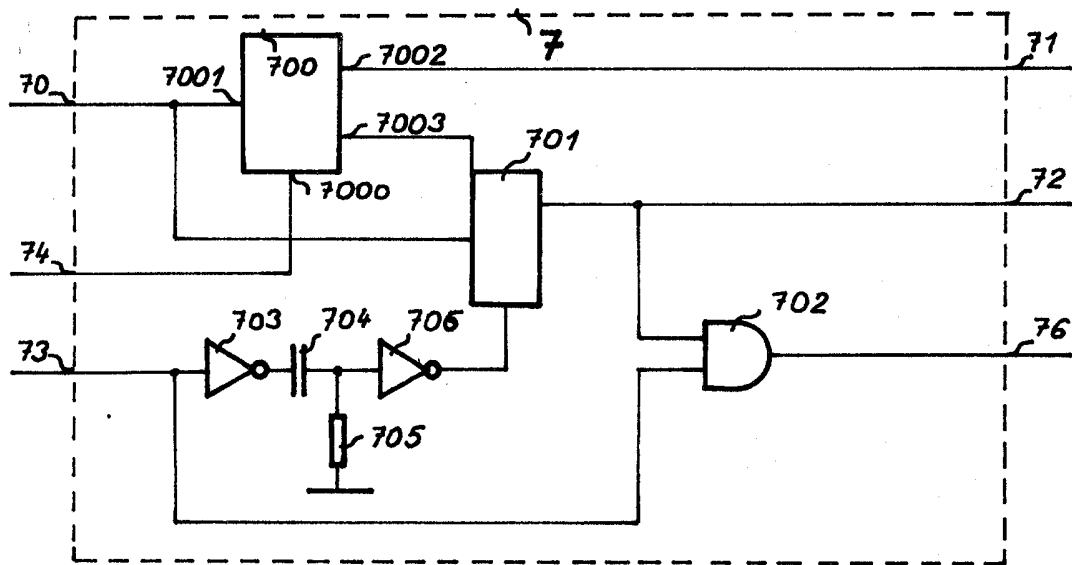
Obr. 5a



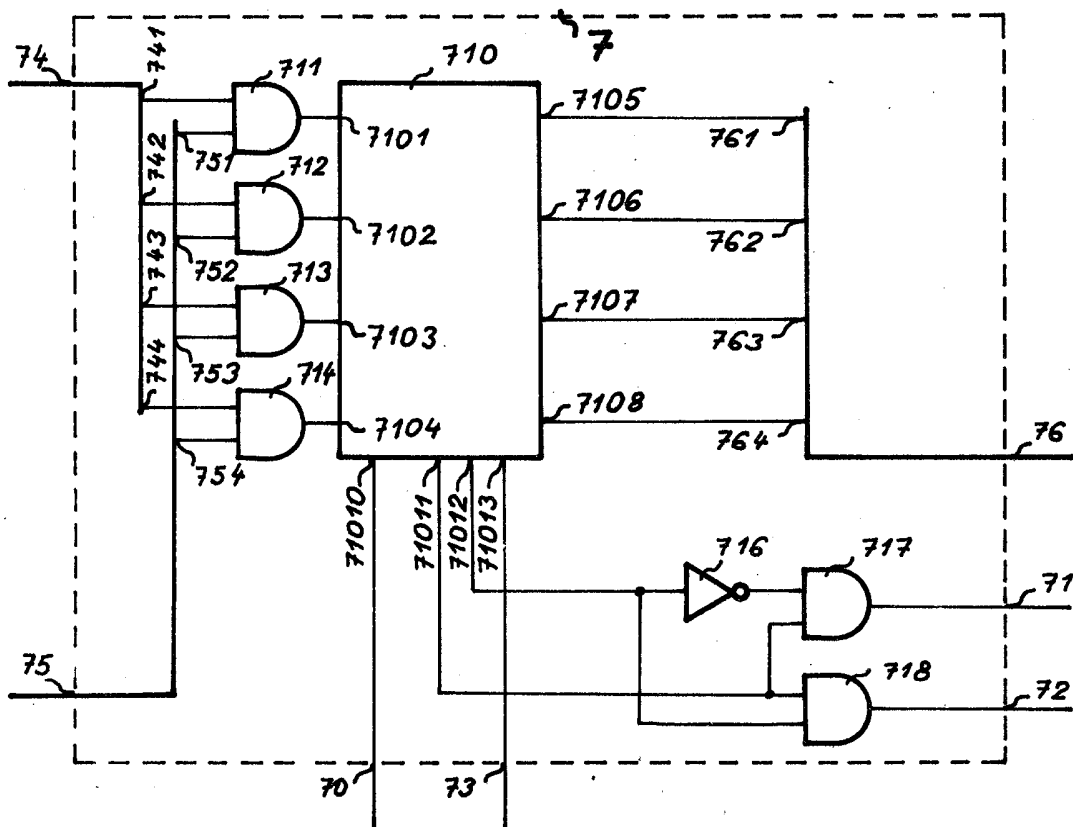
Obr. 5b



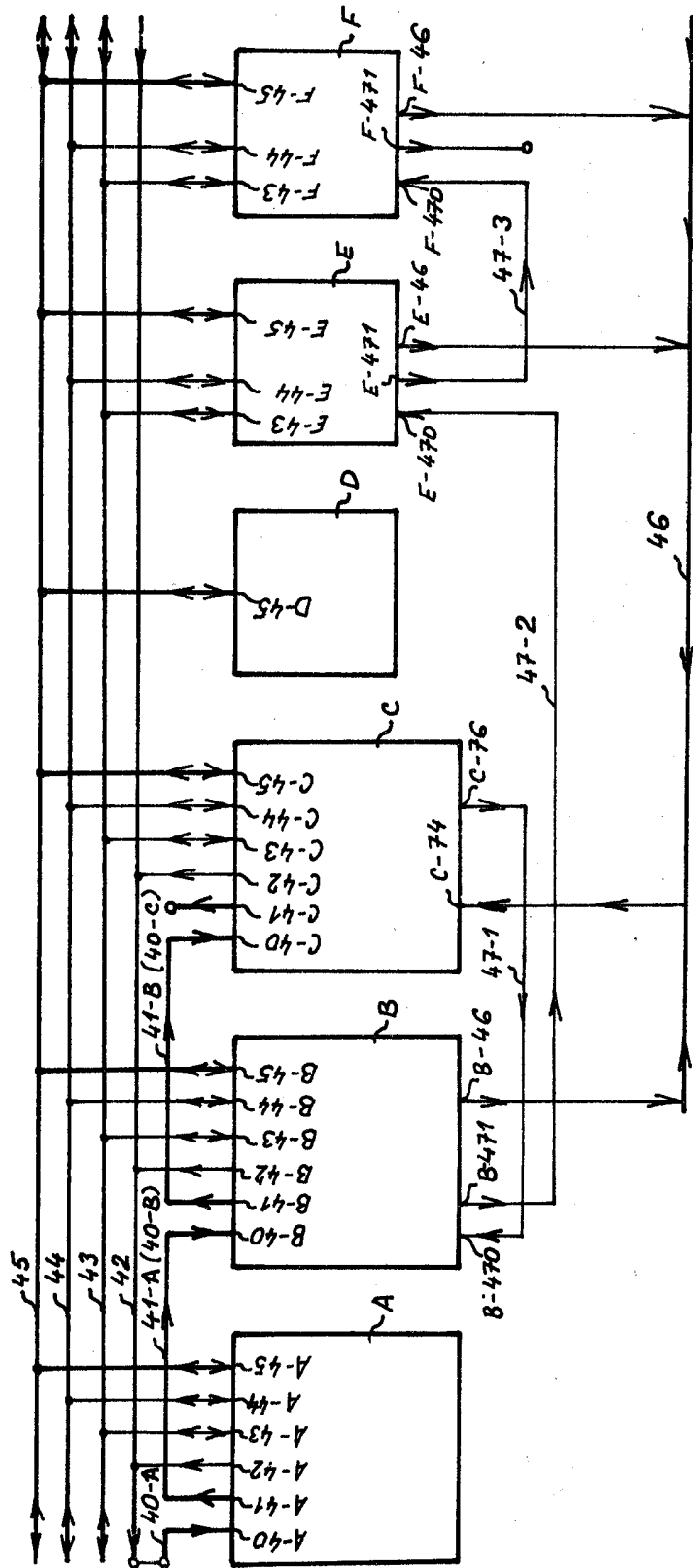




Obr. 8a



Obr. 8b



Obr. 9