(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116779678 A
(43)申请公布日 2023.09.19

(21)申请号 202211510498.7

(22)申请日 2022.11.29

(30)优先权数据
10-2022-0034170 2022.03.18 KR

(71)申请人 三星电子株式会社
地址 韩国京畿道水原市
申请人 高丽大学校产学协力团

(72)发明人 俞贤龙 郑承根

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
专利代理师 杨帆 尹淑梅

(51)Int.Cl.
H01L 29/78(2006.01)

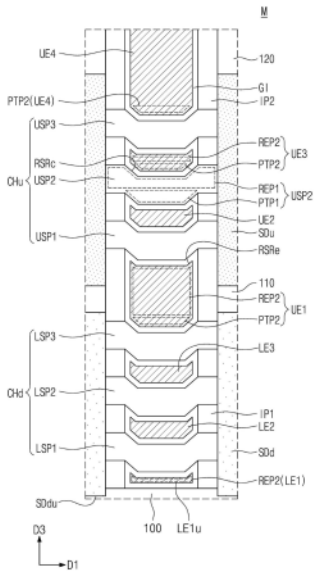
权利要求书3页 说明书16页 附图26页

(54)发明名称

半导体装置

(57)摘要

提供了一种半导体装置,所述半导体装置可以包括在基底上的有源图案、在有源图案上并且包括第一下半导体图案和第二下半导体图案的下沟道图案、在下沟道图案上并且包括第一上半导体图案和第二上半导体图案的上沟道图案、在下沟道图案的相对侧上的一对下源极/漏极图案和在上沟道图案的相对侧上的一对上源极/漏极图案以及围绕下沟道图案和上沟道图案的栅电极。栅电极可以包括在第一上半导体图案与第二上半导体图案之间的第一上部以及在第一下半导体图案与第二下半导体图案之间的第一下部。每个半导体图案可以包括在其顶表面上具有第一凹陷区域的第一凹陷部以及从第一凹陷部的底表面突出的第一突出部。



CN 116779678 A

1.一种半导体装置,所述半导体装置包括:

有源图案,在基底上;

下沟道图案,在有源图案上,下沟道图案包括彼此堆叠且彼此间隔开的第一下半导体图案和第二下半导体图案;

上沟道图案,在下沟道图案上,上沟道图案包括彼此堆叠且彼此间隔开的第一上半导体图案和第二上半导体图案;

一对下源极/漏极图案,在下沟道图案的相对侧上;

一对上源极/漏极图案,在上沟道图案的相对侧上;以及

栅电极,围绕下沟道图案和上沟道图案同时跨有源图案延伸,栅电极包括第一上部和第一下部,第一上部在第一上半导体图案与第二上半导体图案之间,并且第一下部在第一下半导体图案与第二下半导体图案之间,其中,

第一上半导体图案、第二上半导体图案、第一下半导体图案和第二下半导体图案均包括第一凹陷部和第一突出部,第一凹陷部在第一凹陷部的顶表面上具有第一凹陷区域,并且第一突出部从第一凹陷部的底表面突出。

2.如权利要求1所述的半导体装置,其中,栅电极的第一上部和栅电极的第一下部均包括:

第二凹陷部,在第二凹陷部的顶表面上具有第二凹陷区域;以及

第二突出部,从第二凹陷部的底表面突出。

3.如权利要求2所述的半导体装置,其中,

栅电极的第一上部的第二突出部朝向第一上半导体图案的第一凹陷区域突出,并且

栅电极的第一下部的第二突出部朝向第一下半导体图案的第一凹陷区域突出。

4.如权利要求2所述的半导体装置,其中,

第二上半导体图案的第一突出部朝向第一上部的第二凹陷区域突出,并且

第二下半导体图案的第一突出部朝向第一下部的第二凹陷区域突出。

5.如权利要求1所述的半导体装置,其中,第一凹陷部的最大宽度大于第一突出部的最大宽度。

6.如权利要求1所述的半导体装置,其中,

栅电极还包括在第一下半导体图案的底表面下方的第二下部,并且

第二下部具有平坦的底表面。

7.如权利要求1所述的半导体装置,其中,所述半导体装置还包括:

上内间隔件,在栅电极的第一上部的侧壁上;以及

下内间隔件,在栅电极的第一下部的侧壁上。

8.如权利要求7所述的半导体装置,其中,

上内间隔件与第二上半导体图案的第一突出部的侧壁接触,并且

下内间隔件与第二下半导体图案的第一突出部的侧壁接触。

9.如权利要求1所述的半导体装置,其中,第一上半导体图案的第一凹陷区域的最大宽度大于第二上半导体图案的第一凹陷区域的最大宽度。

10.如权利要求1所述的半导体装置,其中,第一上半导体图案和第二上半导体图案中的每个的第一突出部的底表面具有朝向基底凸出的轮廓。

11.一种半导体装置,所述半导体装置包括:

有源图案,在基底上沿第一方向延伸;

一对下源极/漏极图案,在有源图案上;

一对上源极/漏极图案,在所述一对下源极/漏极图案上;

下沟道图案,将所述一对下源极/漏极图案彼此连接,下沟道图案包括彼此顺序堆叠且彼此间隔开的第一下半导体图案和第二下半导体图案;

上沟道图案,将所述一对上源极/漏极图案彼此连接,上沟道图案包括彼此顺序堆叠且彼此间隔开的第一上半导体图案和第二上半导体图案;以及

栅电极,围绕下沟道图案和上沟道图案,栅电极在与第一方向交叉的第二方向上延伸,

其中,栅电极包括在第一上半导体图案与第二上半导体图案之间的第一上部,

其中,第一上部包括第一凹陷部和第一突出部,第一凹陷部在第一凹陷部的顶表面上具有第一凹陷区域,并且第一突出部从第一凹陷部朝向第一上半导体图案突出。

12.如权利要求11所述的半导体装置,其中,第一上半导体图案、第二上半导体图案、第一下半导体图案和第二下半导体图案均包括:

第二凹陷部,在第二凹陷部的顶表面上具有第二凹陷区域;以及

第二突出部,从第二凹陷部的底表面突出。

13.如权利要求12所述的半导体装置,其中,栅电极的第一上部中的第一突出部的最下端的水平低于第一上半导体图案中的第二凹陷部的最上面的表面的水平。

14.如权利要求12所述的半导体装置,其中,栅电极的第一上部的第一突出部朝向第一上半导体图案的第二凹陷区域突出。

15.如权利要求11所述的半导体装置,其中,第一突出部的宽度在朝向基底的方向上减小。

16.一种半导体装置,所述半导体装置包括:

有源图案,在基底上沿第一方向延伸;

下沟道图案,在有源图案上,下沟道图案包括彼此顺序堆叠且彼此间隔开的第一下半导体图案、第二下半导体图案和第三下半导体图案;

上沟道图案,在下沟道图案上,上沟道图案包括彼此顺序堆叠且彼此间隔开的第一上半导体图案、第二上半导体图案和第三上半导体图案;

一对下源极/漏极图案,在下沟道图案的相对侧上,所述一对下源极/漏极图案具有在比有源图案的最上面的表面的水平低的水平处的底表面;

第一层间介电层,在所述一对下源极/漏极图案上;

一对上源极/漏极图案,在第一层间介电层上并且在上沟道图案的相对侧上;

第二层间介电层,在所述一对上源极/漏极图案上;

栅电极,在第二方向上跨有源图案延伸,第二方向与第一方向交叉,栅电极围绕下沟道图案和上沟道图案;

栅极间隔件,在栅电极的侧壁上;以及

栅极覆盖图案,在栅电极的顶表面上,

其中,栅电极包括:第一下部,在第一下半导体图案的底表面上;第二下部,在第一下半导体图案与第二下半导体图案之间;第三下部,在第二下半导体图案与第三下半导体图案

之间;第一上部,在第三下半导体图案与第一上半导体图案之间;第二上部,在第一上半导体图案与第二上半导体图案之间;第三上部,在第二上半导体图案与第三上半导体图案之间;第四上部,在第三上半导体图案的顶表面上,

其中,第一上半导体图案、第二上半导体图案、第三上半导体图案、第一下半导体图案、第二下半导体图案和第三下半导体图案均包括第一凹陷部和第一突出部,第一凹陷部在第一凹陷部的顶表面上具有第一凹陷区域,并且第一突出部从第一凹陷部的底表面突出。

17.如权利要求16所述的半导体装置,其中,栅电极的第一上部的厚度大于栅电极的第二上部的厚度。

18.如权利要求16所述的半导体装置,其中,第二下部、第三下部、第一上部、第二上部和第三上部中的每个包括:

第二凹陷部,在第二凹陷部的顶表面上具有第二凹陷区域;以及

第二突出部,从第二凹陷部的底表面突出。

19.如权利要求16所述的半导体装置,其中,

第一下半导体图案的第一凹陷部与所述一对下源极/漏极图案接触,并且

第一上半导体图案的第一凹陷部与所述一对上源极/漏极图案接触。

20.如权利要求16所述的半导体装置,其中,

下源极/漏极图案具有n型导电类型,并且

上源极/漏极图案具有p型导电类型。

半导体装置

[0001] 本申请要求于2022年3月18日在韩国知识产权局提交的第10-2022-0034170号韩国专利申请的优先权,该韩国专利申请的公开内容通过引用全部包含于此。

技术领域

[0002] 本公开涉及半导体装置,更具体地,涉及包括场效应晶体管的半导体装置。

背景技术

[0003] 半导体装置可以包括具有金属氧化物半导体场效应晶体管(MOSFET)的集成电路。随着半导体装置的尺寸和设计规则逐渐减小,MOSFET的尺寸也可以逐渐缩小。MOSFET的缩小可能使半导体装置的工作特性劣化。因此,已经进行了各种研究以开发出制造具有优异的性能同时克服与半导体装置的高集成度相关联的问题的半导体装置的方法。

发明内容

[0004] 发明构思的一些实施例提供了一种具有提高的电性质的半导体装置。

[0005] 根据发明构思的一些实施例,半导体装置可以包括:有源图案,在基底上;下沟道图案,在有源图案上,下沟道图案包括彼此堆叠且彼此间隔开的第一下半导体图案和第二下半导体图案;上沟道图案,在下沟道图案上,上沟道图案包括彼此堆叠且彼此间隔开的第一上半导体图案和第二上半导体图案;一对下源极/漏极图案,在下沟道图案的相对侧上;一对上源极/漏极图案,在上沟道图案的相对侧上;以及栅电极,围绕下沟道图案和上沟道图案同时跨有源图案延伸。栅电极可以包括第一上部和第一下部,第一上部在第一上半导体图案与第二上半导体图案之间,并且第一下部在第一下半导体图案与第二下半导体图案之间。第一上半导体图案、第二上半导体图案、第一下半导体图案和第二下半导体图案可以均包括第一凹陷部和第一突出部。第一凹陷部可以在第一凹陷部的顶表面上具有第一凹陷区域,并且第一突出部可以从第一凹陷部的底表面突出。

[0006] 根据发明构思的一些实施例,半导体装置可以包括:有源图案,在基底上沿第一方向延伸;一对下源极/漏极图案,在有源图案上;一对上源极/漏极图案,在所述一对下源极/漏极图案上;下沟道图案,将所述一对下源极/漏极图案彼此连接,下沟道图案包括彼此顺序堆叠且彼此间隔开的第一下半导体图案和第二下半导体图案;上沟道图案,将所述一对上源极/漏极图案彼此连接,上沟道图案包括彼此顺序堆叠且彼此间隔开的第一上半导体图案和第二上半导体图案;以及栅电极,围绕下沟道图案和上沟道图案,栅电极在与第一方向交叉的第二方向上延伸。栅电极可以包括在第一上半导体图案与第二上半导体图案之间的第一上部。第一上部可以包括第一凹陷部和第一突出部,第一凹陷部在第一凹陷部的顶表面上具有第一凹陷区域,并且第一突出部从第一凹陷部朝向第一上半导体图案突出。

[0007] 根据发明构思的一些实施例,半导体装置可以包括:有源图案,在基底上沿第一方向延伸;下沟道图案,在有源图案上,下沟道图案包括彼此顺序堆叠且彼此间隔开的第一下半导体图案、第二下半导体图案和第三下半导体图案;上沟道图案,在下沟道图案上,上沟

道图案包括彼此顺序堆叠且彼此间隔开的第一上半导体图案、第二上半导体图案和第三上半导体图案;一对下源极/漏极图案,在下沟道图案的相对侧上,所述一对下源极/漏极图案具有在比有源图案的最上面的表面的水平低的水平处的底表面;第一层间介电层,在所述一对下源极/漏极图案上;一对上源极/漏极图案,在第一层间介电层上并且在上沟道图案的相对侧上;第二层间介电层,在所述一对上源极/漏极图案上;栅电极,在第二方向上跨有源图案延伸,第二方向与第一方向交叉,栅电极围绕下沟道图案和上沟道图案;栅极间隔件,在栅电极的侧壁上;以及栅极覆盖图案,在栅电极的顶表面上。栅电极可以包括:第一下部,在第一下半导体图案的底表面上;第二下部,在第一下半导体图案与第二下半导体图案之间;第三下部,在第二下半导体图案与第三下半导体图案之间;第一上部,在第三下半导体图案与第一上半导体图案之间;第二上部,在第一上半导体图案与第二上半导体图案之间;第三上部,在第二上半导体图案与第三上半导体图案之间;第四上部,在第三上半导体图案的顶表面上。第一上半导体图案、第二上半导体图案、第三上半导体图案、第一下半导体图案、第二下半导体图案和第三下半导体图案可以均包括第一凹陷部和第一突出部,第一凹陷部在第一凹陷部的顶表面上具有第一凹陷区域,并且第一突出部从第一凹陷部的底表面突出。

附图说明

[0008] 图1图示了示出根据发明构思的一些实施例的半导体装置的平面图。

[0009] 图2A、图2B和图2C示出了分别沿图1的线A-A'、线B-B'和线C-C'截取的剖视图。

[0010] 图3图示了示出图2A的部分M的放大剖视图。

[0011] 图4至图10C图示了示出根据发明构思的一些实施例的制造半导体装置的方法的剖视图。

[0012] 图11至图13图示了示出根据发明构思的一些实施例的半导体装置在图2A中描绘的部分M的放大剖视图。

[0013] 图14图示了示出根据发明构思的一些实施例的半导体装置的平面图。

[0014] 图15A和图15B示出了分别沿图1的线A-A'和线B-B'截取的剖视图。

[0015] 图16A图示了示出图15A的部分M的放大剖视图。

[0016] 图16B图示了示出图15B的部分N的放大剖视图。

具体实施方式

[0017] 图1图示了示出根据发明构思的一些实施例的半导体装置的平面图。图2A、图2B和图2C示出了分别沿图1的线A-A'、线B-B'和线C-C'截取的剖视图。图3图示了示出图2A的部分M的放大剖视图。

[0018] 参照图1和图2A,半导体装置可以设置为包括在基底100上的第一区域R1和在第一区域R1上的第二区域R2。基底100可以是包括硅、锗或硅锗的化合物半导体基底或半导体基底。基底100可以是绝缘体上半导体(SOI)基底(例如,绝缘体上硅基底)。

[0019] 第一区域R1和第二区域R2中的每个可以包括一个或更多个晶体管。第一区域R1可以包括NMOS晶体管和PMOS晶体管中的一种。第二区域R2可以包括NMOS晶体管和PMOS晶体管中的另一种。例如,第一区域R1可以包括NMOS晶体管,并且第二区域R2可以包括PMOS晶体

管。

[0020] 根据发明构思的实施例,第一区域R1和第二区域R2可以是构成逻辑器件的标准单元部分的一部分。第一区域R1和第二区域R2中的晶体管可以是包括在标准单元中的逻辑晶体管。

[0021] 根据发明构思的实施例,第一区域R1和第二区域R2可以是包括用于存储数据的多个晶体管的存储器单元部分的一部分。例如,第一区域R1和第二区域R2的晶体管可以是包括在静态随机存取存储器(SRAM)单元中的存储器晶体管。

[0022] 第一区域R1的晶体管可以包括下源极/漏极图案SDd和将下源极/漏极图案SDd彼此连接的下沟道图案CHd。第二区域R2的晶体管可以包括上源极/漏极图案SDu和将上源极/漏极图案SDu彼此连接的上沟道图案CHu。第一区域R1和第二区域R2的晶体管可以根据施加到栅电极GE的开关信号而导通或截止。基于半导体装置中的功能,栅电极GE可以由第一区域R1和第二区域R2中的晶体管共用或不共用。下源极/漏极图案SDd可以具有n导电类型。上源极/漏极图案SDu可以具有p导电类型。然而,示例实施例不限于此。

[0023] 一对下源极/漏极图案SDd可以跨一个栅电极GE彼此间隔开。一对上源极/漏极图案SDu可以跨一个栅电极GE彼此间隔开。下沟道图案CHd可以包括跨一个栅电极GE延伸并且连接到一对下源极/漏极图案SDd的第一下半导体图案LSP1、第二下半导体图案LSP2和第三下半导体图案LSP3。上沟道图案CHu可以包括跨一个栅电极GE延伸并且连接到一对上源极/漏极图案SDu的第一上半导体图案USP1、第二上半导体图案USP2和第三上半导体图案USP3。

[0024] 参照图1和图2A至图2C,有源图案AP可以设置在基底100上。有源图案AP可以在平行于基底100的顶表面或底表面的第一方向D1上延伸。有源图案AP可以由形成在基底100的上部上的沟槽TR限定。例如,有源图案AP可以是基底100的一部分。

[0025] 器件隔离层ST可以填充沟槽TR。器件隔离层ST可以包括氧化硅。器件隔离层ST可以不覆盖有源图案AP的上部。器件隔离层ST可以覆盖有源图案AP的侧壁。

[0026] 下源极/漏极图案SDd可以设置在有源图案AP上。下源极/漏极图案SDd可以布置在第一方向D1上。下源极/漏极图案SDd可以在第一方向D1上彼此间隔开。下源极/漏极图案SDd可以是通过选择性外延生长工艺形成的外延图案。下源极/漏极图案SDd可以包括具有第一导电类型(例如,n型)的杂质。下源极/漏极图案SDd可以包括与基底100的半导体元素相同的半导体元素(例如,Si)。

[0027] 下沟道图案CHd可以设置在下源极/漏极图案SDd之间。下沟道图案CHd可以连接到在第一方向D1上相邻的一对下源极/漏极图案SDd。下沟道图案CHd可以包括竖直堆叠的第一下半导体图案LSP1至第三下半导体图案LSP3。第一下半导体图案LSP1至第三下半导体图案LSP3可以在沿第三方向D3彼此间隔开的同时顺序地堆叠。第一下半导体图案LSP1至第三下半导体图案LSP3可以彼此竖直叠置。第一下半导体图案LSP1至第三下半导体图案LSP3中的每个可以包括硅(Si)、锗(Ge)或硅锗(SiGe)。第一下半导体图案LSP1至第三下半导体图案LSP3中的每个可以包括例如晶体硅。

[0028] 第一层间介电层110可以设置在基底100上。第一层间介电层110可以覆盖下源极/漏极图案SDd。第一层间介电层110可以具有在比下源极/漏极图案SDd的顶表面的水平高的水平处的顶表面。第一层间介电层110可以具有与器件隔离层ST接触的底表面。第一层间介电层110的底表面可以位于比有源图案AP的顶表面的水平低的水平处。

[0029] 上源极/漏极图案SDu可以设置在下源极/漏极图案SDd的顶表面上。上源极/漏极图案SDu可以与下源极/漏极图案SDd竖直叠置。上源极/漏极图案SDu可以布置在第一方向D1上。上源极/漏极图案SDu可以是通过选择性外延生长工艺形成的外延图案。上源极/漏极图案SDu可以包括具有第二导电类型(例如,p型)的杂质。上源极/漏极图案SDu可以包括其晶格常数大于包括在基底100中的半导体元素的晶格常数的半导体元素(例如,SiGe)。

[0030] 上沟道图案CHu可以设置在上源极/漏极图案SDu之间。上沟道图案CHu可以连接到在第一方向D1上相邻的一对上源极/漏极图案SDu。上沟道图案CHu可以包括竖直堆叠的第一上半导体图案USP1至第三上半导体图案USP3。第一上半导体图案USP1至第三上半导体图案USP3可以在沿第三方向D3彼此间隔开的同时顺序地堆叠。第一上半导体图案USP1至第三上半导体图案USP3可以彼此竖直叠置。第一上半导体图案USP1至第三上半导体图案USP3中的每个可以置于一对上源极/漏极图案SDu之间并且被提供有压应力。第一上半导体图案USP1至第三上半导体图案USP3可以包括硅(Si)、锗(Ge)或硅锗(SiGe)。第一上半导体图案USP1至第三上半导体图案USP3中的每个可以包括晶体硅。

[0031] 第二层间介电层120可以设置在第一层间介电层110上。第二层间介电层120可以覆盖上源极/漏极图案SDu。第二层间介电层120可以覆盖上源极/漏极图案SDu的侧表面和顶表面。第二层间介电层120可以不覆盖上源极/漏极图案SDu的底表面。

[0032] 多个栅电极GE可以设置为在第二方向D2上延伸同时跨有源图案AP延伸。栅电极GE可以布置在第一方向D1上。栅电极GE可以在一对下源极/漏极图案SDd之间和一对上源极/漏极图案SDu之间延伸。栅电极GE可以具有面对一对下源极/漏极图案SDd和一对上源极/漏极图案SDu的相对侧壁s1和s2。例如,一对下源极/漏极图案SDd可以设置在栅电极GE的相对侧壁s1和s2上。一对上源极/漏极图案SDu可以设置在栅电极GE的相对侧壁s1和s2之间,并且在第三方向D3上与一对下源极/漏极图案SDd间隔开。

[0033] 栅电极GE可以跨下沟道图案CHd和上沟道图案CHu延伸。栅电极GE可以包括围绕下沟道图案CHd的至少一部分的下部LE和围绕上沟道图案CHu的至少一部分的上部UE(见图2B)。根据发明构思的一些实施例的晶体管可以是其中栅电极GE三维地围绕下沟道图案CHd和上沟道图案CHu的三维场效应晶体管(例如,MBCFET)。栅电极GE的下部LE可以切换包括下沟道图案CHd和下源极/漏极图案SDd的下晶体管(使下晶体管开关)。栅电极GE的上部UE可以切换包括上沟道图案CHu和上源极/漏极图案SDu的上晶体管(使上晶体管开关)。栅电极GE的下部LE和上部UE可以彼此电连接并且被同时控制。栅电极GE的下部LE可以位于相邻的第一下半导体图案LSP1至第三下半导体图案LSP3之间以及第一下半导体图案LSP1与有源图案AP之间。栅电极GE的上部UE可以位于相邻的第一上半导体图案USP1至第三上半导体图案USP3之间、第一上半导体图案USP1与第三下半导体图案LSP3之间以及第三上半导体图案USP3的顶表面上。

[0034] 多个栅极间隔件GS可以设置在栅电极GE的相对侧壁s1和s2上。栅极间隔件GS可以沿着栅电极GE在第二方向D2上延伸。栅极间隔件GS可以使其顶表面处于比栅电极GE的顶表面的水平高的水平处。栅极间隔件GS的顶表面可以与第二层间介电层120的顶表面共面。栅极间隔件GS可以包括选自SiCN、SiCON和SiN中的至少一种。可选地,栅极间隔件GS可以包括由选自SiCN、SiCON和SiN中的至少两种形成的多层。

[0035] 栅极覆盖图案GP可以设置在栅电极GE上。栅极覆盖图案GP可以沿着栅电极GE在第

二方向D2上延伸。栅极覆盖图案GP可以包括选自SiON、SiCN、SiCON和SiN中的至少一种。

[0036] 栅极介电层GI可以置于栅电极GE与下沟道图案CHd之间以及栅电极GE与上沟道图案CHu之间。栅极介电层GI可以覆盖第一下半导体图案LSP1至第三下半导体图案LSP3中的每个的顶表面、底表面和侧壁以及第一上半导体图案USP1至第三上半导体图案USP3中的每个的顶表面、底表面和侧壁。

[0037] 根据一些实施例，栅极介电层GI可以包括氧化硅层、氮氧化硅层和高k介电层中的一个或更多个。高k介电层可以包括其介电常数大于氧化硅层的介电常数的高k介电材料。例如，高k介电材料可以包括选自氧化铪、氧化铪硅、氧化铪锆、氧化铪钽、氧化镧、氧化锆、氧化锆硅、氧化钽、氧化钛、氧化钡锶钛、氧化钡钛、氧化锶钛、氧化锂、氧化铝、氧化铅钪钽和铌酸铅锌中的至少一种。根据一些实施例，发明构思的半导体装置可以包括使用负电容器的负电容场效应晶体管。例如，栅极介电层GI可以包括呈现铁电性质的铁电材料层和呈现顺电性质的顺电材料层。

[0038] 铁电材料层可以具有负电容，并且顺电材料层可以具有正电容。例如，当两个或更多个电容器串联连接时，并且当每个电容器具有正电容时，总电容可以减小到小于每个电容器的电容。相反，当串联连接的两个或更多个电容器中的至少一个具有负电容时，总电容可以具有增大到大于每个电容器的电容的绝对值的正值。

[0039] 当具有负电容的铁电材料层串联连接到具有正电容的顺电材料层时，串联连接的铁电材料层和顺电材料层的总电容可以增大。总电容的增大可以用于允许包括铁电材料层的晶体管在室温下具有小于约60mV/十进位(decade)的亚阈值摆幅。

[0040] 铁电材料层可以具有铁电性质。铁电材料层可以包括例如选自氧化铪、氧化铪锆、氧化钡锶钛和氧化铅锆钛中的至少一种。例如，氧化铪锆可以是其中氧化铪掺杂有锆(Zr)的材料。对于另一示例，氧化铪锆可以是铪(Hf)、锆(Zr)和氧(O)的化合物。

[0041] 铁电材料层还可以包括掺杂在其中的杂质。例如，杂质可以包括选自铝(Al)、钛(Ti)、铌(Nb)、镧(La)、钇(Y)、镁(Mg)、硅(Si)、钙(Ca)、铈(Ce)、镝(Dy)、铒(Er)、钆(Gd)、锗(Ge)、钪(Sc)、锶(Sr)和锡(Sn)中的至少一种。包括在铁电材料层中的杂质的类型可以根据包括在铁电材料层中的铁电材料而改变。

[0042] 当铁电材料层包括氧化铪时，铁电材料层可以包括诸如钆(Gd)、硅(Si)、锆(Zr)、铝(Al)和钇(Y)的杂质中的至少一种。

[0043] 当杂质是铝(Al)时，铁电材料层可以包括约3至8原子百分比的铝。在本说明书中，杂质的比可以是铝与铪和铝的总和的比。

[0044] 当杂质是硅(Si)时，铁电材料层可以包括约2至约10原子百分比的硅。当杂质是钇(Y)时，铁电材料层可以包括约2至约10原子百分比的钇。当杂质是钆(Gd)时，铁电材料层可以包括约1至约7原子百分比的钆。当杂质是锆(Zr)时，铁电材料层可以包括约50至80原子百分比的锆。

[0045] 顺电材料层可以具有顺电性质。顺电材料层可以包括例如选自氧化硅和高k金属氧化物中的至少一种。包括在顺电材料层中的金属氧化物可以包括例如选自氧化铪、氧化锆和氧化铝中的至少一种，但是发明构思不限于此。

[0046] 铁电材料层和顺电材料层可以包括相同的材料。铁电材料层可以具有铁电性质，但是顺电材料层可以不具有铁电性质。例如，当铁电材料层和顺电材料层包括氧化铪时，包

括在铁电材料层中的氧化铪可以具有与包括在顺电材料层中的氧化铪的晶体结构不同的晶体结构。

[0047] 铁电材料层可以具有具备铁电性质的厚度。铁电材料层的厚度可以在例如约0.5nm至约10nm的范围内，但是发明构思不限于此。因为铁电材料具有展现铁电性质的其自身的临界厚度，所以铁电材料层的厚度可以取决于铁电材料。

[0048] 例如，栅极介电层GI可以包括单个铁电材料层。对于另一示例，栅极介电层GI可以包括彼此间隔开的多个铁电材料层。栅极介电层GI可以具有其中多个铁电材料层与多个顺电材料层交替堆叠的堆叠结构。

[0049] 栅电极GE可以包括第一金属图案和在第一金属图案上的第二金属图案。第一金属图案可以设置在栅极介电层GI上并且与下沟道图案CHd和上沟道图案CHu相邻。第一金属图案可以包括控制晶体管的阈值电压的逸出功金属。可以调节第一金属图案的厚度和组成以实现晶体管的期望的阈值电压。例如，相邻的第一下半导体图案LSP1至第三下半导体图案LSP3之间的下部LE和相邻的第一上半导体图案USP1至第三上半导体图案USP3之间的上部UE可以由第一金属图案或逸出功金属形成。

[0050] 第一金属图案可以包括金属氮化物。例如，第一金属图案可以包括氮(N)以及诸如钛(Ti)、钽(Ta)、铝(Al)、钨(W)和钼(Mo)的至少一种金属。此外，第一金属图案还可以包括碳(C)。第一金属图案可以包括多个堆叠的逸出功金属层。

[0051] 第二金属图案可以包括其电阻小于第一金属图案的电阻的金属。例如，第二金属图案可以包括至少一种金属，诸如钨(W)、铝(Al)、钛(Ti)和钽(Ta)。

[0052] 多个下内间隔件IP1可以设置在栅电极GE与下源极/漏极图案SDd之间。多个上内间隔件IP2可以设置在栅电极GE与上源极/漏极图案SDu之间。下内间隔件IP1可以位于相邻的第一下半导体图案LSP1至第三下半导体图案LSP3中的每个的顶表面和底表面之间。上内间隔件IP2可以位于相邻的第一上半导体图案USP1至第三上半导体图案USP3中的每个的顶表面和底表面之间。

[0053] 根据发明构思的一些实施例，半导体装置可以包括结合到下源极/漏极图案SDd和上源极/漏极图案SDu的第一有源接触件AC1、第二有源接触件AC2和第三有源接触件AC3。

[0054] 第一有源接触件AC1可以电连接到下源极/漏极图案SDd。第一有源接触件AC1可以穿透第一层间介电层110和第二层间介电层120以及上源极/漏极图案SDu，从而结合到下源极/漏极图案SDd。阻挡介电层BI可以设置在第一有源接触件AC1的侧壁上。阻挡介电层BI可以使第一有源接触件AC1和上源极/漏极图案SDu彼此电绝缘。例如，第一有源接触件AC1可以延伸到下源极/漏极图案SDd中。第一有源接触件AC1可以具有比下源极/漏极图案SDd的顶表面低的底表面。

[0055] 第二有源接触件AC2可以电连接到上源极/漏极图案SDu。第二有源接触件AC2可以穿透第二层间介电层120。

[0056] 第三有源接触件AC3可以电连接到彼此竖直叠置的下源极/漏极图案SDd和上源极/漏极图案SDu。第三有源接触件AC3可以穿透第一层间介电层110和第二层间介电层120以及上源极/漏极图案SDu，从而结合到下源极/漏极图案SDd。第三有源接触件AC3可以具有侧壁，该侧壁具有与上源极/漏极图案SDu接触的部分。第三有源接触件AC3可以延伸到下源极/漏极图案SDd中。第三有源接触件AC3可以具有低于下源极/漏极图案SDd的顶表面的底

表面。

[0057] 参照图3，下面将详细描述栅电极GE、下沟道图案CHd和上沟道图案CHu。

[0058] 参照图3，下沟道图案CHd可以包括竖直堆叠的第一下半导体图案LSP1至第三下半导体图案LSP3。上沟道图案CHu可以包括竖直堆叠的第一上半导体图案USP1至第三上半导体图案USP3。第一下半导体图案LSP1至第三下半导体图案LSP3和第一上半导体图案USP1至第三上半导体图案USP3均可以包括彼此基本相同或相似的其结构。第一下半导体图案LSP1至第三下半导体图案LSP3可以沿着第三方向D3以规则的间隔设置。第一上半导体图案USP1至第三上半导体图案USP3可以沿着第三方向D3以规则的间隔设置。

[0059] 下面将详细描述第二上半导体图案USP2的结构作为代表性示例，并且对于第一下半导体图案LSP1至第三下半导体图案LSP3以及第一上半导体图案USP1和第三上半导体图案USP3的结构也可以如此。

[0060] 第二上半导体图案USP2可以具有向下弯曲的形状。第二上半导体图案USP2可以包括第一突出部PTP1和在第一突出部PTP1上的第一凹陷部REP1。第一下半导体图案LSP1至第三下半导体图案LSP3、第一上半导体图案USP1和第三上半导体图案USP3也均可以包括第一突出部PTP1和第一凹陷部REP1。第一上半导体图案USP1至第三上半导体图案USP3中的每个的第一凹陷部REP1可以与上源极/漏极图案SDu接触。第一下半导体图案LSP1至第三下半导体图案LSP3中的每个的第一凹陷部REP1可以与下源极/漏极图案SDd接触。

[0061] 第一凹陷部REP1可以包括在其顶表面上的第一凹陷区域RSRc。第一凹陷区域RSRc可以是从第一凹陷部REP1的顶表面凹陷的区域。第一凹陷区域RSRc可以具有在向下方向上减小的在第一方向D1上的宽度。例如，第一凹陷区域RSRc的在第一方向D1上的宽度可以在朝向基底100的方向上减小。

[0062] 第一突出部PTP1可以从第一凹陷部REP1的底表面突出。第一突出部PTP1可以具有在向下方向上减小的在第一方向D1上的宽度。第一突出部PTP1可以具有梯形形状。第一突出部PTP1的在第一方向D1上的宽度可以在朝向基底100的方向上减小。第一突出部PTP1的在第一方向D1上的宽度可以小于第一凹陷部REP1的在第一方向D1上的最大宽度。第一突出部PTP1可以具有与下内间隔件IP1或上内间隔件IP2间隔开的侧壁。

[0063] 栅电极GE可以包括第一上部UE1至第四上部UE4和第一下部LE1至第三下部LE3。第一上部UE1可以位于第一上半导体图案USP1与第三下半导体图案LSP3之间。第二上部UE2可以位于第一上半导体图案USP1与第二上半导体图案USP2之间。第三上部UE3可以位于第二上半导体图案USP2与第三上半导体图案USP3之间。第四上部UE4可以位于第三上半导体图案USP3的顶表面上。第四上部UE4可以具有大于第二上部UE2和第三上部UE3的厚度的厚度。例如，第一上部UE1可以具有大于第二上部UE2和第三上部UE3的厚度的厚度。第四上部UE4可以具有大于第一上部UE1至第三上部UE3的厚度和第一下部LE1至第三下部LE3的厚度的厚度。

[0064] 第一下部LE1可以位于第一下半导体图案LSP1的底表面与有源图案AP的顶表面之间。第二下部LE2可以位于第一下半导体图案LSP1与第二下半导体图案LSP2之间。第三下部LE3可以位于第二下半导体图案LSP2与第三下半导体图案LSP3之间。

[0065] 下面将详细描述第三上部UE3的结构作为代表性示例，并且对于第一上部UE1、第二上部UE2、第四上部UE4和第一下部LE1至第三下部LE3的结构也可以如此。

[0066] 第三上部UE3可以具有向下弯曲的形状。第三上部UE3可以包括第二突出部PTP2和在第二突出部PTP2上的第二凹陷部REP2。第二下部LE2、第三下部LE3、第一上部UE1和第二上部UE2可以均包括第二突出部PTP2和第二凹陷部REP2。

[0067] 第二凹陷部REP2可以包括在其顶表面上的第二凹陷区域RSRe。第二凹陷区域RSRe可以是从第二凹陷部REP2的顶表面凹陷的区域。第二凹陷区域RSRe可以具有在向下方向上减小的在第一方向D1上的宽度。例如，第二凹陷区域RSRe的在第一方向D1上的宽度可以在朝向基底100的方向上减小。

[0068] 第二突出部PTP2可以从第二凹陷部REP2的底表面突出。第二突出部PTP2在第一方向D1上的宽度可以在向下方向上减小。第二突出部PTP2的在第一方向D1上的宽度可以在朝向基底100的方向上减小。第二突出部PTP2可以具有梯形形状。

[0069] 第一下部LE1可以包括第二凹陷部REP2，并且可以不包括第二突出部PTP2。例如，第一下部LE1可以具有平坦的底表面LE1u。第四上部UE4可以包括第二突出部PTP2，并且可以不包括第二凹陷部REP2。下源极/漏极图案SDd可以具有位于比基底100(或有源图案AP)的最上面的表面的水平低的水平处的底表面SDdu。

[0070] 第一下半导体图案LSP1的第一突出部PTP1可以朝向第一下部LE1的第二凹陷区域RSRe突出。第一下半导体图案LSP1的第一突出部PTP1可以具有与第一下部LE1的第二凹陷区域RSRe的形状对应的形状。第二下半导体图案LSP2的第一突出部PTP1可以朝向第二下部LE2的第二凹陷区域RSRe突出。第三下半导体图案LSP3的第一突出部PTP1可以朝向第三下部LE3的第二凹陷区域RSRe突出。第一上半导体图案USP1的第一突出部PTP1可以朝向第一上部UE1的第二凹陷区域RSRe突出。第二上半导体图案USP2的第一突出部PTP1可以朝向第二上部UE2的第二凹陷区域RSRe突出。第三上半导体图案USP3的第一突出部PTP1可以朝向第三上部UE3的第二凹陷区域RSRe突出。

[0071] 第二下部LE2的第二突出部PTP2可以朝向第一下半导体图案LSP1的第一凹陷区域RSRc突出。第二下部LE2的第二突出部PTP2可以具有与第一下半导体图案LSP1的第一凹陷区域RSRc的形状对应的形状。第二下部LE2的第二突出部PTP2的最下端可以位于比第一下半导体图案LSP1的第一凹陷部REP1的最上面的表面的水平低的水平处。第三下部LE3的第二突出部PTP2可以朝向第二下半导体图案LSP2的第一凹陷区域RSRc突出。第三下部LE3的第二突出部PTP2的最下端可以位于比第二下半导体图案LSP2的第一凹陷部REP1的最上面的表面的水平低的水平处。第一上部UE1的第二突出部PTP2可以朝向第三下半导体图案LSP3的第一凹陷区域RSRc突出。第一上部UE1的第二突出部PTP2的最下端可以位于比第三下半导体图案LSP3的第一凹陷部REP1的最上面的表面的水平低的水平处。第二上部UE2的第二突出部PTP2可以朝向第一上半导体图案USP1的第一凹陷区域RSRc突出。第二上部UE2的第二突出部PTP2的最下端可以位于比第一上半导体图案USP1的第一凹陷部REP1的最上面的表面的水平低的水平处。第三上部UE3的第二突出部PTP2可以朝向第二上半导体图案USP2的第一凹陷区域RSRc突出。第三上部UE3的第二突出部PTP2的最下端可以位于比第二上半导体图案USP2的第一凹陷部REP1的最上面的表面的水平低的水平处。第四上部UE4的第二突出部PTP2可以朝向第三上半导体图案USP3的第一凹陷区域RSRc突出。第四上部UE4的第二突出部PTP2的最下端可以位于比第三上半导体图案USP3的第一凹陷部REP1的最上面的表面的水平低的水平处。

[0072] 栅极介电层GI可以沿着第一凹陷区域RSRc和第二凹陷区域RSRe中的每个的表面延伸。

[0073] 半导体装置的尺寸的减小可能导致将源极/漏极图案彼此连接的沟道图案的长度的减小,这可能导致短沟道效应的发生。因此,可能引起高电流泄漏和亚阈值摆幅(SS)的增加。根据发明构思的实施例,第一下半导体图案LSP1至第三下半导体图案LSP3和第一上半导体图案USP1至第三上半导体图案USP3均可以具有向下弯曲的形状。因此,即使当半导体装置具有减小的尺寸时,也会能够形成其中的每个具有相对大的长度的第一上半导体图案USP1至第三上半导体图案USP3和第一下半导体图案LSP1至第三下半导体图案LSP3。因此,亚阈值摆幅可以减小,从而改善了半导体装置的电性质。

[0074] 另外,可以发生栅电极GE与下源极/漏极图案SDd和上源极/漏极图案SDu之间的距离增大,并且因此可以发生栅电极GE与下源极/漏极图案SDd和上源极/漏极图案SDu之间的电场的减小。因此,可以减少由于带带隧穿引起的栅极感应漏极漏电流(GIDL)。总之,可以提高半导体装置的电性质。

[0075] 图4至图10C图示了示出根据发明构思的一些实施例的制造半导体装置的方法的剖视图。图4、图5、图6A、图7A、图8A、图9A和图10A图示了沿图1的线A-A'截取的剖视图。图6B和图10B图示了沿图1的线B-B'截取的剖视图。图7B、图8B、图9B和图10C图示了沿图1的线C-C'截取的剖视图。

[0076] 参照图4,可以在基底100上形成第一牺牲层SAL1。第一牺牲层SAL1可以包括硅(Si)、锗(Ge)和硅锗(SiGe)中的一种。例如,第一牺牲层SAL1可以包括硅锗(SiGe)。包含在第一牺牲层SAL1中的锗(Ge)的浓度可以在约10at%至约30at%的范围内。

[0077] 可以蚀刻第一牺牲层SAL1的上部以形成凹陷区域RSR。例如,可以在第一牺牲层SAL1上形成第一蚀刻掩模图案,并且可以使用第一蚀刻掩模图案作为蚀刻掩模以蚀刻第一牺牲层SAL1的一部分。凹陷区域RSR可以是从第一牺牲层SAL1的顶表面凹陷的区域。凹陷区域RSR的底表面可以与基底100间隔开。凹陷区域RSR可以具有在朝向基底100的方向上减小的宽度。

[0078] 参照图5,可以交替堆叠第一有源层ACL1和第一牺牲层SAL1。第一有源层ACL1可以包括不同于包括在第一牺牲层SAL1中的前述一种的硅(Si)、锗(Ge)和硅锗(SiGe)中的一种。例如,第一有源层ACL1可以包括硅(Si)。

[0079] 第一有源层ACL1和第一牺牲层SAL1可以在其顶表面上具有与最下面的第一牺牲层SAL1的凹陷区域RSR对应的凹陷区域RSR。凹陷区域RSR可以具有与最下面的第一牺牲层SAL1的凹陷区域RSR的形状相同或相似的形状。

[0080] 可以在最上面的第一有源层ACL1上交替堆叠第二牺牲层SAL2和第二有源层ACL2。第二牺牲层SAL2可以包括与第一牺牲层SAL1的材料相同的材料。第二有源层ACL2可以包括与第一有源层ACL1的材料相同的材料。例如,第二牺牲层SAL2可以包括硅锗,并且第二有源层ACL2可以包括硅。

[0081] 最下面的第二牺牲层SAL2可以具有相对大的厚度。最下面的第二牺牲层SAL2可以比第一牺牲层SAL1、第一有源层ACL1、第二有源层ACL2和其他的第二牺牲层SAL2厚。

[0082] 第二牺牲层SAL2和第二有源层ACL2可以在其顶表面上具有与最下面的第一牺牲层SAL1的凹陷区域RSR对应的凹陷区域RSR。凹陷区域RSR可以具有与最下面的第一牺牲层

SAL1的凹陷区域RSR的形状相同或相似的形状。

[0083] 参照图6A和图6B,可以在基底100上形成有源图案AP、下堆叠图案STP1和上堆叠图案STP2。例如,可以在最上面的第二有源层ACL2上形成第二蚀刻掩模图案。第二蚀刻掩模图案可以具有在第一方向D1上延伸的线性形状或条形形状。可以执行图案化工艺,在该工艺中,第二蚀刻掩模图案用于形成沟槽TR。沟槽TR可以形成在基底100的上部上以在第一方向D1上延伸。沟槽TR可以在其间限定有源图案AP。例如,沟槽TR均可以具有在朝向基底100的底表面的方向上减小的在第二方向D2上的宽度,并且有源图案AP可以具有在朝向基底100的底表面的方向上增大的在第二方向D2上的宽度。

[0084] 下堆叠图案STP1和上堆叠图案STP2可以形成为与有源图案AP竖直叠置。下堆叠图案STP1和上堆叠图案STP2可以与基底100一起被蚀刻,从而在第一方向D1上延伸。下堆叠图案STP1可以包括交替堆叠在有源图案AP的顶表面上的第一牺牲层SAL1和第一有源层ACL1。上堆叠图案STP2可以包括交替堆叠的第二牺牲层SAL2和第二有源层ACL2。

[0085] 可以形成器件隔离层ST以填充沟槽TR。例如,介电层可以形成在基底100的整个表面上,并且覆盖下堆叠图案STP1和上堆叠图案STP2。介电层可以凹陷直到暴露下堆叠图案STP1,并且因此可以形成器件隔离层ST。器件隔离层ST可以包括介电材料,诸如氧化硅层。下堆叠图案STP1和上堆叠图案STP2都可以不被器件隔离层ST覆盖。例如,下堆叠图案STP1可以从器件隔离层ST竖直且向上突出。

[0086] 牺牲图案PP可以形成在基底100上,并且跨下堆叠图案STP1和上堆叠图案STP2延伸。牺牲图案PP中的每个可以形成为具有在第二方向D2上延伸的线性形状或条形形状。牺牲图案PP可以沿着第一方向D1以一定间距布置。例如,牺牲图案PP的形成可以包括在基底100的整个表面上形成牺牲层,在牺牲层上形成硬掩模图案MP,以及使用硬掩模图案MP作为蚀刻掩模来图案化牺牲层。牺牲层可以包括例如多晶硅。

[0087] 可以在每个牺牲图案PP的相对侧壁上形成一对栅极间隔件GS。栅极间隔件GS的形成可以包括在基底100的整个表面上共形地形成栅极间隔件层,并且各向异性地蚀刻栅极间隔件层。栅极间隔件层可以包括选自SiCN、SiCON和SiN中的至少一种。可选地,栅极间隔件层可以是包括选自SiCN、SiCON和SiN中的至少两种的多层。

[0088] 参照图7A和图7B,可以在上堆叠图案STP2中形成第一凹陷RS1。在形成第一凹陷RS1的同时,可以使有源图案AP的相对侧上的器件隔离层ST凹陷。

[0089] 例如,可以通过使用硬掩模图案MP和栅极间隔件GS作为蚀刻掩模以蚀刻有源图案AP上的上堆叠图案STP2来形成第一凹陷RS1。第一凹陷RS1可以形成为从牺牲图案PP的侧壁上的空间朝向基底100的顶表面延伸。

[0090] 多个第一凹陷RS1可以布置在第一方向D1上。上沟道图案CHu可以形成为在一对第一凹陷RS1之间包括第一上半导体图案USP1至第三上半导体图案USP3。第一上半导体图案USP1至第三上半导体图案USP3可以与第二牺牲层SAL2交替堆叠并与第二牺牲层SAL2竖直间隔开。

[0091] 可以在第二牺牲层SAL2的侧表面上形成上内间隔件IP2。例如,可以部分地蚀刻第二牺牲层SAL2的暴露于第一凹陷RS1的侧表面。可以形成介电层以填充第二牺牲层SAL2被部分去除的空间。可以蚀刻介电层以形成彼此竖直间隔开的上内间隔件IP2。上内间隔件IP2可以形成在相邻的第一上半导体图案USP1至第三上半导体图案USP3之间,并且可以使

其侧壁与第一上半导体图案USP1至第三上半导体图案USP3的侧壁对应地对齐。

[0092] 参照图8A和图8B,可以使第一凹陷RS1进一步凹陷以形成第二凹陷RS2。在形成第二凹陷RS2的同时,可以使有源图案AP的相对侧上的器件隔离层ST凹陷。

[0093] 例如,硬掩模图案MP和栅极间隔件GS可以用作蚀刻掩模以蚀刻下堆叠图案STP1,从而形成比第一凹陷RS1深的第二凹陷RS2。第二凹陷RS2可以使其底表面位于比有源图案AP的最上面的表面的水平低的水平处。第二凹陷RS2的底表面可以位于比第一牺牲层SAL1中的最下面的一个第一牺牲层的底表面的水平低的水平处。

[0094] 下沟道图案CHd可以形成为在第二凹陷RS2之间包括第一下半导体图案LSP1至第三下半导体图案LSP3。第一下半导体图案LSP1至第三下半导体图案LSP3可以与第一牺牲层SAL1交替堆叠并与第一牺牲层SAL1间隔开。

[0095] 此后,可以在第一牺牲层SAL1的侧表面上形成下内间隔件IP1。例如,可以部分地蚀刻第一牺牲层SAL1的暴露于第二凹陷RS2的侧表面。可以形成介电层以填充第一牺牲层SAL1被部分去除的空间。可以蚀刻介电层以形成彼此竖直间隔开的下内间隔件IP1。下内间隔件IP1可以形成在相邻的第一下半导体图案LSP1至第三下半导体图案LSP3之间,并且可以使其侧壁与第一下半导体图案LSP1至第三下半导体图案LSP3的侧壁对应地对齐。

[0096] 参照图9A和图9B,可以在第二凹陷RS2中对应地形成下源极/漏极图案SDd。例如,可以通过执行第一选择性外延生长(SEG)工艺来形成下源极/漏极图案SDd,其中,第一下半导体图案LSP1至第三下半导体图案LSP3的侧壁用作种子层,并且其中,有源图案AP的顶表面也用作种子层。例如,第一SEG工艺可以包括化学气相沉积(CVD)或分子束外延(MBE)。下源极/漏极图案SDd可以包括例如与基底100的半导体元素相同的半导体元素(例如,Si)。

[0097] 尽管未示出,但是在形成下源极/漏极图案SDd之前,可以形成阻挡层以覆盖第一上半导体图案USP1至第三上半导体图案USP3的侧壁。因此,在执行第一SEG时,可以不暴露第一上半导体图案USP1至第三上半导体图案USP3的侧壁。因此,可以在第二凹陷RS2的下部中选择性地生长下源极/漏极图案SDd。可以在形成下源极/漏极图案SDd之后去除阻挡层。

[0098] 可以在下源极/漏极图案SDd上形成第一层间介电层110。第一层间介电层110的形成可以包括形成覆盖下源极/漏极图案SDd的介电层,并且蚀刻介电层直到介电层的顶表面位于比最下面的第二牺牲层SAL2的顶表面的水平低的水平处。第一层间介电层110可以具有平坦的顶表面。第一层间介电层110可以具有覆盖器件隔离层ST的顶表面的底表面。第一层间介电层110可以具有朝向沟槽TR的底表面凸出地突出的底表面。

[0099] 参照图10A至图10C,可以在第一层间介电层110的顶表面上形成上源极/漏极图案SDu。例如,可以执行第二SEG工艺,其中,第一上半导体图案USP1至第三上半导体图案USP3的侧壁用作种子层以形成覆盖第一上半导体图案USP1至第三上半导体图案USP3的侧壁的第一半导体部分。第一半导体部分可以包括其晶格常数大于基底100的半导体元素的晶格常数的半导体元素或化合物(例如,SiGe)。第一半导体部分可以包含其浓度相对低的锗(Ge)。根据一些实施例,第一半导体部分可以包括硅(Si),但是可以不包括锗(Ge)。包含在第一半导体部分中的锗(Ge)的浓度可以在约0at%至约10at%的范围内。

[0100] 第一半导体部分可以经历第三SEG工艺以形成第二半导体部分。第二半导体部分可以包含其浓度相对高的锗(Ge)。例如,包含在第二半导体部分中的锗(Ge)的浓度可以在约30at%至约70at%的范围内。第一半导体部分和第二半导体部分可以构成上源极/漏极

图案SDu。根据一些实施例，可以在第二SEG工艺和第三SEG工艺期间原位注入杂质。可选地，在形成上源极/漏极图案SDu之后，可以将杂质注入到上源极/漏极图案SDu中。上源极/漏极图案SDu可以被掺杂为具有第二导电类型(例如，p型)。

[0101] 可以形成第二层间介电层120以覆盖上源极/漏极图案SDu和栅极间隔件GS。例如，第二层间介电层120可以包括氧化硅层。可以对第二层间介电层120进行平坦化，直到牺牲图案PP的顶表面被暴露。可以采用回蚀或化学机械抛光(CMP)工艺来平坦化第二层间介电层120。可以在平坦化工艺期间去除全部的硬掩模图案MP。结果，第二层间介电层120可以具有与牺牲图案PP的顶表面和栅极间隔件GS的顶表面共面的顶表面。

[0102] 可以使用蚀刻工艺来选择性地去除牺牲图案PP、第一牺牲层SAL1和第二牺牲层SAL2。蚀刻工艺可以是湿蚀刻工艺。可以去除第一牺牲层SAL1以形成第一空的空间ES1。可以去除第二牺牲层SAL2和牺牲图案PP以形成第二空的空间ES2。

[0103] 返回参照图1、图2A至图2C和图3，可以在第一空的空间ES1和第二空的空间ES2中共形地形成栅极介电层GI。可以在栅极介电层GI上形成栅电极GE。栅电极GE可以形成为填充第一空的空间ES1和第二空的空间ES2。根据一些实施例，栅电极GE的形成可以包括在第一空的空间ES1和第二空的空间ES2中形成第一金属图案，以及形成填充第一空的空间ES1和第二空的空间ES2的未被占据的部分的第二金属图案。第一金属图案可以包括多个堆叠的逸出功金属层。第二金属图案可以包括其电阻小于第一金属图案的电阻的金属。然后，可以在栅电极GE上形成栅极覆盖图案GP。可以形成结合到下源极/漏极图案SDd和上源极/漏极图案SDu的第一有源接触件AC1、第二有源接触件AC2和第三有源接触件AC3。

[0104] 图11至图13图示了示出根据发明构思的一些实施例的半导体装置在图2A中描绘的部分M的放大剖视图。在下面的实施例中，将省略与先前参照图1、图2A至图2C和图3讨论的技术特征重复的技术特征的详细描述，并且将详细讨论其不同之处。

[0105] 参照图11，下内间隔件IP1可以对应地朝向第一下半导体图案LSP1和第二下半导体图案LSP2的第一凹陷区域RSRc延伸。下内间隔件IP1可以对应地接触包括在第一下半导体图案LSP1至第三下半导体图案LSP3中的第一突出部PTP1的侧壁PTP1s。

[0106] 上内间隔件IP2可以对应地朝向第一上半导体图案USP1至第三上半导体图案USP3的第一凹陷区域RSRc延伸。上内间隔件IP2可以接触包括在第一上半导体图案USP1至第三上半导体图案USP3中的第一突出部PTP1的侧壁PTP1s。最下面的上内间隔件IP2可以延伸到第三下半导体图案LSP3的第一凹陷区域RSRc中。例如，上内间隔件IP2和下内间隔件IP1中的一个可以包括第三突出部PTPi，第三突出部PTPi朝向第一上半导体图案USP1至第三上半导体图案USP3和第一下半导体图案LSP1至第三下半导体图案LSP3中的对应一个半导体图案的第一凹陷区域RSRc突出，所述对应一个半导体图案位于上内间隔件IP2和下内间隔件IP1中的所述一个的下方。

[0107] 例如，第一上部UE1至第四上部UE4和第一下部LE1至第三下部LE3都可以不包括参照图3讨论的第二凹陷区域RSRe和第二突出部PTP2。

[0108] 参照图12，第一突出部PTP1可以具有其轮廓朝向基底100凸出的底表面。第二突出部PTP2可以具有其轮廓也朝向基底100凸出的底表面。第一凹陷区域RSRc可以具有具备凹入轮廓的底表面。第二凹陷区域RSRe可以具有具备凹入轮廓的底表面。第一突出部PTP1的底表面可以具有与第二凹陷区域RSRe的底表面的轮廓对应的轮廓，并且第二突出部PTP2的

底表面可以具有与第一凹陷区域RSRc的底表面的轮廓对应的轮廓。

[0109] 参照图13,可以给出第一宽度W1作为第一下半导体图案LSP1的第一突出部PTP1的在第一方向D1上的最大宽度。可以给出第二宽度W2作为第二下半导体图案LSP2的第一突出部PTP1的在第一方向D1上的最大宽度。可以给出第三宽度W3作为第三下半导体图案LSP3的第一突出部PTP1的在第一方向D1上的最大宽度。可以给出第四宽度W4作为第一上半导体图案USP1的第一突出部PTP1的在第一方向D1上的最大宽度。可以给出第五宽度W5作为第二上半导体图案USP2的第一突出部PTP1的在第一方向D1上的最大宽度。可以给出第六宽度W6作为第三上半导体图案USP3的第一突出部PTP1的在第一方向D1上的最大宽度。第二宽度W2可以小于第一宽度W1。第三宽度W3可以小于第二宽度W2。第四宽度W4可以小于第三宽度W3。第五宽度W5可以小于第四宽度W4。第六宽度W6可以小于第五宽度W5。

[0110] 可以给出第七宽度W7作为第二下部LE2的第二突出部PTP2的在第一方向D1上的最大宽度。可以给出第八宽度W8作为第三下部LE3的第二突出部PTP2的在第一方向D1上的最大宽度。可以给出第九宽度W9作为第一上部UE1的第二突出部PTP2的在第一方向D1上的最大宽度。可以给出第十宽度W10作为第二上部UE2的第二突出部PTP2的在第一方向D1上的最大宽度。可以给出第十一宽度W11作为第三上部UE3的第二突出部PTP2的在第一方向D1上的最大宽度。可以给出第十二宽度W12作为第四上部UE4的第二突出部PTP2的在第一方向D1上的最大宽度。第八宽度W8可以小于第七宽度W7。第九宽度W9可以小于第八宽度W8。第十宽度W10可以小于第九宽度W9。第十一宽度W11可以小于第十宽度W10。第十二宽度W12可以小于第十一宽度W11。

[0111] 图14图示了示出根据发明构思的一些实施例的半导体装置的平面图。图15A和图15B示出了分别沿图14的线A-A'和线B-B'截取的剖视图。图16A图示了示出图15A的部分M的放大剖视图。图16B图示了示出图15B的部分N的放大剖视图。

[0112] 参照图14、图15A和图15B,基底100可以包括第一有源区域PR和第二有源区域NR。在发明构思的实施例中,第一有源区域PR可以是PMOSFET区域,并且第二有源区域NR可以是NMOSFET区域。基底100可以是包括硅、锗或硅锗的化合物半导体基底或半导体基底。例如,基底100可以是硅基底。

[0113] 第一有源区域PR和第二有源区域NR可以限定在基底100上。第一有源图案AP1和第二有源图案AP2可以分别设置在第一有源区域PR和第二有源区域NR上。

[0114] 第一沟道图案CH1可以设置在第一有源图案AP1上。第一沟道图案CH1可以包括竖直堆叠的第一半导体图案SP1、第二半导体图案SP2和第三半导体图案SP3。第一半导体图案SP1、第二半导体图案SP2和第三半导体图案SP3可以在第三方向D3上彼此间隔开。第一半导体图案SP1、第二半导体图案SP2和第三半导体图案SP3可以彼此竖直叠置。第二沟道图案CH2可以设置在第二有源图案AP2上。第二沟道图案CH2可以包括竖直堆叠的第一半导体图案SP1、第二半导体图案SP2和第三半导体图案SP3。第一沟道图案CH1和第二沟道图案CH2可以包括选自硅(Si)、锗(Ge)和硅锗(SiGe)中的至少一种。

[0115] 第一有源图案AP1可以在其上部上具有第一源极/漏极图案SD1。第一源极/漏极图案SD1可以是具有第一导电类型(例如,p型)的杂质区域。第一沟道图案CH1可以置于一对第一源极/漏极图案SD1之间。

[0116] 第一源极/漏极图案SD1可以包括第一半导体层SEL1和第二半导体层SEL2。第一半

导体层SEL1可以具有在从其下部朝向其上部的方向上减小的厚度。第一半导体层SEL1可以具有U形形状。第二半导体层SEL2可以设置在第一半导体层SEL1上。第二半导体层SEL2可以具有比第一半导体层SEL1的体积大的体积。

[0117] 第一半导体层SEL1和第二半导体层SEL2中的每个可以包括硅锗(SiGe)。例如,第一半导体层SEL1可以包含其浓度相对低的锗(Ge)。在发明构思的实施例中,第一半导体层SEL1可以仅包括硅(Si)并且可以不包括锗(Ge)。第一半导体层SEL1可以具有约0at%至约10at%的锗浓度。

[0118] 第二半导体层SEL2可以包含其浓度相对高的锗(Ge)。例如,第二半导体层SEL2可以具有约30at%至约55at%的锗(Ge)浓度。第二半导体层SEL2的锗浓度可以在第三方向D3上逐渐增加。

[0119] 第二有源图案AP2可以在其上部上具有第二源极/漏极图案SD2。第二源极/漏极图案SD2可以是具有第二导电类型(例如,n型)的杂质区域。第二沟道图案CH2可以置于一对第二源极/漏极图案SD2之间。

[0120] 多个栅电极GE可以设置为在第一方向D1上延伸,同时跨第一沟道图案CH1和第二沟道图案CH2延伸。栅电极GE可以与第一沟道图案CH1和第二沟道图案CH2竖直叠置。一对栅极间隔件GS可以设置在栅电极GE的相对侧壁上。栅极覆盖图案GP可以设置在栅电极GE上。

[0121] 栅电极GE可以围绕第一沟道图案CH1和第二沟道图案CH2中的每个。例如,栅电极GE可以围绕第一半导体图案SP1、第二半导体图案SP2和第三半导体图案SP3中的每个的顶表面、底表面和相对侧壁。根据本实施例的晶体管可以是其中栅电极GE三维地围绕第一沟道图案CH1和第二沟道图案CH2的三维场效应晶体管(例如,MBCFET)。

[0122] 栅极介电层GI可以设置在栅电极GE与第一沟道图案CH1和第二沟道图案CH2中的每个之间。栅极介电层GI可以围绕第一沟道图案CH1和第二沟道图案CH2中的每个。

[0123] 在第二有源区域NR上,内间隔件IP可以置于栅极介电层GI与第二源极/漏极图案SD2之间。栅极介电层GI和内间隔件IP可以将栅电极GE与第二源极/漏极图案SD2分离。相反,可以从第一有源区域PR省略内间隔件IP。

[0124] 第一层间介电层110和第二层间介电层120可以设置在基底100的整个表面上。有源接触件AC可以设置为穿透第一层间介电层110和第二层间介电层120并且相应地连接到第一源极/漏极图案SD1和第二源极/漏极图案SD2。栅极接触件GC可以设置为穿透第二层间介电层120和栅极覆盖图案GP并连接到栅电极GE。

[0125] 有源接触件AC可以具有与栅极接触件GC相邻的上部,并且上介电图案UIP可以填充有源接触件AC的上部。因此,可以能够限制和/或防止由栅极接触件GC和与其相邻的有源接触件AC之间的接触引起的短路。

[0126] 逻辑单元LC可以具有在第二方向D2上彼此面对的相对侧,并且一对分离结构DB可以设置在逻辑单元LC的相对侧上。分离结构DB可以在平行于栅电极GE的第一方向D1上延伸。分离结构DB可以穿透第一层间介电层110和第二层间介电层120以延伸到第一有源图案AP1和第二有源图案AP2中。分离结构DB可以穿透第一有源图案AP1和第二有源图案AP2中的每个的上部。分离结构DB可以将逻辑单元LC的第一有源区域PR和第二有源区域NR与相邻的逻辑单元的有源区域分离。

[0127] 硅化物图案SC可以置于有源接触件AC与第一源极/漏极图案SD1之间以及有源接

触件AC与第二源极/漏极图案SD2之间。

[0128] 有源接触件AC和栅极接触件GC中的每个可以包括导电图案FM和围绕导电图案FM的阻挡图案BM。例如，导电图案FM可以包括选自铝、铜、钨、钼和钴中的至少一种金属。阻挡图案BM可以覆盖导电图案FM的侧壁和底表面。阻挡图案BM可以包括金属层和金属氮化物层。金属层可以包括选自钛、钽、钨、镍、钴和铂中的至少一种。金属氮化物层可以包括选自氮化钛(TiN)层、氮化钽(TaN)层、氮化钨(WN)层、氮化镍(NiN)层、氮化钴(CoN)层和氮化铂(PtN)层中的至少一种。

[0129] 第三层间介电层130可以设置在第二层间介电层120上。第四层间介电层140可以设置在第三层间介电层130上。第一金属层M1可以设置在第三层间介电层130中。第一金属层M1可以包括第一下线M1_R、第二下线M1_I和下过孔VI1。下过孔VI1可以设置在第一下线M1_R和第二下线M1_I下方。第一下线M1_R中的每条可以在第二方向D2上延伸，同时跨逻辑单元LC延伸。第一下线M1_R中的每条可以是电力线。例如，可以向第一下线M1_R供应漏电压VDD或源电压VSS。第二下线M1_I可以沿着第一方向D1设置在被施加漏电压VDD的第一下线M1_R与被施加源电压VSS的第一下线M1_R之间。每条第二下线M1_I可以具有在第二方向D2上延伸的线性或条形形状。

[0130] 下过孔VI1可以设置在第一金属层M1的第一下线M1_R和第二下线M1_I下方。下过孔VI1可以对应地置于有源接触件AC与第一下线M1_R和第二下线M1_I之间。下过孔VI1可以对应地置于栅极接触件GC与第二下线M1_I之间。

[0131] 第二金属层M2可以设置在第四层间介电层140中。第二金属层M2可以包括上线M2_I。每条上线M2_I可以具有在第一方向D1上延伸的线性或条形形状。例如，上线M2_I可以在第一方向D1上平行延伸。当在平面中观察时，上线M2_I可以平行于栅电极GE。

[0132] 第二金属层M2还可以包括上过孔VI2。上过孔VI2可以设置在上线M2_I下方。上过孔VI2可以对应地置于上线M2_I与下线M1_R和M1_I之间。

[0133] 第一金属层M1的下线M1_R和M1_I可以包括与第二金属层M2的上线M2_I的导电材料相同或不同的导电材料。例如，上线M2_I以及下线M1_R和M1_I可以包括选自铝、铜、钨、钼和钴中的至少一种金属材料。

[0134] 在发明构思的实施例中，尽管未示出，但是可以在第四层间介电层140上另外设置堆叠的金属层(例如，M3、M4、M5等)。堆叠的金属层中的每个可以包括布线。

[0135] 将参照图16A和图16B进一步详细讨论栅电极GE以及第一半导体图案至第三半导体图案SP1、SP2和SP3。

[0136] 参照图16A和图16B，栅电极GE可以包括在基底100与第一半导体图案SP1之间的第一部分PO1、在第一半导体图案SP1与第二半导体图案SP2之间的第二部分PO2、在第二半导体图案SP2与第三半导体图案SP3之间的第三部分PO3以及在第三半导体图案SP3的顶表面上的第四部分PO4。

[0137] 如参照图3所讨论的，第一半导体图案SP1至第三半导体图案SP3中的每个可以包括在第一凹陷部REP1的顶表面上具有第一凹陷区域RSRc的第一凹陷部REP1，并且还可以包括从第一凹陷部REP1的底表面突出的第一突出部PTP1。

[0138] 如参照图3所讨论的，第一部分PO1至第三部分PO3中的每个可以包括在第二凹陷部REP2的顶表面上具有第二凹陷区域RSRe的第二凹陷部REP2，并且还可以包括从第二凹陷

部REP2的底表面突出的第二突出部PTP2。与参照图3讨论的第四上部UE4类似，第四部分PO4可以包括第二突出部PTP2，并且可以不包括第二凹陷区域RSRe。

[0139] 根据发明构思，第一下半导体图案至第三下半导体图案和第一上半导体图案至第三上半导体图案均可以具有向下弯曲的形状。因此，即使当半导体装置具有减小的尺寸时，也可以形成其中的每个具有相对大的长度的第一下半导体图案至第三下半导体图案和第一上半导体图案至第三上半导体图案。结果，可以减小由短沟道效应引起的亚阈值摆幅，从而提高半导体装置的电性质。

[0140] 另外，栅电极与下源极/漏极图案和上源极/漏极图案之间的距离可以增大，因此栅电极与下源极/漏极图案和上源极/漏极图案之间的电场可以减小。因此，可以减少由于带带隧穿引起的栅极感应漏极漏电流(GIDL)。总之，可以提高半导体装置的电性质。

[0141] 尽管已经结合附图中所示的发明构思的实施例描述了发明构思的一些实施例，但是本领域普通技术人员将理解的是，在不脱离发明构思的精神和范围的情况下，可以在其中进行形式和细节上的变化。因此，上面公开的实施例应该被认为是说明性的而不是限制性的。

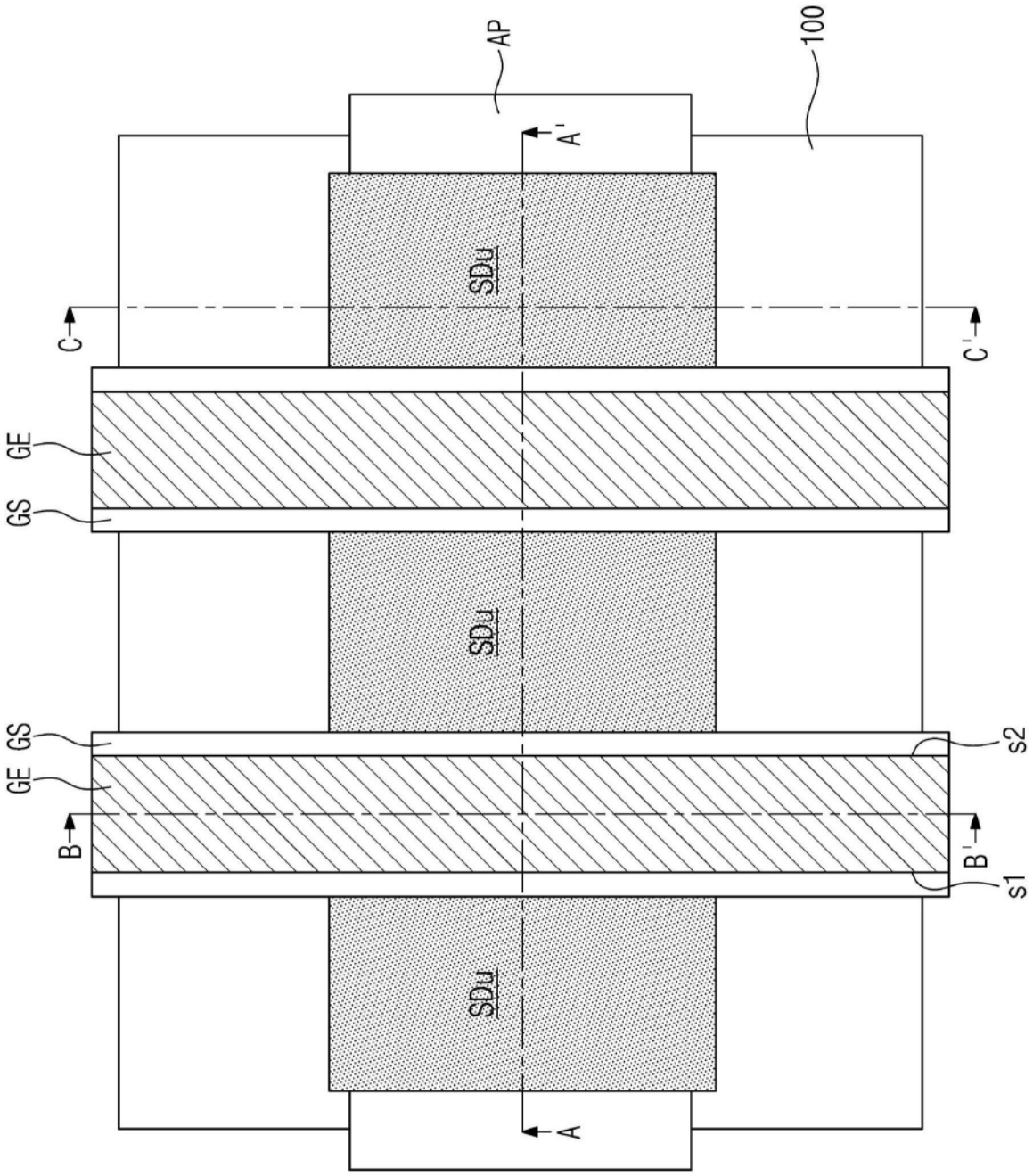


图1

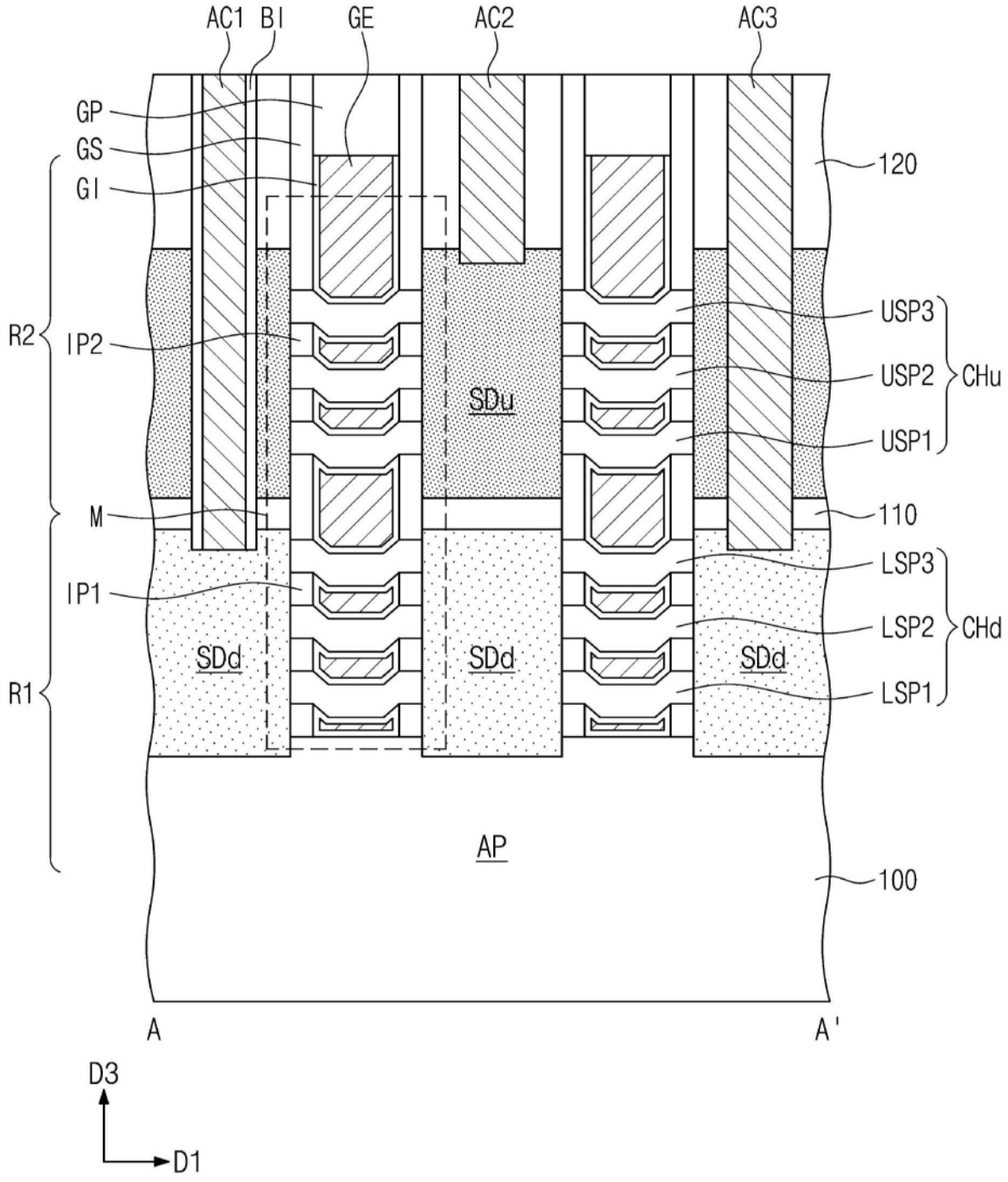

AC1
BI
GE
AC2
AC3
GP
GS
GI
120
R2
IP2
USP3
USP2
USP1
CHu
SDu
M
110
IP1
LSP3
LSP2
LSP1
CHd
SDd
SDd
SDd
R1
AP
100
A
A'
D3
D1

图2A

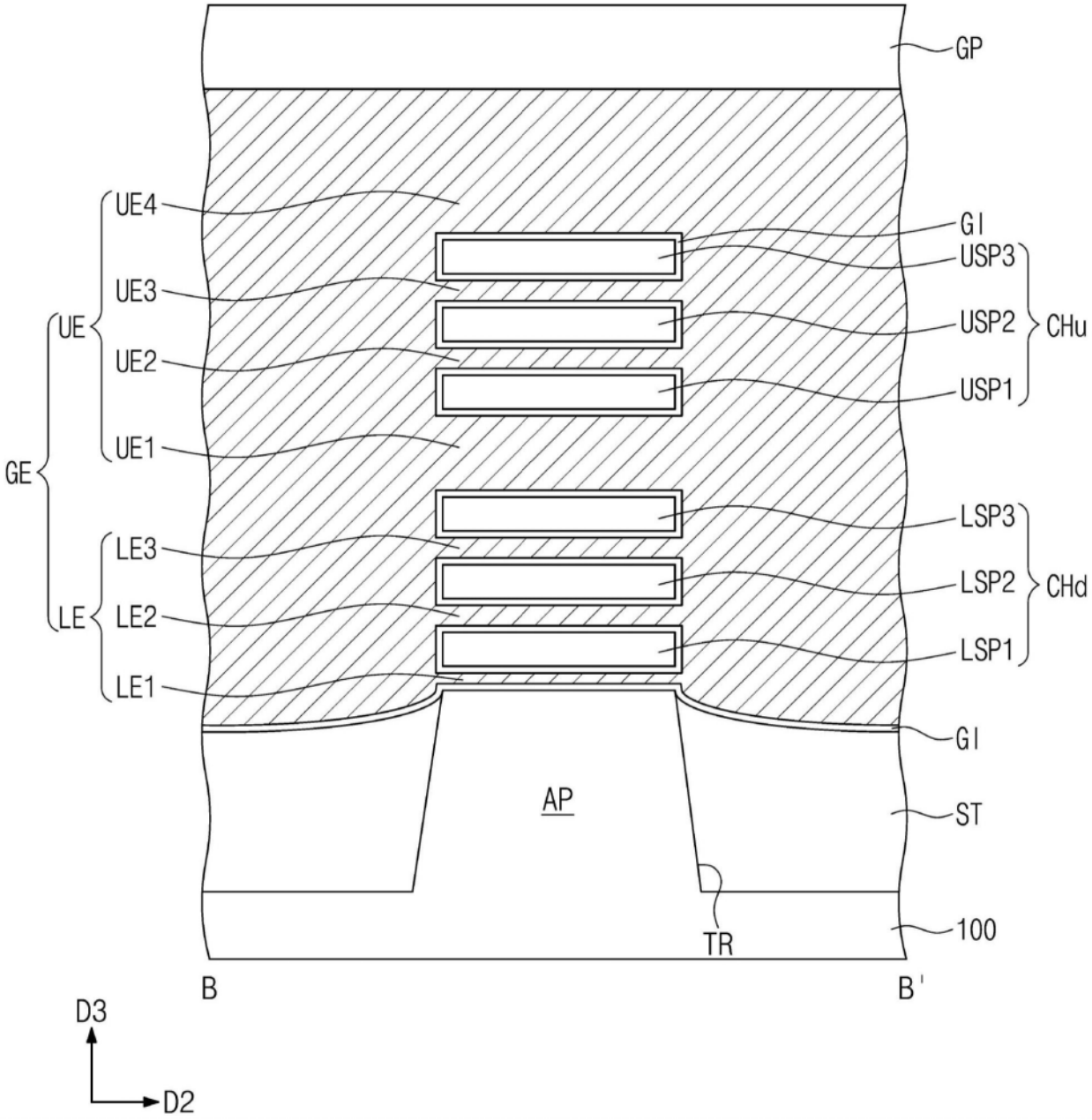

GP
UE4
UE3
UE2
UE1
UE
GE
LE3
LE2
LE1
LE
GI
USP3
USP2
USP1
CHu
LSP3
LSP2
LSP1
CHd
GI
AP
ST
TR
100
B
B'
D3
D2

图2B

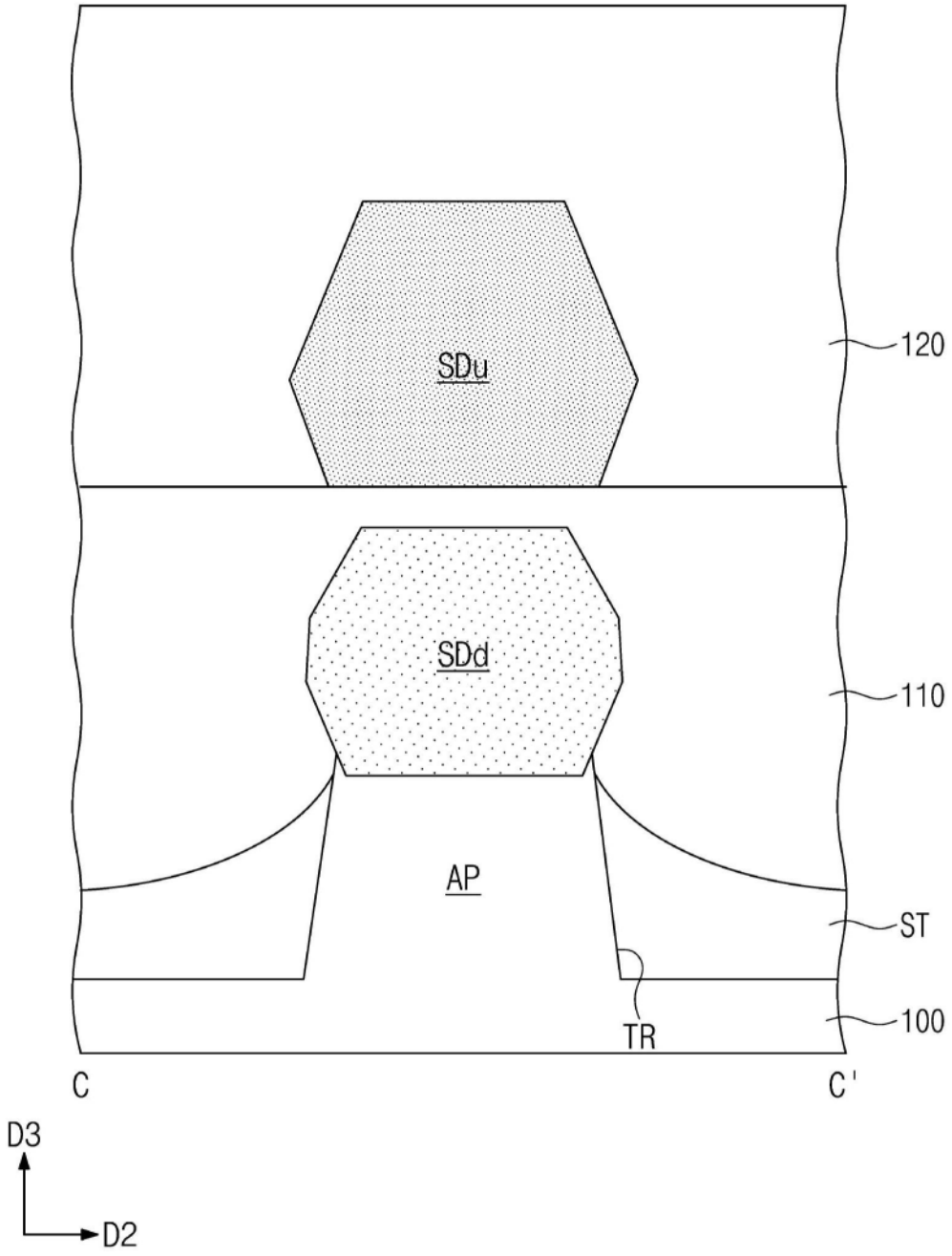


图2C

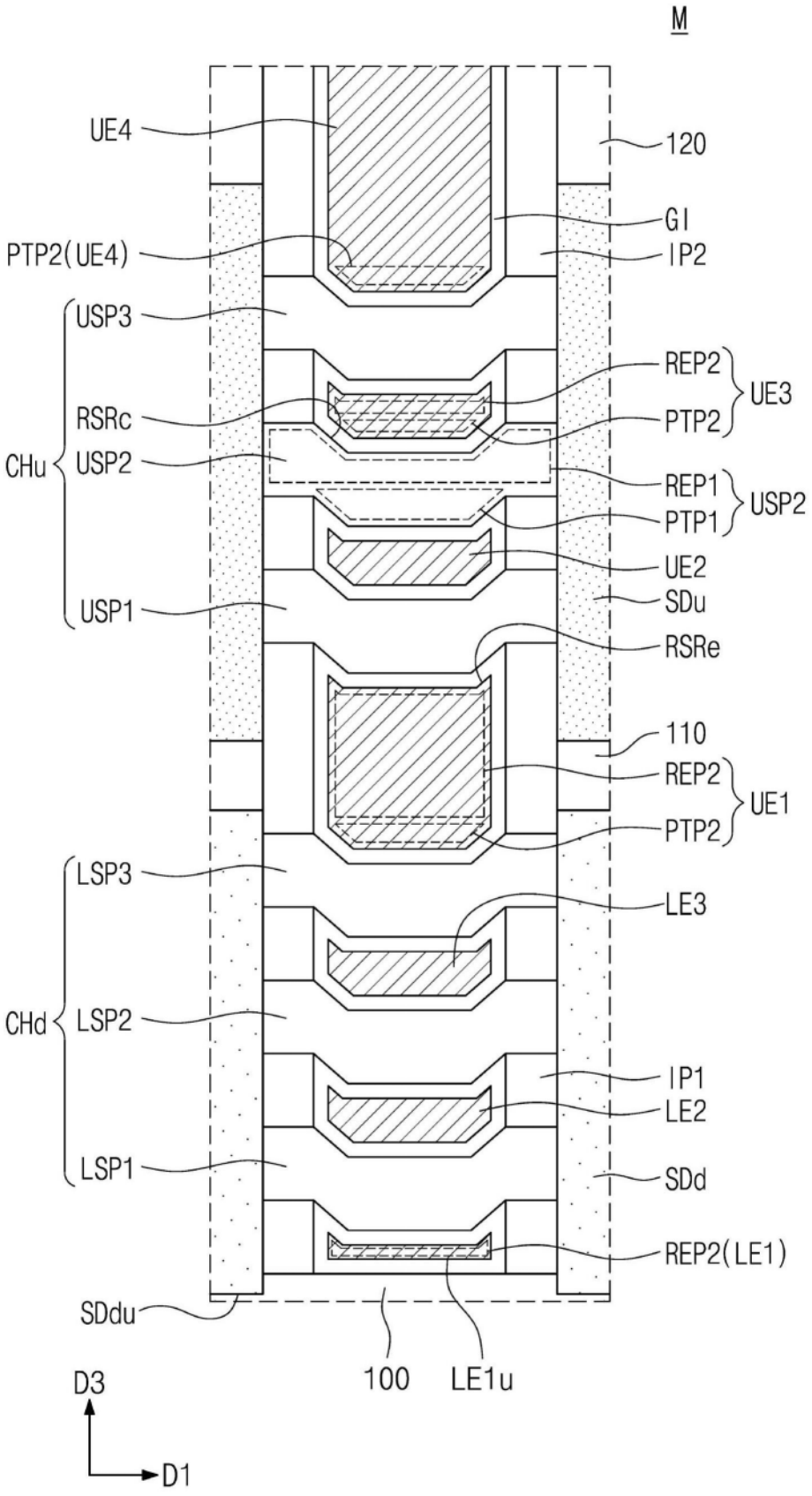

M
UE4
120
GI
PTP2(UE4)
IP2
USP3
REP2
UE3
RSRc
PTP2
CHu
USP2
REP1
USP2
PTP1
UE2
USP1
SDu
RSRe
110
REP2
UE1
PTP2
LSP3
LE3
CHd
LSP2
IP1
LE2
LSP1
SDd
REP2(LE1)
SDdu
100
LE1u
D3
D1

图3

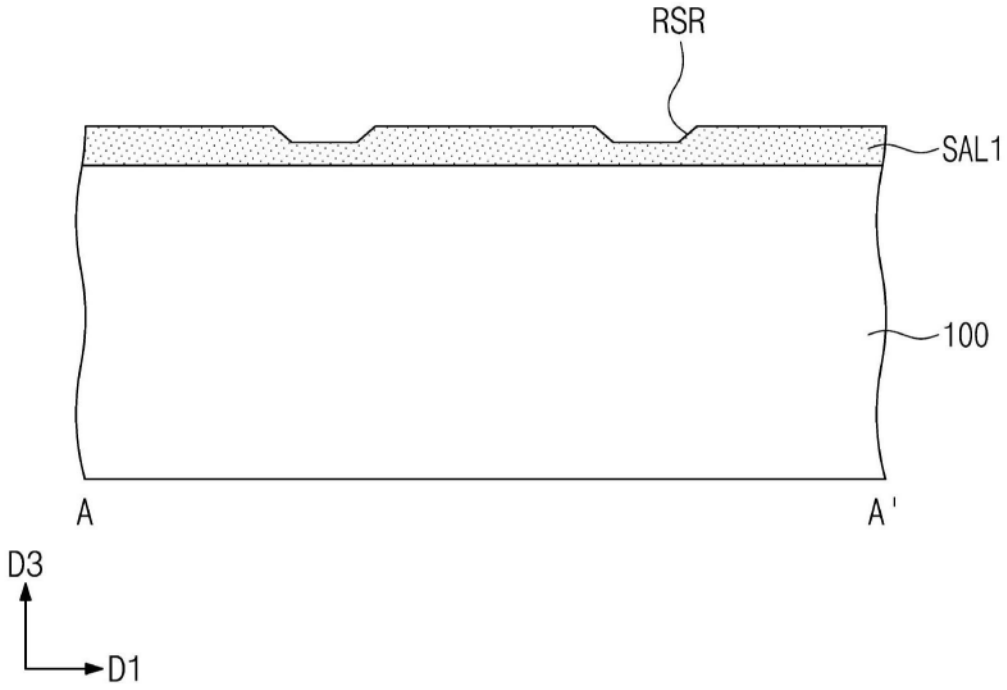


图4

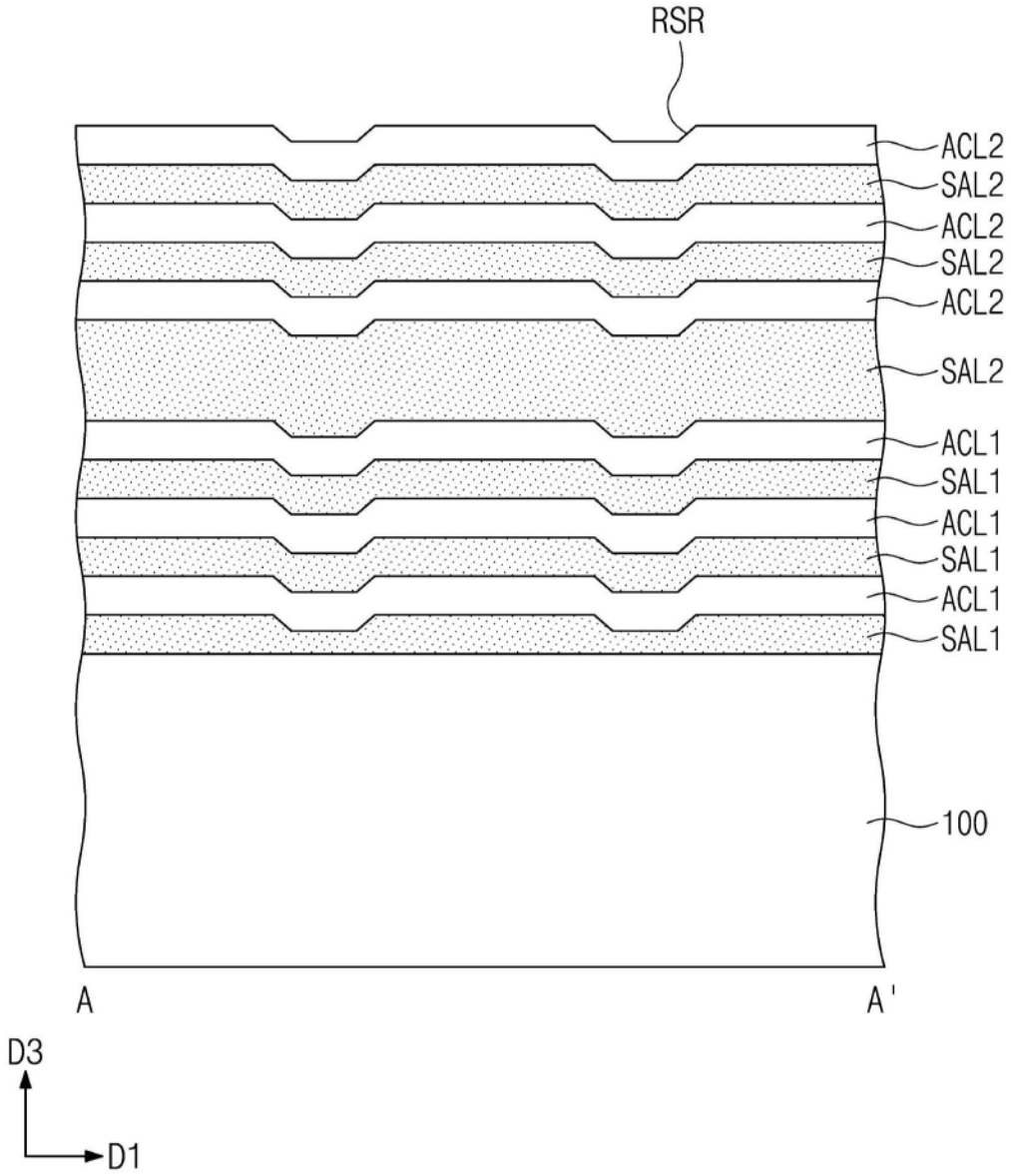

RSR
ACL2
SAL2
ACL2
SAL2
ACL2
SAL2
ACL1
SAL1
ACL1
SAL1
ACL1
SAL1
100
A
A'
D3
D1

图5

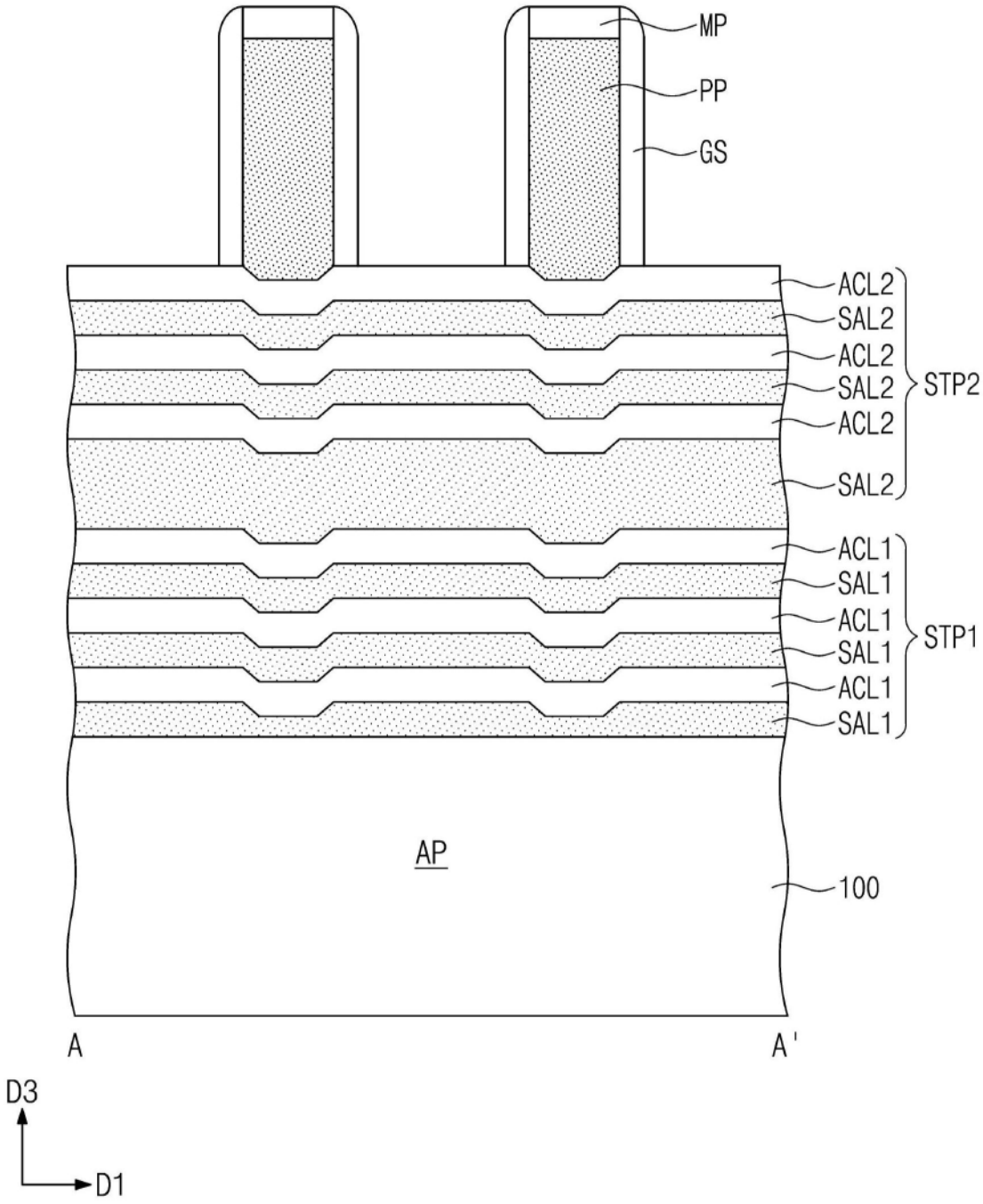

MP
PP
GS
ACL2
SAL2
ACL2
SAL2
ACL2
SAL2
STP2
ACL1
SAL1
ACL1
SAL1
ACL1
SAL1
STP1
AP
100
A
A'
D3
D1

图6A

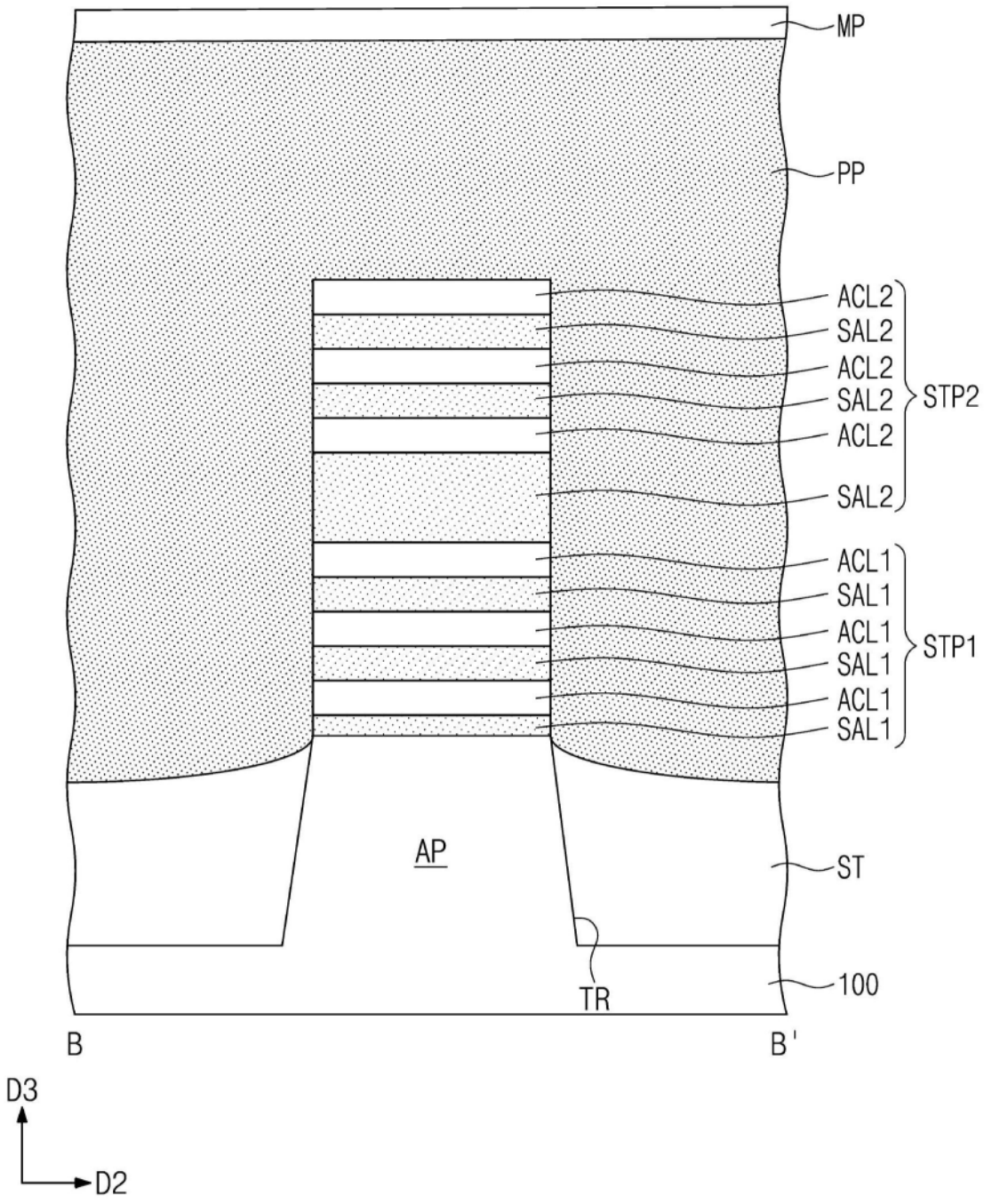

MP
PP
ACL2
SAL2
ACL2
SAL2
ACL2
SAL2
STP2
ACL1
SAL1
ACL1
SAL1
ACL1
SAL1
STP1
AP
ST
TR
100
B
B'
D3
D2

图6B

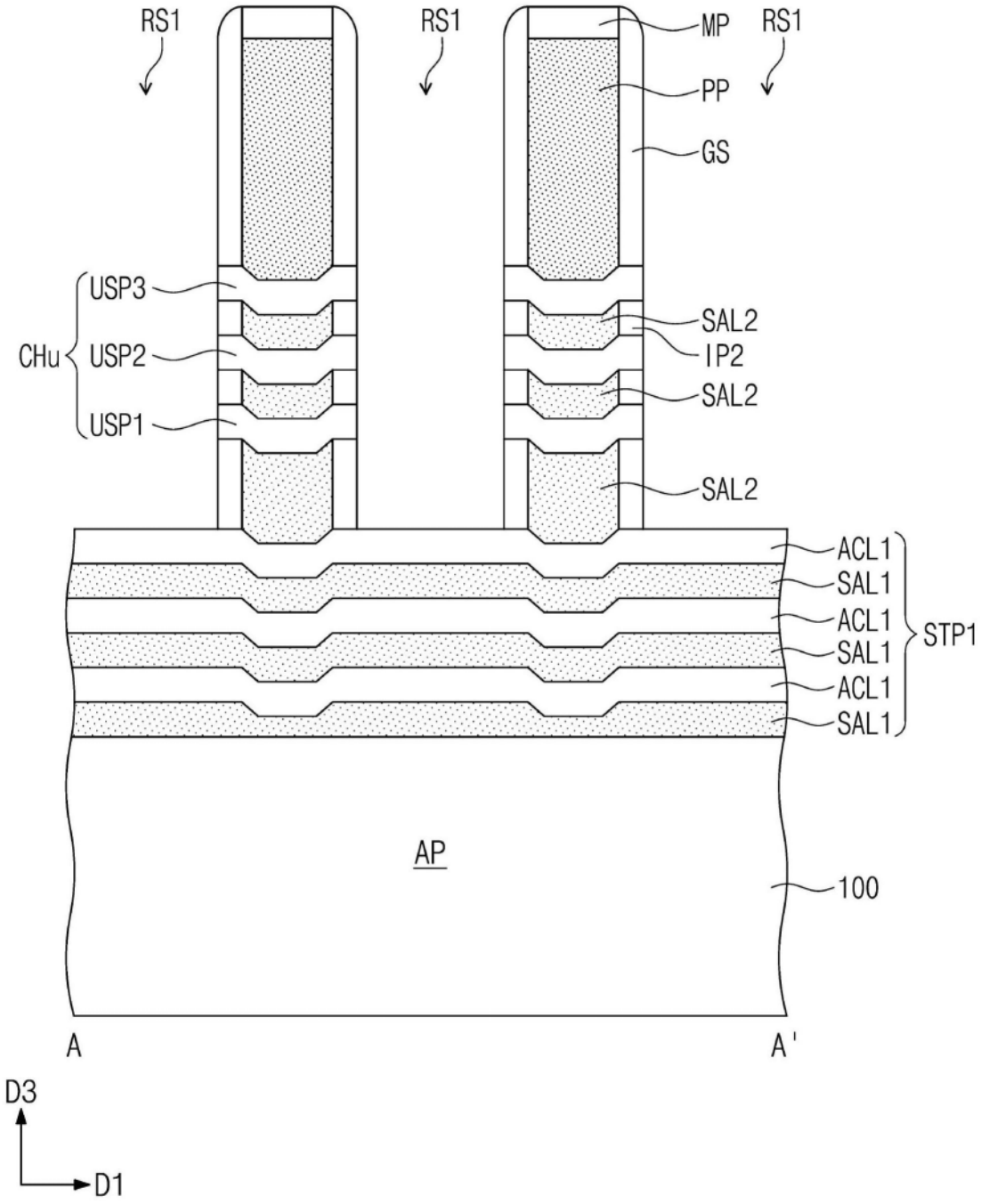

RS1
RS1
MP
RS1
PP
GS
USP3
CHu
USP2
USP1
SAL2
IP2
SAL2
SAL2
ACL1
SAL1
ACL1
SAL1
ACL1
SAL1
STP1
AP
100
A
A'
D3
D1

图7A

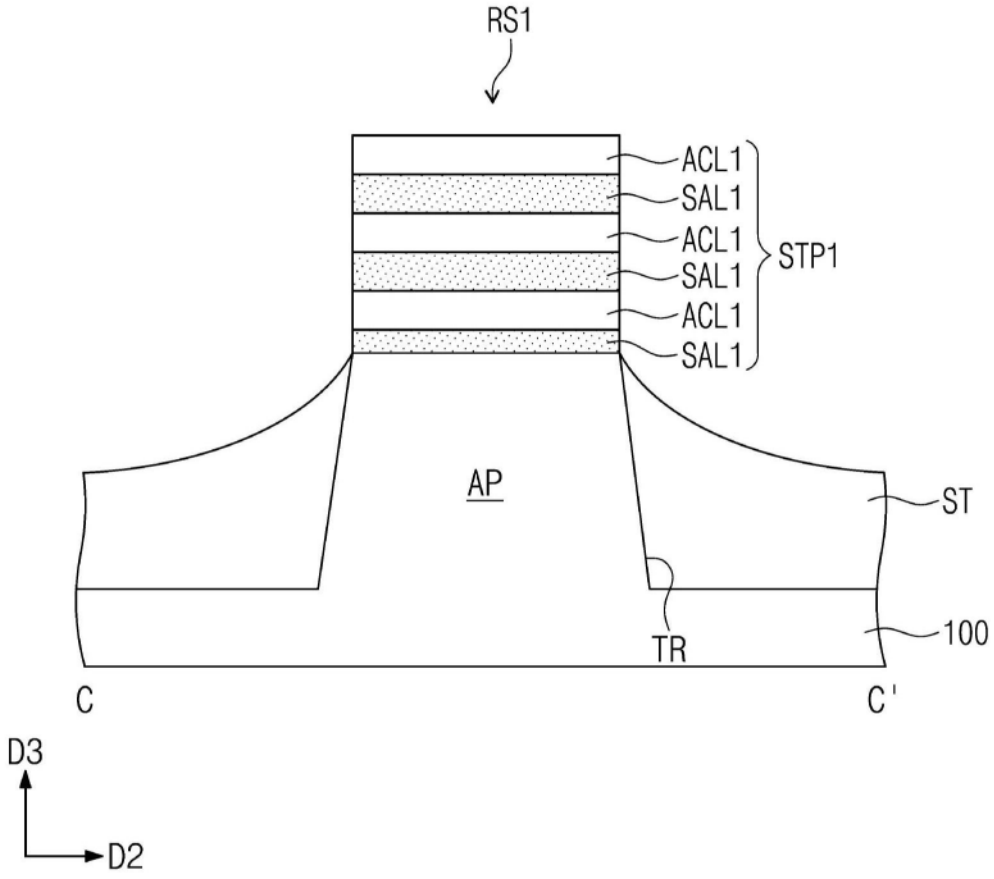


图7B

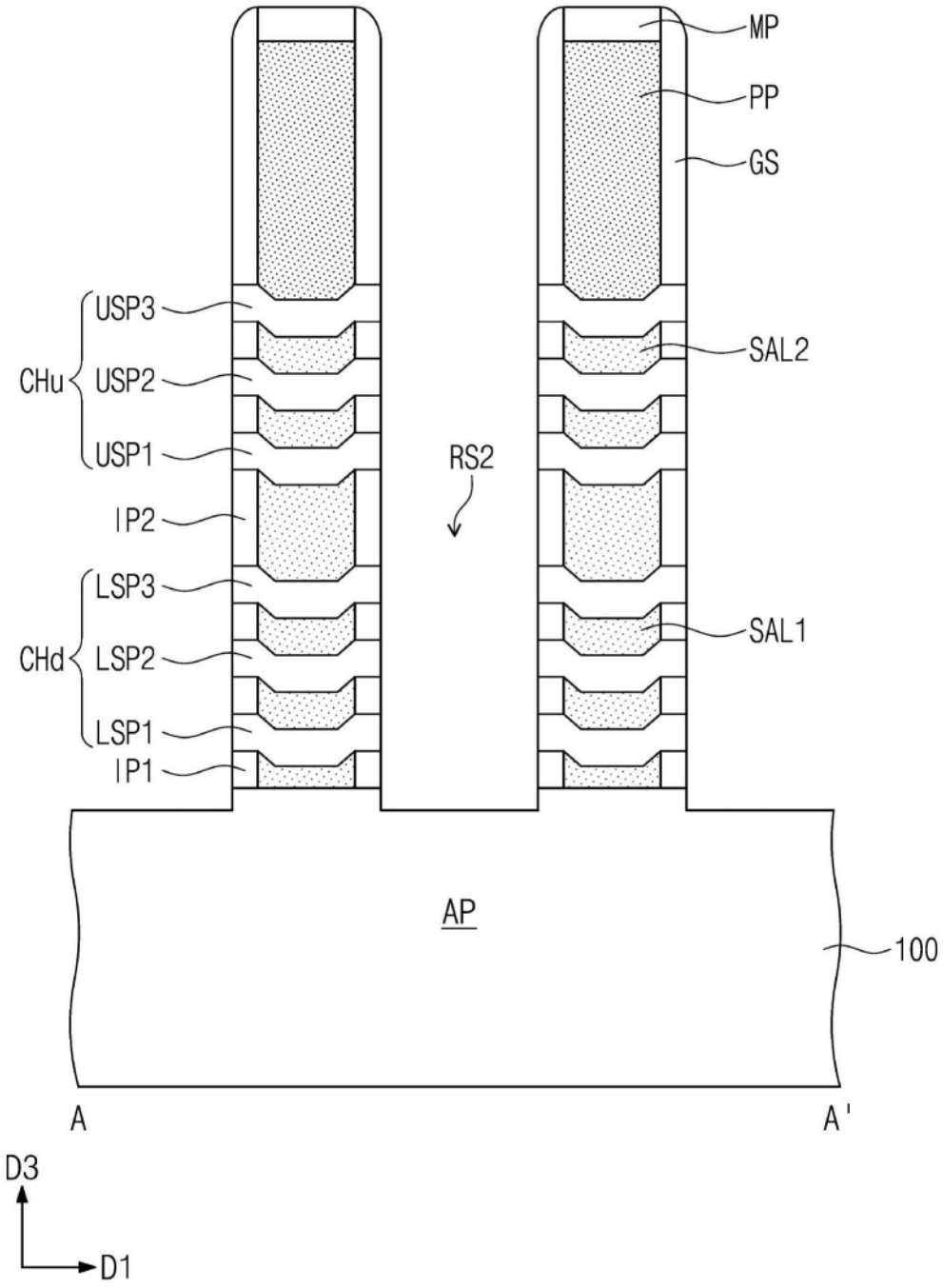

MP
PP
GS
USP3
CHu
USP2
USP1
SAL2
RS2
IP2
LSP3
CHd
LSP2
LSP1
IP1
SAL1
AP
100
A
A'
D3
D1

图8A

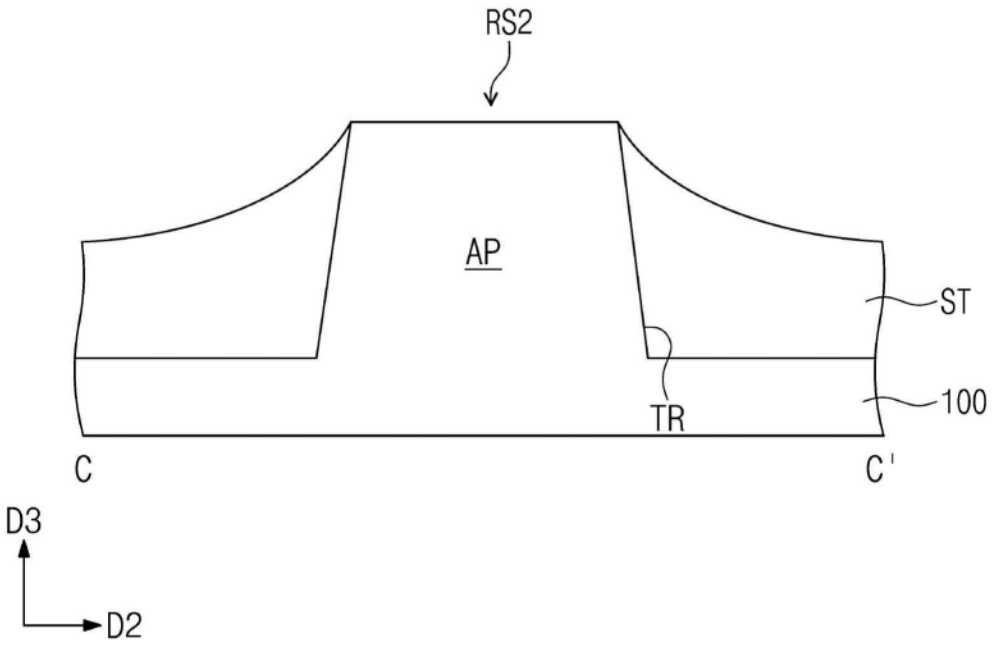


图8B

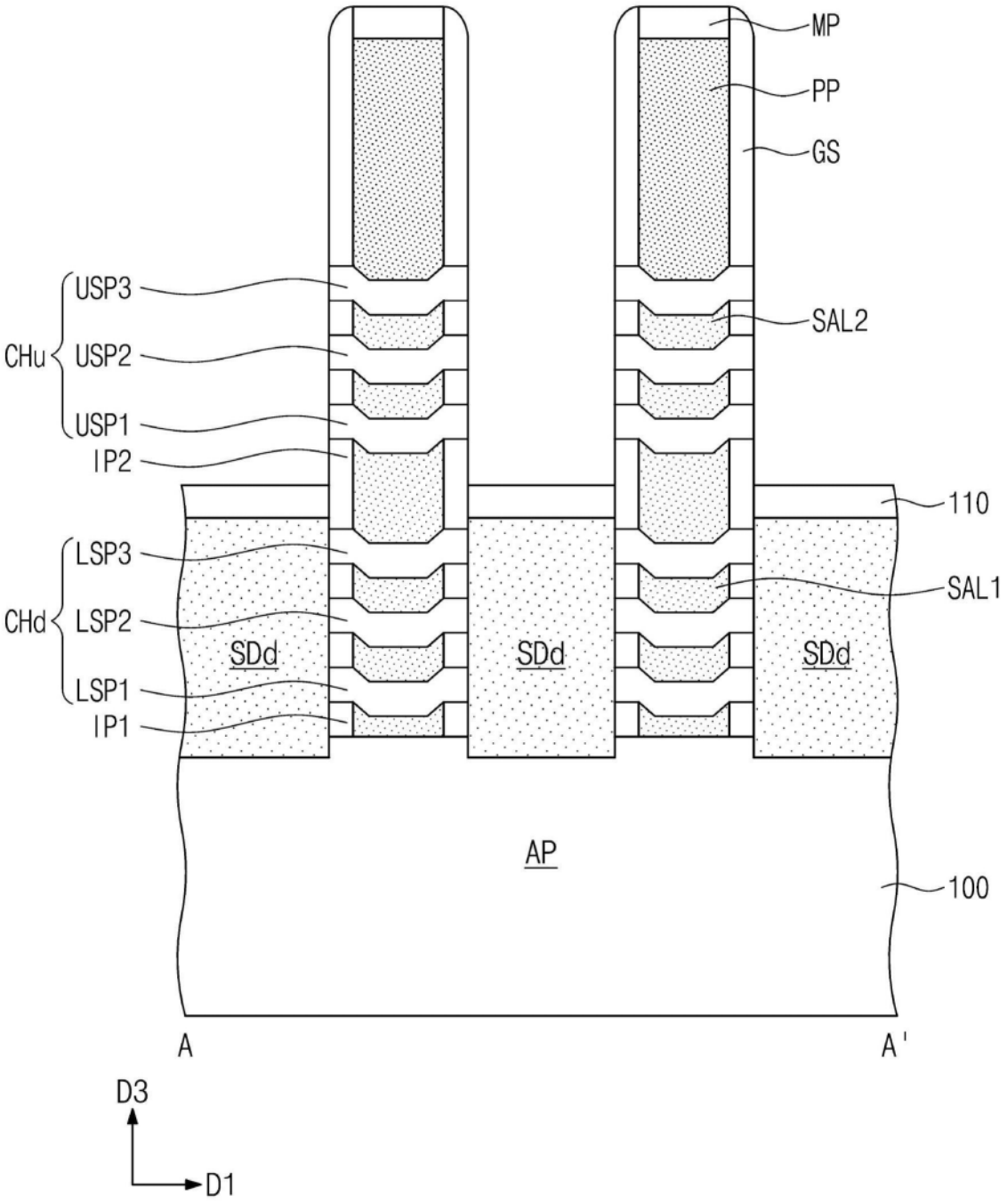

MP
PP
GS
USP3
CHu
USP2
USP1
IP2
SAL2
110
LSP3
CHd
LSP2
LSP1
IP1
SAL1
SDd
SDd
SDd
AP
100
A
A'
D3
D1

图9A

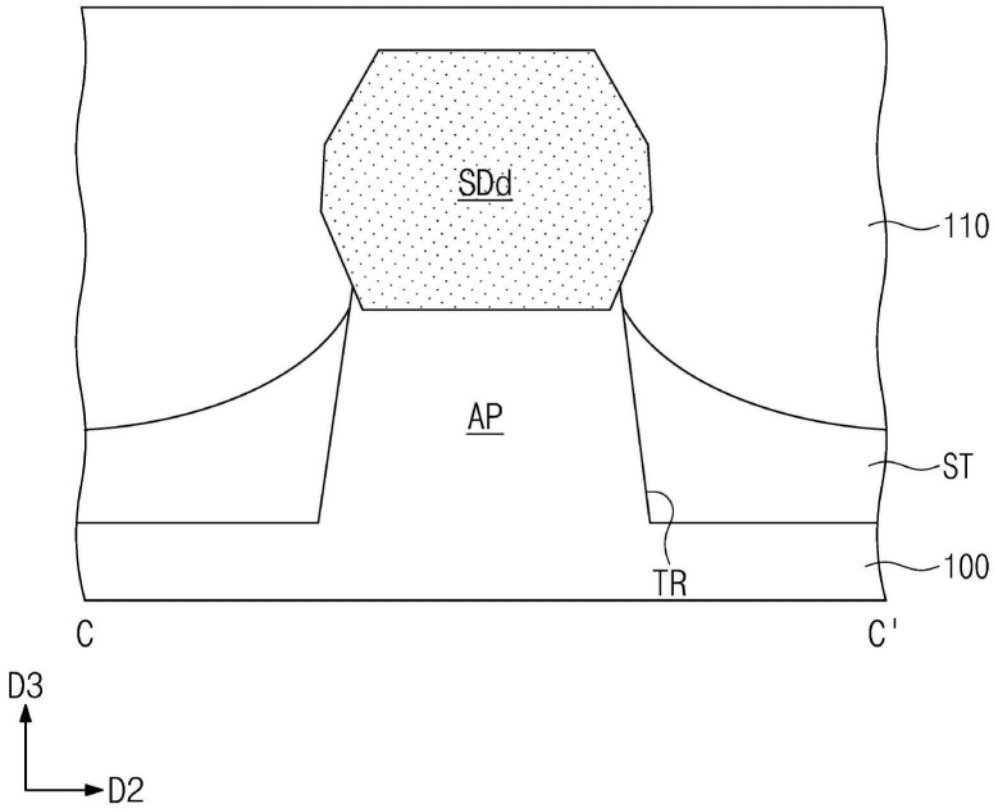


图9B

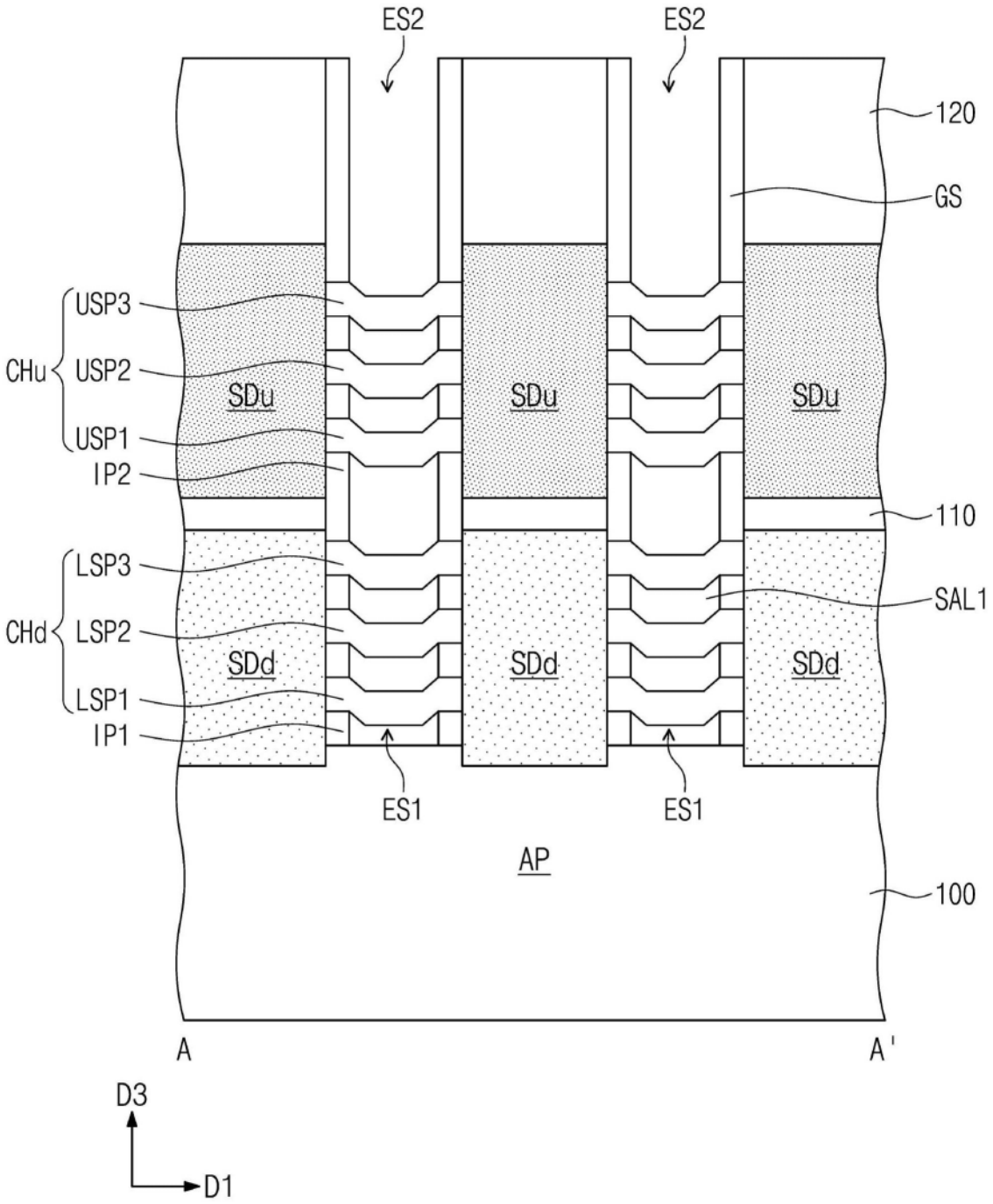

ES2
ES2
120
GS
USP3
CHu
USP2
USP1
IP2
SDu
SDu
SDu
110
LSP3
CHd
LSP2
LSP1
IP1
SAL1
SDd
SDd
SDd
ES1
ES1
AP
100
A
A'
D3
D1

图10A

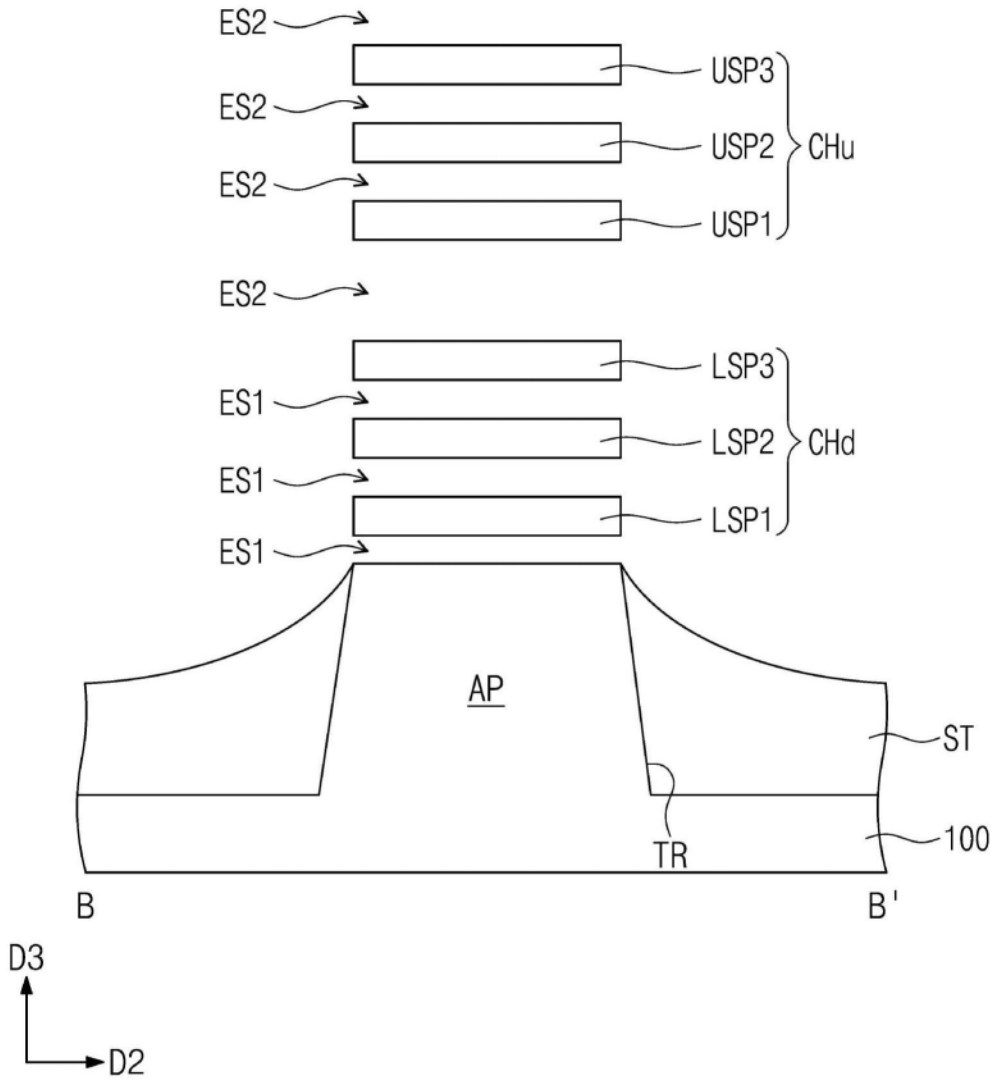

ES2
USP3
ES2
USP2
CHu
ES2
USP1
ES2
LSP3
ES1
LSP2
CHd
ES1
LSP1
ES1
AP
ST
TR
100
B
B'
D3
D2

图10B

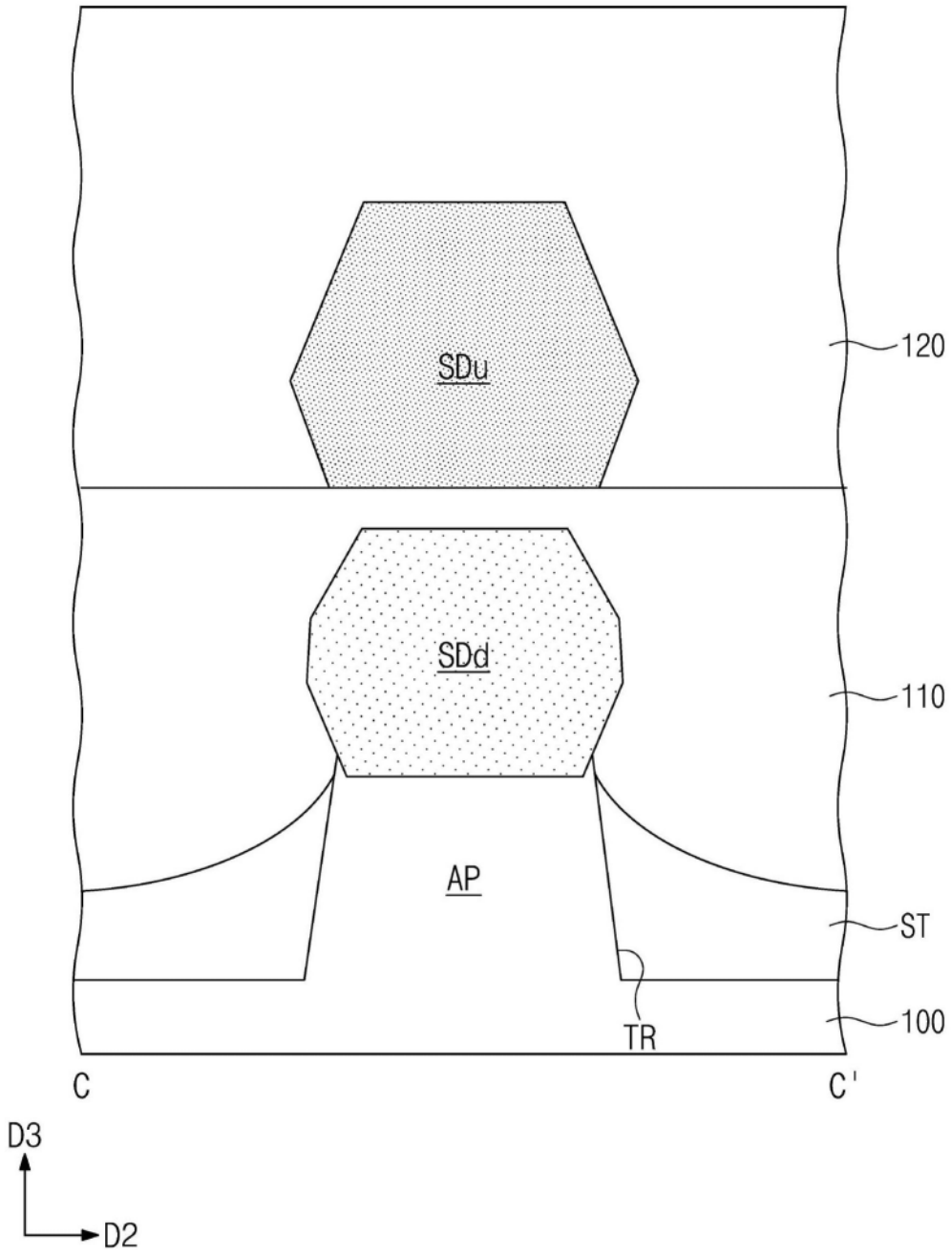


图10C

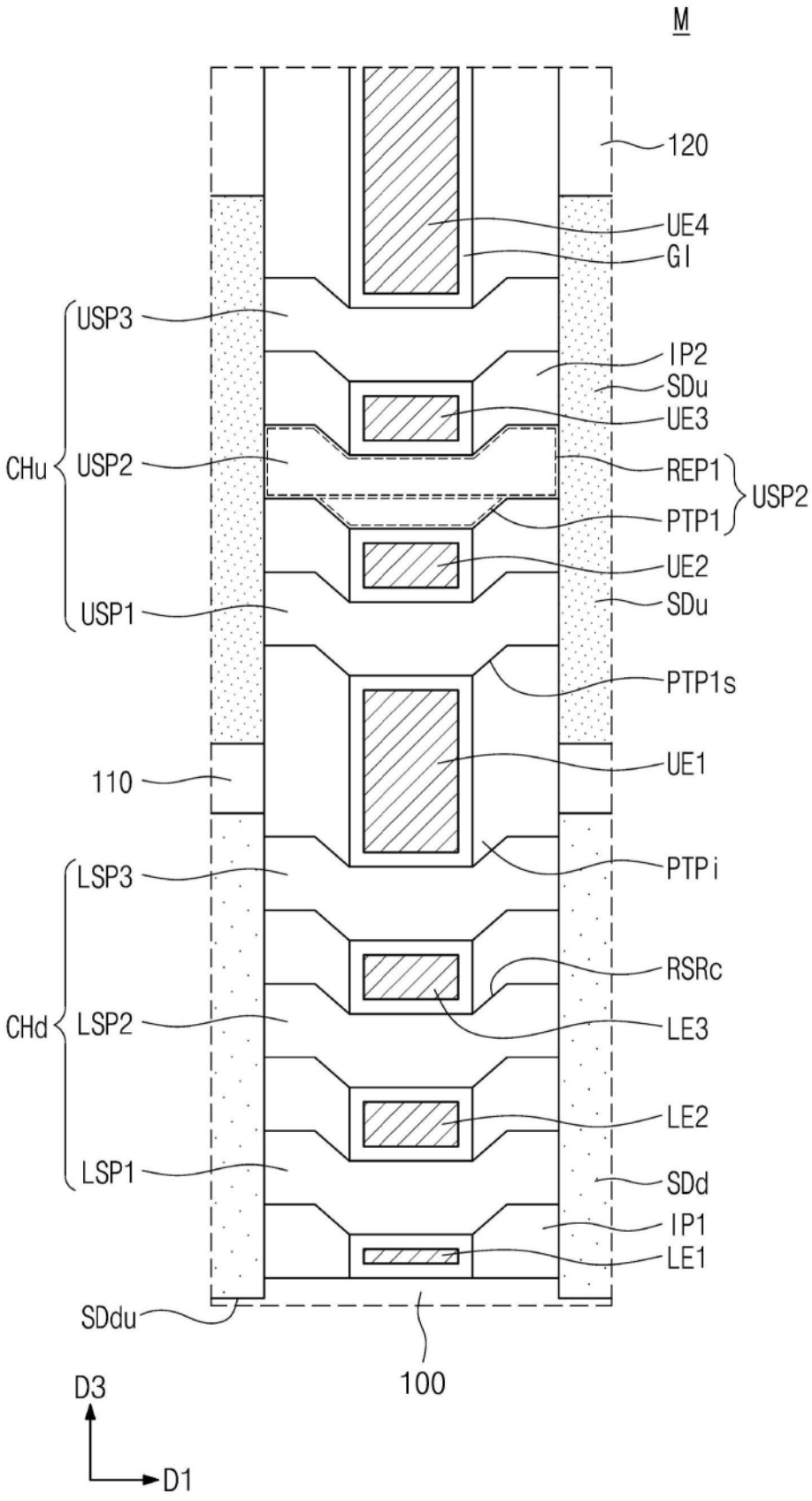

M
120
UE4
GI
USP3
IP2
SDu
UE3
CHu
USP2
REP1
USP2
PTP1
UE2
USP1
SDu
PTP1s
UE1
110
PTPi
LSP3
RSRc
CHd
LSP2
LE3
LE2
LSP1
SDd
IP1
LE1
SDdu
100
D3
D1

图11

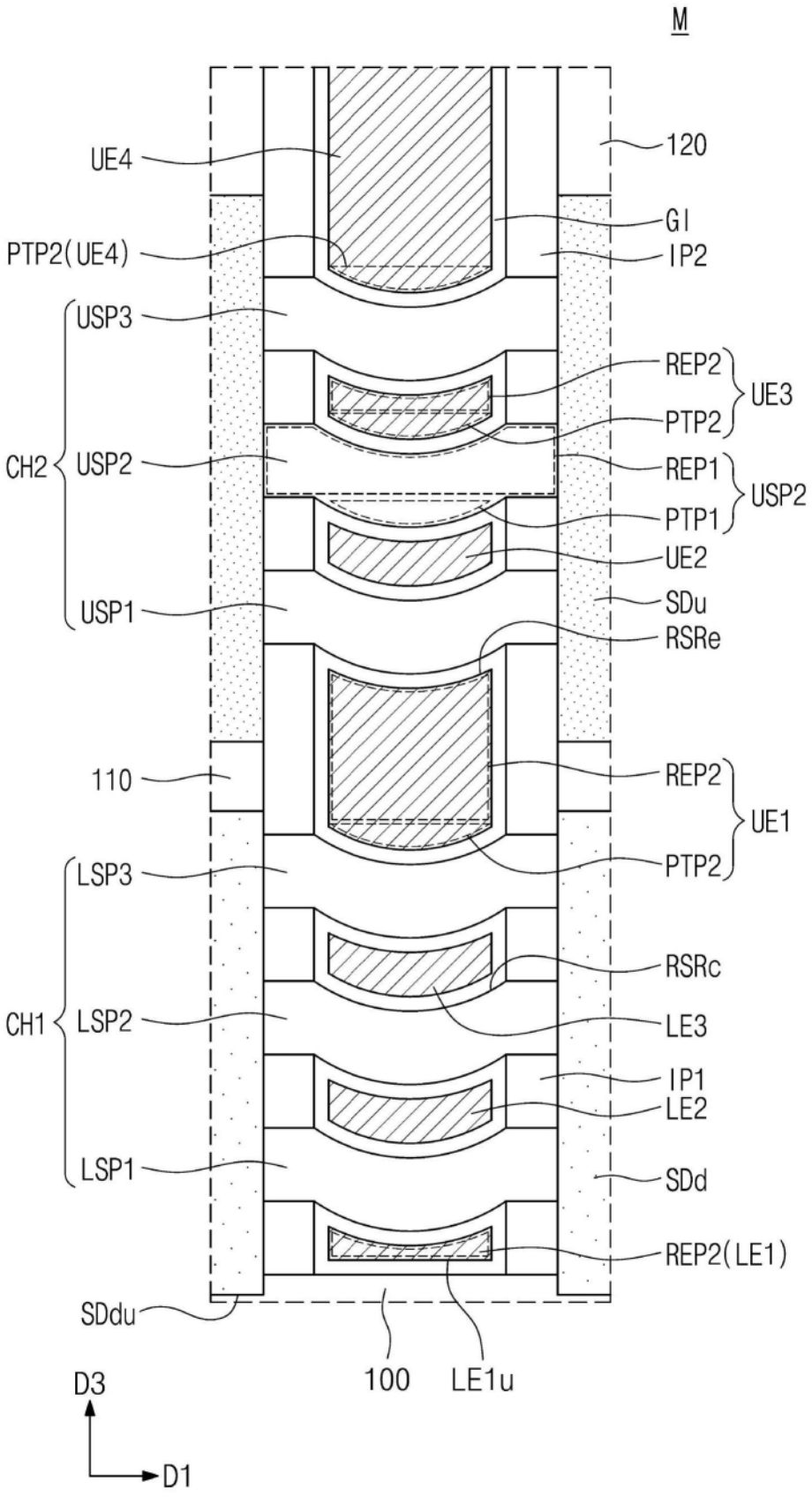

M
UE4
120
GI
PTP2(UE4)
IP2
USP3
REP2
UE3
PTP2
CH2
USP2
REP1
USP2
PTP1
UE2
USP1
SDu
RSRe
110
REP2
UE1
PTP2
LSP3
RSRc
CH1
LSP2
LE3
IP1
LE2
LSP1
SDd
REP2(LE1)
SDdu
100
LE1u
D3
D1

图12

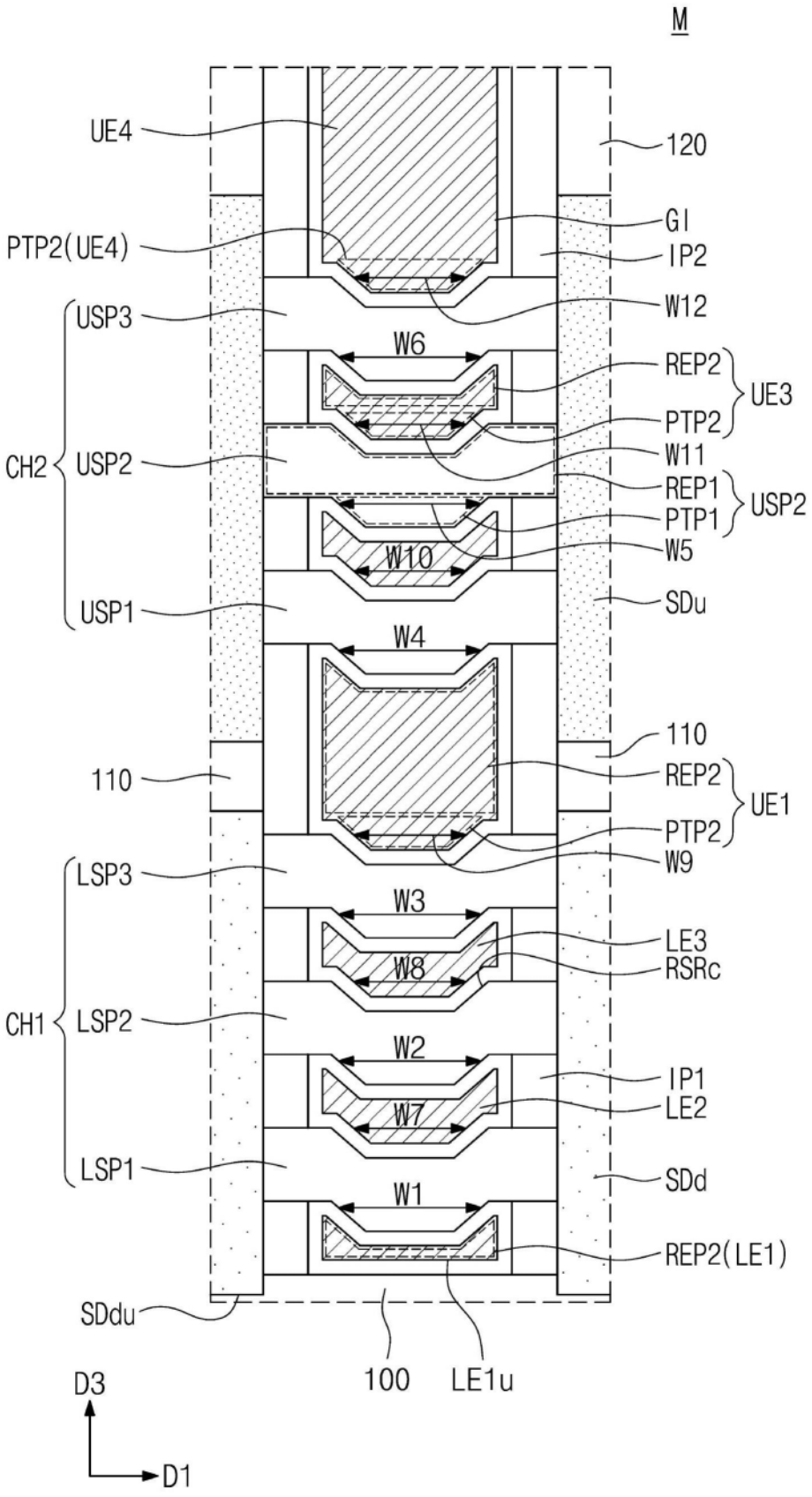

M
UE4
120
GI
PTP2(UE4)
IP2
W12
USP3
W6
REP2
UE3
PTP2
CH2
USP2
W11
REP1
USP2
PTP1
W10
W5
USP1
SDu
W4
110
110
REP2
UE1
PTP2
W9
LSP3
W3
LE3
W8
RSRc
CH1
LSP2
W2
IP1
W7
LE2
LSP1
SDd
W1
REP2(LE1)
SDdu
100
LE1u
D3
D1

图13

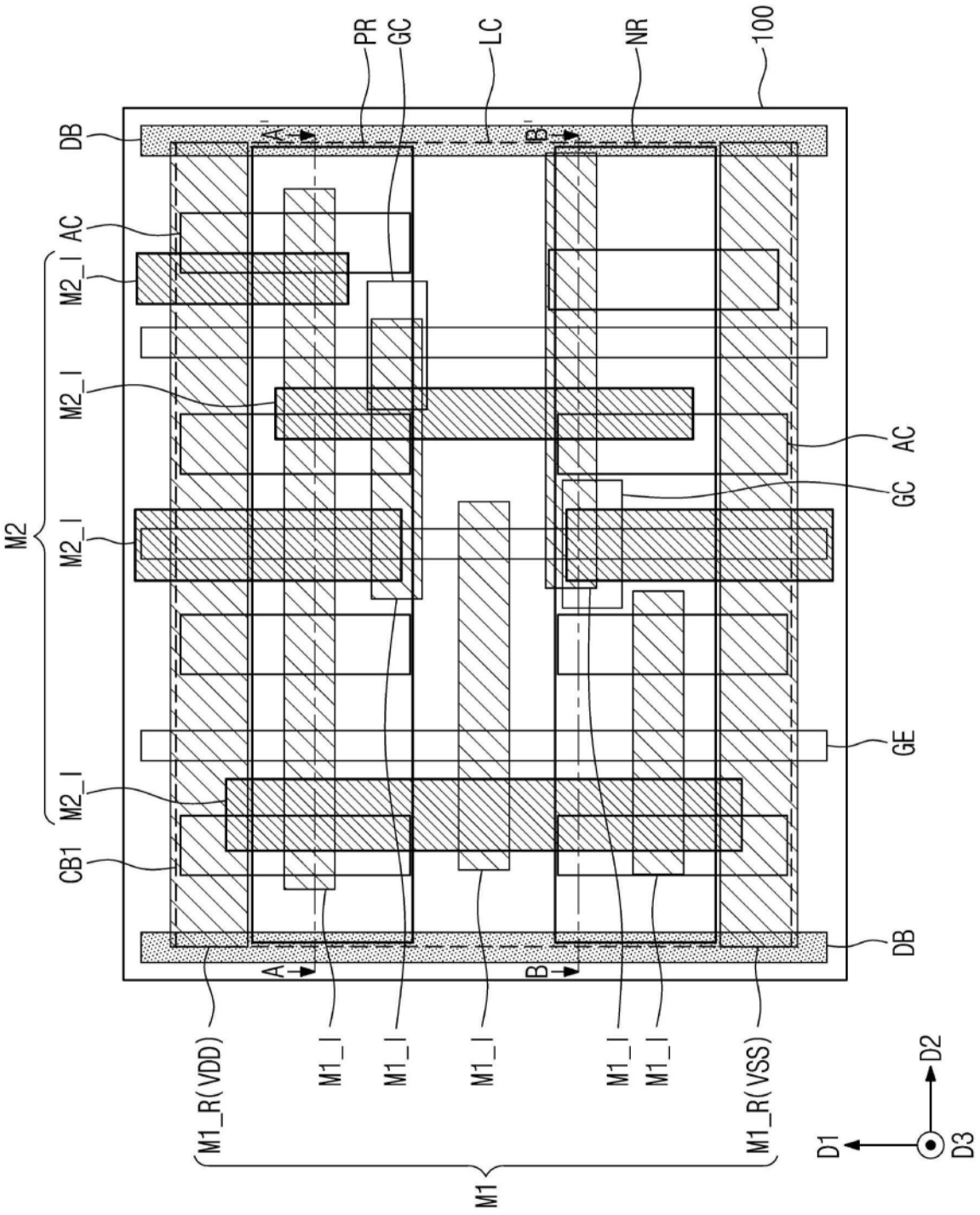

PR
GC
LC
NR
100
DB
AC
M2_I
M2
GC
GE
CB1
A
B
M1_R(VDD)
M1_I
M1_R(VSS)
M1
D1
D2
D3

图14

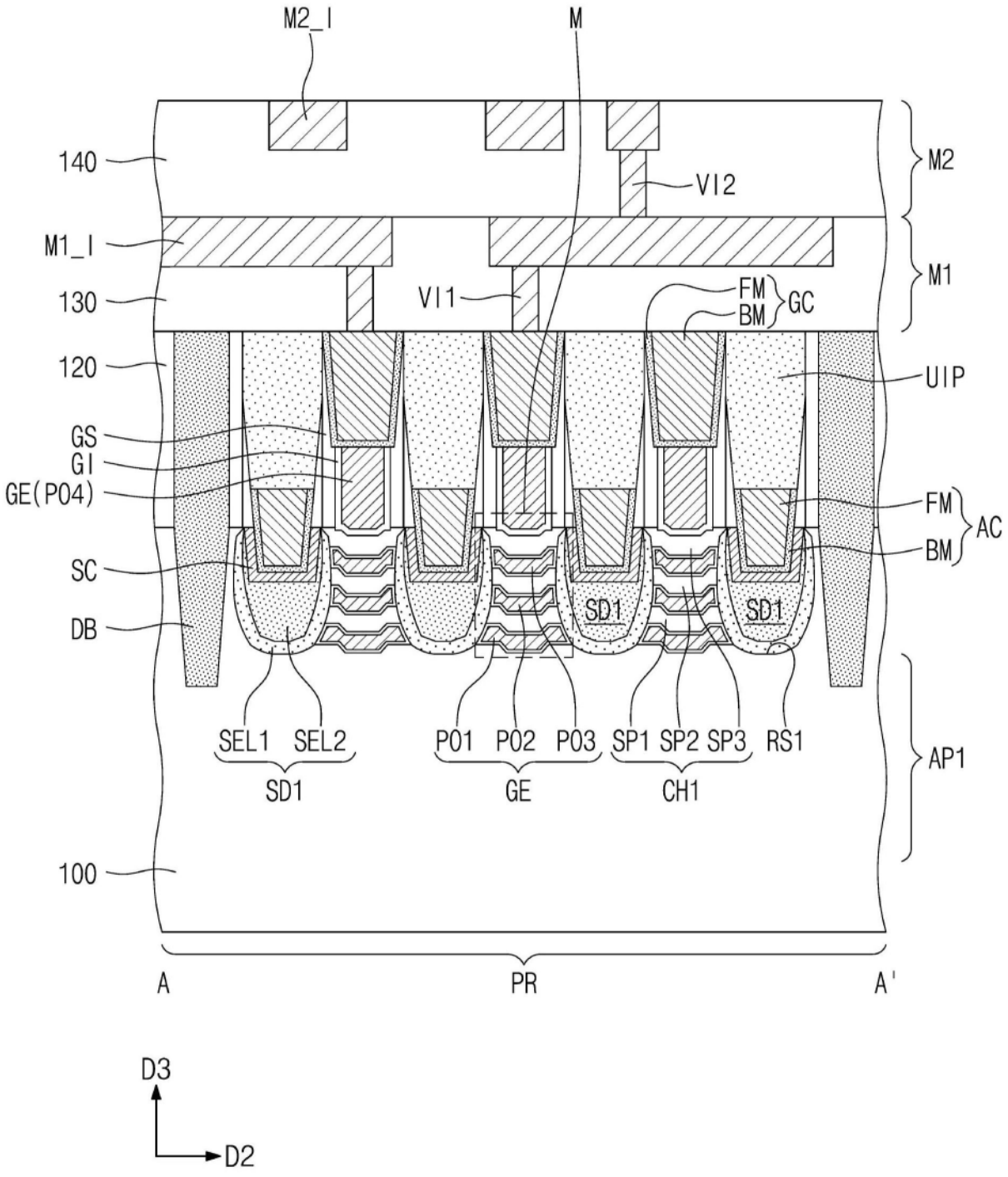

M2_I
M
140
VI2
M2
M1_I
M1
130
VI1
FM
BM
GC
120
UIP
GS
GI
GE(P04)
FM
BM
AC
SC
DB
SD1
SD1
SEL1
SEL2
P01
P02
P03
SP1
SP2
SP3
RS1
AP1
SD1
GE
CH1
100
A
PR
A'
D3
D2

图15A

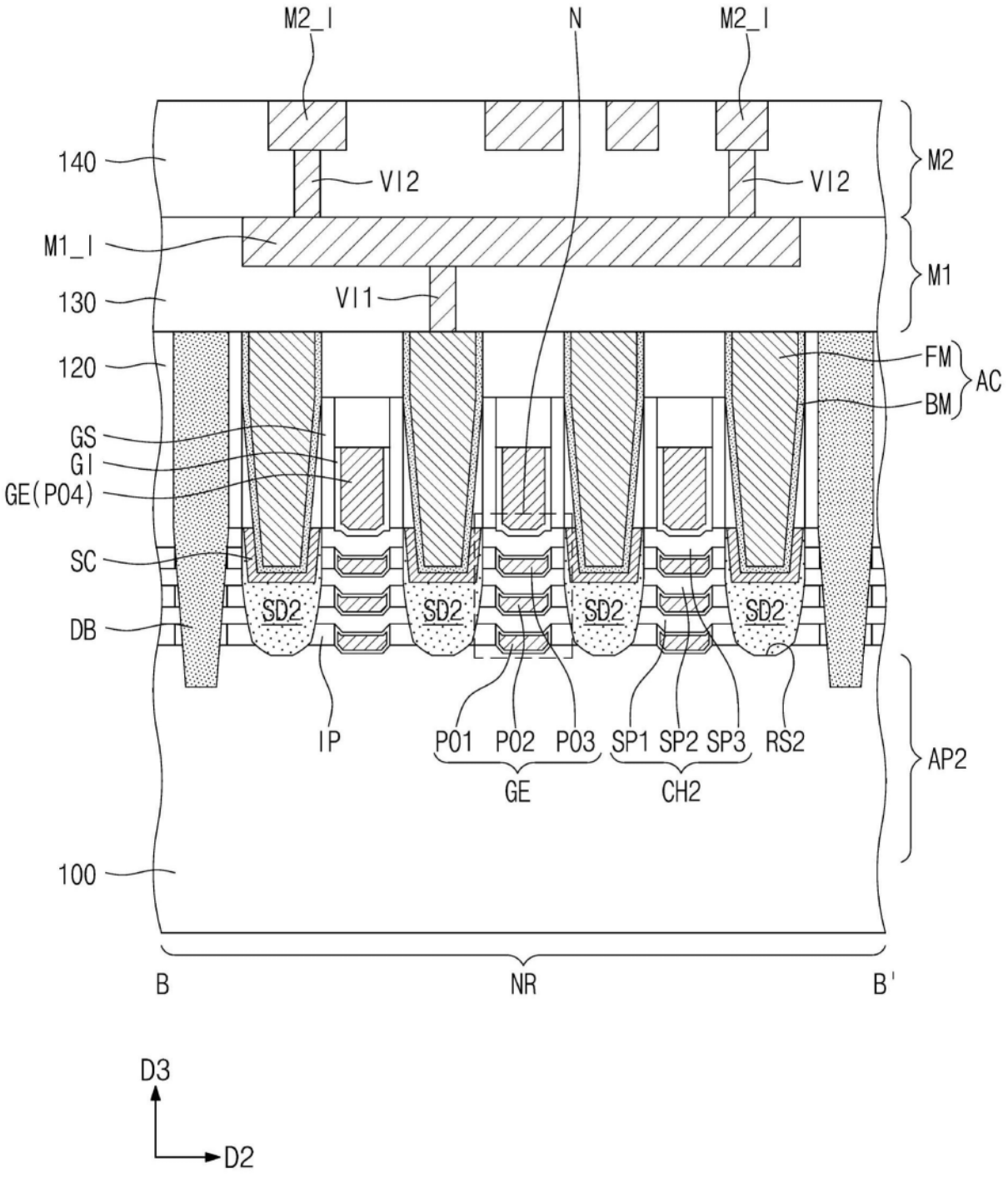

M2_I
N
M2_I
140
VI2
VI2
M2
M1_I
M1
130
VI1
120
FM
AC
BM
GS
GI
GE(P04)
SC
SD2
SD2
SD2
SD2
DB
IP
P01 P02 P03
SP1 SP2 SP3
RS2
AP2
GE
CH2
100
B
NR
B'
D3
D2

图15B

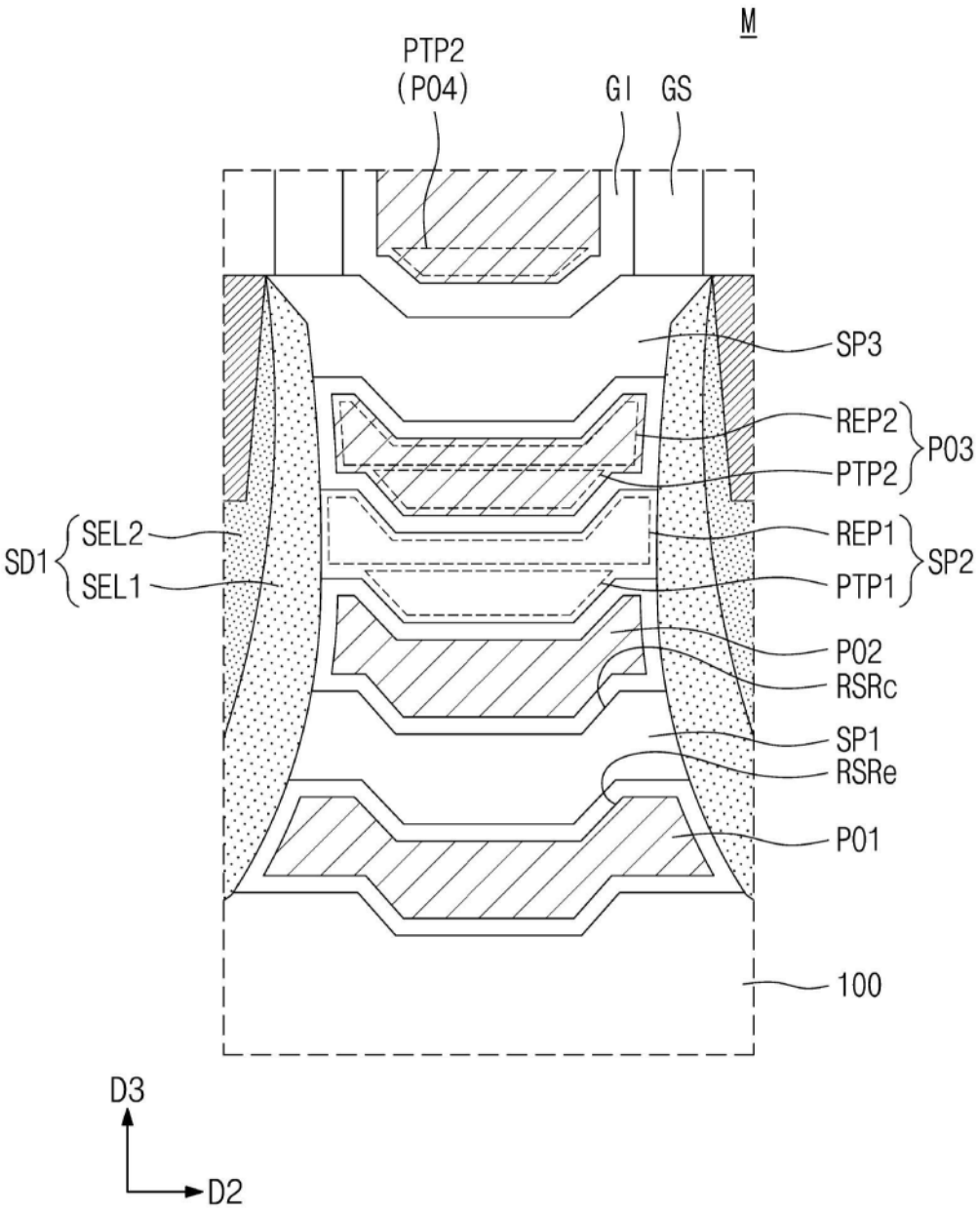

M
PTP2
(P04)
GI
GS
SP3
REP2
PTP2
P03
SD1
SEL2
SEL1
REP1
PTP1
SP2
P02
RSRc
SP1
RSRe
P01
100
D3
D2

图16A

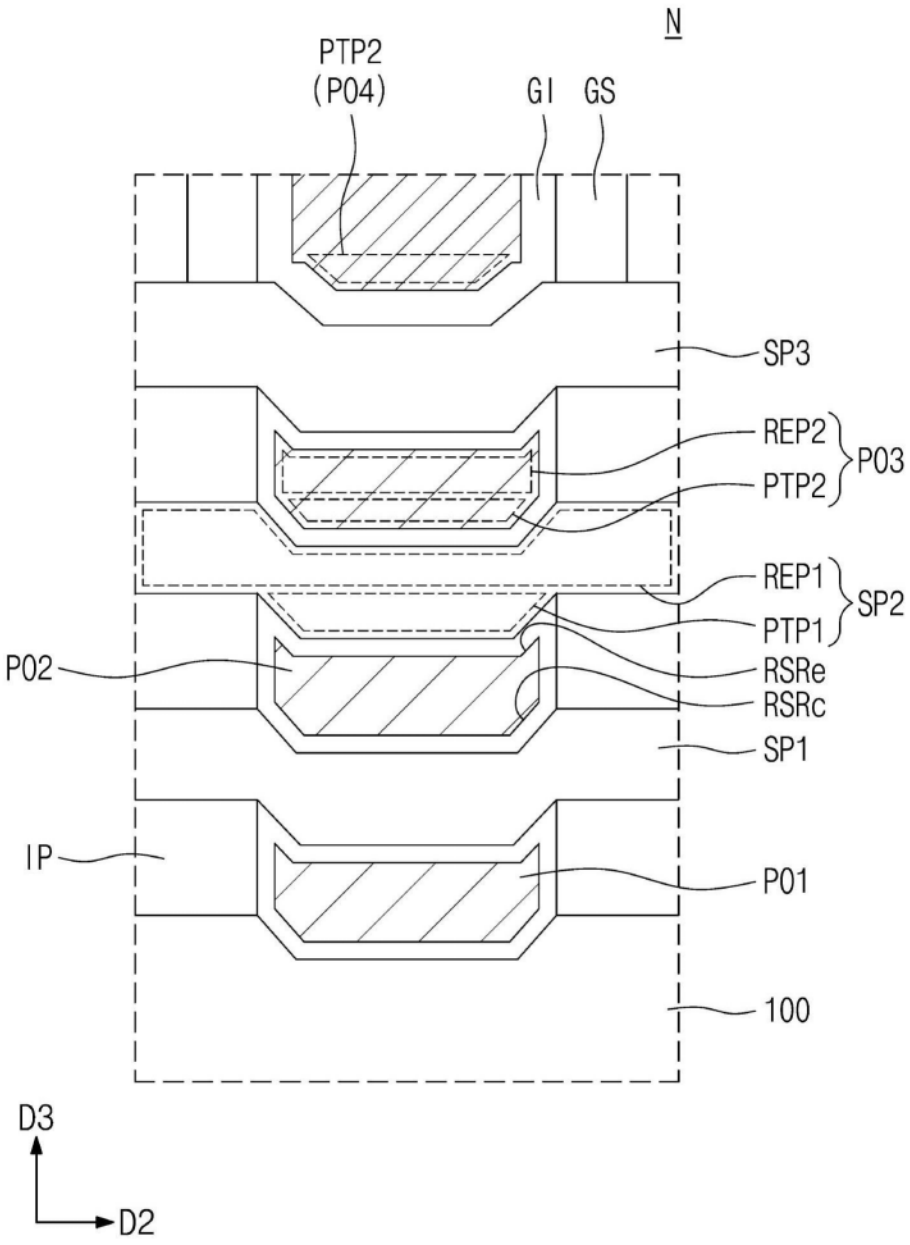

N
PTP2
(P04)
GI
GS
SP3
REP2
PTP2
P03
REP1
PTP1
SP2
P02
RSRe
RSRc
SP1
IP
P01
100
D3
D2

图16B