

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2014-164577
(P2014-164577A)

(43) 公開日 平成26年9月8日(2014.9.8)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 5 F 1/62 (2006.01)	G O 5 F 1/62	5 F 1 7 3
H 0 3 F 3/45 (2006.01)	H O 3 F 3/45 Z	5 H 4 2 0
H 0 1 S 5/042 (2006.01)	H O 1 S 5/042 6 3 0	5 J 5 0 0

審査請求 未請求 請求項の数 2 O L (全 12 頁)

(21) 出願番号	特願2013-35822 (P2013-35822)	(71) 出願人	000002130
(22) 出願日	平成25年2月26日 (2013.2.26)		住友電気工業株式会社
			大阪府大阪市中央区北浜四丁目5番33号
		(74) 代理人	100088155
			弁理士 長谷川 芳樹
		(74) 代理人	100113435
			弁理士 黒木 義樹
		(74) 代理人	100108257
			弁理士 近藤 伊知良
		(74) 代理人	100124800
			弁理士 諏澤 勇司
		(72) 発明者	板橋 直樹
			神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

最終頁に続く

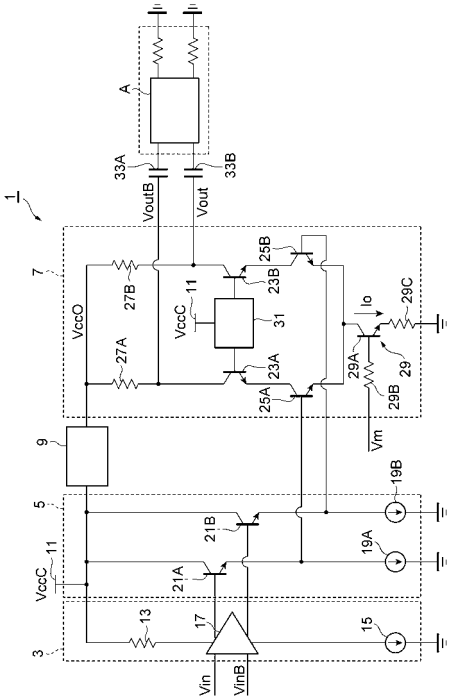
(54) 【発明の名称】 駆動回路

(57) 【要約】

【課題】回路規模を小型化しつつ出力振幅を安定して十分に確保すること。

【解決手段】光変調器駆動回路1は、前段増幅回路3に供給される前段電源11からの電圧を昇圧して後段電源を生成して後段増幅回路7に供給する昇圧回路9と、バイアス制御回路31と、を備え、後段増幅回路7は、後段電源と接地点との間に、抵抗素子27A、27B、カスコードトランジスタ23A、23B、スイッチングトランジスタ25A、25B、及び駆動電流源29を直列に接続された状態で有しており、バイアス制御回路31は、前段電源がオンされてから後段電源がオンされる前に、カスコードトランジスタ23A、23Bをオフに設定し、後段電源がオンされた後にカスコードトランジスタ23A、23Bをオンに設定し、次いで駆動電流源29のオンと同期してカスコードトランジスタ23A、23Bを所定レベルにバイアスする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

光送信器に内蔵される駆動回路であって、前段増幅回路と後段増幅回路とを具備した増幅回路において、

前記前段増幅回路に供給される前段電源からの電圧を昇圧して後段電源を生成し、該後段電源を前記後段増幅回路に供給する昇圧回路と、

前記後段増幅回路に供給されるバイアス電圧を調整するバイアス制御回路と、
を備え、

前記後段増幅回路は、前記後段電源と接地点との間に、抵抗素子、カスコードトランジスタ、スイッチングトランジスタ、及び駆動電流源を直列に接続された状態で有しており、

前記バイアス制御回路は、前記前段電源がオンされてから前記後段電源がオンされる前に、前記カスコードトランジスタを実質的にオフ状態に設定し、前記後段電源がオンされた後に前記カスコードトランジスタを実質的にオン状態に設定し、次いで前記駆動電流源のオン状態への遷移と同期して前記カスコードトランジスタを所定レベルにバイアスすることを特徴とする駆動回路。

【請求項 2】

前記バイアス制御回路は、2つのトランジスタを含む差動回路とバランス回路とを有しており、

前記差動回路において、一方のトランジスタは前記前段電源により、他方のトランジスタは前記後段電源により、それぞれ制御端子への入力レベルが設定されており、

前記バランス回路は、前記前段電源と接地点との間に、互いに並列に接続された一対のトランジスタ、及び前記一対のトランジスタに共通に直列接続された負荷抵抗を有し、

前記一対のトランジスタの一方は、前記差動回路の前記他方のトランジスタの電流端子からの出力を受けるように構成されている、
ことを特徴とする請求項 1 記載の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光送信器に内蔵される駆動回路に関するものである。

【背景技術】

【0002】

近年、データ通信用の光送信モジュールに内蔵される駆動回路においては、高出力振幅が要求されている。このような要求に対応した駆動回路としては、例えば、下記特許文献 1 に記載のレーザダイオード駆動回路が知られている。

【0003】

このレーザダイオード駆動回路は、内蔵するスイッチングトランジスタのコレクターエミッタ間電圧 V_{ce} が不足して利得が減少してしまい所望の電圧が出力できなくなるという問題を解決するための回路である。すなわち、スイッチングトランジスタにできるだけ大きな DC バイアスを印加するためにプルアップインダクタを有する。詳細には、プルアップインダクタと DC カット用のキャパシタを備えることにより、電源電圧 V_{cc} を直接スイッチングトランジスタに供給することが可能になる。また、このレーザダイオード回路に含まれ、スイッチングトランジスタに直列接続された抵抗は、AC 負荷として作用し、駆動回路の出力インピーダンスを決定する（所定値に設定する）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2012-104582 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記の従来のレーザダイオード駆動回路では、プルアップインダクタがIC外部に外付けされて設けられるのが一般的であり、その大きさは小さいものでも0.5mm四方である。従って、回路規模を小型化することが難しい。

【0006】

そこで、本発明は、かかる課題に鑑みて為されたものであり、回路規模を小型化しつつ出力振幅を安定して十分に確保することが可能な駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するため、本発明の一側面に係る駆動回路は、光送信器に内蔵される駆動回路であって、前段増幅回路と後段増幅回路とを具備した増幅回路において、前段増幅回路に供給される前段電源からの電圧を昇圧して後段電源を生成し、該後段電源を後段増幅回路に供給する昇圧回路と、後段増幅回路に供給されるバイアス電圧を調整するバイアス制御回路と、を備え、後段増幅回路は、後段電源と接地点との間に、抵抗素子、カスコードトランジスタ、スイッチングトランジスタ、及び駆動電流源を直列に接続された状態で有しており、バイアス制御回路は、前段電源がオンされてから後段電源がオンされる前に、カスコードトランジスタを実質的にオフ状態に設定し、後段電源がオンされた後にカスコードトランジスタを実質的にオン状態に設定し、次いで駆動電流源のオン状態への遷移と同期してカスコードトランジスタを所定レベルにバイアスする。

【0008】

かかる駆動回路によれば、前段増幅回路が前段電源によって給電され、後段増幅回路が前段電源の電圧が昇圧されて生成された後段電源によって給電されるので、回路を小型化しつつ出力振幅を十分に確保できる。また、バイアス制御回路によって、前段電源がオンされてから後段電源がオンされるまでの間には、後段増幅回路に含まれるカスコードトランジスタがオフされてカスコードトランジスタの過電流が防止され、その後、後段電源がオンされた後は、カスコードトランジスタがオンされてカスコードトランジスタに過大な電圧が印加されることが防止される。さらに、バイアス制御回路によって、後段増幅回路の駆動電流源が駆動された後にはカスコードトランジスタが所定レベルにバイアスされる。これにより、カスコードトランジスタの故障を防止して、駆動回路の出力を安定して維持することができる。

【0009】

バイアス制御回路は、2つのトランジスタを含む差動回路とバランス回路とを有しており、差動回路において、一方のトランジスタは前段電源により、他方のトランジスタは後段電源により、それぞれ制御端子への入力レベルが設定されており、バランス回路は、前段電源と接地点との間に、互いに並列に接続された一対のトランジスタ、及び一対のトランジスタに共通に直列接続された負荷抵抗を有し、一対のトランジスタの一方は、差動回路の他方のトランジスタの電流端子からの出力を受けるように構成されている、ことが好適である。この場合、バイアス制御回路から供給されるバイアス電圧を、後段電源のオフ状態からオン状態の遷移に伴って変化させることができ、その結果、後段増幅回路のカスコードトランジスタにおける過電流の発生及び過電圧の印加を防止することができる。

【発明の効果】

【0010】

本発明によれば、回路規模を小型化しつつ出力振幅を安定して十分に確保することができる。

【図面の簡単な説明】

【0011】

【図1】本発明の好適な一実施形態に係る光変調器駆動回路の概略構成を示す図である。

【図2】図1のバイアス制御回路の詳細構成を示す回路図である。

【図3】図2のバイアス制御回路の接続状態を示す回路図である。

10

20

30

40

50

【図４】図２のバイアス制御回路の接続状態を示す回路図である。

【図５】図２のバイアス制御回路の接続状態を示す回路図である。

【図６】図１の光変調器駆動回路で処理される電圧及び電流の時間変化の検証結果を示すグラフである。

【図７】比較例に係る光変調器駆動回路の構成概略図である。

【図８】図７の後段増幅回路７のバイアス状態を示す回路図である。

【発明を実施するための形態】

【００１２】

以下、添付図面を参照しながら本発明による駆動回路の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

10

【００１３】

図１は、本実施形態に係る光変調器駆動回路１の構成概略図である。この光変調器駆動回路１は、データ通信用の光送信モジュールに内蔵され、発光素子から出力された光信号を変調する光変調器Ａを駆動するための回路である。なお、光変調器駆動回路１は、半導体レーザダイオード等の発光素子を直接駆動する回路であってもよい。同図に示すように、光変調器駆動回路１は、前段増幅回路３、エミッタフォロア回路５、後段増幅回路７、前段増幅回路３と後段増幅回路７との間に電氣的に接続された昇圧回路９、及び後段増幅回路７に供給されるバイアス電圧を調整するバイアス制御回路３１を含んで構成されている。

【００１４】

20

前段増幅回路３は、前段電源１１によって抵抗素子１３を介して電圧 V_{ccC} （例えば、 $3.3V$ ）が供給され、電流源１５によって電流が供給されるプリアンプ１７を備えている。このプリアンプ１７は、２つの差動信号 V_{in} 、 V_{inB} が入力され、それぞれの差動信号 V_{in} 、 V_{inB} を増幅して出力する。また、エミッタフォロア回路５には、電源１１にコレクタが接続され、電流源１９Ａ、１９Ｂを介してグラウンド（接地点）にエミッタが接続され、ベースがプリアンプの出力に接続された２つのトランジスタ２１Ａ、２１Ｂが具備されている。このエミッタフォロア回路５は、インピーダンス変換及び電位変換の役割を有し、２つのトランジスタ２１Ａ、２１Ｂのエミッタから、プリアンプ１７によって増幅された２つの電圧信号を変換して出力するエミッタフォロアとして動作する。

30

【００１５】

昇圧回路９は、前段増幅回路３を介して前段電源１１からの電圧 V_{ccC} を受け、電圧 V_{ccC} を当該電圧より高い電圧 V_{ccO} （例えば、 $8V$ 程度）に昇圧して、電圧 V_{ccO} を後段増幅回路７に供給する。すなわち、昇圧回路９は、後段増幅回路７を給電する後段電源を形成する。このような昇圧回路９としては、例えば、リニアテクノロジー社のLT3467aが用いられる。

【００１６】

後段増幅回路７は、一対のカスコードトランジスタ２３Ａ、２３Ｂ、一対のスイッチングトランジスタ２５Ａ、２５Ｂ、一対の抵抗素子２７Ａ、２７Ｂ、及び駆動電流源２９によって構成されている。抵抗素子２７Ａと一方のカスコードトランジスタ２３Ａと一方のスイッチングトランジスタ２５Ａと駆動電流源２９とは、昇圧回路９の出力電圧 V_{ccO} とグラウンド（接地点）との間に直列に接続されている。同様に、抵抗素子２７Ｂと他方のカスコードトランジスタ２３Ｂと他方のスイッチングトランジスタ２５Ｂと駆動電流源２９とは、昇圧回路９の出力電圧 V_{ccO} とグラウンドとの間に直列に接続されている。具体的には、カスコードトランジスタ２３Ａ、２３Ｂのコレクタ（電流端子）に、それぞれ、抵抗素子２７Ａ、２７Ｂを介して出力電圧 V_{ccO} が印加され、カスコードトランジスタ２３Ａ、２３Ｂのエミッタ（電流端子）が、それぞれ、スイッチングトランジスタ２５Ａ、２５Ｂのコレクタに接続され、スイッチングトランジスタ２５Ａ、２５Ｂのエミッタが、駆動電流源２９を介してグラウンドに共通に接続されている。さらに、カスコードトランジスタ２３Ａ、２３Ｂは、それらのベース（制御端子）がバイアス制御回路３１に

40

50

よって前段電源 1 1 を基準にバイアスされ、スイッチングトランジスタ 2 5 A, 2 5 B は、それらのベースにエミッタフォロア回路 5 の 2 つの出力が接続されることによりスイッチング駆動される。また、駆動電流源 2 9 は、トランジスタ 2 9 A、ベース抵抗 2 9 B、及びエミッタ抵抗 2 9 C から構成されており、外部からトランジスタ 2 9 A のベースに印加される出力振幅を規定するための変調電圧 V_m に応じて電流 I_0 を供給する。なお、カスコードトランジスタ 2 3 A, 2 3 B は、目標駆動速度が 2 5 G H z 等の高い駆動回路においてミラー容量低減による高速化を目的として挿入される。

【0017】

上記後段増幅回路 7 においては、抵抗素子 2 7 A とカスコードトランジスタ 2 3 A との間、及び抵抗素子 2 7 B とカスコードトランジスタ 2 3 B との間から、それぞれ、出力差動信号 V_{outB} , V_{out} が出力される。これらの出力差動信号 V_{outB} , V_{out} は、キャパシタ 3 3 A, 3 3 B を介して光変調器 A に与えられる。

【0018】

次に、バイアス制御回路 3 1 の回路構成について詳述する。光変調器駆動回路 1 を光送信モジュールに組み込んで使用する際の駆動手順は、まず、(1) 電圧 V_{ccC} を印加し、次に、(2) 電圧 V_{ccC} を昇圧することによって生成した電圧 V_{ccO} を印加し、その後、(3) 所望の出力振幅が得られるように変調電圧 V_m を印加して電流 I_0 を調整する。バイアス制御回路 3 1 は、このような駆動手順において、カスコードトランジスタ 2 3 A, 2 3 B のベース電位を変化させることによりカスコードトランジスタ 2 3 A, 2 3 B における過電流の発生及び過電圧の印加を防止するために設けられる。

【0019】

図 2 は、バイアス制御回路 3 1 の詳細構成を示す回路図である。同図に示すように、バイアス制御回路 3 1 は、差動回路 3 5、及びエミッタフォロア回路 3 7、及びバランス回路 3 9 によって構成されている。差動回路 3 5 は、一対のトランジスタ 4 1 A, 4 1 B が前段電源 1 1 の出力電圧 V_{ccC} とグラウンド（接地点）との間に並列に接続されており、一方のトランジスタ 4 1 A のベースの入力レベルは、抵抗素子 4 3, 4 5 によって前段電源 1 1 からの出力電圧 V_{ccC} が分圧されて設定され、他方のトランジスタ 4 1 B のベースの入力レベルは、抵抗素子 4 7, 4 9 によって昇圧回路 9 の出力電圧 V_{ccO} が分圧されて設定される。さらに、差動回路 3 5 には、これらのトランジスタ 4 1 A, 4 1 B のコレクタ側にそれぞれに直列に接続された負荷抵抗 5 1 A, 5 1 B と、トランジスタ 4 1 A, 4 1 B のエミッタとグラウンドとの間に共通に接続された電流源 5 3 とが備えられている。このようなトランジスタ 4 1 A は電圧 V_{ccC} 基準でバイアスされる一方、トランジスタ 4 1 B は電圧 V_{ccO} 基準でバイアスされることになる。

【0020】

バイアス制御回路 3 1 のエミッタフォロア回路 3 7 は、出力電圧 V_{ccC} とグラウンドとの間に直列に接続されたトランジスタ 5 5 及び抵抗素子 5 7 を備えている。詳細には、トランジスタ 5 5 は、そのコレクタに出力電圧 V_{ccC} が印加され、そのエミッタが抵抗素子 5 7 を介して接地され、そのベースにトランジスタ 4 1 B のコレクタが接続される。このような構成のエミッタフォロア回路 3 7 は、差動回路 3 5 内のトランジスタ 4 1 B のコレクタ電位を、トランジスタ 5 5 のエミッタからバランス回路 3 9 に対して出力する。

【0021】

バイアス制御回路 3 1 のバランス回路 3 9 においては、一対のトランジスタ 5 9 A, 5 9 B が、前段電源 1 1 の出力電圧 V_{ccC} とグラウンドとの間に互いに並列に接続されており、一方のトランジスタ 5 9 A は、そのベースに、エミッタフォロア回路 3 7 及び抵抗素子 6 1 を介して差動回路 3 5 内のトランジスタ 4 1 B のコレクタ電位を受けるように構成され、他方のトランジスタ 5 9 B は、そのベースに、抵抗素子 6 3 を介して変調電圧 V_m を受けるように構成されている。また、バランス回路 3 9 には、トランジスタ 5 9 A, 5 9 B に対してエミッタ側に直列にそれぞれ接続された負荷抵抗 6 5 A, 6 5 B と、トランジスタ 5 9 A, 5 9 B に対してコレクタ側に共通に直列接続された抵抗素子 6 7 とが設けられている。このトランジスタ 5 9 A は、差動回路 3 5 の出力に依存する電流源であり

、トランジスタ 59B は、変調電圧 V_m に依存する電流源である。

【0022】

このような構成のバイアス制御回路 31 には、抵抗素子 67 とトランジスタ 59A、59B との間の接続点 69 が後段増幅回路 7 のカスコードトランジスタ 23A、23B に接続される。これにより、接続点 69 からカスコードトランジスタ 23A、23B に対してベース電位 V_{b_cas} が印加される。具体的には、トランジスタ 59A 側の電流源の電流値を I_1 、トランジスタ 59B 側の電流源の電流値を I_2 、抵抗素子 67 の抵抗値を R_{cas} とすると、ベース電位 V_{b_cas} は、下記式；

$$V_{b_cas} = V_{ccC} - R_{cas} \times (I_1 + I_2)$$

により計算される値に設定される。

10

【0023】

光変調器駆動回路 1 の駆動手順に応じた上記のバイアス制御回路 31 の動作について説明する。

【0024】

まず、上述した駆動手順 (1) において前段電源 11 がオンされてから後段電源である昇圧回路 9 の出力電圧 V_{ccO} が立ち上がるまでの間 (出力電圧 V_{ccO} がオンされる前) では、変調電圧 V_m はオフの状態であるのでトランジスタ 59B 及び負荷抵抗 65B を流れる電流 I_2 はほぼゼロとなる。これに対し、出力電圧 V_{ccO} がゼロであるため、差動回路 35 においてトランジスタ 41A がオン状態、トランジスタ 41B がオフ状態に設定される。このため、電流源 53 の供給する電流はほぼトランジスタ 41A にのみ流れるので、差動回路 35 からエミッタフォロア回路 37 を介した出力は電圧 V_{ccC} に等しくなる。これにより、バランス回路 39 内のトランジスタ 59A がオンに設定されて抵抗素子 67 に電流 I_1 が流れるため、カスコードトランジスタ 23A、23B のベース電位 V_{b_cas} を抵抗素子 67 によって低く設定することができる。その結果、駆動手順 (1) ではカスコードトランジスタ 23A、23B を実質的にオフ状態に設定することができる。

20

【0025】

その後、上述した駆動手順 (2) において昇圧回路 9 の動作が立ち上がって出力電圧 V_{ccO} がオンされたときには、トランジスタ 59B 及び負荷抵抗 65B を流れる電流 I_2 はゼロのままである。その一方で、出力電圧 V_{ccO} がオンされるために、差動回路 35 は反転してトランジスタ 41B がオン状態となり、差動回路 35 からエミッタフォロア回路 37 を介した出力が低下する。これによって、バランス回路 39 内のトランジスタ 59A がオフされるように回路定数が設定されているので、抵抗素子 67 を流れる電流 I_1 がほぼゼロに設定され、カスコードトランジスタ 23A、23B のベース電位 V_{b_cas} が電圧 V_{ccC} に等しくなるように設定される。その結果、駆動手順 (2) ではカスコードトランジスタ 23A、23B を実質的にオン状態に設定することができる。

30

【0026】

次に、上述した駆動手順 (3) において変調電圧 V_m のオン状態への遷移に同期して、ベース電位 V_{b_cas} は、変調電位 V_m に依存する電流 I_2 によって、下記式；

$$V_{b_cas} = V_{ccC} - R_{cas} \times I_2$$

によって規定される。この電流値 I_2 を回路定数によって規定することによって、カスコードトランジスタ 23A、23B が適正レベルでバイアスされることになる。

40

【0027】

次に、バイアス制御回路 31 の回路定数の設定方法について、図 3～図 5 を参照しながら説明する。

【0028】

駆動手順 (1) においては、バイアス制御回路 31 は図 3 に示すような接続状態に設定される。このとき、電圧 $V_{ccO} = 0$ なのでトランジスタ 41B の入力はグラウンドとなり、トランジスタ 41B はオフ状態である。すると、トランジスタ 41B のコレクタ出力は電圧 V_{ccC} にほぼ一致するので、エミッタフォロア回路 37 のトランジスタ 55 は、

50

オンとなってこのトランジスタ 55 に電流が流れ、エミッタ抵抗 57 に有意な電位差が発生する。一方、変調電圧 V_m はオフ（グラウンド電位）のままにあるので、一対のトランジスタ 59 A, 59 B のうちでトランジスタ 59 A のみがオンとなる。エミッタ抵抗 57 における電圧降下による電位がトランジスタ 59 A のベースに入力され、トランジスタ 59 A に電流 I_1 が流れ、この電流 I_1 により抵抗素子 67 に電圧降下が生じる。従って、このときのベース電位 V_{b_cas} は、抵抗素子 67 の抵抗値を R_{cas} とすると、下記式；

$$V_{b_cas} = V_{ccC} - I_1 \times R_{cas}$$

で決定される。回路定数設定の第 1 の条件は、このベース電位 V_{b_cas} が変調電圧 V_m がオンされた時の値よりも小さい値に設定されることである。一般に、トランジスタがオンされると、そのコレクタ-エミッタ間には 0.2～0.3 V 程度の電位が残る。そうすると、トランジスタ 59 A がトランジスタ 55 により完全にオンされると、トランジスタ 59 A に流れる電流 I_1 は、負荷抵抗 65 A の抵抗値を R_1 とすると、下記式；

$$I_1 = (V_{ccC} - 0.3) / (R_1 + R_{cas})$$

で与えられるので、上記ベース電位 V_{b_cas} は、下記式；

$$V_{b_cas} = V_{ccC} - (V_{ccC} - 0.3) \times R_{cas} / (R_1 + R_{cas}) \\ = (V_{ccC} \times R_1 + 0.3 \times R_{cas}) / (R_1 + R_{cas})$$

と計算される。この値が定常時のバイアス条件（～2.6 V）より小さくなるように、抵抗値 R_1 , R_{cas} を設定する。

【0029】

また、駆動手順（2）の時には、図 4 に示すように、電圧 V_{ccC} に加えて昇圧された電圧 V_{ccO} もオンとされる。このとき、差動回路 35 のトランジスタ 41 A, 41 B のベースバイアスを決定する 4 つの抵抗素子 43, 45, 47, 49 のそれぞれの抵抗値 R_{UL} , R_{LL} , R_{UR} , R_{LR} は、下記式を満たすように設定される。

$$V_{ccO} \times R_{LR} / (R_{UR} + R_{LR}) - V_{ccC} \times R_{LL} / (R_{UL} + R_{LL}) > 1.0V$$

上記式の第 1 項は差動回路 35 のトランジスタ 41 B のベース電位、第 2 項はトランジスタ 41 A のベース電位を意味する。第 1 項と第 2 項の差、すなわち、両者のベース電位の差を、少なくとも 1.0 V ほどトランジスタ 41 B のそれが高くなるように設定される。そうすると、電圧 V_{ccO} がオンとなった際には、トランジスタ 41 B がオン、トランジスタ 41 A がオフとなる状況が実現できる（図 5）。その結果、トランジスタ 41 B のコレクタ出力 V_{out} は、電流源 53 の電流値を I_{tail1} 、負荷抵抗 51 B の抵抗値を R_R とすると、下記式；

$$V_{out} = V_{ccC} - R_R \times I_{tail1}$$

となり、エミッタフォロア回路 37 のトランジスタ 55 のエミッタ出力、すなわち、トランジスタ 59 A のベース入力 V_b は、下記式；

$$V_b = V_{out} - \sim 0.8V = V_{ccC} - R_R \times I_{tail1} - \sim 0.8$$

と計算される。この値 V_b をトランジスタ 59 A がオフされる程度の値（例えば、0.5 V 未満）に設定することで、ベース電位 V_{b_cas} を V_{ccC} に近い値に設定できる。

【0030】

最後に、駆動手順（3）においては、駆動手順（2）のベース電位 V_{b_cas} が V_{ccC} に張り付いている状態から変調電圧 V_m が徐々に増加される。その結果、駆動手順（2）の段階ではトランジスタ 59 A, 59 B 共にオフにされた状態に対して、駆動手順（3）の段階では変調電圧 V_m を徐々に上昇させることによりトランジスタ 59 B に電流が流れ始める（トランジスタ 59 A はオフのまま）。トランジスタ 59 B のコレクタ出力が適正なレベルになるまで変調電圧 V_m を増加させることで、カスコードトランジスタ 23 A, 23 B のベース電位 V_{b_cas} を意図するような所定レベルに設定することができる。

【0031】

ここで、上述した構成のバイアス制御回路 31 には、電流帰還用の抵抗素子 65 A, 6

10

20

30

40

50

5 Bが介在されていた。しかしながら、本実施形態の作用を生じさせるには、抵抗素子6 5 A, 6 5 Bが省かれていてもよい。この場合、駆動手順(1)の時にはトランジスタ5 9 Aのオン電圧(〜0.3 V)がそのままベース電位 V_{b_cas} をとって出力され、駆動手順(2)の段階では抵抗素子6 5 A, 6 5 Bの有無に係らずベース電位 V_{b_cas} が電圧 V_{ccC} に張り付く。そして、駆動手順(3)の段階では変調電圧 V_m をグラウンドに対して調整することでベース電位 V_{b_cas} が適正レベルに設定される。ただし、電流帰還用の抵抗素子6 5 A, 6 5 Bが介在する場合は、トランジスタ5 9 Bの電流増幅率が直接コレクタ出力に反映されてしまったり、利得が大きな値に設定されてしまったりすることを防止して、バイアスレベルの調整がしやすいという利点がある。

【0032】

以上説明した光変調器駆動回路1によれば、前段増幅回路3が前段電源11によって給電され、後段増幅回路7が前段電源の電圧 V_{ccC} が昇圧されて電圧 V_{ccO} (後段電源)によって給電されるので、プリアップインダクタが無くても後段増幅回路7内のカスコードトランジスタ2 3 A, 2 3 Bのコレクターエミッタ間電圧 V_{ce} を十分に確保することが可能になる。従って、回路を小型化しつつ出力振幅を十分に確保できる。また、バイアス制御回路31によって、前段電源11がオンされてから後段電源がオンされるまでの間には、カスコードトランジスタ2 3 A, 2 3 Bがオフされてカスコードトランジスタ2 3 A, 2 3 Bの過電流が防止され、その後、後段電源がオンされた後は、カスコードトランジスタ2 3 A, 2 3 Bがオンされてカスコードトランジスタ2 3 A, 2 3 Bに過大な電圧が印加されることが防止される。さらに、バイアス制御回路31によって、後段増幅回路7の駆動電流源29が駆動された後には、カスコードトランジスタ2 3 A, 2 3 Bのベース電位が、駆動時のそれらのコレクターエミッタ間電圧 V_{ce} が十分に確保できるような適正バイアス(例えば2.6 V程度)に電圧 V_{ccC} 基準で設定される。これにより、更なる消費電力の増加を生じさせることなく小型モジュールへの取り組みが容易にされるとともに、カスコードトランジスタ2 3 A, 2 3 Bの故障を防止して、駆動回路の出力を安定して維持することができる。

【0033】

ここで、光変調器駆動回路1の作用効果を、比較例と比較しつつ、より詳細に説明する。図7は、比較例に係る光変調器駆動回路901の構成概略図である。同図に示す光変調器駆動回路901と図1の光変調器駆動回路1との相違点は、光変調器駆動回路901においてはバイアス制御回路31が備えられておらず、電圧 V_{ccC} が抵抗素子903, 905によって分圧されてカスコードトランジスタ2 3 A, 2 3 Bのベースに入力される点のみである。図8(a)には、電源電圧 V_{ccC} がオン、電源電圧 V_{ccO} 及び変調電圧 V_m が共にオフの状態における後段増幅回路7のバイアス状態を示しており、図8(b)には、電源電圧 V_{ccC} 及び電源電圧 V_{ccO} が共にオン、変調電圧 V_m がオフの状態における後段増幅回路7のバイアス状態を示している。

【0034】

図8(a)に示すように、電圧 V_{ccC} 基準で決められるベース電位 V_{b_cas} は、実動作時と同様な2.6 V程度となっている一方で、カスコードトランジスタ2 3 A, 2 3 Bのコレクタ電位 V_{c_cas} は V_{ccO} と同じく0 Vにされる。このため、カスコードトランジスタ2 3 A, 2 3 Bのベースーコレクタ間が順バイアスされ、カスコードトランジスタ2 3 A, 2 3 Bに非常に大きな電流が流れる。この電流により、カスコードトランジスタ2 3 A, 2 3 B及び抵抗素子2 7 A, 2 7 Bが破壊される危険性がある。

【0035】

また、図8(b)に示すように、後段電源がオンされたタイミングでは、変調電圧 V_m がオフされているために駆動電流源29の電流 I_0 が流れておらず、コレクタ電位 V_{c_cas} は電圧 V_{ccO} と等しくなる。これは、変調電圧 V_m がオンの実使用時と比較して、カスコードトランジスタ2 3 A, 2 3 Bのコレクターエミッタ間電圧 V_{ce} が高い状態になり、耐圧を越えてカスコードトランジスタ2 3 A, 2 3 Bが破壊されてしまう危険性がある。

【0036】

これに対して、本実施形態の光変調器駆動回路1においては、バイアス制御回路31を備えることで、コレクタ電位 V_{c_cas} を電源投入手順に応じて変化させるように制御できる。これにより、光変調器駆動回路901で生じるような問題を回避することができる。具体的には、電圧 V_{ccO} がオフ時にカスコードトランジスタ23A, 23Bのベースーコレクタ間に大電流が流れることを防止できる。また、電圧 V_{ccO} がオン時にカスコードトランジスタ23A, 23Bのベースーコレクタ間電圧 V_{bc} が耐圧を越えて大きくなることを防止することができる。

【0037】

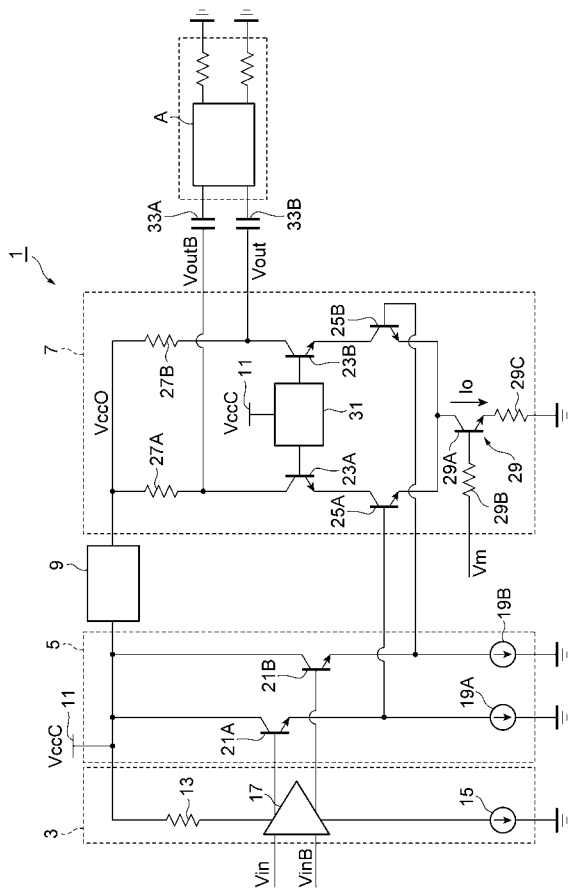
図6には、本実施形態の光変調器駆動回路1で処理される電圧及び電流の時間変化の検証結果を示しており、(a)は電源電圧の時間変化、(b)はカスコードトランジスタ23A, 23Bのベース電位 V_{b_cas} の時間変化、(c)はカスコードトランジスタ23A, 23Bのベース電流 I_{b_cas} の時間変化、(d)はカスコードトランジスタ23A, 23Bのコレクターエミッタ間電圧 V_{ce_cas} の時間変化をそれぞれ示している。この結果に示すように、光変調器駆動回路1は、バイアス制御回路31を備えることにより、カスコードトランジスタ23A, 23Bのベース電位 V_{b_cas} は、図6(b)に示すように、電圧 V_{ccC} の印加から電圧 V_{ccO} の印加までの間(100 μ sec $\sim$ 200 μ sec)には1.2V程度低減され、電圧 V_{ccO} の印加から変調電圧 V_m の印加までの間(200 μ sec $\sim$ 300 μ sec)には600mV程度増加している。これにより、それぞれの時間帯において、ベース電流 I_{b_cas} は3.7mAから0.3mAに、コレクターエミッタ間電圧 V_{ce_cas} は6Vから5.4Vに、それぞれ低減されていることが判明した。このように、バイアス制御回路31を用いることによって、トランジスタ故障の原因となるベース電流 I_b 及びコレクターエミッタ間電圧 V_{ce} が低減できることが実証された。

【符号の説明】

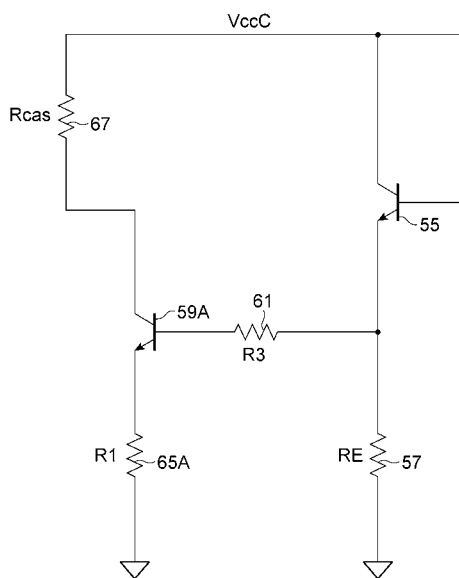
【0038】

1…光変調器駆動回路、3…前段増幅回路、7…後段増幅回路、9…昇圧回路、11…前段電源、23A, 23B…カスコードトランジスタ、25A, 25B…スイッチングトランジスタ、27A, 27B…抵抗素子、29…駆動電流源、31…バイアス制御回路、35…差動回路、39…バランス回路、41A, 41B…トランジスタ、59A, 59B…トランジスタ、67…抵抗素子(負荷抵抗)。

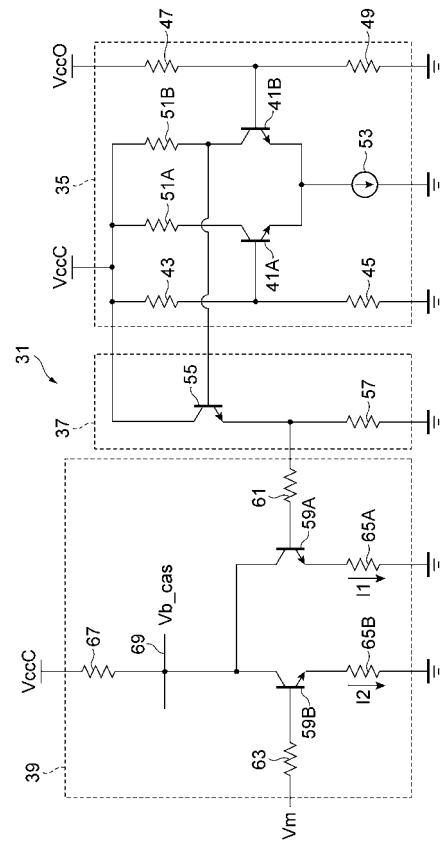
【図 1】



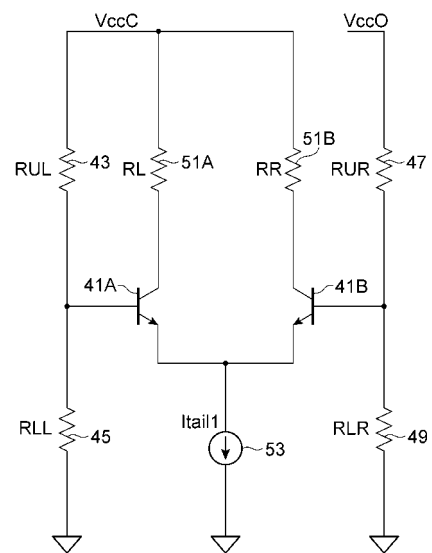
【図 3】



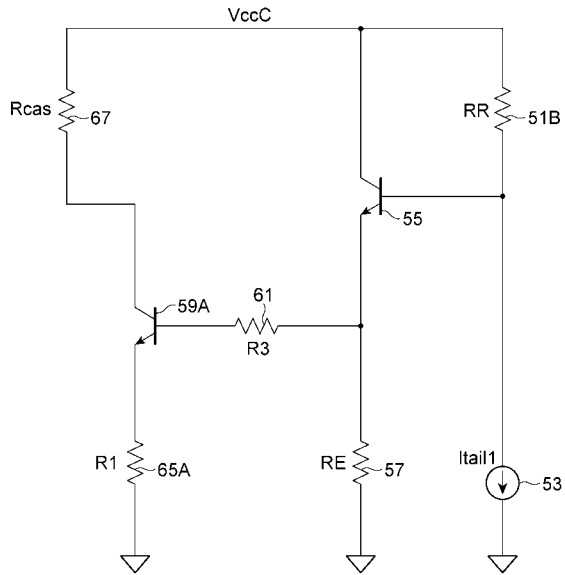
【図 2】



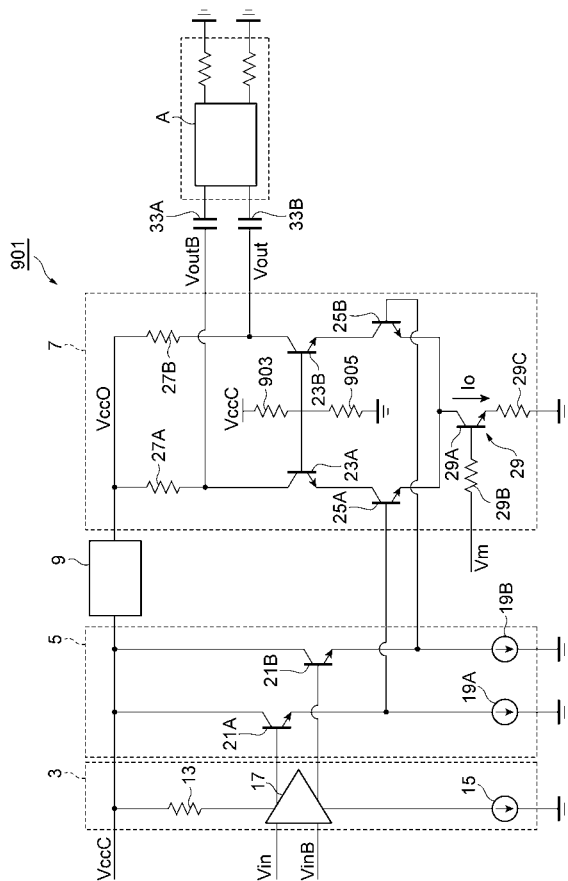
【図 4】



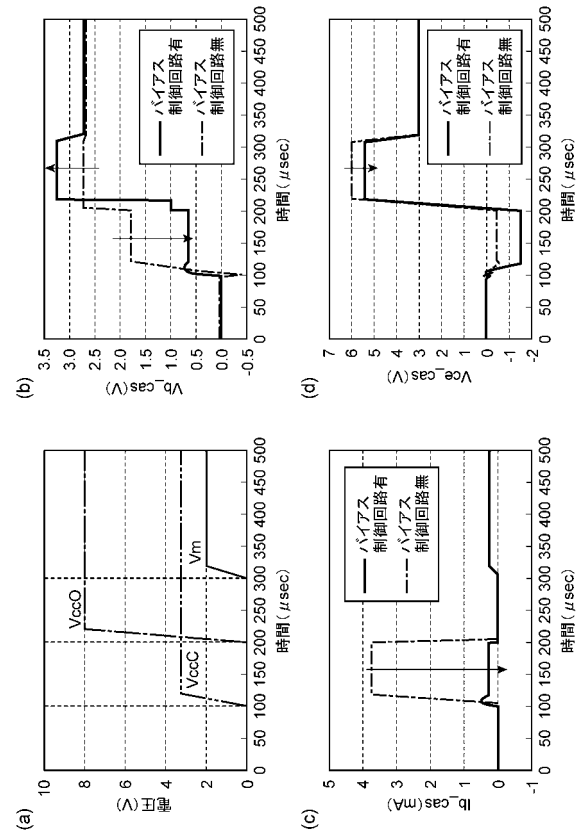
【図 5】



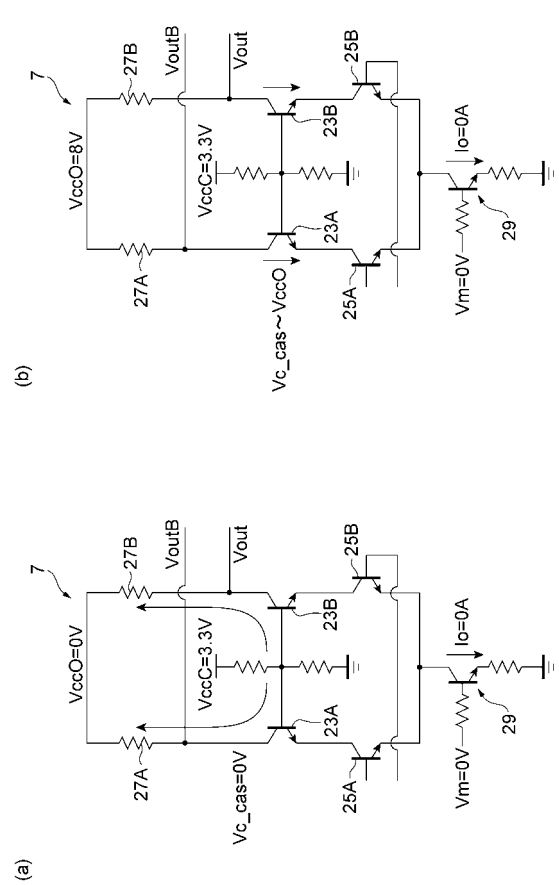
【図 7】



【図 6】



【図 8】



フロントページの続き

(72)発明者 田中 啓二

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

Fターム(参考) 5F173 MC01 SA17 SC02 SJ03 SJ10 SJ12 SJ17

5H420 BB03 BB12 CC02 DD02 EA11 EA40 EA42 EB37 FF03 FF22

KK01 LL09

5J500 AA01 AA12 AA22 AC32 AC57 AC92 AF03 AF15 AH02 AH25

AH29 AK02 AK07 AK08 AK48 AM08 AM17 AM22 AS13 AT01

DP02