



(11)

EP 2 445 771 B1

(12)

EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag und Bekanntmachung des Hinweises auf die Patenterteilung:
07.11.2018 Patentblatt 2018/45

(51) Int Cl.:
B61L 19/06 ^(2006.01) **B61L 27/00** ^(2006.01)

(21) Anmeldenummer: **10725956.6**

(86) Internationale Anmeldenummer:
PCT/CH2010/000160

(22) Anmeldetag: **22.06.2010**

(87) Internationale Veröffentlichungsnummer:
WO 2010/148528 (29.12.2010 Gazette 2010/52)

(54) **VERFAHREN ZUM ERSTELLEN EINES ELEKTRONISCHEN STELLWERKS ALS ERSATZ EINES BESTEHENDEN STELLWERKS**

METHOD TO CREATE AN ELECTRONIC INTERLOCKING FOR REPLACING AN EXISTING INTERLOCKING

PROCEDE DE CREATION D'UN POSTE D'AIGUILLAGE ELECTRONIQUE POUR REMPLACER UN POSTE D'AIGUILLAGE EXISTANT

(84) Benannte Vertragsstaaten:
AL AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MK MT NL NO PL PT RO SE SI SK SM TR

(74) Vertreter: **Frei Patent Attorneys**
Frei Patentanwaltsbüro AG
Postfach
8032 Zürich (CH)

(30) Priorität: **23.06.2009 CH 974092009**

(56) Entgegenhaltungen:
EP-A1- 1 273 499 EP-A2- 2 090 492
WO-A1-03/070537 WO-A1-2005/113315
WO-A1-2006/051355 WO-A2-00/02760
DE-A1- 4 220 696 DE-U1-202005 016 151
US-A- 5 922 034

(43) Veröffentlichungstag der Anmeldung:
02.05.2012 Patentblatt 2012/18

(73) Patentinhaber: **Supercomputing Systems AG**
8005 Zürich (CH)

(72) Erfinder:
• **MONTIGEL, Markus**
CH-6044 Udligenswil (CH)
• **MUELLER, David**
CH-8340 Hinwil (CH)
• **HERRLI, Markus**
CH-3112 Allmendingen b. Bern (CH)

- **MACK H ET AL: "EINSATZ UND MOEGlichkeiten DER LWL-UEBERTRAGUNG BEIM ESTW L90", SIGNAL + DRAHT, TELZLAFF VERLAG GMBH. DARMSTADT, DE, Bd. 88, Nr. 4, 1. April 1996 (1996-04-01), Seiten 13-16, XP000723344, ISSN: 0037-4997**
- **BAHR D ET AL: "Speicherprogrammierbare Steuerungen - Die Neuausrichtung in der Signaltechnik", 20081101, Bd. 100, Nr. 11, 1. November 2008 (2008-11-01), Seiten 6-14, XP001516517,**

Anmerkung: Innerhalb von neun Monaten nach Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents im Europäischen Patentblatt kann jedermann nach Maßgabe der Ausführungsordnung beim Europäischen Patentamt gegen dieses Patent Einspruch einlegen. Der Einspruch gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist. (Art. 99(1) Europäisches Patentübereinkommen).

EP 2 445 771 B1

Beschreibung

[0001] Die Erfindung betrifft Stellwerke für den Eisenbahnverkehr. Sie betrifft insbesondere ein Verfahren zum Erstellen eines elektronischen Stellwerks sowie ein elektronisches Stellwerk.

[0002] Ein Grossteil der heute im Einsatz stehenden Stellwerke für den Eisenbahnverkehr sind Relaisstellwerke, d.h. elektrische Stellwerke. Bei Relaisstellwerken werden die sicherungstechnischen Abhängigkeiten vollständig elektrisch durch Signalrelais hergestellt.

[0003] Unterhalt und Betrieb dieser Stellwerke können zunehmend kostspielig und problematisch werden. Ausserdem ist die Integration der bestehenden Relaisstellwerke in Fernsteuerungs- und Automatisierungseinrichtungen mit grossen Kosten verbunden.

[0004] Daher werden die Relaisstellwerke zunehmend durch elektronische Stellwerke ersetzt. Bei elektronischen Stellwerken werden die sicherungstechnischen Abhängigkeiten durch eine Software in dafür vorgesehenen Computern realisiert. Zu diesem Zweck basieren elektronische Stellwerke gemäss dem Stand der Technik auf einem zentralen Rechner, auf welchem das gesamte Gleisbild in Form von Software abgebildet wird. Dementsprechend aufwendig ist die entsprechende Software und diese muss für jeden Bahnhof spezifisch angepasst und parametrisiert werden, was zu einem immensen Aufwand für die Zertifizierung führt.

[0005] Ein Ersatz von Relaisstellwerken durch elektronische Stellwerke erfordert auch aus diesem Grund grosse Investitionen für die Projektierung, den Neubau des Stellwerkes und insbesondere für den Ersatz der Ausenanlage sowie die neue Zertifizierung.

[0006] Die WO 2005/113315 zeigt ein Steuerungssystem für Eisenbahn-Signalanlagen, welches als Ersatz konventioneller relaisbasierter Systeme vorgesehen ist. Es werdenessoreinheiten benutzt, um die Funktion je einer Baueinheit einer Relais-Stellwerksteuerung zu übernehmen. Die dafür verwendeten Einheiten sind programmierbare Prozessorkarten, die mehrere Mikroprozessoren und einen Speicher aufweisen. Auch dieses Vorgehen beruht also wie elektronische Stellwerke auf Mikroprozessoren, die in einem Programm gesetzte Befehle abarbeiten; wobei dies so umgesetzt wird, dass die Schaltlogik eines relaisbasierten Systems äquivalent ersetzt wird.

[0007] WO 03/070537 betrifft ein Verfahren zum Erzeugen von logischen Kontrolleinheiten für Bahnstation-Computersysteme. WO 2006/051355 hat ein Kontrollsystem für Eisenbahnfahrzeuge zum Inhalt. Das Kontrollsystem weist eine Mehrzahl von speicherprogrammierbaren Steuerungen (SPS: programmable logic controller PLC) auf.

[0008] Aufgrund der notwendigen Verwendung von Mikroprozessoren weisen die Systeme der WO 2005/113315, WO 03/070537 und WO 2006/051355 jedoch die Nachteile von elektronischen Stellwerken bezüglich Zertifizierungsaufwand auf - programmierte Pro-

zessorsysteme sind in sich enorm komplex, und Sprünge beim Abarbeiten einer Befehlskette aufgrund eines einzigen Fehlers können das System in einen völlig anderen Zustand versetzt werden, was ein grosses, bei der Zertifizierung entsprechend ins Gewicht fallendes Risiko darstellen kann.

[0009] Die Schrift US 5,922,034 zeigt einen programmierbaren Gerätetreiber für Eisenbahnsignalanlagen. Der Gerätetreiber fungiert als Ein- und/oder Ausgabeeinheit für eine bestimmte Funktion, bspw. ein Relais, eine Signalleuchte, einen Motor, einen Schalter etc. Er weist eine CPU und RAM Speicher auf. Verschiedene Gerätetreiber können seriell miteinander verbunden sein; sie werden durch einen zentralen Rechner angesteuert, welcher als elektronisches Stellwerk aufgefasst werden kann. Auch beim Ansatz gemäss US 5,922,034 bestehen die Nachteile des vorstehend diskutierten Systems.

[0010] Es ist eine Aufgabe der Erfindung, eine Lösung für den Ersatz von Relaisstellwerken zur Verfügung zu stellen, welche Nachteile des Standes der Technik überwindet und insbesondere weniger grosse Investitionen erfordert als Lösungen gemäss dem Stand der Technik.

[0011] Die Erfindung wird durch die unabhängigen Ansprüche 1 und 10 definiert.

[0012] Erfindungsgemäss sollen ein Verfahren zum Erstellen eines elektronischen Stellwerks sowie ein elektronisches Stellwerk zur Verfügung gestellt werden, welche den Ersatz von Relaisstellwerken durch moderne Technologie erlauben, ohne dass ein zu grosser Aufwand für Änderungen gemacht werden müsste und ohne dass der Zertifizierungsaufwand zu gross wird.

[0013] Gemäss einem ersten Aspekt der Erfindung wird die Schaltlogik eines bestehenden Relaisstellwerks auf eine funktionell äquivalente Schaltung elektronischer Bauteile abgebildet. Es kommen also vorzugsweise zu den Bauteilen der Relaischaltung funktionell identische/äquivalente Halbleiterbausteine zum Einsatz.

[0014] Die funktionell äquivalente Schaltung ist dabei eine konfigurierbare Logikschaltung, d.h. eine Schaltung deren Funktionsstruktur konfiguriert wird. Im Unterschied beispielsweise zu Computern oder gängigen Steuerungssystemen - und bspw. auch elektronischen Stellwerken - ist also nicht eine durch einen 'generischen' Mikroprozessor abzuarbeitende, in einem Speicher vorgelegte Sequenz von Befehlen vorgegeben, sondern eine Funktionsstruktur mit untereinander verschalteten Blöcken konfiguriert.

[0015] Die Konfiguration einer konfigurierbaren Logikschaltung ist nicht zu verwechseln mit der Programmierung im konventionellen Sinn, d.h. mit der Erstellung von Software für einen Prozessor: Bei einer konfigurierbaren Logikschaltung werden Schaltungsstrukturen mittels Hardwarebeschreibungssprachen oder in Form von Schaltplänen erstellt und nachfolgend diese Strukturen zwecks Konfiguration in den Baustein übertragen. Dadurch werden in der konfigurierbaren Logikschaltung bestimmte Schalterstellungen aktiviert und/oder deaktiviert.

viert. Daraus ergibt sich eine konkret implementierte digitale Schaltung, die i.A. hochgradig parallel arbeitet, weil jede Einheit der Schalterstellung parallel arbeitet. Im Kontrast dazu führen auch die schnellsten Mikroprozessoren höchstens wenige und meist gar keine Operationen parallel aus.

[0016] Ein wichtiges Beispiel einer konfigurierbaren Logikschaltung ist ein so genannter 'Field Programmable Gate Array' (FPGA). Ein solcher kann Speicherzellen (z.B. EEPROM, EPROM, SRAM, Flash) aufweisen, in denen die Konfiguration gespeichert ist. Jeweils bei Inbetriebnahme wird die Konfiguration auf die eigentliche Schaltung übertragen. Gemäss einer alternativen Ausführungsform kann der FPGA auch permanent programmiert sein, indem die Verbindungen zwischen den Schalteinheiten permanent eingerichtet werden, bspw. mit der sogenannten 'antifuse'-Technologie.

[0017] Zu den FPGAs werden oft auch die Complex Programmable Logic Devices (CPLD) gerechnet, die ein weiteres Beispiel von konfigurierbaren Logikschaltungen darstellen.

[0018] Es wird also gemäss dem Ansatz der Erfindung kein - an sich funktionierendes, aber in der Implementierung mit grossem Aufwand verbundenes - Ersetzen der Relaischaltung durch eine Software angestrebt, sondern die Relaischaltung wird durch eine die gleichen Funktionen und die gleiche Charakteristik liefernde elektronische Schaltung auf Halbleiterbasis ersetzt.

[0019] Eine funktionell äquivalente Schaltung kann gemäss einem Ansatz vorliegen, wenn für jeden Ein- und Ausgang der Relaisstellwerk-Schaltlogik ein entsprechender Ein- bzw. Ausgang der funktionell äquivalenten Schaltung vorhanden ist und für den gleichen binären Input ein gleicher binärer Output erfolgt.

[0020] Zusätzlich zur Schaltung, welche die Logikeinheit bildet, weist das Stellwerk vorzugsweise eine Mehrzahl von Eingabe- und/oder Ausgabeeinheiten auf, welche die Interfaces zu den Elementen (Weichen, Signalen, Gleisfreimeldeeinheiten, Streckenblocküberwachungseinheiten) der Aussenanlage bilden. Diese enthalten in vielen Ausführungsformen keine 'Intelligenz' (d.h. keine Logik). In anderen Ausführungsformen, beispielsweise für besondere Signale, Weichen etc., können sie auch eine funktionale Logik aufweisen. Sie sind abhängig vom Typ des anzusteuern Elements und dienen nur der Umwandlung des Logiksignals in die physische Ansteuerung des entsprechenden Elements und damit bspw. der Verstärkung und der Potentialenkoppelung zwischen der Logikeinheit und der Aussenanlage. Sie können ein Relais, einen Optokoppler und/oder einen Schütz und/oder andere an sich bekannte Bauteile aufweisen. Die Eingabe- und/oder Ausgabeeinheiten können im Stellwerk zentral angeordnet sein, d.h. im das Stellwerk beherbergende Gebäude und im Wesentlichen am Ort der Logikeinheit. Damit müssen beim Ersatz des Relaisstellwerks im Idealfall nur Komponenten ersetzt und installiert werden, die innerhalb des Gebäudes sind.

[0021] Zum erfindungsgemässen Vorgehen kann

auch das Implementieren der Schaltung in einem Stellwerk gehören.

[0022] Die Ausgänge der funktionell äquivalenten Schaltung werden mit den bestehenden anzusteuern Komponenten (Weichen(-steuerungen), Signale, Barrieren (-steuerungen)) verbunden, ohne dass diese markant angepasst oder gar ausgewechselt werden müssten.

[0023] Der Ansatz gemäss dem hier diskutierten Aspekt der Erfindung nimmt also im Unterscheid zum Stand der Technik Abstand vom an sich sehr mächtigen Werkzeug einer softwaremässigen Implementierung der Logikeinheit und macht einen Schritt hin zur vermeintlich aufwändigeren und weniger flexiblen Implementierung in Form einer programmierbaren Hardware.

[0024] Obwohl im Prinzip die Funktionalität einer Hardwareelektronik auch durch eine entsprechende Software zur Verfügung gestellt werden könnte, ist der vom ersten Aspekten der Erfindung gemachte, an sich einfache Schritt hin zu einer Schaltung elektronischer Bauteile von enormem Vorteil. Der Einsatz von Software ist nämlich immer mit dem Einsatz von Computersystemen verbunden, auf denen die Software läuft, und diese sind notwendigerweise sehr komplex. Auch ein einfacher moderner Computer hat buchstäblich Milliarden von Transistoren, verschiedene Datenspeicher, etc. und all diese Bauteile sind Teil des Stellwerks und müssen bei der Zertifizierung mit berücksichtigt werden. Eine Eigenschaft von softwareimplementierten Systemen wie beispielsweise den eingangs genannten Systemen gemäss dem Stand der Technik ist, dass beim sequentiellen Abarbeiten einer Befehlskette Sprünge vorkommen. Wenn aufgrund eines Fehlers (bspw. nach der Einwirkung eines ionisierenden Teilchens) die Sprungadresse einen Fehler aufweist, kann das System in einen völlig anderen Zustand versetzt werden, was zu einem Totalausfall führen kann. Bei einer physisch verdrahteten Logikschaltung kommen solche Sprünge hingegen nicht vor.

[0025] Daher sind, um entsprechenden Sicherheitsanforderungen trotzdem zu genügen, konventionelle auf Software basierte elektronische Stellwerke zwar sehr mächtige Werkzeuge, beruhen jedoch auf ganz anderen Prinzipien als die Relaisstellwerke, und entsprechend aufwändig ist das Umrüsten und insbesondere das Zertifizieren, welches alle Teilsysteme mit umfasst. Beim Ansatz gemäss dem ersten Aspekt der Erfindung hingegen muss die Sicherheit der übernommenen, auf die konfigurierbare Logikschaltung abgebildeten Relais-Schaltlogik nicht neu nachgewiesen werden, da diese bereits nachgewiesen ist.

[0026] Durch den verblüffend einfachen Ansatz gemäss der Erfindung kann die Architektur des Relaisstellwerks im Wesentlichen beibehalten werden und somit entfällt ein wesentlicher Anteil der Projektierungskosten, und auch der gesamte Zertifizierungsprozess kann vereinfacht werden. Ausserdem kann das Stellwerk mit programmierbaren Bausteinen so realisiert werden, dass nur geringfügige Änderungen an den Aussenanlagen ge-

macht werden müssen. Die Wartung ist deutlich weniger aufwändig als bei herkömmlichen Relaisstellwerken. Schliesslich können Fernsteuer- und Automatisierungsaufgaben und die Integration in übergeordnete Systeme wie beispielsweise in ein Fernsteuerungssystem oder in untergeordnete Systeme wie beispielsweise das ETCS (European Train Control System) relativ einfach durch die eingesetzten Logikbausteine erfolgen.

[0027] Ein weiterer Vorteil gegenüber elektronischen Stellwerken ist die Geschwindigkeit. Im Vergleich zu der Software eines konventionellen elektronischen Stellwerks schaltet das gemäss dem ersten Aspekt der Erfindung ausgestaltete Stellwerk mit der logischen Schaltung um Grössenordnungen schneller.

[0028] Der erste Aspekt der Erfindung ist beispielsweise für Relaisstellwerke nach dem Verschlussplanprinzip aber auch für Relaisstellwerke nach dem Spurplanprinzip anwendbar. Aufgrund der Vorteile des erfindungsgemässen Vorgehens gegenüber elektronischen Stellwerken kann das zu ersetzende Stellwerk auch ein auf Software basierendes elektronisches Stellwerk sein, dessen Kernfunktion (Binäre Ausgabe in Funktion der binären Eingabe) ebenfalls durch eine feststehende elektronische Schaltung von Halbleiterbauteilen (i.A. mindestens ein FPGA oder ein vergleichbarer Baustein) ersetzt wird.

[0029] Gemäss einem zweiten Aspekt der Erfindung wird die Architektur einer zum Relaisstellwerk funktionell äquivalenten Schaltung erstellt, indem ein Verschlussplan oder ein Spurplan durch einen automatischen Übersetzer in eine logische Schaltung transformiert wird. Dabei kann der Verschlussplan bzw. der Spurplan in der Form einer Zeichnung, einer Tabelle oder in einer anderen technischen Form vorliegen.

[0030] Der automatische Übersetzer kann in der Form einer Computersoftware vorhanden sein, welche anhand von eindeutigen, vordefinierten Vorschriften dem Verschlussplan/Spurplan eine elektronische Schaltung zuordnet. Die Vorschriften sind somit jederzeit nachvollziehbar und können so ausgebildet sein, dass sie den Anforderungen sicherheitsrelevanter Systeme entsprechen. Sie können auch von einer für die Zertifizierung verantwortlichen Stelle überprüft werden.

[0031] Ein analoges Vorgehen kann auch für zu ersetzende, auf Software basierende elektronische Stellwerke gewählt werden, wobei für das Schaltungslayout der logischen Schaltung, in welche die Logik transformiert wird, ein entsprechend alternatives, sich an der input-output-Logik der Software orientierendes Übersetzungsprogramm verwendet wird.

[0032] Besonders günstig ist eine Kombination des ersten Aspekts der Erfindung mit dem zweiten Aspekt.

[0033] Um die Korrektheit einer durch Transformation erhaltenen logischen Schaltung zu verifizieren, kann diese optional mit einem Rückübersetzungsalgorithmus wieder in eine vergleichbare Form zum ursprünglichen Verschlussplan/Spurplan zurücktransformiert werden. Der Vergleich zwischen Verschlussplan/Spurplan und zurücktransformiertem Vergleichsplan kann ein Teil der

sicherheitsrelevanten Überprüfung sein.

[0034] Gemäss einer ersten Ausführungsform nimmt nach der Rücktransformation ein Benutzer (bspw. eine Fachperson der Bahn) den Vergleich zwischen dem ursprünglichen Verschlussplan V/S und dem durch Rücktransformation erhaltenen Vergleichsplan V'/S' vor. Die Darstellung des Vergleichsplans V'/S' erfolgt dann sinnvollerweise wieder auf dieselbe Art, wie die Darstellung des ursprünglichen Verschlussplans/Spurplans V/S. Es ist also sinnvoll, dass bei einer Zeichnung beispielsweise eine ähnliche Darstellung erfolgt, beispielsweise mit gleicher örtlicher Position in der Darstellung oder gleicher Nummerierung oder Bezeichnung, oder dass bei der Verwendung von Namen für Variablen oder Signale dieselben Namen verwendet werden. Um diese Abbildung einfacher zu gestalten, werden vom Übersetzer Metadaten erzeugt, die dann für die Rücktransformation wieder eingesetzt werden. Es versteht sich von selbst, dass diese Metadaten keine funktionale Aufgabe erfüllen; sie dienen lediglich der besseren Lesbarkeit des Vergleichsplans V'/S' für den Menschen.

[0035] Gemäss einer zweiten Ausführungsform kann der Vergleich zwischen dem Verschlussplan/Spurplan und dem Vergleichsplan durch den Computer vorgenommen werden.

[0036] Das Stellwerk weist beispielsweise - wie an sich bekannt - eine Logikeinheit und Eingabe-Ausgabe-Einheiten auf, welche wie erwähnt in ihren Charakteristiken denjenigen des ersetzten Relaisstellwerks entsprechen. Die Logikeinheit verfügt vorzugsweise über mindestens einen Kommunikationseingang zur Steuerung, Automation, ETCS etc. Die Logikeinheit ist im Kern (d.h. in den Elementen, die aus einem binären Input einen binären Output ermitteln) vorzugsweise frei von Mikroprozessoren, d.h. von frei programmierbaren Einheiten.

[0037] Die Logikeinheit kann über Zusatzsysteme verfügen, die immer gewährleisten, dass die momentane Logikfunktion der ursprünglichen, bspw. durch die erwähnte Übersetzung ermittelte, Logikfunktion entspricht.

[0038] Die Eingabe-Ausgabe-Einheiten der elektronischen Schaltung verfügen wie erwähnt vorzugsweise über ähnliche Verbindungsstrukturen zu den Aussenanlagen (Weichensteuerungen, Signalen, Barrierensteuerungen etc.) wie die ersetzten Relaiseinheiten. Ebenfalls bevorzugt ist, dass die Eingabe-Ausgabe-Einheiten ähnliche äussere Abmessungen wie die Relaiseinheiten aufweisen. Jedes der bevorzugten Merkmale kann dazu beitragen, dass nur geringfügige oder gar keine Änderungen an den Aussenanlagen durchgeführt werden müssen.

[0039] Die Architektur der elektronischen Schaltung und der Eingabe-Ausgabeeinheiten kann gemäss einer ersten Ausführungsform vorsehen, dass die Logikeinheit sternförmig mit den Eingabe-Ausgabe-Einheiten verbunden ist.

[0040] In einer weiteren möglichen Architektur ist die Logikfunktion L ringförmig mit den Eingabe-Ausgabe-Einheiten verbunden. Dies vereinfacht vor allem die Verdrahtung. Der Ring kann als paralleles oder seriell

tem, elektrisch oder optisch, ohne oder mit Fehlerkorrektur, Einweg oder Zweiweg ausgeführt sein. Die möglichen Ausprägungen der Kommunikation haben unterschiedliche Kosten und unterschiedliche Eigenschaften: so kann ein optisch geführter Ring eine grosse Ausdehnung haben. Die Zweiwegkommunikation hat eine gewisse Fehlerredundanz.

[0041] Natürlich sind auch Kombinationen zwischen Stern- und Ringarchitekturen denkbar, bspw. eine Mehrzahl von Untereinheiten mit je einem oder mehreren Eingabe-Ausgabe-Einheiten, die unter sich ringförmig verbunden sind, wobei die Verbindung zwischen Logikeinheit und Untereinheit sternförmig ist.

[0042] Bei seriellen Systemen wird üblicherweise mit Datenpaketen gearbeitet, die periodisch übertragen werden. Es ist deshalb technisch einfach möglich, diesen Systemzustand in einer Protokollierungseinheit (bspw. einer separaten "Black Box") mitzuhören und dann mitzuschreiben (zu speichern). Damit lassen sich alle Abläufe später durch einen Computer analysieren, der direkt mit der "Black-Box" B verbunden ist. Diese Analyse kann dabei sinnvollerweise auch während dem Betrieb erfolgen.

[0043] Um die Sicherheit des Systems zu erhöhen, können auch zwei Logikeinheiten hintereinander geschaltet werden. Die erste und die zweite Logikeinheit haben dabei vorzugsweise einen identischen Aufbau und verfügen über identische Steuereingänge. Im normalen Betriebsfall sollten die Signale von beiden Logikeinheiten identisch sein. Sind sie nicht identisch, so liegt ein Fehler in einer der Logikeinheiten, oder in einem der übergeordneten System vor. Die Eingabe-Ausgabe-Einheiten können in diesem Fall in einen "sicheren Zustand" gehen (z.B. Signal auf rot stellen) und/oder einen Alarm auslösen. Der Alarm kann ggf. natürlich auch von der "Black-Box" B ausgelöst werden.

[0044] Nachfolgend werden Ausführungsformen der Erfindung anhand von schematischen Zeichnungen eingehender Beschrieben. In den Zeichnungen bezeichnen gleiche Bezugszeichen (Kennzeichnungsbuchstaben) gleiche oder analoge Elemente. Es zeigen:

- Figur 1 ein Verfahren gemäss dem ersten Aspekt der Erfindung zum Erstellen eines elektronischen Stellwerks;
- Figur 2 ein Verfahren gemäss dem zweiten Aspekt der Erfindung zum Entwerfen einer logischen Schaltung für ein elektronisches Stellwerk;
- Figur 3 eine erste Ausführungsform der Architektur der elektronischen Schaltung;
- Figur 3a eine Variante der Ausführungsform gemäss Figur 3;
- Figur 4 eine weitere, alternative Ausführungsform der Architektur der elektronischen Schaltung;

- Figur 5 eine Variante der Ausführungsform gemäss Figur 4, mit zwei Logikeinheiten; und

- Figur 6 ausgehend von der Ausführungsform gemäss Figur 4 schematisch die Anbindung an Elemente der Aussenanlage; und

- Figur 7 eine Stellwerkarchitektur der erfindungsgemässen Art in einem Beispiel.

[0045] Gemäss **Figur 1** wird ein Verschlussplan V (oder, nicht dargestellt, ein Spurplan S) durch einen Computer Comp erfasst, wobei optional eine spezielle Eingabeeinheit I vorgesehen sein kann. Die Eingabeeinheit kann gegebenenfalls auf das Format des Verschlussplans abgestimmt sein und bspw. einen Scanner sowie eine entsprechende Software zum Erkennen und Erfassen der Symbole im Verschlussplan aufweisen. Selbstverständlich kann auch der Verschlussplan schon von vorneherein in elektronisch lesbarer Form vorhanden sein. Aus dem erfassten Verschlussplan erstellt der Computer Comp eine Logikfunktion L#. Die Logikfunktion entspricht der elektronischen Darstellung einer logischen Schaltung. Sie wird auf eine physische logische Schaltung abgebildet, die einem programmierbaren Logikbaustein (FPGA) implementiert wird.

[0046] Das Verfahren zum Erstellen der Logikfunktion L# aus dem Verschlussplan V (bzw. einem Spurplan S) ist in einer speziellen, eine Verifikation ermöglichenden Ausführungsform schematisch in **Figur 2** dargestellt. Aus dem Verschlussplan V bzw. dem Spurplan S wird eine geeignetes Übersetzungsprogramm T die Logikfunktion L# ermitteln. Das Übersetzungsprogramm legt in der hier dargestellten Ausführungsform auch noch eine Datei M mit Metadaten an, die nicht sicherheitsrelevant sind und beispielsweise Informationen enthält, welche die Darstellung des Verschlussplans betreffen. Um eine Verifikation zu ermöglichen, wird aus der Logikfunktion L# durch ein Rückübersetzungsprogramm T⁻¹ im Sinne eines 'Reverse Engineering' ein Vergleichsplan V'/S' erstellt, welcher auf Basis der Metadaten so ausgestaltet wird, dass beispielsweise eine ähnliche Darstellung erfolgt oder dass bei der Verwendung von Namen für Variablen oder Signale dieselben Namen verwendet werden. Der Vergleich C wird durch eine überprüfende Person vorgenommen oder kann alternativ auch durch den/einen Computer erfolgen, wobei in diesem Fall die Metadaten anstatt für die Erstellung des Vergleichsplans V'/S' verwendet zu werden auch dem vergleichenden Programm zur Verfügung gestellt werden können.

[0047] In Spezialfällen - bspw. bei einem nicht standardmässigen Signalstandort) kann ein Benutzer über eine entsprechende manuell zu bedienende Eingabemöglichkeit (Man) eine manuelle Anpassung vornehmen.

[0048] Die Umsetzung einer Logikfunktion L# auf einem FPGA, welches anschliessend als Logikeinheit ausgerüstet ist, ist an sich bekannt.

[0049] Als Variante zum vorstehend beschriebenen Verfahren ist es auch möglich, die implementierte Logikeinheit L anstatt die Logikfunktion L# reverse zu enginieren.

[0050] **Figur 3** zeigt eine sternförmige Verbindung der Logik-Einheit L (auf der die Logikfunktion L# implementiert ist) mit den Eingabe-Ausgabe-Einheiten $IO_1 \dots IO_n$. Wie erwähnt haben in allen Ausführungsformen vorzugsweise die Eingabe-Ausgabe-Einheiten ähnliche Abmessung wie die ursprünglichen Relaiseinheiten und verfügen auch über ähnliche Verbindungsstrukturen zu den Aussenanlagen, so dass nur geringfügige oder gar keine Änderungen an den Aussenanlagen durchgeführt werden müssen.

[0051] Das Bezugszeichen S bezeichnet einen Kommunikationseingang für die Kommunikation mit einer Eingabeeinheit und/oder mit einem übergeordneten System.

[0052] In einer Variante gemäss **Figur 3a** ist die Logik-Einheit L ebenfalls sternförmig mit den Eingabe-Ausgabe-Einheiten verbunden; allerdings über einen Switch X.

[0053] Die Architektur gemäss **Figur 4** ist eine ringförmige Architektur. Die Logikeinheit L ist ringförmig mit den Eingabe-Ausgabe-Einheiten $IO_1 \dots IO_n$ verbunden. Während bei einer sternförmigen Architektur die Verdrahtung konstruktionsgemäss parallel ist (auch bei einer parallelen Architektur kann optional ein serielles Protokoll verwendet werden), kann sie bei einer ringförmigen Architektur sowohl parallel als auch seriell ausgestaltet sein. Im dargestellten Ausführungsbeispiel ist die Kommunikation seriell, d.h. das von der Logikeinheit bspw. periodisch ausgesandte Datenpaket beinhaltet Daten, die den gesamten Systemzustand (Schaltzustand jeder anzusteuern Komponente) beinhalten. Jede Eingabe-Ausgabeeinheit wird adressiert und entnimmt dem Datenpaket die für sie benötigte Information. Weil jedes Datenpaket die gesamte Information beinhaltet, eignet es sich auch für die Überwachung des Systems und/oder die Protokollierung. Zu diesem Zweck wird das Signal über das Kommunikationssystem CB auch an eine "Blackbox" B weitergegeben. Dort werden die nacheinander eintreffenden Datenpakete abgespeichert und/oder analysiert, sinnvollerweise während dem Betrieb.

[0054] Durch ein weiteres Interface kann der kommunizierte Zustand zuverlässig an Leitsysteme oder für den Betrieb unter ETCS an das 'Radio Block Center' (RBC) übermittelt werden. Auf demselben Weg können Fahrstrassen welche vom Leitsystem oder von einer Automatisierung angefordert werden an das digitale Stellwerk übermittelt werden.

[0055] Die Ausführungsform gemäss **Figur 5** weist nebst der Logikeinheit L eine zweite, funktionell äquivalente und eventuell identische Logikeinheit L* auf. Auch die Steuereingänge S, S* der Logikeinheiten sind identisch und werden identisch angesteuert. Die Steuersignale von L und L* werden durch das Kommunikationssystem CB an die Eingabe-Ausgabe-Einheiten $IO_0 \dots IO_n$

weitergegeben. Im normalen Betriebsfall sollten die Signale von L und L* identisch sein. Sind sie nicht identisch, so liegt ein Fehler in einer der Logikeinheiten L oder L*, oder in einem der übergeordneten System S oder S* vor.

Die Eingabe-Ausgabe-Einheiten $IO_0 \dots IO_n$ können in diesem Fall in einen "sicheren Zustand" gehen (z.B. Signal auf rot stellen) und einen Alarm auslösen. Der Alarm kann natürlich auch von der "Black-Box" B ausgelöst werden.

[0056] Ausführungsformen mit zwei Redundanz gewährleistenden Logikeinheiten können an sich auch bei Sternarchitekturen oder gemischten Architekturen verwendet werden.

[0057] Als spezielles Sicherheitsmerkmal von in vielen Fällen bevorzugten Ausführungsformen kann für die Logikeinheit L* ein anderes, mit der Logikeinheit L nicht baugleiches Fabrikat, unter Umständen eines anderen Anbieters verwendet werden als für die Logikeinheit L. Dadurch wird eine diversitäre Redundanz erwirkt.

[0058] Es ist ein grosser Vorteil des erfindungsgemässen Vorgehens nach allen Aspekten der Erfindung, dass die Logikeinheit aufgrund des erfindungsgemässen Ansatzes durch ein vergleichsweise einfache Mittel realisierbar ist. Das erst ermöglicht den Ansatz zwei Logikeinheiten ganz unabhängig voneinander parallel arbeiten zu lassen, was bspw. bei elektronischen Stellwerken kaum in Frage käme. Das wiederum ermöglicht die sicherheitstechnisch oft sehr begehrenswerte diversitäre Redundanz.

[0059] Die Unabhängigkeit der beiden Logikeinheiten kann beispielsweise bedeuten, dass die Logikeinheiten keine Zwischenergebnisse austauschen, oder gar dass gar keine Signale von der einen Steuereinheit durch die andere Steuereinheit verarbeitet werden.

[0060] **Figur 6** zeigt schematisch anhand des Beispiels von **Figur 4** die Anbindung an die Aussenanlage. Die fettgedruckte schwarze Linie symbolisiert die Grenze zwischen dem Gebäude, in welchem das Stellwerk vorhanden ist, und dem "Draussen". Die Eingabe- und/oder Ausgabeeinheiten sind jeweils einem anzusteuern Element der Aussenanlage zugeordnet, bspw. die Einheit IO_{B1} dem Block B1, die Einheit IO_{W1} der Weiche W1, die Einheit IO_{S11} dem Signal S11 etc. Die Schnittstelle zwischen der bestehenden Verkabelung der Aussenanlage und des ersetzten Stellwerks bildet ein Kabelverteiler V, der ebenfalls bevorzugt im Gebäudeinneren vorhanden ist.

[0061] **Figur 7** zeigt als Beispiel eine einfache Aussenanlage mit dem in der Figur unten dargestellten Schienenverlauf. Die Kästen B1 und B2 bezeichnen in der unteren Figurhälfte die Streckenblöcke 1 und 2, W1 und W2 bezeichnen Weichen, Sij sind Signale, und GFM1 und GFM2 Gleisfreimeldeeinheiten. In der oberen Figurhälfte (in der Innenanlage) bezeichnen die entsprechend beschrifteten Kästen die den jeweiligen Elementen zugeordneten Eingabe- und/oder Ausgabeeinheiten.

[0062] Die Verkabelung der Logikeinheit (FPGA) in einer Ringarchitektur mit den Eingabe- und/oder Ausgabeeinheiten ist im hier gezeichneten Beispiel als Ether-

netbus seriell ausgebildet. Die vom Kabelverteiler nach aussen weggehende Aussenverkabelung kann unverändert vom Relaisstellwerk übernommen werden.

Patentansprüche

1. Verfahren zum Erstellen eines elektronischen Stellwerks als Ersatz eines bestehenden Stellwerks wobei die Schaltlogik des bestehenden Stellwerks auf eine funktionell äquivalente Schaltung abgebildet wird, und die Ausgänge dieser Schaltung mit mindestens einigen der bestehenden anzusteuernenden Komponenten verbunden werden, **dadurch gekennzeichnet, dass** die funktionell äquivalente Schaltung eine Schaltung elektronischer Halbleiterbauteile ist, wobei die Schaltung elektronischer Halbleiterbauteile eine konfigurierbare Logikschaltung ist, und dass die Schaltlogik des bestehenden Stellwerks mittels einer Transformation (T) auf die funktionell äquivalente Schaltung abgebildet wird und dieses Abbilden eine Konfiguration der konfigurierbaren Logikschaltung beinhaltet.
2. Verfahren nach Anspruch 1, wobei die elektronischen Halbleiterbauteile mindestens ein Field Programmable Gate Array (FPGA) aufweisen.
3. Verfahren nach einem der vorangehenden Ansprüche, wobei die Verbindung der Ausgänge dieser Schaltung mit den anzusteuernenden Komponenten über komponentenspezifische Eingabe- und/oder Ausgabeeinheiten ($IO_{1...n}$) ohne integrierte Logik oder mit integrierter Logik erfolgt.
4. Verfahren nach einem der vorangehenden Ansprüche, wobei das zu ersetzende Stellwerk ein Relaisstellwerk ist.
5. Verfahren nach einem der vorangehenden Ansprüche, zum Erstellen eines elektronischen Stellwerks als Ersatz eines Relaisstellwerks, wobei ein Verschlussplan (V) oder ein Spurplan (S) des Relaisstellwerks mittels eines Übersetzers unter Anwendung vordefinierter eindeutiger Regeln (T) in eine logische Schaltung transformiert wird.
6. Verfahren nach Anspruch 5, wobei die logische Schaltung durch Anwendung invertierter Regeln (T^{-1}) wieder in einen Vergleichsplan (V' , S') zurückübersetzt wird, welcher mit dem Verschlussplan (V) bzw. Spurplan (S) vergleichbar ist, und wobei ein Vergleich (C) zwischen dem Verschlussplan (V) bzw. Spurplan (S) und dem Vergleichsplan (V') durchgeführt wird, wobei der Übersetzer beispielsweise ferner nicht sicherheitsrelevante Metadaten (M) erzeugt und wobei beim Zurückübersetzen die Metadaten (M) verwendet werden, um den Ver-

gleichsplan mit dem Verschlussplan (V) vergleichbar darzustellen.

7. Verfahren nach einem der vorangehenden Ansprüche, wobei die Schaltung eine Logikeinheit (L) und eine Mehrzahl von Ein- und/oder Ausgabeeinheiten ($IO_{1...n}$) aufweist, wobei die logische Schaltung sternförmig mit den Ein- und/oder Ausgabeeinheiten verbunden ist.
8. Verfahren nach einem der Ansprüche 1-6, wobei die Schaltung eine Logikeinheit (L) und eine Mehrzahl von Ein- und/oder Ausgabeeinheiten ($IO_{1...n}$) aufweist, wobei die logische Schaltung in einer Ring-Architektur mit den Ein- und/oder Ausgabeeinheiten verbunden ist, wobei vorzugsweise eine Kommunikation gleichzeitig in beide Richtungen entlang des Ringes erfolgt.
9. Verfahren nach Anspruch 8, wobei die Kommunikation (CB) in Datenpaketen erfolgt, die jeweils den gesamten Zustand des Systems repräsentieren, wobei die Kommunikation beispielsweise periodisch erfolgt und wobei die Kommunikation durch einen Beobachter (B) mitgeschrieben wird.
10. Verfahren nach einem der vorangehenden Ansprüche, **dadurch gekennzeichnet, dass** die Schaltung zwei redundante Logikeinheiten aufweist, die beide je dieselbe Logikfunktion ausführen und die Resultate ausgeben, wobei vorzugsweise, falls die Resultate nicht übereinstimmen, in einen sicheren Zustand geschaltet wird und/oder ein Alarm ausgelöst wird.
11. Stellwerk, erstellt nach einem Verfahren nach einem der vorangehenden Ansprüche, aufweisend eine elektronische Logikeinheit (L) und eine Mehrzahl von Ein- und/oder Ausgabeeinheiten ($IO_{1...n}$) zum Ansteuern von Komponenten wie Weichen, Signale, Barrieren und dergleichen, **dadurch gekennzeichnet, dass** die Logikeinheit (L) mindestens teilweise als programmierter Halbleiter-Logikbaustein in Form einer konfigurierbaren Logikschaltung ist.
12. Stellwerk nach Anspruch 11, **dadurch gekennzeichnet, dass** der mindestens eine Halbleiter-Logikbaustein ein Field Programmable Gate Array (FPGA) ist.
13. Stellwerk nach Anspruch 11 oder 12, **dadurch gekennzeichnet, dass** die Logikeinheit (L) frei von Mikroprozessoren ist.
14. Stellwerk nach einem der Ansprüche 11 bis 13, **gekennzeichnet durch** eine zweite, mit der Logikeinheit (L) funktionell äquivalente Logikeinheit (L^*), wobei die Logikeinheit (L) und die zweite Logikeinheit

(L*) beide je Steuersignale an die Ein- und/oder Ausgabeeinheiten ($IO_{1...n}$) ausgeben, und wobei die zweite Logikeinheit (L*) nach dem Prinzip der Diversität ausgewählt ist.

Claims

1. A method for creating an electronic signal box as a replacement of an existing signal box, wherein the switching logic of the existing signal box is mapped onto a functionally equivalent circuit, and the outputs of this circuit are connected to at least some of the existing components which are to be activated, **characterised in that** the functionally equivalent circuit is a circuit of electronic semiconductor components, wherein the circuit of electronic semiconductor components is a configurable logic circuit, and that the switching logic of the existing signal box is mapped onto the functionally equivalent circuit by way of a transformation (T) and this mapping comprises a configuration of the configurable logic circuit.
2. A method according to claim 1, wherein the electronic semiconductor components comprise at least one field programmable gate array (FPGA).
3. A method according to one of the preceding claims, wherein the connection of the outputs of this circuit to the components which are to be activated is effected via component-specific input and/or output units ($IO_{1...n}$) without integrated logic or with integrated logic.
4. A method according to one of the preceding claims, wherein the signal box to be replaced is a relay signal box.
5. A method according to one of the preceding claims, for creating an electronic signal box as a replacement of a relay signal box, wherein an interlocking plan (V) or a track plan (S) of the relay signal box is transformed into a logic circuit by means of a translator whilst applying predefined unambiguous rules (T).
6. A method according to claim 5, wherein the logic circuit is translated back again into a comparison plan (V', S') by way of applying inverted rules (T^{-1}), said comparison plan being able to be compared with the interlocking plan (V) or track plan (S), and wherein a comparison (C) is carried out between the interlocking plan (V) or track plan (S) and the comparison plan (V'), wherein the translator for example further generates metadata (M) which is not relevant to safety and wherein the metadata (M) is used on back-translating, in order to represent the comparison plan so as to be able to be compared with the interlocking
- plan (V).
7. A method according to one of the preceding claims, wherein the circuit comprises a logic unit (L) and a plurality of input and/or output units ($IO_{1...n}$), wherein the logic circuit is connected to the input and/or output units in a star-shaped manner.
8. A method according to one of the claims 1-6, wherein the circuit comprises a logic unit (L) and a plurality of input and/or output units ($IO_{1...n}$), wherein the logic circuit is connected in a ring architecture to the input and/or output units, wherein preferably a communication takes place simultaneously along the ring in both directions.
9. A method according to claim 8, wherein the communication (CB) takes place in data packets which each represent the complete state of the system, wherein the communication takes place for example periodically and wherein the communication is recorded by an observer (B).
10. A method according to one of the preceding claims, **characterised in that** the circuit has two redundant logic units which both each execute the same logic function and output the results, wherein preferably, in the case that the results do not match, one switches into a safe state and/or an alarm is triggered.
11. A signal box, created according to a method according to one of the preceding claims, comprising an electronic logic unit (L) and a plurality of input and/or output units ($IO_{1...n}$) for activating components such as points, signals, barriers and the like, **characterised in that** the logic unit (L) at least partly is as a programmable semiconductor logic module in the form of a configurable logic circuit.
12. A signal box according to claim 11, **characterised in that** the at least one semiconductor logic module is a field programmable gate array (FPGA).
13. A signal box according to claim 11 or 12, **characterised in that** the logic unit (L) is free of microprocessors.
14. A signal box according to one of the claims 11 to 13, **characterised by** a second logic unit (L*) which is functionally equivalent to the logic unit (L), wherein the logic unit (L) and the second logic unit (L*) both each output control signals to the input and/or output units ($IO_{1...n}$), and wherein the second logic unit (L*) is selected according to the principle of diversity.

Revendications

1. Procédé de formation d'un ensemble électronique de réglage pour remplacer un ensemble de réglage existant, dans lequel la logique du circuit de l'ensemble de réglage existant est reproduite sur un circuit fonctionnellement équivalent et les sorties de ce circuit sont reliés à au moins certains des composants existants à commander,
caractérisé en ce que
le circuit fonctionnellement équivalent est un circuit de composants électroniques semi-conducteurs, le circuit de composants électroniques semi-conducteurs étant un circuit logique configurable et
en ce que la logique du circuit de l'ensemble de circuit existant est reproduite sur le circuit fonctionnellement équivalent au moyen d'une transformation (T), cette reproduction contenant une configuration du circuit logique configurable.
2. Procédé selon la revendication 1, dans lequel les composants électroniques semi-conducteurs présentent au moins une matrice de grille programmable sur site ("Field Programmable Gate Array" - FPGA).
3. Procédé selon l'une des revendications précédentes, dans lequel la liaison des sorties de ce circuit avec les composants à commander s'effectue par l'intermédiaire d'unités d'entrée et/ou d'unités de sortie ($IO_{1...n}$) spécifiques au composant, sans logique intégrée ou avec logique intégrée.
4. Procédé selon l'une des revendications précédentes, dans lequel l'ensemble de réglage à remplacer est un ensemble de réglage à relais.
5. Procédé selon l'une des revendications précédentes, pour la formation d'un ensemble électronique de réglage servant à remplacer un ensemble de réglage à relais, dans lequel un plan de fermetures (V) ou un plan de voies (S) de l'ensemble de réglage à relais est transformé en un circuit logique au moyen d'un traducteur qui applique des règles (T) clairement prédéfinies.
6. Procédé selon la revendication 5, dans lequel le circuit logique est retraduit en un plan comparatif (V', S') par application de règles inverses (T^{-1}), ce plan comparatif pouvant être comparé avec le plan de fermetures (V) ou le plan de voies (S), une comparaison (C) entre le plan de fermetures (V) ou le plan de voies (S) et le plan comparatif (V') étant exécutée, le traducteur formant par exemple en outre des métadonnées (M) non concernées par la sécurité et la retraduction utilisant les métadonnées (M) pour représenter le plan comparatif comparable au plan de fermetures (V).
7. Procédé selon l'une des revendications précédentes, dans lequel le circuit présente une unité logique (L) et plusieurs unités d'entrée et/ou unités de sortie ($IO_{1...n}$), le circuit logique étant relié en étoile aux unités d'entrée et/ou aux unités de sortie.
8. Procédé selon l'une des revendications 1 à 6, dans lequel le circuit présente une unité logique (L) et plusieurs unités d'entrée et/ou unités de sortie ($IO_{1...n}$), le circuit logique étant relié dans une architecture en anneau aux unités d'entrée et/ou aux unités de sortie, la communication ayant lieu le long de l'anneau de préférence simultanément dans les deux directions.
9. Procédé selon la revendication 8, dans lequel la communication (CB) s'effectue par paquets de données qui représentent chacun l'état global du système, la communication s'effectuant par exemple périodiquement et la communication étant écrite conjointement par un observateur (B).
10. Procédé selon l'une des revendications précédentes, **caractérisé en ce que** le circuit présente deux unités logiques redondantes qui exécutent chacune la même fonction logique et qui délivrent leurs résultats, le circuit étant commuté en un état sécurisé et/ou une alarme étant déclenchée au cas où les résultats ne correspondent pas.
11. Ensemble de réglage formé par un procédé selon l'une des revendications précédentes, présentant une unité logique électronique (L) et plusieurs unités d'entrée et/ou unités de sortie ($IO_{1...n}$) qui commandent des composants tels que des aiguillages, des signaux, des barrières et similaires,
caractérisé en ce que
l'unité logique (L) est configurée au moins en partie comme module logique semi-conducteur programmé présentant la forme d'un circuit logique configurable.
12. Ensemble de réglage selon la revendication 11, **caractérisé en ce qu'**au moins un module logique semi-conducteur est une matrice de grille programmable sur site ("Field Programmable Gate Array" - FPGA).
13. Ensemble de réglage selon les revendications 11 ou 12, **caractérisé en ce que** l'unité logique (L) ne présente pas de microprocesseur.
14. Ensemble de réglage selon l'une des revendications 11 à 13, **caractérisé par** une deuxième unité logique (L^*) fonctionnellement équivalente à l'unité logique (L), l'unité logique (L) et la deuxième unité logique (L^*) délivrant toutes deux des signaux de commande aux unités d'entrée et/ou aux unités de sortie ($IO_{1...n}$).

et la deuxième unité logique (L*) étant sélectionnée
en appliquant le principe de diversité.

5

10

15

20

25

30

35

40

45

50

55

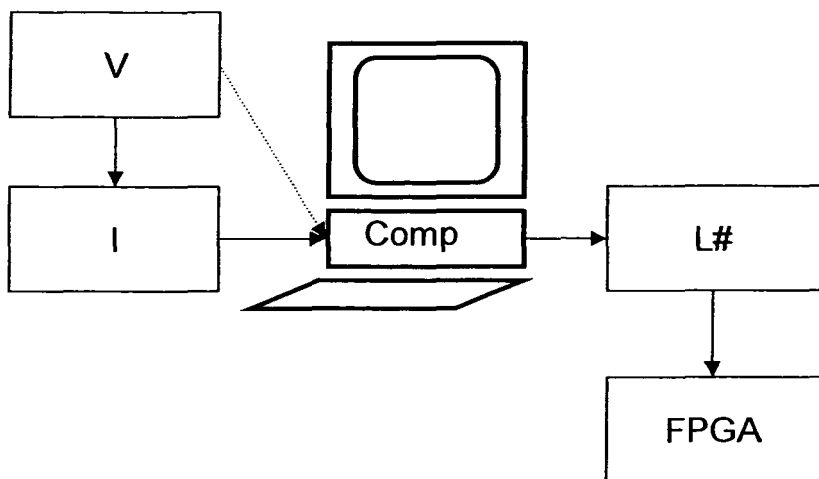


Fig. 1

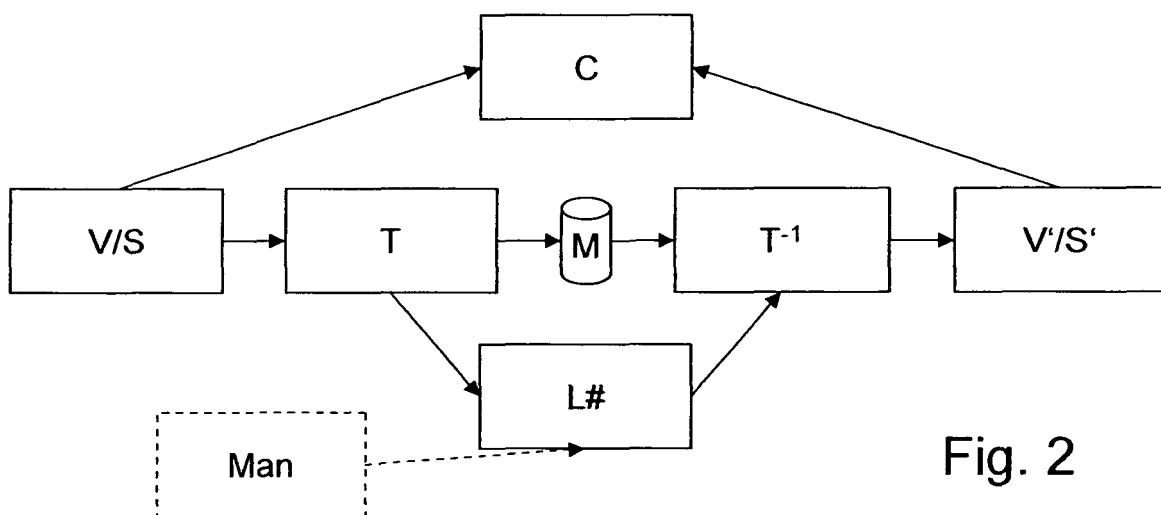


Fig. 2

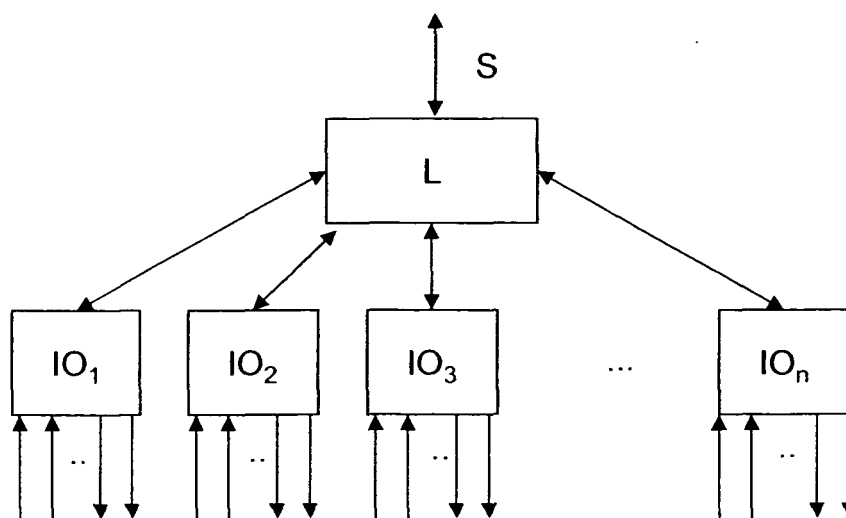
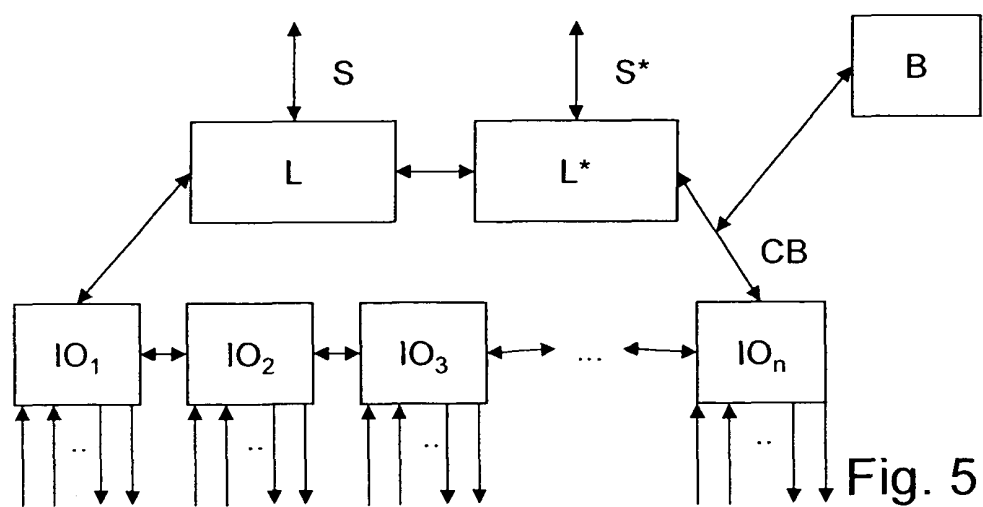
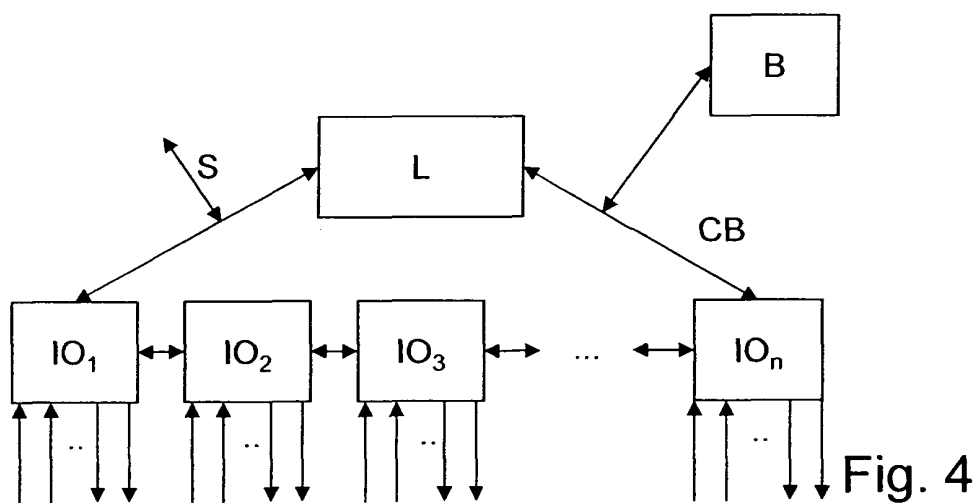
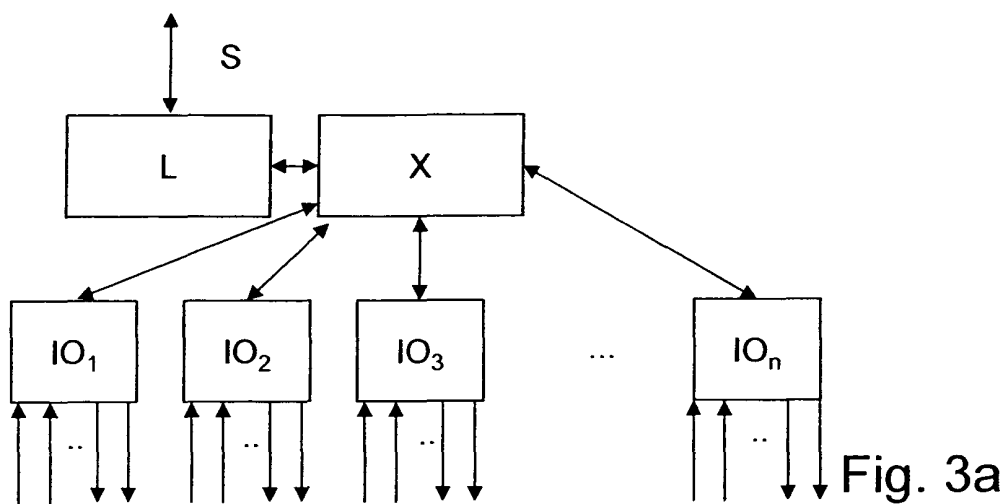


Fig. 3



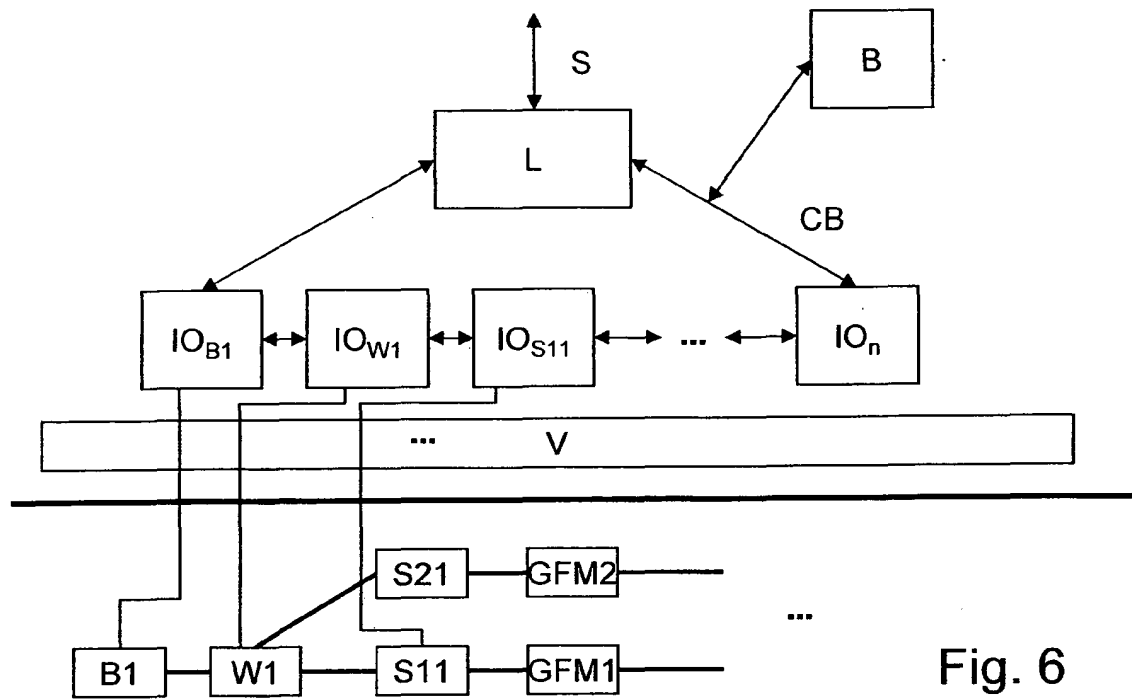


Fig. 6

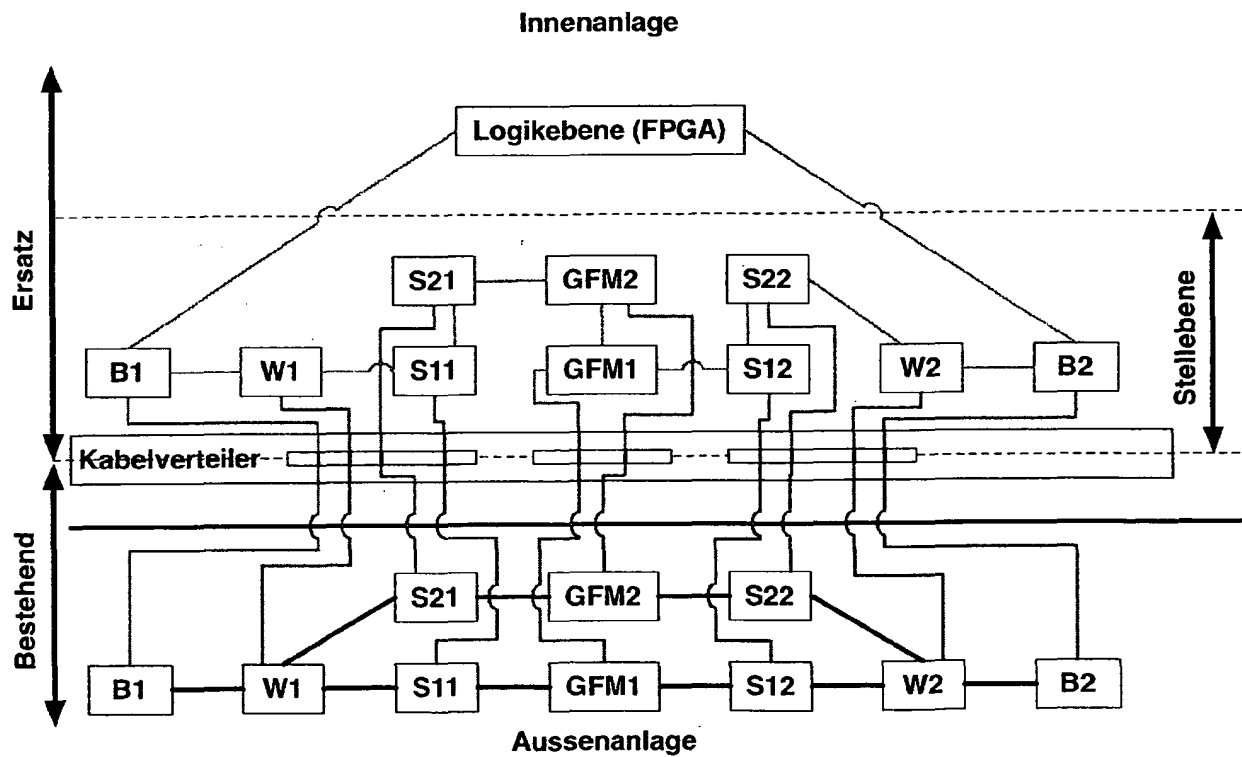


Fig. 7

IN DER BESCHREIBUNG AUFGEFÜHRTE DOKUMENTE

Diese Liste der vom Anmelder aufgeführten Dokumente wurde ausschließlich zur Information des Lesers aufgenommen und ist nicht Bestandteil des europäischen Patentdokumentes. Sie wurde mit größter Sorgfalt zusammengestellt; das EPA übernimmt jedoch keinerlei Haftung für etwaige Fehler oder Auslassungen.

In der Beschreibung aufgeführte Patentdokumente

- WO 2005113315 A [0006] [0008]
- WO 03070537 A [0007] [0008]
- WO 2006051355 A [0007] [0008]
- US 5922034 A [0009]