(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H05K 1/16 (2006.01)

(45) 공고일자 2006년06월22일
(11) 등록번호 10-0591217
(24) 등록일자 2006년06월12일

(21) 출원번호 10-2002-7004176
(22) 출원일자 2002년03월30일
번역문 제출일자 2002년03월30일
(86) 국제출원번호 PCT/US2001/023721
국제출원일자 2001년07월26일

(65) 공개번호 10-2002-0042698
(43) 공개일자 2002년06월05일
(87) 국제공개번호 WO 2002/11207
국제공개일자 2002년02월07일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르키즈스탐, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크맨, 터어키, 트리니아드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 가나, 감비아, 인도네시아, 세르비아 앤 몬테네그로, 짐바브웨, 시에라리온, 북한, 그라나다, 크로아티아, 인도, 남아프리카, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 벨리제, 모잠비크, 미국, 에쿠아도르, 콜롬비아,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 가나, 감비아, 짐바브웨, 시에라리온, 탄자니아, 모잠비크,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탐, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스, 터어키,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우, 적도 기니,

(30) 우선권주장 09/631,037 2000년07월31일 미국(US)

(73) 특허권자
인텔 코오퍼레이션
미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200

(72) 발명자
차크라볼티,키쇼레
미국95120캘리포니아주산호세버크위크샤이어웨이6407

(74) 대리인
주성민
백만기
이중희

심사관 : 홍근조

(54) 매립 커패시터를 갖는 기판을 포함하는 전자 조립체 및 그제조 방법

요약

스위칭 노이즈를 줄이기 위하여, 집적 회로 다이의 전원 단자가 다층 세라믹 기판 내의 적어도 하나의 매립 커패시터의 각 단자에 접속될 수 있다. 한 실시예에서, 커패시터가 적어도 하나의 고유전율층으로 형성된다. 다른 실시예에서, 몇층의 고유전율층이 도전층에 삽입된다. 대안적으로, 커패시터가 적어도 하나의 개별형 매립 커패시터를 포함할 수 있다. 또한, 전자 시스템, 데이터 처리 시스템, 및 다양한 제조 방법이 개시된다.

대표도

도 1

색인어

전자 패키징, 스위칭 노이즈, 매립 커패시터, 프로세서, 통신 회로

명세서

기술분야

본 발명은 일반적으로 전자 패키징에 관한 것이다. 특히, 본 발명은 고속 집적 회로에서 스위칭 노이즈를 감소시키기 위하여 하나 이상의 매립 커패시터를 갖는 기판을 포함하는 전자 조립체(electronic assembly), 및 그에 관련된 제조 방법에 관한 것이다,

배경기술

집적 회로(IC)는 일반적으로 유기 또는 세라믹 물질로 이루어진 기판에 물리적 및 전기적으로 결합되어 패키지로 조립된다. 하나 이상의 이러한 IC 패키지들은 인쇄 회로 기판(PCB) 또는 카드에 물리적 및 전기적으로 결합되어 "전자 조립체"를 형성한다. "전자 조립체"는 "전자 시스템"의 일부분이 될 수 있다. "전자 시스템"은 본 명세서에서 넓게는 "전자 조립체"를 포함하는 임의의 제품으로서 정의된다. 전자 시스템의 예로는 컴퓨터(예를 들어, 데스크탑, 랩탑, 휴대용, 서버 등), 무선 통신 장치(예를 들어, 셀룰러 폰, 무선 전화기, 호출기 등), 컴퓨터 관련 주변기기(예를 들어, 프린터, 스캐너, 모니터 등), 엔터테인먼트 장치들(예를 들어, 텔레비젼, 라디오, 스테레오, 테이프 및 콤팩트 디스크 플레이어, 비디오 카세트 레코더, MP3(Motion Picture Experts Group, Audio Layer 3) 플레이어, 등) 등이 포함된다.

전자 시스템 분야에 있어서 제조업자들에게는 장비의 성능을 높이는 한편 가격은 낮추기 위하여 끊임없는 경쟁적인 압력이 있다. 이것은 특히 기판 상에 IC를 패키지화하는 것에서는 특히 사실인데, 이 분야에서는 각 새로운 세대의 패키징이 일반적으로 크기에 있어서는 더욱 소형화되거나 더욱 콤팩트되면서도 향상된 성능을 제공해야만 한다.

IC 기판은 금속 배선(이하에서는 "트레이스(trace)"로서 지칭됨)을 제공하기 위하여 선택적으로 패터닝된 다수의 절연 금속층, 및 기판의 하나 이상의 표면 상에 탑재된 하나 이상의 전자 부품들을 포함한다. 전자 부품 또는 부품들은 기판 트레이스를 포함하는 도전 경로의 계층 구조를 통하여 전자 시스템의 다른 부품들과 기능적으로 접속되어 있다. 기판 트레이스는 전형적으로 시스템에서의 IC와 같은 전자 부품들 사이에서 전송되는 신호를 운반한다. 일부 IC는 다수의 전원 및 접지 단자 뿐만 아니라, 비교적 다수의 입력/출력(I/O) 단자를 갖는다. 다수의 I/O, 전원, 및 접지 단자들은 기판이 비교적 다수의 트레이스를 포함할 것을 요구한다. 일부 기판은 모든 시스템 배선을 수용하기 위하여 다층의 트레이스를 필요로 한다.

서로 다른 층 내에 위치하는 트레이스들은 일반적으로 보드에 형성된 비아(vias)("도금 도통 홀(plated through-holes)"이라고도 함)에 의해 전기적으로 접속된다. 비아는 기판의 일부 혹은 모든 층을 통하여 홀을 형성한 후 내부 홀 표면을 도금하거나 또는 홀을 구리 또는 텅스텐과 같은 전기 도전성 재료로 채움으로써 만들어질 수 있다.

IC를 기판에 탑재하기 위한 종래의 방법중의 하나는 "제어 컬랩스 칩 접속(controlled collapse chip connect)"(C4)이다. C4 패키지를 가공함에 있어서, IC 부품의 전기 도전성 단자부 또는 랜드는 (일반적으로 "전기적 접촉부"로 칭해짐) 재차 유동 가능한(reflowable) 땜납 범프 또는 볼을 이용하여 기판 표면 상의 대응하는 랜드에 직접적으로 납땜된다. C4 공정은 내성 및 간단성 때문에 널리 이용된다.

프로세서와 같은 IC의 내부 회로가 더욱 높은 클럭 주파수로 동작하고, IC가 더욱 높은 전력 레벨에서 동작하기 때문에, 스위칭 노이즈는 용인할 수 없는 레벨로 증가될 수 있다.

상술된 이유 때문에, 그리고 이하에 기술될 본 명세서를 읽고 이해하는 당업자들에게 명백할 다른 이유들 때문에, 당분야에서는 높은 클럭 주파수 및 빠른 전력 수송과 관련된 스위칭 노이즈와 같은 문제점들을 최소화하는, IC를 기판에 패키징하기 위한 방법 및 장치에 대해 상당한 필요성이 요구된다.

도면의 간단한 설명

도 1은 본 발명의 일실시예에 따라 매립 커패시터를 갖는 적어도 하나의 전자 조립체를 결합한 전자 시스템의 블록도.

도 2는 본 발명의 일실시예에 따라 매립 커패시터를 갖는 다층 기판의 단면도.

도 3은 본 발명의 다른 실시예에 따라 매립 커패시터를 갖는 다층 기판의 단면도.

도 4는 본 발명의 또 다른 실시예에 따라 매립된 개별형(discrete) 커패시터를 갖는 다층 기판의 단면도.

도 5는 본 발명의 일 실시예에 따라 매립 커패시터를 갖는 기판에서 사용될 수 있는 다양한 유전 물질에 대한 용량 대 면적의 그래프.

도 6은 본 발명의 일 실시예에 따라, 매립 커패시터를 포함하는 기판을 가공하는 방법의 흐름도.

도 7은 본 발명의 일 실시예에 따라, 매립 커패시터를 포함하는 기판을 구비한 전자 조립체를 가공하는 방법의 흐름도.

실시예

본 발명의 실시예들에 대한 다음의 상세한 설명에서, 본 명세서의 일부를 형성하는 첨부된 도면을 참조로 하며, 이 도면에는 본 발명이 실행될 수 있는 특정의 바람직한 실시예들이 도시된다. 이 실시예들은 충분히 상세하게 설명되어서 당업자들이 본 발명을 실행할 수 있게 하고, 다른 실시예들이 이용될 수 있으며, 본 발명의 사상과 범위를 벗어나지 않는 범위 내에서 논리적, 기계적 및 전기적 변화를 행할 수 있다는 점을 알 수 있게 된다. 따라서, 이하에서의 상세한 설명은 한정하는 의미에서 취해지는 것이 아니며, 본원 발명의 범위는 오직 첨부되는 청구항에 의해 정의된다.

본 발명은 하나 이상의 디커플링(decoupling) 커패시터를 다층 기판에 매립함으로써, 고속의 클럭 속도와 높은 전력 레벨에서 동작하는 집적 회로의 종래 기술의 패키징과 관련된 전력 수송의 문제점에 대한 해결책을 제공한다. 다양한 실시예들이 도시되고 설명된다. 일 실시예에 있어서, IC 다이는 매립 커패시터를 포함하는 다층 기판에 직접 탑재된다. 매립 커패시터는 개별형 커패시터일 수 있으며, 또는 용량성 물질의 하나 이상의 층일 수 있다.

도 1은 본 발명의 일 실시예에 따라 매립 커패시터를 갖는 적어도 하나의 전자 조립체(4)를 결합한 전자 시스템의 블록도이다. 전자 시스템(1)은 본 발명이 이용될 수 있는 전자 시스템의 단지 일예일 뿐이다. 본 실시예에서, 전자 시스템(1)은 시스템의 다양한 부품들을 결합시키는 시스템 버스(2)를 포함하는 데이타 프로세싱 시스템을 포함한다. 시스템 버스(2)는 전자 시스템(1)의 다양한 부품들 사이에 통신 링크를 제공하며, 단일 버스로, 버스들의 조합으로, 또는 임의의 다른 적절한 방식으로 구현될 수 있다.

전자 조립체(4)는 시스템 버스(2)에 접속된다. 전자 조립체(4)는 임의의 회로 또는 회로의 조합들을 포함할 수 있다. 일 실시예에 있어서, 전자 조립체(4)는 임의의 타입이 될 수 있는 프로세서(6)를 포함한다. 여기에서 사용된 바와 같이, "프로세서"는 임의의 형태의 전산 회로를 의미하며, 그 예로는 마이크로프로세서, 마이크로콘트롤러, 복합 명령 집합 컴퓨팅

(complex instruction set computing)(CISC) 마이크로프로세서, 축소 명령 집합 컴퓨팅(reduced instruction set computing)(RISC) 마이크로프로세서, VLIW(very long instruction word) 마이크로프로세서, 그래픽 프로세서, 디지탈 신호 프로세서(DSP), 또는 임의의 다른 형태의 프로세서 혹은 프로세싱 회로가 있으며, 여기에 한정되는 것은 아니다.

전자 조립체(4)에 포함될 수 있는 다른 타입의 회로들은 주문형(custom) 회로, 주문형 집적회로(application-specific integrated circuit)(ASIC), 등이 있으며, 이들의 예로는 셀룰러 전화기, 호출기, 휴대용 컴퓨터, 양방향 라디오, 및 유사한 전자 시스템과 같은 무선 장치에서 이용되기 위한 하나 이상의 회로들(예를 들어 통신 회로(7))이 있다. IC는 다른 유형의 기능을 수행할 수 있다.

전자 시스템(1)은 또한 외부 메모리(10)를 포함할 수 있으며, 특정 어플리케이션에 적합한 하나 이상의 메모리 소자, 예를 들어 랜덤 억세스 메모리(RAM) 형태의 메인 메모리(12), 하나 이상의 하드 드라이브(14), 및/또는 플로피 디스켓, 콤팩트 디스크(CD), 디지탈 비디오 디스크(DVD) 등과 같은 착탈가능 매체(16)를 처리할 수 있는 하나 이상의 드라이브를 차례로 포함할 수 있다.

전자 시스템(1)은 또한 표시 장치(8), 확성기(9), 및 키보드 및/또는 컨트롤러(20)를 포함하며, 마우스, 트랙볼, 게임 컨트롤러, 음성 인식 장치, 또는 시스템 사용자가 전자 시스템(1)에 정보를 입력하고 또는 전자 시스템(1)으로부터 정보를 수신할 수 있게 하는 임의의 다른 유형의 장치들을 포함할 수 있다.

도 2는 본 발명의 일 실시예에 따라 매립 커패시터를 갖는 다층 기판(210)의 단면도이다. 기판(210)은 그 한 표면에 IC 다이(200) 상에 땜납 볼 또는 범프(208)를 통하여 리드 또는 도전 영역(201-203)에 각각 접속될 수 있는 복수의 랜드(211-213)를 갖는다. 리드(201)는 IC 다이(200)의 신호선에 접속되고, 리드(202)는 Vcc에 접속되고, 리드(203)는 Vss에 접속된다. 신호 레벨을 수송하는 두개의 도전 경로, 즉 참조 번호 201, 208, 211, 및 221-223에 의해 식별되는 구조를 포함하는 경로들에 대해 비록 동일한 참조번호가 이용되었지만, 이 신호들이 서로 다르다는 것을 알 수 있을 것이다. 신호 경로 구조는 신호 도전체(235-237)와 같은, 세라믹 기판(210) 내에 도전층으로써 도시된 다양한 신호 도전체를 포함한다.

신호 범프(201)와 같은 신호 리드 또는 범프는 예컨대 여러 행 깊이(편의상, 다이(200)의 각 측면상에 하나의 행만 도시됨)를 갖는 구성에서 다이의 외주에 전형적으로 배치된다.

기판(210)은 다수의 Vcc, Vss 및 신호 도체를 포함하며, 편의상 이중 단지 몇가지 만이 도시된다.

기판(210)은 한쌍의 매립 커패시터를 포함한다. 각 커패시터(230)는 한쌍의 용량성 플레이트(226 및 229)를 포함하며, 이들 플레이트들 사이와 커패시터(230)사이에 고유전율층(DK, 228)을 가진다. 각각의 커패시터(230)의 하나의 용량성 플레이트(226)는 도체(215), 랜드(213) 및 땜납볼(208)을 통해 다이(200)상의 Vss 단자(203)에 접속될 수 있다. 각 커패시터(230)의 다른 용량성 플레이트(229)는 도전체(227), 랜드(212) 및 땜납볼(208)을 통해 다이(200)상의 Vcc 단자(202)에 접속될 수 있다.

여기서 사용되는 "고유전율층"은, 티탄산염 입자 등의 고유전율 세라믹 플라이(ceramic ply)와 같은 고유전재료의 층; 가령 졸-겔(Sol-Gel) 또는 금속 유기 화학 기상증착(MOCVD) 기술에 의해 피착된 티탄산염막과 같은 고유전율 유전체막; 또는 임의의 다른 타입의 고유전율 재료의 층을 의미한다.

기판(210)은 하나 이상의 매립 커패시터(230)를 구비할 수 있다.

다이(200) 및 기판(210)은 임의의 타입일 수 있다. 일 실시예에서, 다이(200)는 프로세서이며, 기판(210)은 다층 세라믹 기판이다.

도 2에 도시된 실시예에서, 금속 전원 비아(215 및 227)는 기판(210)의 중심 또는 코어 영역에 위치되어 있으며, 다이(200)의 코어 영역에 분포된 비교적 많은 수의 Vss 다이 범프(203){대응하는 수만큼의 Vss 랜드(213)에 결합됨} 및 및 Vcc 다이 범프(202){대응하는 수만큼의 Vcc 랜드(212)에 결합됨}를 포함할 수 있는 다이의 대응 영역에 커패시터(230)의 Vss 및 Vcc 용량성 플레이트(226 및 229)를 각각 접속시킬 수 있다. 이런 큰 병렬 접속은 매우 낮은 인덕턴스(예컨대, 1 피코-헨리 미만)를 보장하며, 전반적인 IC 패키징 구조의 전류 운반 능력을 강화한다.

본 발명은 신호 트레이스가 다이의 외주 이외에도 있는 경우의 실시예와, Vss 및 Vcc 트레이스가 다이의 임의의 위치에 제공되는 경우의 실시예에도 마찬가지로 적용될 수 있다.

도 2에서 전원 비아(215 및 227)의 피치가 다이 범프 피치와 동일한 것으로 도시되어 있지만, 전원 비아(215 및 227)의 피치는 다이 범프 피치와는 다를 수 있음을 이해해야 한다. 마찬가지로, 신호 비아(223)의 피치가 다이 범프 피치 보다 넓다고 도시되어 있지만, 다른 실시예에서는 동일할 수도 있다. 비아 피치를 포함하는 비아들의 구조적 형태(geometry)는 본 기술 분야의 전문가들에게는 공지된 설계 파라미터에 따르는 적당한 방식으로 변경될 수 있다.

세라믹 기판 기술을 사용하여 다양한 실시예들이 구현될 수 있다.

매립 커패시터를 구비한 기판의 하나의 중요한 목적은, IC가 특히 고 클럭 속도로 동작할 때 반응성 유도 커플링의 효과를 감소시키기 위해 다이에 비교적 근접한 곳에 비교적 높은 용량을 제공하는 것이다.

도 3은 본 발명의 다른 실시예에 따르는 매립 커패시터를 구비한 기판(310)의 단면을 도시한다. 도 3에 예시된 실시예에서, 기판(310)은 다른 기판(320)에 접속될 수 있다. 기판(320)은 선택적으로 그 대향면상에 IC 다이(도시 생략)을 가지는 기판(310)과 유사할 수 있거나 또는 인쇄 회로 기판(PCB) 또는 기판의 다른 타입일 수 있다. 기판(320)의 리드 또는 유도성 영역(334, 339 및 319)은 땜납볼(338)을 통해 기판(310)의 대응하는 랜드(331, 332 및 317)에 접속될 수 있다.

기판(310)의 내부 구조는 상술한 기판(210)(도 2)과 유사할 수 있다. 따라서, 기판(310)은 땜납볼(308)을 통해 IC 다이(300)상에서 각각 리드 또는 유도성 영역(301-303)에 접속될 수 있는 하나의 표면상에서 복수의 랜드(311-313)를 가진다. 리드(301)는 IC 다이(300)의 신호선에 접속되며, 리드(302)는 Vcc에 접속되며, 리드(303)는 Vss에 접속된다. 신호 레벨을 운반하는 2개의 도전 경로, 즉 참조 번호 301, 308, 311, 및 321-323로 식별되는 구조를 포함하는 경로들에 대해 동일한 참조 부호를 사용하였지만, 이들 신호는 다를 수 있다. 신호 경로 구조는 예컨대 신호 도전체(335-337)와 같은 기판(310)내의 도전층으로서 예시된 다양한 신호 도전체들을 포함할 수 있다.

기판(310)은 다수의 Vss, Vcc 및 신호 도체를 포함할 수 있으며, 편의상 이들중 몇가지만이 예시된다.

기판(310)은 한쌍의 매립 커패시터(330)를 포함하며, 이들 각각은 한쌍의 용량성 플레이트(326 및 329)를 포함하며 용량성 플레이트(326 및 329) 사이 및 커패시터(330) 사이에 높은 DK층(340)을 갖는다. 각각의 커패시터(330)의 하나의 용량성 플레이트(326)는 세그먼트(315), 랜드(313) 및 땜납볼(308)을 통해 다이(300)상의 Vss 단자(303)에 접속될 수 있다. 플레이트(326)는 세그먼트(316), 랜드(317) 및 땜납볼(338)을 통해서 기판(320)상의 Vss 단자(319)에 또한 접속될 수 있다. 각각의 커패시터(330)의 다른 용량성 플레이트(329)는 세그먼트(327), 랜드(312) 및 땜납볼(308)을 통해서 다이(300)상의 Vcc 단자(302)에 또한 접속될 수 있다. 플레이트(329)는 세그먼트(328), 랜드(332) 및 땜납볼(338)을 통해서 기판(320)상의 Vcc 단자(339)에 또한 접속될 수 있다.

기판(310)은 하나 이상의 매립 커패시터(330)를 구비할 수 있다.

다이(300) 및 기판(310 및 320)은 임의의 타입중 하나일 수 있다. 일 실시예에서, 다이(300)는 프로세서이며, 기판(310)은 다층 세라믹 기판이며, 기판(320)은 PCB이다. 다른 실시예에서, 기판(320)은 세라믹 기판이다.

도 3에 도시된 실시예에서, 금속화된 전원 비아 315 및 316(도 2 및 3에 예시된 다양한 비아 세그먼트, 예컨대 비아 세그먼트 315, 316 및 327, 328은 분리된 비아들 또는 하나의 연속 비아일 수 있음)과 327 및 328은, 기판(310)의 중심 또는 코어 영역 내에 위치되어 있으며 다이(300)의 코어 영역에 분포된 비교적 많은 수의 Vss 다이 범프(303){대응하는 수만큼의 Vss 랜드(313)에 결합됨} 및 Vcc 다이 범프(302){대응하는 수만큼의 Vcc 랜드(312)에 결합됨}를 포함할 수 있는 다이의 대응하는 영역에 커패시터(330)의 Vss 및 Vcc 용량성 플레이트(326 및 329)를 각각 접속시킬 수 있다. 이런 큰 병렬 접속성은 매우 낮은 인덕턴스(예컨대, 1 피코-헨리 미만)를 보증하게 된다.

기판(310 및 320)의 다양한 실시예는 세라믹 기판 기술을 사용하여 구현될 수 있다. 기판(310 및 320)의 사용된 물질의 타입, 치수, 층수, 전력 및 신호 도전체의 레이아웃을 포함하는 구조는 이들이 일부를 형성하는 전자 조립체의 요건에 따라 유사하거나 또는 다를 수 있다.

기판(310)의 상부의 랜드/범프 피치가 다이(300)의 범프 피치에 정합될 필요가 있으며, 기판(310)의 하부의 랜드/범프 피치가 기판(320)의 패드 피치에 정합될 필요가 있음에 유의해야 한다. 도 3에 도시된 실시예에서 전원 비아(315 및 327)의 피치가 기판(320)의 상부 및 하부상에서 동일하고, 신호 비아(323)의 피치가 기판(320)의 상부보다 기판(320)의 하부에서 더 넓을지라도, 피치 관계는 설계 제한 및 목적을 만족시키기 위하여 임의의 적당한 형태로 변경될 수 있다.

도 4는 본 발명의 다른 실시예에 따르는 2개의 매립 개별형 커패시터(430 및 440)를 구비한 다층 기판(410)의 단면도이다. Vss, 다층의 Vcc 및 신호 도전체를 포함할 수 있는 기판(410)은 다이(400)를 장착하는데 사용되는 것이다. 기판(410)의 랜드(402)는 Vcc 전위에 있으며, IC 다이(400)상에서 대응하는 도전 영역(도시 생략)에 땜납볼(401)의 임의의 것들을 통해 접속될 수 있다. 마찬가지로, 랜드(403)는 Vss 전위에 있으며, IC 다이(400)상에서 대응하는 영역(도시 생략)에 다른 땜납볼(401)을 통해 접속될 수 있다.

개별형 커패시터(430 및 440)는 임의의 적당한 타입중 하나일 수 있다. 일 실시예에서, 각 개별형 커패시터(430 및 440)는 한쌍의 상부 단자들(426 및 428)과 한쌍의 하부 단자들(423 및 425)를 포함한다. 그러나, 더 많거나 적은 단자들(423 및 425) 및/또는 기판(410)의 상부에만 접속되는 단자를 구비한 개별형 커패시터가 또한 사용될 수 있다. 예컨대, 상술한 관련된 발명(Related Invention)에서, 일 실시예에서는 인터포져내에 매립된 단일 개별형 커패시터는 인터포져의 상부 부분에만 접속되는 2개의 단자를 가진다. 유사한 용량성 구조, 즉 기판(410)의 상부에만 접속되는 단자를 갖는 구조가 본 발명의 일 실시예에서 마찬가지로 사용될 수 있다.

도 4에 도시된 바와 같이, 전원 비아 404, 405, 412, 413, 418, 419, 422 및 424를 포함하는 전원 비아들은 기판(410)의 코어 영역 내에 위치되며(편의상 기판(410)과 IC 다이(400)의 좌부는 도시 생략함), 실질적으로 IC 다이(400)의 코어 영역 아래에 위치한다.
랜드(402)는 전원 비아(404), 도전층(406) 및 전원 비아(412)를 포함하는 루트에 의해 매립 커패시터(430)의 상부 단자(426)에 접속된다. 랜드(403)는 전원 비아(405), 도전층(407), 및 전원 비아(413)를 포함하는 루트에 의해 매립 커패시터(430)의 다른 상부 단자(428)에 접속된다.

도 4에 도시된 바와 같이, 신호 비아 409를 포함하는 신호 비아들은 기판(410)의 외주 영역 내에 위치되며(편의상 기판(410)과 IC 다이(400)의 좌부는 도시 생략함), 실질적으로 IC 다이(400)의 외주부 아래에 위치한다.
랜드(431)는 전원 비아(418), 도전층(416), 및 전원 비아(422)를 포함하는 루트에 의해 매립 커패시터(430)의 하부 단자(423)에 접속된다. 랜드(432)는 전원 비아(419), 도전층(417), 및 전원 비아(424)를 포함하는 루트에 의해 매립 커패시터(430)의 다른 하부 단자(425)에 접속된다.

도 4에 예시된 바와 같이, 커패시터(430)에 관하여 설명된 바와 같은 유사한 Vcc 및 Vss 접속이 커패시터(440)의 단자에 행해진다.

또한 다양한 신호 라우팅(routing)(편의상 도시하지는 않았지만, IC 다이 400의 신호 영역, 소정의 납땜 볼(401), 랜드(408 및 434)와 같은 기판(410) 상의 적절한 랜드, 및 신호면 및 신호 비아(409)와 같은 기판(410)내의 신호 비아들을 포함함)이 기판(410) 내에 제공될 수 있음을, 당업자라면 이해할 수 있을 것이다.

매립 커패시터(430 및 440)는 임의의 적절한 구조일 수 있다. 일 실시예에서, 종래의 세라믹 칩 커패시터 기술을 사용해서 제조된 세라믹 칩 커패시터가 사용된다. 도시와 설명의 편의상, 두 개의 커패시터(430 및 440)만이 도시되었지만, 단 하나의 커패시터를 포함해서, 다른 수의 커패시터가 도 4에 도시된 실시예에서 사용될 수 있다.

도 2 내지 4는 단지 설명을 위한 것이고, 실제 축척을 반영하는 것은 아니다. 어떤 부분은 확대되었을 것이고, 다른 부분은 축소되었을 것이다. 도 2 내지 4는 본 발명의 다양한 구현을 예시하려는 것이고, 이는 당업자에 의해 이해되고 적절하게 실현될 수 있다.

제조 공정

다층 세라믹 기판은 고온 동시 소성(co-fired) 세라믹(HTCC) 기술, 고 열팽창 계수(HITCE) 기술, 또는 유리 세라믹 기술과 같은(이것으로 제한되는 것은 아님) 종래 기술에 의해 제조될 수 있지만, 이에 제한되지 않는다.

세라믹 기술에서, 금속면 사이에 Al_2O_3와 같은 종래의 세라믹으로 된 박막(예를 들어 2 mils)을 샌드위치시킴으로써 세라믹 기판 내에 저 Dk 커패시터를 매립하는 기술이 공지되어 있지만, 본 발명에서는 고 Dk 플라이(high Dk ply)의 다층 스택이 일 실시예에서 사용된다. 고 Dk 플라이는 예를 들어, 세라믹 칩 커패시터를 제조하는데 상업적으로 사용가능하다. 티탄산염 입자와 같은 적당한 고 Dk 재료가 종래의 세라믹 매트릭스로 삽입될 수 있다. 본 발명에서 $BaTiO_3$와 같은 고 Dk 플라이의 다층 스택은, 저 Dk 플라이에 대해서는 단지 나노-패럿(nano-Farads)/sq.cm.의 범위에서의 용량을 얻는데 비해, 10_F/sq.cm.까지 높은 용량을 제공할 수 있다.

또 다른 실시예에서, 티탄산염 막, 예를 들어, $(Ba_XSr_{1-X})TiO_3$(BST) 또는 $PbZrTiO_3$(PZT) 또는 Ta_2O_5 또는 $SrTiO_3$와 같은 고 Dk층은, 금속-유기 화학 증기 침착(MOCVD) 공정, 또는 졸-젤(Sol-Gel) 공정[졸(sol)은 액체 중의 고체 입자의 콜로이드 현탁액(colloidal suspension)이고, 고체 분자의 성장 및 상호 접속에 의해서 젤로 변형될 수 있음]과 같은 종래의 기술에 의해 세라믹 기판에서 형성될 수 있다.

어느 경우에서든, 고 Dk 물질은 세라믹 기술에 적합한 범위의 온도(예를 들어, 섭씨 600-1000도)에서 매립될 수 있다.

도 4에 도시된 실시예에 대해서, 개별형 커패시터(430 및 440)가 기판(410)에 매립되고, 커패시터(430 및 440)에 대한 액세스는 펀칭(punching) 또는 레이저 삭마(ablation)와 같은 소정의 종래 기술에 의해서 이루어 질 수 있고, 기판(410)의 V_{CC} 및 V_{SS} 도전체는 공정의 요구 온도에 알맞은 소정의 적절한 금속화 기술에 의해 커패시터(430 및 440)의 단자에 접속될 수 있다.

용량의 추정

도 3에 도시된 실시예에 대한 용량 값은 식(1)을 통해 추정될 수 있다.

식(1) C = A*_r*_0/d

여기에서: A = 커패시터 크기(제곱 미터)

_r = 유전 상수 8.845×10^{-12} 패럿/미터

_0 = 절연체의 유전 상수

d = 유전체층 두께(미터)

도 5는 본 발명의 일 실시예에 따라 커패시터가 매립된 기판에서 사용될 수 있는 다양한 유전체 물질에 대해서 커패시터의 측 치수(side dimension)(미크론)에 대한 용량(나노-패럿)의 도식적 표현을 나타낸다. 도 5에는 다음의 유전체 재료에 해당하는 플롯(plot)이 도시된다: PZT(Dk=2000)에 해당하는 라인 501, $BaTiO_3$(Dk=1000)에 해당하는 라인 502, BST (Dk=500)에 해당하는 라인 503, $SrTiO_X$(Dk=200)에 해당하는 라인 504, TaO_X(Dk=25)에 해당하는 라인 505.

도 5는 표시된 다양한 티탄산염 및 산화 물질과 함께 사용가능한 용량의 대략적인 범위를 요약한다. 높은 유전율의 세라믹 플라이($BaTiO_3$로 포화된 세라믹 플라이와 같은)를 사용할 때, 표시값은 V_{CC} 및 V_{SS} 층 사이에 10 미크론 두께의 플라이를 사용 - 이러한 40개의 층을 포함하는 스택에서 사용하는 경우 - 하여 일반적으로 얻을 수 있는 최대 용량에 상응한다.

졸-젤 또는 MOCVD 실시예(예를 들어, PZT, BST, $SrTiO_3$ 또는 Ta_2O_5)에 의해 형성되는 유전체의 경우에, 계산된 값은 표시된 유전체의 0.25 미크론의 막에 상응한다.

소정의 실시예의 용량 요구를 충족시키기 위해서, 다중층 커패시터가 필요한만큼 스택될 수 있다.

도 6은 본 발명의 일 실시예에 따른 매립 커패시터를 포함하는 기판을 제조하는 방법을 도시한 순서도이다. 이 방법은 601에서 시작한다.

603에서, 제1 및 제2 단자를 포함하는 적어도 하나의 커패시터가 기판 구조내에서 형성된다. 일 실시예에서 이 구조는 다층 세라믹 구조이고, 다른 실시예에서 이 구조는 세라믹 물질과 다른 물질로 형성될 수도 있다. 커패시터는 (1) 전도층 사이에 샌드위치된 적어도 하나의 고유전율층; 또는 그 대안으로서 (2)개별형 커패시터로 구성될 수 있다.

605에서, 제1 및 제2 전원 노드가 기판 구조 내에 형성된다. 여기에서 사용된 바와 같이, "전원 노드"라는 용어는 접지 노드(예를 들어, Vss) 또는 접지와 다른 전위에서의 전력 노드(예를 들어, Vcc)를 지시한다.

607에서, 커패시터(들)의 제1 단자(들) 및 제1 전원 노드에 접속된 제1 랜드와, 커패시터(들)의 제2 단자(들) 및 제2 전원 노드에 접속된 제2 랜드를 포함하는 복수의 랜드가 기판 구조의 일면에 형성된다. 제1 및 제2 랜드는, 기판 구조의 표면에 병치되고, 거기에 물리적으로 부착되는 다이(예를 들어, 도 2의 IC 다이 200)의 제1 및 제2 전원 노드에 접속되도록 위치가 정해진다. 이 방법은 609에서 종료한다.

도 7은 본 발명의 일 실시예에서 따라서, 매립 커패시터를 포함하는 기판을 갖는 전자 조립체를 제조하는 방법을 도시한 순서도이다. 이 방법은 701에서 시작한다.

703에서, 제1 및 제2 전원 노드를 갖는 다이가 제공된다.

705에서, 제3 및 제4 전원 노드를 갖는 기판이 제공된다. 기판은 제1 및 제2 단자를 갖는 적어도 하나의 커패시터를 포함한다. 이 커패시터는 (1)전도층 사이에 샌드위치된 적어도 하나의 고유전율층을 포함하거나; 또는 그 대안으로서 커패시터는 (2)개별형 커패시터이다. 기판은 커패시터(들)의 제1 단자(들) 및 제3 전원 노드에 접속된 제1 랜드와, 커패시터(들)의 제2 단자(들) 및 제4 전원 노드에 접속된 제2 랜드를 포함하는 다수의 랜드를 기판의 일면에 더 포함한다.

707에서, 제1 및 제2 랜드는 다이의 제1 및 제2 전원 노드에 각각 접속된다. 이 방법은 709에서 종료한다.

도 6 및 7에 도시된 방법들과 관련하여 상술된 동작은 본 명세서에 기술된 것과 다른 순서로도 수행될 수 있다.

결론

본 발명은 높은 클럭 주파수 및 높은 전력 전달과 연관되는 스위칭 노이즈와 같은 문제를 최소화하는 전자 조립체 및 그 제조 방법을 제공한다. 본 발명은 예를 들어, 고성능 프로세서에서 요구되는 전력 전달을 충족시킬 수 있는 낮은 인덕턴스를 가지는 매립 디커플링 커패시터를 사용함으로써, 조절이 가능한(scalable) 높은 용량(예를 들어, 10mF/제곱 센티미터 초과)을 제공한다. 본 발명에 결합되는 전자 시스템은 더 높은 클럭 주파수에서 동작할 수 있고, 이는 상업적으로 보다 매력적이다.

본 명세서에서 기술된 바와 같이, 본 발명은 기판, 전자 조립체, 전자 시스템, 데이터 처리 시스템, 기판 제조 방법, 및 전자 조립체 제조 방법을 포함하는 다양한 실시예에서 구현될 수 있다. 다른 실시예들도 가능하다는 것은 당업자에게는 명백한 일이다. 용량 소자, 재료 선택, 지오메트리(geometries), 및 용량은 특정한 패키징 요구에 알맞게 모두 변화할 수 있다. 매립 커패시터의 특정 지오메트리는 그것의 방향, 크기, 개수, 위치, 및 그 구성 요소의 합성에 대해서 매우 유동적이다.

실시예는 신호 트레이스(traces)가 외주부에 제공되고, Vcc 및 Vss 트레이스가 다이 코어에 제공되는 것으로 도시되었지만, 본 발명은 신호 트레이스가 외주부 외에서 발생하는 실시예, 및 Vcc 및 Vss가 다이의 임의의 부분에서 제공되는 실시예에서도 동일하게 적용될 수 있다.

또한, 본 발명은 C4 패키지에서 사용하는 것으로 제한되어 해석되는 것은 아니며, 본 발명의 상술된 특징들이 이익을 제공하는 어떤 형태의 IC 패키지에서도 사용될 수 있다.

본 명세서에서는 특정 실시예가 도시되고 기술되었지만, 동일한 목적을 달성하는 것으로 평가되는 어떠한 변형도 도시된 특정 실시예를 대신할 수 있다는 것은 당업자에게는 명백한 것이다. 본 출원은 본 발명의 어떤 변형 및 변화도 포함하려고 한다. 따라서, 본 발명은 청구항 및 그 등가물에 의해서만 제한되는 것이 명백하다.

(57) 청구의 범위

청구항 1.
삭제

청구항 2.
삭제

청구항 3.
삭제

청구항 4.
삭제

청구항 5.
삭제

청구항 6.
삭제

청구항 7.
삭제

청구항 8.

전자 조립체에 있어서,

전원 노드, 접지 노드 및 신호 노드를 포함하는 다이; 및

다층 세라믹 기판을 포함하되,

상기 다층 세라믹 기판은,

제1 및 제2 단자를 갖는 매립 커패시터;

상기 제1 단자에 접속된 복수의 제1 전원 랜드와 상기 제2 단자에 접속된 복수의 제1 접지 랜드를 포함하는 제1 코어 - 상기 복수의 제1 전원 랜드와 상기 복수의 제1 접지 랜드 각각은 상대적으로 큰 수만큼 존재함 - 및 복수의 제1 신호 랜드를 포함하는 제1 외주부를 갖는 제1면; 및

상기 제1 단자에 접속된 복수의 제2 전원 랜드와 상기 제2 단자에 접속된 복수의 제2 접지 랜드를 포함하는 제2 코어 및 제2 복수의 신호 랜드를 포함하는 제2 외주부를 갖는 제2면을 포함하고,

상기 복수의 제1 전원 랜드, 상기 복수의 제1 접지 랜드 및 상기 복수의 제1 신호 랜드는 상기 다이의 상기 전원 노드, 접지 노드 및 신호 노드 중 대응되는 노드에 접속되는 전자 조립체.

청구항 9.
삭제

청구항 10.
삭제

청구항 11.
삭제

청구항 12.
삭제

청구항 13.

다층 세라믹 기판에 접속된 다이를 갖는 전자 조립체를 포함하는 전자 시스템에 있어서, 상기 다이는 전원 노드, 접지 노드 및 신호 노드를 포함하고,

상기 기판은,

제1 및 제2 단자를 갖는 적어도 하나의 매립 커패시터;

상기 제1 단자에 접속된 복수의 제1 전원 랜드와 상기 제2 단자에 접속된 복수의 제1 접지 랜드를 포함하는 제1 코어 - 상기 복수의 제1 전원 랜드와 상기 복수의 제1 접지 랜드 각각은 상대적으로 큰 수만큼 존재함 - 및 복수의 제1 신호 랜드를 포함하는 제1 외주부를 갖는 제1면; 및

상기 제1 단자에 접속된 복수의 제2 전원 랜드와 상기 제2 단자에 접속된 복수의 제2 접지 랜드를 포함하는 제2 코어 및 제2 복수의 신호 랜드를 포함하는 제2 외주부를 갖는 제2면을 포함하고,

상기 복수의 제1 전원 랜드, 상기 복수의 제1 접지 랜드 및 상기 복수의 제1 신호 랜드는 상기 다이의 상기 전원, 접지 및 신호 노드 중 대응되는 노드에 접속되는 전자 시스템.

청구항 14.
삭제

청구항 15.
삭제

청구항 16.
삭제

청구항 17.
삭제

청구항 18.

데이터 처리 시스템에 있어서,

상기 데이터 처리 시스템내의 콤포넌트를 접속하는 버스;

상기 버스에 접속된 표시 장치;

상기 버스에 접속된 외부 메모리; 및

상기 버스에 접속되고 전자 조립체를 포함하는 프로세서를 포함하고,

상기 전자 조립체는,

전원 노드, 접지 노드 및 신호 노드를 포함하는 다이; 및

다층 세라믹 기판을 포함하되,

상기 다층 세라믹 기판은,

제1 및 제2 단자를 갖는 매립 커패시터;

상기 제1 단자에 접속된 복수의 제1 전원 랜드와 상기 제2 단자에 접속된 복수의 제1 접지 랜드를 포함하는 제1 코어 - 상기 복수의 제1 전원 랜드와 상기 복수의 제1 접지 랜드 각각은 상대적으로 큰 수만큼 존재함 - 및 복수의 제1 신호 랜드를 포함하는 제1 외주부를 갖는 제1면; 및

상기 제1 단자에 접속된 복수의 제2 전원 랜드와 상기 제2 단자에 접속된 복수의 제2 접지 랜드를 포함하는 제2 코어 및 제2 복수의 신호 랜드를 포함하는 제2 외주부를 갖는 제2면을 포함하고,

상기 복수의 제1 전원 랜드, 상기 복수의 제1 접지 랜드 및 상기 복수의 제1 신호 랜드는 상기 다이의 상기 전원, 접지 및 신호 노드 중 대응되는 노드에 접속되는 데이터 처리 시스템.

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

다이를 패키징하기 위한 다층 세라믹 기판을 제조하는 방법에 있어서,

상기 기판의 코어 영역에 복수의 전원 및 접지 비아를 형성하는 단계;

상기 기판의 외주 영역에 복수의 신호 비아를 형성하는 단계;

제1 및 제2 단자를 갖는 매립 커패시터를 상기 기판에 형성하는 단계; 및

상기 복수의 전원 비아를 통해 상기 제1 단자에 접속되는 복수의 전원 랜드와, 상기 복수의 접지 비아를 통해 상기 제2 단자에 접속되는 복수의 접지 랜드와, 상기 복수의 신호 비아에 접속되는 복수의 신호 랜드를 상기 기판의 일면에 형성하는 단계를 포함하고,

상기 복수의 전원 랜드, 상기 복수의 접지 랜드 및 상기 복수의 신호 랜드는 제어 컬랩스 칩 접속(C4) 땜납 범프를 통해 상기 다이의 대응하는 전원, 접지 및 신호 노드에 접속되도록 위치하고, 상기 복수의 전원 랜드 및 상기 복수의 접지 랜드는 각각 상대적으로 큰 수만큼 존재하는 다층 세라믹 기판 제조 방법.

청구항 24.

제23항에 있어서, 상기 매립 커패시터는 복수의 고유전율층으로 형성되는 방법.

청구항 25.

제24항에 있어서, 도전층이 교대로 상기 전원 및 접지 랜드 각각에 접속되도록, 상기 매립 커패시터가 상기 고유전율층에 끼워진 복수의 도전층으로 형성되는 방법.

청구항 26.

제23항에 있어서, 상기 매립 커패시터가 적어도 하나의 개별형 매립 커패시터로 형성되는 방법.

청구항 27.

전자 조립체를 제조하는 방법에 있어서,

전원 노드, 접지 노드 및 신호 노드를 갖는 다이를 제공하는 단계; 및

다층 세라믹 기판을 제공하는 단계를 포함하되,

상기 다층 세라믹 기판은,

제1 및 제2 단자를 갖는 매립 커패시터;

상기 제1 단자에 접속된 복수의 제1 전원 랜드와 상기 제2 단자에 접속된 복수의 제1 접지 랜드를 포함하는 제1 코어 - 상기 복수의 제1 전원 랜드와 상기 복수의 제1 접지 랜드 각각은 상대적으로 큰 수만큼 존재함 - 및 복수의 제1 신호 랜드를 포함하는 제1 외주부를 갖는 제1면; 및

상기 제1 단자에 접속된 복수의 제2 전원 랜드와 상기 제2 단자에 접속된 복수의 제2 접지 랜드를 포함하는 제2 코어 및 제2 복수의 신호 랜드를 포함하는 제2 외주부를 갖는 제2면을 포함하고,

상기 복수의 제1 전원 랜드, 상기 복수의 제1 접지 랜드 및 상기 복수의 제1 신호 랜드는 상기 다이의 상기 전원, 접지 및 신호 노드 중 대응되는 노드에 접속되는 전자 조립체 제조 방법.

청구항 28.

제27항에 있어서, 상기 매립 커패시터가 복수의 고유전율층으로 형성되는 방법.

청구항 29.

제28항에 있어서, 도전층이 교대로 상기 전원 및 접지 랜드에 각각 접속되도록, 상기 매립 커패시터가 상기 고유전율층에 끼워진 복수의 도전층으로 형성되는 방법.

청구항 30.

제27항에 있어서, 상기 매립 커패시터가 적어도 하나의 개별형 매립 커패시터로 형성되는 방법.

청구항 31.

다이를 패키징하기 위한 기판에 있어서,

상기 기판의 코어 영역 내에 설치된 복수의 전원 및 접지 비아;

상기 기판의 외주 영역 내에 설치된 복수의 신호 비아;

제1 및 제2 단자를 갖는 매립 커패시터; 및

상기 복수의 전원 비아를 통해 상기 제1 단자에 접속되는 복수의 전원 랜드와, 상기 복수의 접지 비아를 통해 상기 제2 단자에 접속되는 복수의 접지 랜드와, 상기 복수의 신호 비아에 접속되는 복수의 신호 랜드를 갖는 표면을 포함하고,

상기 복수의 전원 랜드, 상기 복수의 접지 랜드 및 상기 복수의 신호 랜드는 제어 컬랩스 칩 접속(C4) 땜납 범프를 통해 상기 다이의 대응하는 전원, 접지 및 신호 노드에 접속되도록 배치되고, 상기 복수의 전원 랜드 및 상기 복수의 접지 랜드는 각각 상대적으로 큰 수만큼 존재하는 것을 특징으로 하는 기판.

청구항 32.

제31항에 있어서, 상기 기판은 다층 세라믹 기판인 것을 특징으로 하는 기판.

청구항 33.

제31항에 있어서, 상기 복수의 전원 랜드는 상기 복수의 접지 랜드와 그 갯수가 실질적으로 일치하는 것을 특징으로 하는 기판.

청구항 34.

제31항에 있어서, 상기 전원 비아들 중 적어도 하나는 상기 기판을 완전히 관통하지는 않는 것을 특징으로 하는 기판.

청구항 35.

제31항에 있어서, 상기 접지 비아들 중 적어도 하나는 상기 기판을 완전히 관통하지는 않는 것을 특징으로 하는 기판.

청구항 36.

다이를 패키징하기 위한 기판에 있어서,

상기 기판의 코어 영역 내에 설치된 복수의 전원 및 접지 비아;

제1 및 제2 단자를 갖는 매립 커패시터;

상기 복수의 전원 비아들 중 제1 전원 비아들을 통해 상기 제1 단자에 접속된 복수의 제1 전원 랜드와, 상기 복수의 접지 비아들 중 제1 접지 비아들을 통해 상기 제2 단자에 접속된 복수의 제1 접지 랜드를 포함하는 제1면; 및

상기 복수의 전원 비아들 중 제2 전원 비아들을 통해 상기 제1 단자에 접속된 복수의 제2 전원 랜드와, 상기 복수의 접지 비아들 중 제2 접지 비아들을 통해 상기 제2 단자에 접속된 복수의 제2 접지 랜드를 포함하는 제2면

을 포함하며,

상기 복수의 제1 전원 랜드와 상기 복수의 제1 접지 랜드는 상기 다이의 대응하는 전원 및 접지 노드들에 접속되도록 위치하는 것을 특징으로 하는 기판.

청구항 37.

제36항에 있어서, 상기 기판은 다층 세라믹 기판인 것을 특징으로 하는 기판.

청구항 38.

제36항에 있어서, 상기 복수의 제1 전원 랜드는 상기 복수의 제1 접지 랜드와 그 갯수가 실질적으로 일치하는 것을 특징으로 하는 기판.

청구항 39.

제36항에 있어서, 상기 복수의 제2 전원 랜드는 상기 복수의 제2 접지 랜드와 그 갯수가 실질적으로 일치하는 것을 특징으로 하는 기판.

청구항 40.

제36항에 있어서, 상기 전원 비아들 중 적어도 하나는 상기 기판을 완전히 관통하지는 않는 것을 특징으로 하는 기판.

청구항 41.

제36항에 있어서, 상기 접지 비아들 중 적어도 하나는 상기 기판을 완전히 관통하지는 않는 것을 특징으로 하는 기판.

청구항 42.

다이를 패키징하기 위한 기판에 있어서,

상기 기판의 코어 영역 내에 설치된 복수의 전원 및 접지 비아;

복수의 신호 비아;

제1 및 제2 단자를 갖는 매립 커패시터;

상기 복수의 전원 비아들 중 제1 전원 비아들을 통해 상기 제1 단자에 접속된 복수의 제1 전원 랜드와, 상기 복수의 접지 비아들 중 제1 접지 비아들을 통해 상기 제2 단자에 접속된 복수의 제1 접지 랜드와, 상기 복수의 신호 비아에 접속된 복수의 제1 신호 랜드를 포함하는 제1면; 및

상기 복수의 전원 비아들 중 제2 전원 비아들을 통해 상기 제1 단자에 접속된 복수의 제2 전원 랜드와, 상기 복수의 접지 비아들 중 제2 접지 비아들을 통해 상기 제2 단자에 접속된 복수의 제2 접지 랜드와, 상기 복수의 신호 비아에 접속된 복수의 제2 신호 랜드를 포함하는 제2면

을 포함하며,

상기 복수의 제1 전원 랜드, 상기 복수의 제1 접지 랜드 및 상기 복수의 제1 신호 랜드는 상기 다이의 대응하는 전원, 접지 및 신호 노드들에 접속되도록 위치하는 것을 특징으로 하는 기판.

청구항 43.

제42항에 있어서, 상기 기판은 다층 세라믹 기판인 것을 특징으로 하는 기판.

청구항 44.

제42항에 있어서, 상기 복수의 제1 전원 랜드는 상기 복수의 제1 접지 랜드와 그 갯수가 실질적으로 일치하는 것을 특징으로 하는 기판.

청구항 45.

제42항에 있어서, 상기 복수의 제2 전원 랜드는 상기 복수의 제2 접지 랜드와 그 갯수가 실질적으로 일치하는 것을 특징으로 하는 기판.

청구항 46.

제42항에 있어서, 상기 전원 비아들 중 적어도 하나는 상기 기판을 완전히 관통하지는 않는 것을 특징으로 하는 기판.

청구항 47.

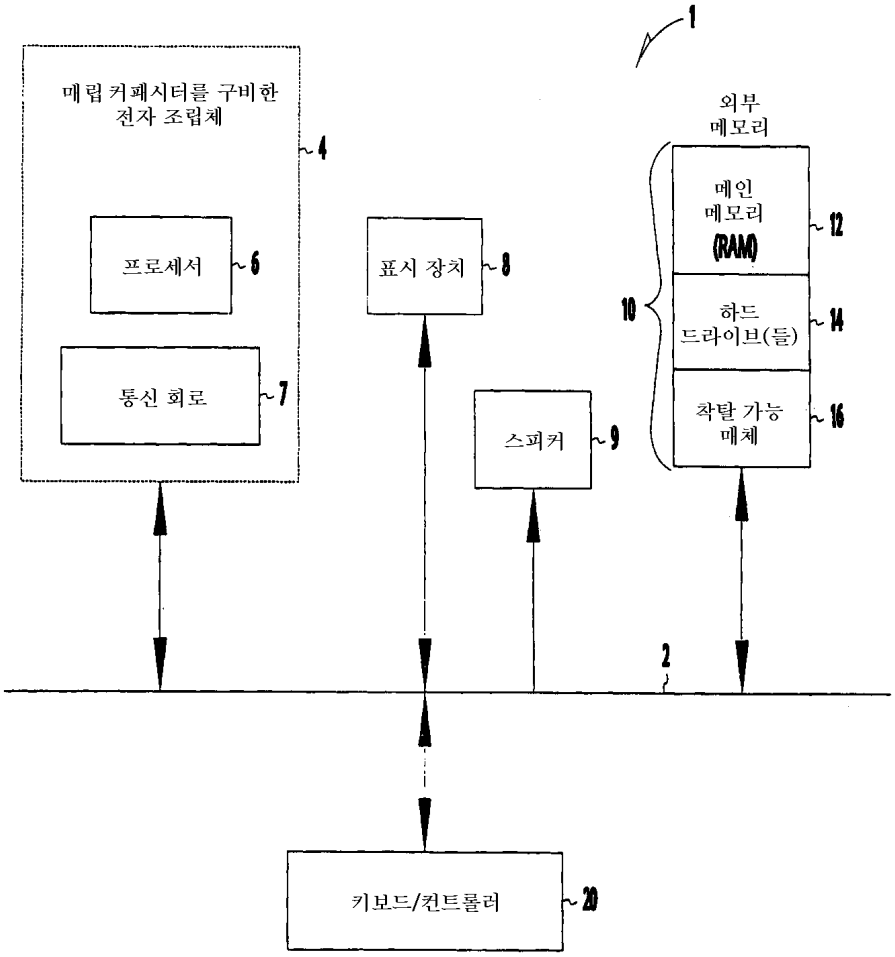
제42항에 있어서, 상기 접지 비아들 중 적어도 하나는 상기 기판을 완전히 관통하지는 않는 것을 특징으로 하는 기판.

청구항 48.

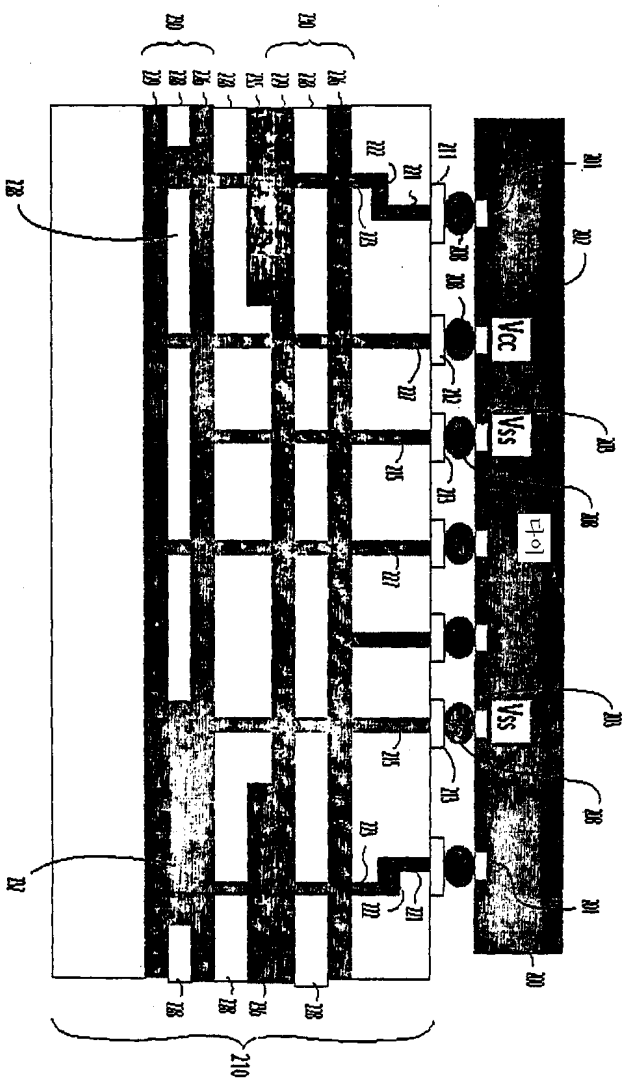
제42항에 있어서, 상기 복수의 신호 비아는 상기 기판의 외주 영역 내에 있는 것을 특징으로 하는 기판.

도면

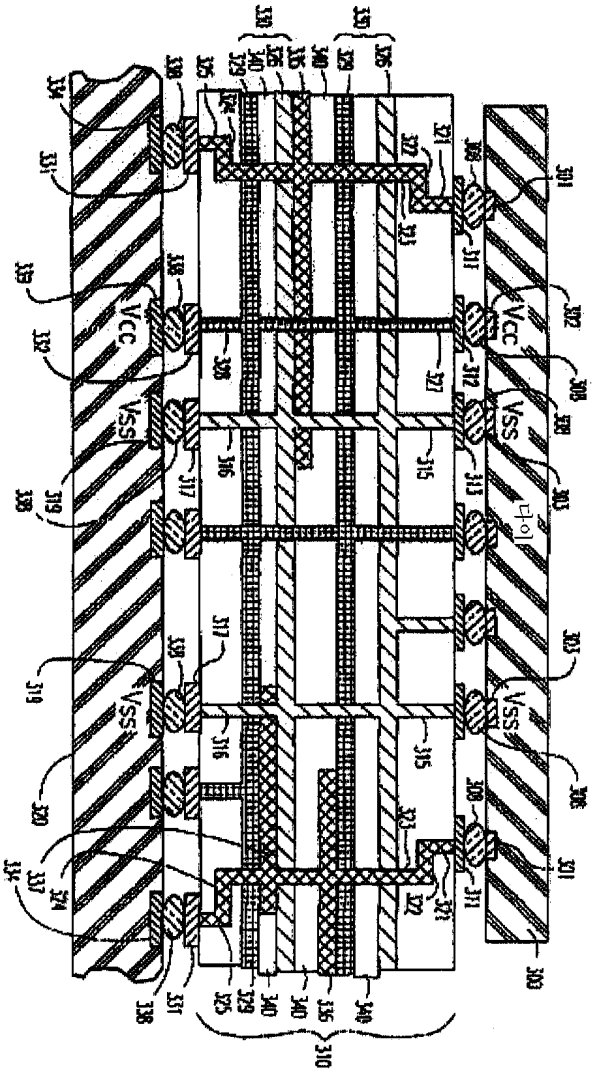
도면1


1
매립 커패시터를 구비한 전자 조립체
4
프로세서
6
통신 회로
7
표시 장치
8
스피커
9
외부 메모리
10
메인 메모리 (RAM)
12
하드 드라이브(들)
14
착탈 가능 매체
16
2
키보드/컨트롤러
20

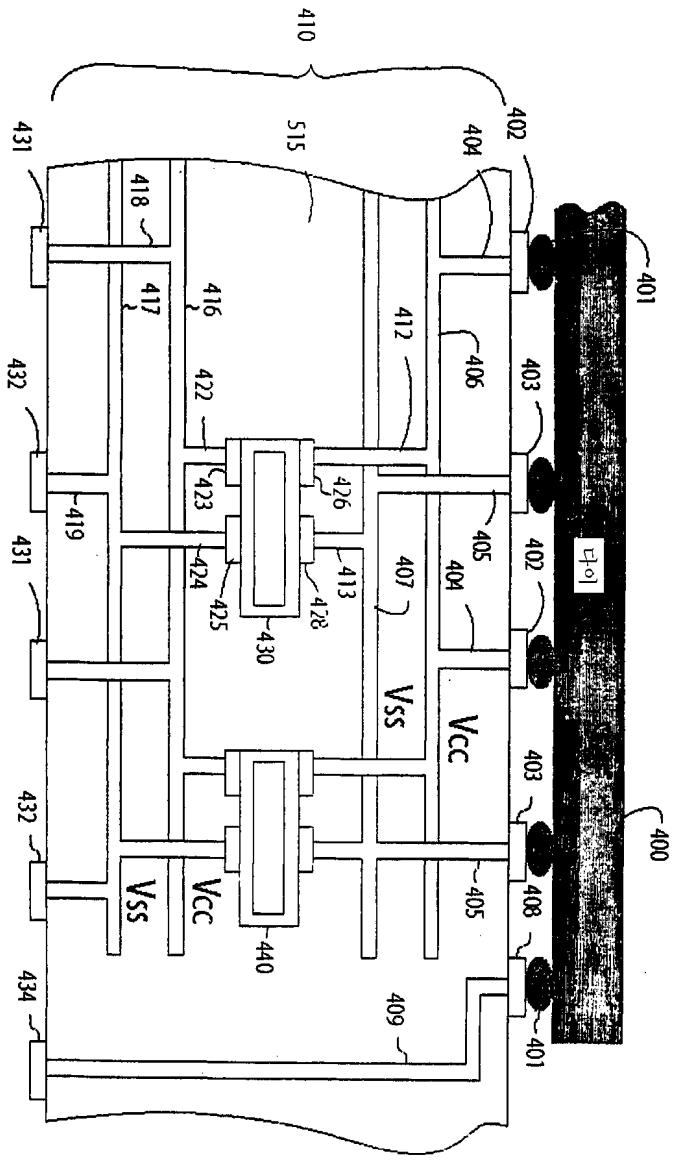
도면2



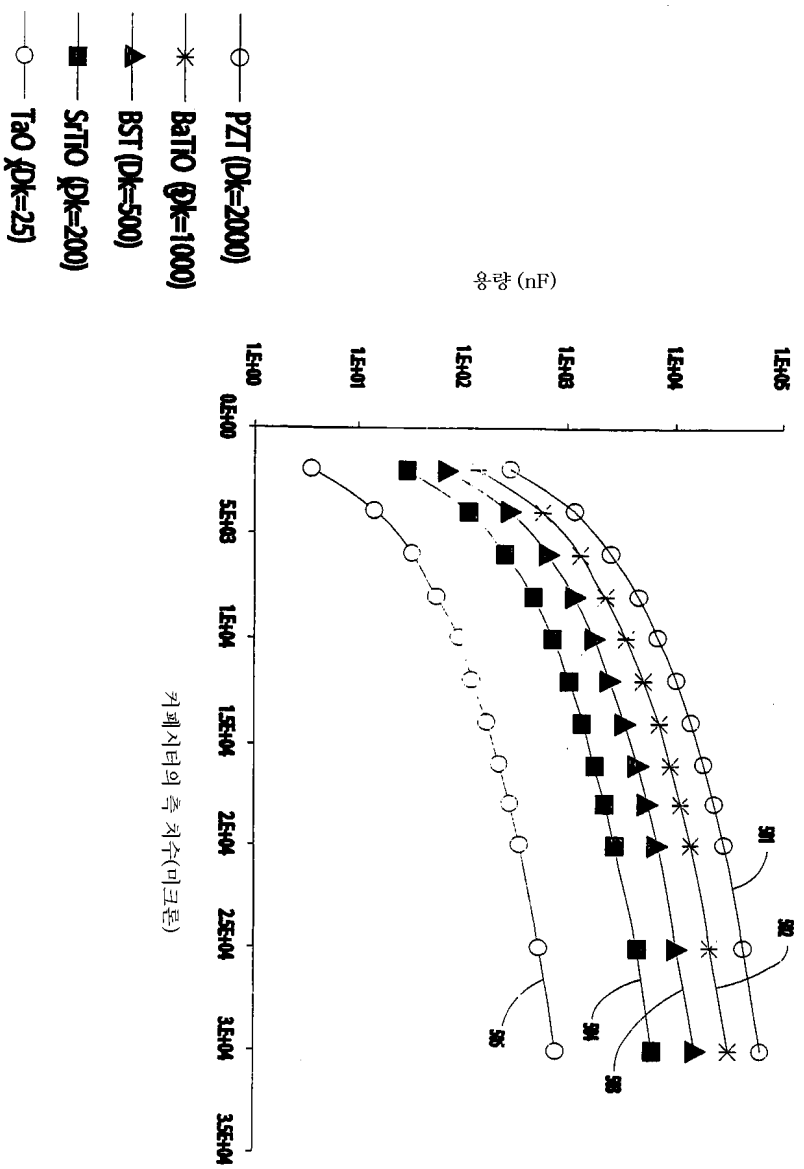
도면3



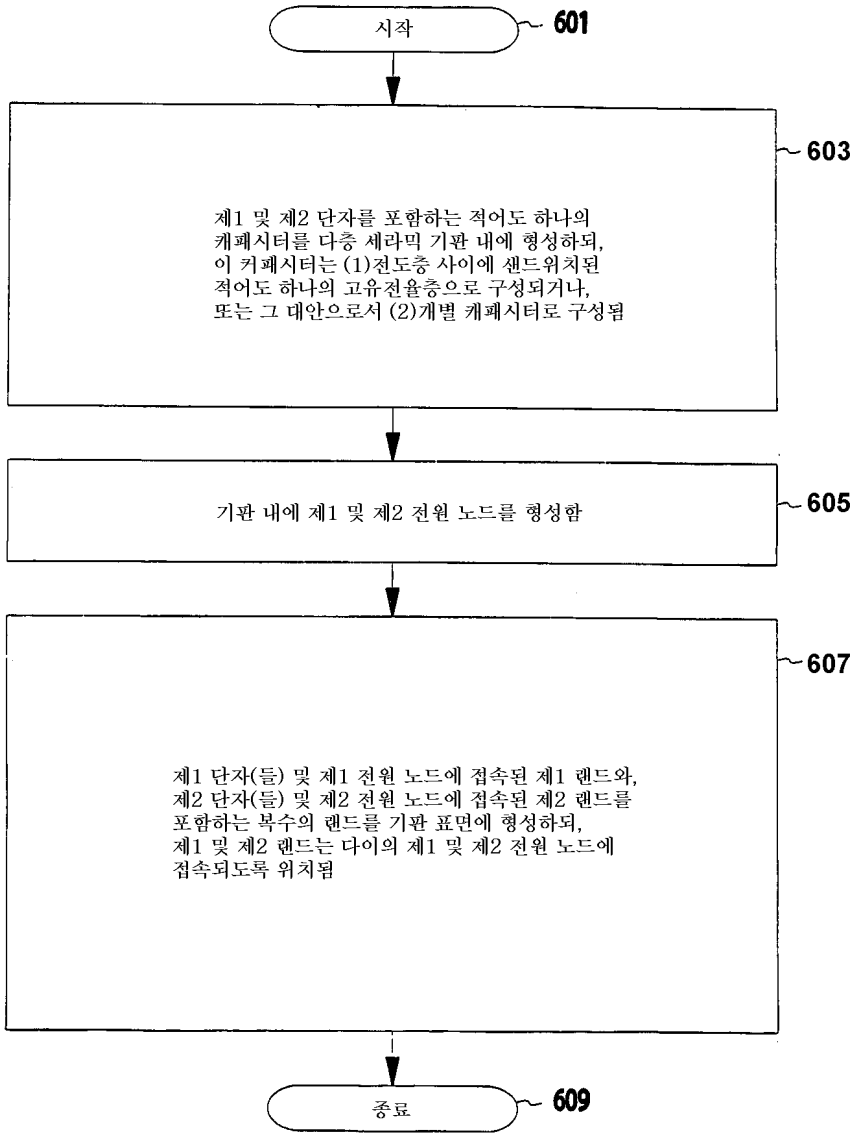
도면4


410
515
431
418
417
416
422
423
424
425
426
428
430
412
406
403
401
402
404
405
407
413
419
432
434
409
440
400
408
VSS
VCC
다이

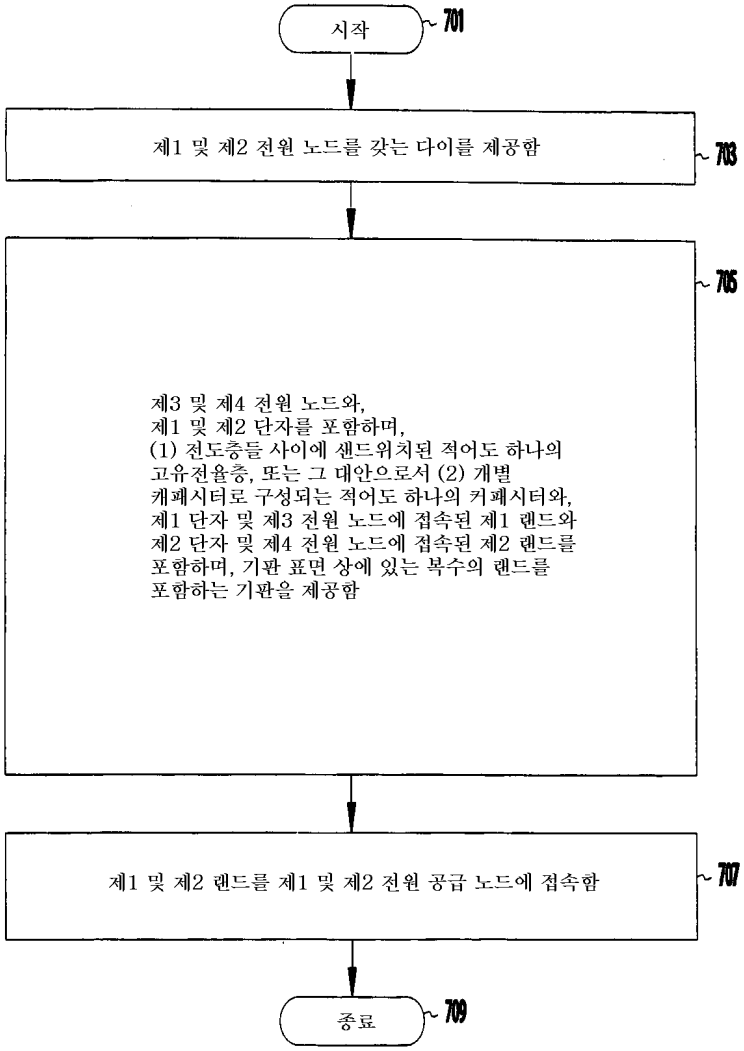
도면5


PZT (Dk=2000)
BaTiO (Dk=1000)
BST (Dk=500)
SrTiO (Dk=200)
TaO (Dk=25)
용량 (nF)
1.5E-05
1.5E-04
1.5E-03
1.5E-02
1.5E-01
1.5E+00
0.5E+00
5.5E+03
1.5E+04
1.5E+04
2.5E+04
2.5E+04
3.5E+04
3.5E+04
커패시터의 측 치수(미크론)
SR1
SR2
SR4
SR3
SR5

도면6


시작
601
603
제1 및 제2 단자를 포함하는 적어도 하나의
캐패시터를 다층 세라믹 기판 내에 형성하되,
이 커패시터는 (1)전도층 사이에 샌드위치된
적어도 하나의 고유전율층으로 구성되거나,
또는 그 대안으로서 (2)개별 캐패시터로 구성됨
605
기판 내에 제1 및 제2 전원 노드를 형성함
607
제1 단자(들) 및 제1 전원 노드에 접속된 제1 랜드와,
제2 단자(들) 및 제2 전원 노드에 접속된 제2 랜드를
포함하는 복수의 랜드를 기판 표면에 형성하되,
제1 및 제2 랜드는 다이의 제1 및 제2 전원 노드에
접속되도록 위치됨
종료
609

도면7


시작
701
제1 및 제2 전원 노드를 갖는 다이를 제공함
703
705
제3 및 제4 전원 노드와,
제1 및 제2 단자를 포함하며,
(1) 전도층들 사이에 샌드위치된 적어도 하나의
고유전율층, 또는 그 대안으로서 (2) 개별
캐패시터로 구성되는 적어도 하나의 커패시터와,
제1 단자 및 제3 전원 노드에 접속된 제1 랜드와
제2 단자 및 제4 전원 노드에 접속된 제2 랜드를
포함하며, 기판 표면 상에 있는 복수의 랜드를
포함하는 기판을 제공함
707
제1 및 제2 랜드를 제1 및 제2 전원 공급 노드에 접속함
종료
709